



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0107872
(43) 공개일자 2023년07월18일

- | | |
|--|---|
| <p>(51) 국제특허분류(Int. Cl.)
H03M 13/11 (2006.01) H04L 1/00 (2006.01)
H04L 27/20 (2006.01) H04L 27/34 (2006.01)</p> <p>(52) CPC특허분류
H03M 13/116 (2013.01)
H03M 13/114 (2013.01)</p> <p>(21) 출원번호 10-2023-7020664</p> <p>(22) 출원일자(국제) 2021년10월15일
심사청구일자 없음</p> <p>(85) 번역문제출일자 2023년06월19일</p> <p>(86) 국제출원번호 PCT/KR2021/014415</p> <p>(87) 국제공개번호 WO 2022/080975
국제공개일자 2022년04월21일</p> <p>(30) 우선권주장
1020200133520 2020년10월15일 대한민국(KR)</p> | <p>(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)</p> <p>(72) 발명자
장민
경기도 수원시 영통구 삼성로 129(매탄동)
명세호
경기도 수원시 영통구 삼성로 129(매탄동)
(뒷면에 계속)</p> <p>(74) 대리인
권혁록, 이정순</p> |
|--|---|

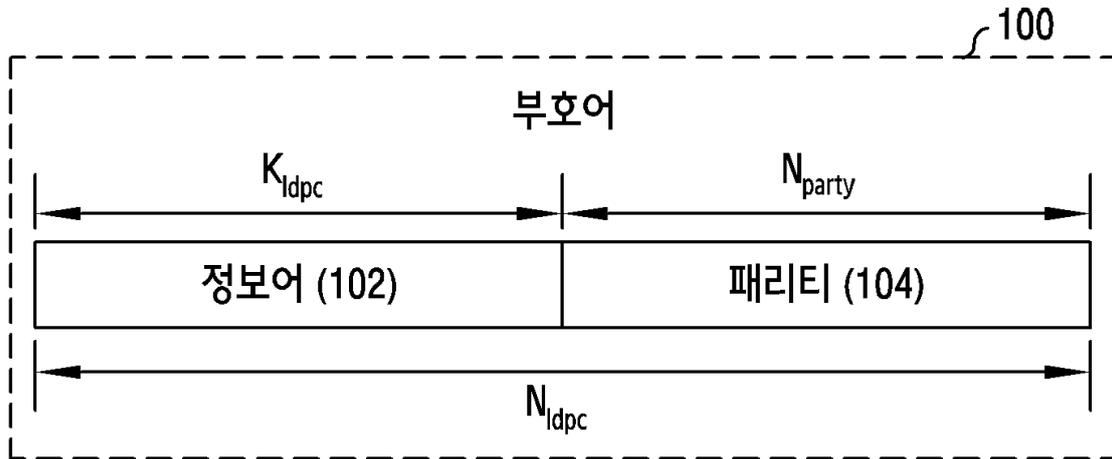
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 통신 또는 방송 시스템에서 데이터 복호화 방법 및 장치

(57) 요약

본 개시는 4G 시스템 이후 보다 높은 데이터 전송률을 지원하기 위한 5G 통신 시스템을 IoT 기술과 융합하는 통신 기법 및 그 시스템에 관한 것이다. 본 개시는 5G 통신 기술 및 IoT 관련 기술을 기반으로 지능형 서비스 (예를 들어, 스마트 홈, 스마트 빌딩, 스마트 시티, 스마트 카 혹은 커넥티드 카, 헬스케어, 디지털 교육, 소매업, (뒷면에 계속)

대표도 - 도1



보안 및 안전 관련 서비스 등)에 적용될 수 있다. 본 개시는 통신 또는 방송 시스템에서 저밀도 패리티-검사 (low-density parity-check, LDPC) 부호를 효율적으로 복호화하기 위한 장치 및 방법을 제공한다. 또한, 본 개시는 레이어드(layered) 스케줄링 혹은 그에 준하는 방식을 이용하여 LDPC 부호의 복호화를 진행함에 있어서 상기의 LDPC 부호의 구조적 또는 대수적인 특징에 따라 적합한 복호 스케줄링(scheduling)을 적용하여 복호 복잡도 증가 없이 복호 성능을 개선하기 위한 LDPC 복호 장치 및 방법을 제공한다. 본 개시의 실시 예들에 따를 때, 통신 시스템에서 디코딩 방법은, 신호를 수신하는 단계; 상기 신호의 입력 비트의 수에 기반하여 코드 블록의 크기를 확인하는 단계; 및 상기 코드 블록의 크기에 대응하는 패리티 검사 행렬에 기반하여 레이어드 디코딩을 수행하는 단계를 포함하며, 상기 레이어드 디코딩은 선순위 레이어를 상기 선순위 레이어와 다른 레이어보다 우선적으로 디코딩하도록 구성된다.

(52) CPC특허분류

- H03M 13/118* (2013.01)
- H04L 1/0046* (2013.01)
- H04L 1/0052* (2013.01)
- H04L 1/0057* (2013.01)
- H04L 27/206* (2013.01)
- H04L 27/34* (2013.01)

(72) 발명자

정홍실

경기도 수원시 영통구 삼성로 129(매탄동)

권양수

경기도 수원시 영통구 삼성로 129(매탄동)

여정호

경기도 수원시 영통구 삼성로 129(매탄동)

명세서

청구범위

청구항 1

통신 시스템에서 디코딩 방법에 있어서,

신호를 수신하는 단계;

상기 신호의 입력 비트의 수에 기반하여 코드 블록의 크기를 확인하는 단계; 및

상기 코드 블록의 크기에 대응하는 패리티 검사 행렬에 기반하여 레이어드 디코딩을 수행하는 단계를 포함하며,

상기 레이어드 디코딩은 선순위 레이어를 상기 선순위 레이어와 다른 레이어보다 우선적으로 디코딩하도록 구성되는 방법.

청구항 2

청구항 1에 있어서,

상기 레이어드 디코딩을 수행하는 단계는,

상기 선순위 레이어의 디코딩을 수행하는 단계; 및

나머지 행 블록에 상응하는 레이어에 대해 순차적으로 디코딩을 수행하는 단계를 포함하고,

상기 선순위 레이어는, 상기 패리티 검사 행렬의 행 블록들 중에서, 상기 코드 블록의 천공될 열 블록 내에서 행의 차수가 1인 행 블록을 포함하는 방법.

청구항 3

청구항 1에 있어서,

상기 레이어드 디코딩을 수행하는 단계는,

상기 패리티 검사 행렬에서 유효한 행 블록의 개수를 식별하는 단계;

상기 선순위 레이어의 디코딩을 수행하는 단계;

상기 유효한 행 블록의 개수에 기반하여 나머지 행 블록에 상응하는 레이어에 대해 역순서 (reverse order)로 디코딩을 수행하는 단계를 포함하는 방법.

청구항 4

청구항 3에 있어서,

상기 유효한 행 블록의 개수는, 상기 신호의 입력 비트 수, 정보어(information word) 전송에 사용되는 열 블록의 개수, 상기 패리티 검사 행렬의 천공되는 열 블록의 개수, 및 블록 크기에 기반하여 식별되는 방법.

청구항 5

청구항 1에 있어서,

상기 선순위 레이어는 상기 디코딩을 위한 부호율과 기준 부호율에 기반하여 식별되는 방법.

청구항 6

청구항 1에 있어서,

상기 레이어드 디코딩을 수행하는 단계는,

상기 패리티 검사 행렬의 행 블록들 중에서, 상기 코드 블록의 천공될 열 블록과의 차수가 0인 행 블록에 상응

하는 레이어를 식별하는 과정과,
 상기 식별된 레이어를 최우선으로 디코딩하는 단계를 포함하는 방법.

청구항 7

청구항 1에 있어서,
 상기 레이어드 디코딩은 상기 패리티 검사 행렬의 기본 행렬에 기초하여 미리 정해진 디코딩 순서(order)에 기반하여 수행되고,
 상기 디코딩 순서는 전송 블록 크기(transport block size), 상기 선순위 레이어의 개수, 부호율에 기반하여 결정되는 방법.

청구항 8

청구항 7에 있어서,
 상기 디코딩 순서는:
 상기 패리티 검사 행렬이 제1 기본 그래프(Base Graph #1)에 기초하는 경우, [42, 40, 26, 34, 37, 45, 30, 32, 22, 28, 38, 44, 41, 20, 27, 25, 31, 36, 39, 13, 33, 35, 24, 29, 43, 17, 23, 18, 21, 14, 6, 10, 16, 1, 4, 19, 7, 12, 15, 9, 5, 11, 8, 0, 2, 3]; 또는
 상기 패리티 검사 행렬이 제2 기본 그래프(Base Graph #2)에 기초하는 경우, [22, 37, 40, 31, 24, 29, 20, 12, 27, 25, 28, 35, 38, 41, 32, 23, 34, 39, 17, 16, 36, 21, 33, 18, 15, 9, 14, 30, 11, 19, 6, 7, 8, 26, 10, 13, 1, 4, 5, 0, 2, 3]이고,
 여기서, 각 원소는 상기 패리티 검사 행렬의 행 블록들의 번호(number)를 의미하는 방법.

청구항 9

청구항 7에 있어서,
 상기 레이어드 디코딩은, 상기 디코딩 순서에 포함된 행 블록의 인덱스들 중 유효한 행 블록의 인덱스에 기반한 디코딩 순서에 기반하여 수행되는 방법.

청구항 10

청구항 7에 있어서,
 상기 디코딩 순서는, 상기 신호에 적용되는 변조 방식(modulation scheme)에 따라 달라지고,
 상기 변조 방식은 QPSK(quadrature phase shift keying), 16QAM(quadrature amplitude modulation), 64QAM, 256QAM, 1024QAM 중 하나인 방법.

청구항 11

통신 시스템에서 수신기의 디코딩 방법에 있어서,
 수신기로부터 전송되는 입력 비트에 상응하는 신호를 수신하는 단계;
 상기 신호에 기반하여 입력 비트의 수를 확인하는 단계;
 상기 입력 비트의 수에 기반하여 코드 블록의 크기를 확인하는 단계; 및
 상기 코드 블록의 크기에 상응하는 패리티 검사 행렬에 기반하여 레이어드 디코딩을 수행하는 단계를 포함하며,
 상기 레이어드 디코딩은 하기의 디코딩 순서에 기반하여 수행되고, 각 원소는 상기 패리티 검사 행렬의 행 블록들의 번호(number)를 의미하는 방법:
 [22, 37, 40, 31, 24, 29, 20, 12, 27, 25, 28, 35, 38, 41, 32, 23, 34, 39, 17, 16, 36, 21, 33, 18, 15, 9, 14, 30, 11, 19, 6, 7, 8, 26, 10, 13, 1, 4, 5, 0, 2, 3].

청구항 12

통신 시스템에서 수신기의 디코딩 방법에 있어서,
 수신기로부터 전송되는 입력 비트에 상응하는 신호를 수신하는 단계;
 상기 신호에 기반하여 입력 비트의 수를 확인하는 단계;
 상기 입력 비트의 수에 기반하여 코드 블록의 크기를 확인하는 단계; 및
 상기 코드 블록의 크기에 상응하는 패리티 검사 행렬에 기반하여 레이어드 디코딩을 수행하는 단계를 포함하며,
 상기 레이어드 디코딩은 상기 신호에 기반한 QPSK(quadrature phase shift keying) 복조를 수행하여 생성된 확률 값을 이용하여 수행되며,
 상기 레이어드 디코딩은 하기의 디코딩 순서에 기반하여 수행되고, 각 원소는 상기 패리티 검사 행렬의 행 블록들의 번호(number)를 의미하는 방법:
 [37, 40, 29, 27, 25, 22, 31, 28, 36, 33, 32, 34, 24, 41, 38, 21, 20, 35, 18, 12, 23, 39, 17, 30, 16, 15, 9, 14, 7, 11, 19, 6, 8, 26, 13, 10, 1, 4, 5, 0, 2, 3].

청구항 13

수신 장치에 의해 수행되는 LDPC(low density parity check) 디코딩을 위한 방법에 있어서,
 입력 비트들에 대응하는 신호를 송신 장치로부터 수신하는 단계;
 상기 입력 비트들에 대응하는 값들을 결정하기 위해, 상기 신호에 기반하여 복조(demodulation)를 수행하는 단계;
 상기 신호에 기반하여 상기 입력 비트들의 수를 식별하는 단계;
 상기 입력 비트들의 수에 기반하여, 리프팅 크기(lifting size) 및 기본 행렬(base matrix)를 식별하는 단계;
 상기 기본 행렬에 기반하여 패리티 검사 행렬을 식별하는 단계;
 상기 값들의 개수 및 상기 리프팅 크기에 기반하여 레이어 개수를 결정하는 단계;
 미리 결정된 시퀀스 및 상기 레이어 개수에 기반하여 LDPC 디코딩의 순서를 결정하는 단계;
 상기 값들에 기반하여 상기 입력 비트들을 결정하기 위해, 상기 패리티 행렬 및 상기 순서에 기반하여 LDPC 디코딩을 수행하는 단계를 포함하는 방법.

청구항 14

청구항 13에 있어서,
 상기 LDPC 디코딩의 순서는 상기 미리 결정된 시퀀스에서 상기 레이어들의 개수보다 작은 수의 세트를 포함하는 시퀀스에 기반하여 결정되고,
 상기 미리 결정된 시퀀스는 변조 차수에 기반하여 식별되고,
 상기 값들은 LLR(log likelihood ratio) 혹은 LR(likelihood ratio) 중에서 적어도 하나를 포함하는 방법.

청구항 15

통신 시스템에서 장치에 있어서,
 적어도 하나의 송수신기; 및
 상기 적어도 하나의 송수신기와 결합되는 적어도 하나의 프로세서를 포함하고,
 상기 적어도 하나의 프로세서는,
 청구항 1 내지 14의 방법들 중 하나를 수행하도록 구성되는 장치.

발명의 설명

기술 분야

[0001] 본 개시(disclosure)는 일반적으로 통신 또는 방송 시스템에 관한 것으로, 보다 구체적으로 통신 또는 방송 시스템에서 데이터 복호화 방법 및 장치에 관한 것이다.

배경 기술

[0002] 4G(4th generation) 통신 시스템 상용화 이후 증가 추세에 있는 무선 데이터 트래픽 수요를 충족시키기 위해, 개선된 5G(5th generation) 통신 시스템 또는 pre-5G 통신 시스템을 개발하기 위한 노력이 이루어지고 있다. 이러한 이유로, 5G 통신 시스템 또는 pre-5G 통신 시스템은 4G 네트워크 이후(Beyond 4G Network) 통신 시스템 또는 LTE 시스템 이후 (Post LTE) 시스템이라 불리어지고 있다.

[0003] 높은 데이터 전송률을 달성하기 위해, 5G 통신 시스템은 초고주파(mmWave) 대역 (예를 들어, 60기가(60GHz) 대역과 같은)에서의 구현이 고려되고 있다. 초고주파 대역에서의 전파의 경로손실 완화 및 전파의 전달 거리를 증가시키기 위해, 5G 통신 시스템에서는 빔포밍(beamforming), 거대 배열 다중 입출력(massive MIMO), 전차원 다중입출력(Full Dimensional MIMO: FD-MIMO), 어레이 안테나(array antenna), 아날로그 빔형성(analog beamforming), 및 대규모 안테나(large scale antenna) 기술들이 논의되고 있다.

[0004] 또한 시스템의 네트워크 개선을 위해, 5G 통신 시스템에서는 진화된 소형 셀, 개선된 소형 셀(advanced small cell), 클라우드 무선 액세스 네트워크 (cloud radio access network, cloud RAN), 초고밀도 네트워크(ultra-dense network), 기기 간 통신 (Device to Device communication, D2D), 무선 백홀(wireless backhaul), 이동 네트워크(moving network), 협력 통신(cooperative communication), CoMP(Coordinated Multi-Points), 및 수신 간섭제거 (interference cancellation) 등의 기술 개발이 이루어지고 있다.

[0005] 이 밖에도, 5G 시스템에서는 진보된 코딩 변조(Advanced Coding Modulation: ACM) 방식인 FQAM (Hybrid Frequency Shift Keying and Quadrature Amplitude Modulation) 및 SWSC (Sliding Window Superposition Coding)과, 진보된 접속 기술인 FBMC(Filter Bank Multi Carrier), NOMA(Non Orthogonal Multiple Access), 및 SCMA(Sparse Code Multiple Access) 등이 개발되고 있다.

[0006] 한편, 인터넷은 인간이 정보를 생성하고 소비하는 인간 중심의 연결 망에서, 사물 등 분산된 구성 요소들 간에 정보를 주고 받아 처리하는 IoT(Internet of Things, 사물인터넷) 망으로 진화하고 있다. 클라우드 서버 등과의 연결을 통한 빅데이터(Big data) 처리 기술 등이 IoT 기술에 결합된 IoE(Internet of Everything) 기술도 대두되고 있다. IoT를 구현하기 위해서, 센싱 기술, 유무선 통신 및 네트워크 인프라, 서비스 인터페이스 기술, 및 보안 기술과 같은 기술 요소 들이 요구되어, 최근에는 사물간의 연결을 위한 센서 네트워크(sensor network), 사물 통신(Machine to Machine, M2M), MTC(Machine Type Communication)등의 기술이 연구되고 있다. IoT 환경에서는 연결된 사물들에서 생성된 데이터를 수집, 분석하여 인간의 삶에 새로운 가치를 창출하는 지능형 IT(Internet Technology) 서비스가 제공될 수 있다. IoT는 기존의 IT(information technology)기술과 다양한 산업 간의 융합 및 복합을 통하여 스마트홈, 스마트 빌딩, 스마트 시티, 스마트 카 혹은 커넥티드 카, 스마트 그리드, 헬스 케어, 스마트 가전, 첨단의료서비스 등의 분야에 응용될 수 있다.

[0007] 이에, 5G 통신 시스템을 IoT 망에 적용하기 위한 다양한 시도들이 이루어지고 있다. 예를 들어, 센서 네트워크(sensor network), 사물 통신(Machine to Machine, M2M), MTC(Machine Type Communication)등의 기술이 5G 통신 기술이 빔 포밍, MIMO, 및 어레이 안테나 등의 기법에 의해 구현되고 있는 것이다. 앞서 설명한 빅데이터 처리 기술로써 클라우드 무선 액세스 네트워크(cloud RAN)가 적용되는 것도 5G 기술과 IoT 기술 융합의 일 예라고 할 수 있을 것이다.

[0008] 통신 또는 방송 시스템에서, 링크(link) 성능은 채널의 여러 가지 잡음(noise), 페이딩(fading) 현상 및 심벌 간 간섭(ISI: inter-symbol interference)에 의해 현저히 저하될 수 있다. 따라서 차세대 이동 통신, 디지털 방송 및 휴대 인터넷과 같이 높은 데이터 처리량과 신뢰도를 요구하는 고속 디지털 통신 또는 방송 시스템들을 구현하기 위해서, 잡음, 페이딩 및 심벌 간 간섭을 극복하기 위한 기술을 개발하는 것이 요구된다. 잡음 등을 극복하기 위한 연구의 일환으로서, 최근에는 정보의 왜곡을 효율적으로 복원하여 통신의 신뢰도를 높이기 위한 방법으로서 오류정정부호(error-correcting code)에 대한 연구가 활발히 이루어지고 있다.

발명의 내용

해결하려는 과제

- [0009] 상술한 바와 같은 논의를 바탕으로, 본 개시(disclosure)는, 통신 또는 방송 시스템에서 저밀도 패리티-검사(low-density parity-check, LDPC) 부호를 효율적으로 복호화하기 위한 장치 및 방법을 제공한다.
- [0010] 또한, 본 개시는 레이어드(layered) 스케줄링 혹은 그에 준하는 방식을 이용하여 LDPC 부호의 복호화를 진행함에 있어, 상기의 LDPC 부호의 구조적 또는 대수적인 특징에 따라 적합한 복호 스케줄링(scheduling)을 적용하여 복호 복잡도 증가 없이 복호 성능을 개선하기 위한 LDPC 복호 장치 및 방법을 제공한다.

과제의 해결 수단

- [0011] 상기와 같은 문제점을 해결하기 위한 본 발명의 통신시스템에서 수신기의 LDPC 복호 수행 방법에 있어서, 전송(transport) 블록 및 코드 블록에 대응되는 신호를 수신하는 단계; 상기 코드 블록을 복호화하기 위해 상기 신호와 패리티 검사 행렬을 이용하여 LDPC (low-density parity-check) 복호를 수행하는 단계를 포함하며, 상기 LDPC 복호를 수행하는 단계는 사전에 정해진 복호 스케줄링 규칙에 따라 상기 패리티 검사 행렬의 적어도 일부 영역을 이용하여 복호를 수행함을 특징으로 한다.
- [0012] 상기와 같은 문제점을 해결하기 위한 본 발명의 통신시스템에서 송수신부; 및 전송 블록 및 코드 블록에 대응되는 신호를 수신하고, 상기 코드 블록을 복호화하기 위해 상기 신호와 패리티 검사 행렬을 이용하여 LDPC (low density parity check) 복호를 수행하며, 상기 LDPC 복호를 수행하는 과정은 사전에 정해진 복호 스케줄링 규칙에 따라 상기 패리티 검사 행렬의 적어도 일부 영역을 이용하여 복호를 수행하도록 제어하는 제어부를 포함하는 것을 특징으로 한다.
- [0013] 상기와 같은 문제점을 해결하기 위한 본 발명의 통신시스템에서 전송 블록 및 코드 블록에 대응되는 신호를 수신 및 처리하기 위한 수신기에 있어서, 상기 수신 신호로부터 LDPC 정보어 비트들, 제1 패리티 비트들, 제2 패리티 비트들에 대응되는 값들을 결정하여 LDPC 부호의 패리티 검사 행렬의 적어도 일부를 이용하여 복호를 수행하는 단계를 포함하며, 상기 LDPC 부호의 패리티 검사 행렬은, 상기 LDPC 정보어 비트들에 대응되는 제1 부분 행렬 및 상기 제1 패리티 비트들에 대응되고 차수가 2인 열들과 차수가 3인 열들로 구성된 제2 부분행렬을 포함하는 제1 파트와, 상기 LDPC 정보어 비트들에 대응되는 제3 부분 행렬과 상기 제1 패리티 비트들에 대응되는 제4 부분 행렬과 상기 제2 패리티 비트들에 대응되면서 항등 행렬인 제5 부분 행렬을 포함하는 제2 파트로 구성된 것을 특징으로 한다.
- [0014] 또한, 상기의 문제점을 해결하기 위한 본 발명의 수신기의 디코딩 방법은 송신기로부터 전송되는 입력 비트에 상응하는 신호를 수신하는 단계, 상기 신호에 기반하여 입력 비트의 수를 확인하는 단계, 상기 입력 비트의 수에 기반하여 코드 블록의 크기를 확인하는 단계, 상기 코드 블록의 크기에 상응하는 패리티 검사 행렬에 기반하여 레이어드 디코딩을 수행하는 단계를 포함 한다.
- [0015] 또한, 상기의 문제점을 해결하기 위한 본 발명의 수신기는 송수신부; 및 송신기로부터 전송되는 입력 비트에 상응하는 신호를 수신하고, 상기 신호에 기반하여 입력 비트의 수를 확인하고, 상기 입력 비트의 수에 기반하여 코드 블록의 크기를 확인하고, 상기 코드 블록의 크기에 상응하는 패리티 검사 행렬에 기반하여 레이어드 디코딩을 수행하는 제어부를 포함한다.
- [0016] 또한, 상기의 문제점을 해결하기 위한 본 발명의 수신기의 디코딩 방법은 수신기로부터 전송되는 입력 비트에 상응하는 신호를 수신하는 단계, 상기 신호에 기반하여 입력 비트의 수를 확인하는 단계, 상기 입력 비트의 수에 기반하여 코드 블록의 크기를 확인하는 단계; 및 상기 코드 블록의 크기에 상응하는 패리티 검사 행렬에 기반하여 레이어드 디코딩을 수행하는 단계를 포함하며, 상기 레이어드 디코딩은 하기의 디코딩 패턴에 기반하여 수행되는 것을 특징으로 한다.
- [0017] 패턴-1:
- [0018] [42, 40, 26, 34, 37, 45, 30, 32, 22, 28, 38, 44, 41, 20, 27, 25, 31, 36, 39, 13, 33, 35, 24, 29, 43, 17, 23, 18, 21, 14, 6, 10, 16, 1, 4, 19, 7, 12, 15, 9, 5, 11, 8, 0, 2, 3]
- [0019] 패턴-2:
- [0020] [22, 37, 40, 31, 24, 29, 20, 12, 27, 25, 28, 35, 38, 41, 32, 23, 34, 39, 17, 16, 36, 21, 33, 18, 15,

9, 14, 30, 11, 19, 6, 7, 8, 26, 10, 13, 1, 4, 5, 0, 2, 3].

- [0021] 또한, 또한, 상기의 문제점을 해결하기 위한 본 발명의 수신기에 있어서, 송수신부; 및 송신기로부터 전송되는 입력 비트에 상응하는 신호를 수신하고, 상기 신호에 기반하여 입력 비트의 수를 확인하고, 상기 입력 비트의 수에 기반하여 코드 블록의 크기를 확인하고, 상기 코드 블록의 크기에 상응하는 패리티 검사 행렬에 기반하여 레이어드 디코딩을 수행하는 제어부를 포함하는 것을 특징으로 한다.
- [0022] 패턴-1:
- [0023] [42, 40, 26, 34, 37, 45, 30, 32, 22, 28, 38, 44, 41, 20, 27, 25, 31, 36, 39, 13, 33, 35, 24, 29, 43, 17, 23, 18, 21, 14, 6, 10, 16, 1, 4, 19, 7, 12, 15, 9, 5, 11, 8, 0, 2, 3]
- [0024] 패턴-2:
- [0025] [22, 37, 40, 31, 24, 29, 20, 12, 27, 25, 28, 35, 38, 41, 32, 23, 34, 39, 17, 16, 36, 21, 33, 18, 15, 9, 14, 30, 11, 19, 6, 7, 8, 26, 10, 13, 1, 4, 5, 0, 2, 3].
- [0026] 본 개시의 실시 예들에 따를 때, 통신 시스템에서 디코딩 방법은, 신호를 수신하는 단계; 상기 신호의 입력 비트의 수에 기반하여 코드 블록의 크기를 확인하는 단계; 및 상기 코드 블록의 크기에 대응하는 패리티 검사 행렬에 기반하여 레이어드 디코딩을 수행하는 단계를 포함하며, 상기 레이어드 디코딩은 선순위 레이어를 상기 선순위 레이어와 다른 레이어보다 우선적으로 디코딩하도록 구성된다.
- [0027] 본 개시의 실시 예들에 따를 때, 통신 시스템에서 디코딩을 위한 장치는 적어도 하나의 송수신기; 및 상기 적어도 하나의 송수신기와 결합되는 적어도 하나의 프로세서를 포함하고, 상기 적어도 하나의 프로세서는, 신호를 수신하고, 상기 신호의 입력 비트의 수에 기반하여 코드 블록의 크기를 확인하고, 상기 코드 블록의 크기에 대응하는 패리티 검사 행렬에 기반하여 레이어드 디코딩을 수행하도록 구성되고, 상기 레이어드 디코딩은 선순위 레이어를 상기 선순위 레이어와 다른 레이어보다 우선적으로 디코딩하도록 구성된다.
- [0028] 본 개시의 실시 예들에 따를 때, 통신 시스템에서 수신기의 디코딩 방법은, 수신기로부터 전송되는 입력 비트에 상응하는 신호를 수신하는 단계; 상기 신호에 기반하여 입력 비트의 수를 확인하는 단계; 상기 입력 비트의 수에 기반하여 코드 블록의 크기를 확인하는 단계; 및 상기 코드 블록의 크기에 상응하는 패리티 검사 행렬에 기반하여 레이어드 디코딩을 수행하는 단계를 포함하며, 상기 레이어드 디코딩은 다음의 디코딩 순서에 기반하여 수행되고, 각 원소는 상기 패리티 검사 행렬의 행 블록들의 번호(number)를 의미할 수 있다: [22, 37, 40, 31, 24, 29, 20, 12, 27, 25, 28, 35, 38, 41, 32, 23, 34, 39, 17, 16, 36, 21, 33, 18, 15, 9, 14, 30, 11, 19, 6, 7, 8, 26, 10, 13, 1, 4, 5, 0, 2, 3].
- [0029] 본 개시의 실시 예들에 따를 때, 통신 시스템에서 수신기는, 송수신부; 및 송신기로부터 전송되는 입력 비트에 상응하는 신호를 수신하고, 상기 신호에 기반하여 입력 비트의 수를 확인하고, 상기 입력 비트의 수에 기반하여 코드 블록의 크기를 확인하고, 상기 코드 블록의 크기에 상응하는 패리티 검사 행렬에 기반하여 레이어드 디코딩을 수행하는 제어부를 포함하며, 상기 레이어드 디코딩은 다음의 디코딩 순서에 기반하여 수행되고, 각 원소는 상기 패리티 검사 행렬의 행 블록들의 번호(number)를 의미할 수 있다: [22, 37, 40, 31, 24, 29, 20, 12, 27, 25, 28, 35, 38, 41, 32, 23, 34, 39, 17, 16, 36, 21, 33, 18, 15, 9, 14, 30, 11, 19, 6, 7, 8, 26, 10, 13, 1, 4, 5, 0, 2, 3].
- [0030] 본 개시의 실시 예들에 따를 때, 통신 시스템에서 수신기의 디코딩 방법은, 수신기로부터 전송되는 입력 비트에 상응하는 신호를 수신하는 단계; 상기 신호에 기반하여 입력 비트의 수를 확인하는 단계; 상기 입력 비트의 수에 기반하여 코드 블록의 크기를 확인하는 단계; 및 상기 코드 블록의 크기에 상응하는 패리티 검사 행렬에 기반하여 레이어드 디코딩을 수행하는 단계를 포함하며, 상기 레이어드 디코딩은 상기 신호에 기반한 QPSK(quadrature phase shift keying) 복조를 수행하여 생성된 확률 값을 이용하여 수행되며, 상기 레이어드 디코딩은 다음의 디코딩 순서에 기반하여 수행되고, 각 원소는 상기 패리티 검사 행렬의 행 블록들의 번호(number)를 의미할 수 있다 [37, 40, 29, 27, 25, 22, 31, 28, 36, 33, 32, 34, 24, 41, 38, 21, 20, 35, 18, 12, 23, 39, 17, 30, 16, 15, 9, 14, 7, 11, 19, 6, 8, 26, 13, 10, 1, 4, 5, 0, 2, 3].
- [0031] 본 개시의 실시 예들에 따를 때, 통신 시스템에서 수신기는, 송수신부; 및 송신기로부터 전송되는 입력 비트에 상응하는 신호를 수신하고, 상기 신호에 기반하여 입력 비트의 수를 확인하고, 상기 입력 비트의 수에 기반하여 코드 블록의 크기를 확인하고, 상기 코드 블록의 크기에 상응하는 패리티 검사 행렬에 기반하여 레이어드 디코딩을 수행하는 제어부를 포함하며, 상기 레이어드 디코딩은 상기 신호에 기반한 QPSK(quadrature phase shift

keying) 복조를 수행하여 생성된 확률 값을 이용하여 수행되며, 상기 레이어드 디코딩은 하기의 디코딩 순서에
 기반하여 수행되고, 각 원소는 상기 패리티 검사 행렬의 행 블록들의 번호(number)를 의미할 수 있다 [37, 40,
 29, 27, 25, 22, 31, 28, 36, 33, 32, 34, 24, 41, 38, 21, 20, 35, 18, 12, 23, 39, 17, 30, 16, 15, 9, 14,
 7, 11, 19, 6, 8, 26, 13, 10, 1, 4, 5, 0, 2, 3].

발명의 효과

- [0032] 본 개시의 다양한 실시 예들에 따른 장치 및 방법은, LDPC 복호 스케줄링에 따라 효율적인 복호화 성능을 지원
 할 수 있게 한다.
- [0033] 본 개시의 다양한 실시 예들에 따른 장치 및 방법은, 레이어드(layered) 스케줄링에 기반한 LDPC 복호 방식을
 통해, 복잡도의 증가 없이 LDPC 복호화 성능, 즉, 개선된 오류 정정 (error-correcting) 성능 또는 빠른 복호
 수렴(decoding convergence) 성능을 향상시킬 수 있다.
- [0034] 본 개시에서 얻을 수 있는 효과는 이상에서 언급한 효과들로 제한되지 않으며, 언급하지 않은 또 다른 효과들은
 아래의 기재로부터 본 개시가 속하는 기술 분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이
 다.

도면의 간단한 설명

- [0035] 도 1은 시스테메틱(systematic) LDPC(Low Density Parity Check) 부호어(codeword) 구조도이다.
 도 2는 LDPC 부호의 그래프 표현 방법에 대해 도시한 도면이다.
 도 3a 및 도 3b는 QC(quasi-cyclic)-LDPC 부호의 사이클 특성을 설명하기 위한 예시도이다.
 도 4는 본 개시의 일 실시 예에 따른 송신 장치 블록 구성도이다.
 도 5는 본 개시의 일 실시 예에 따른 수신 장치 블록 구성도이다.
 도 6a 및 도 6b는 본 개시의 일 실시 예에 따른 LDPC 복호화를 위해 임의의 검사 노드와 변수 노드에서 메시지
 패싱 동작을 나타낸 메시지 구조도이다.
 도 7은 본 개시의 일 실시 예에 따른 LDPC 부호화부의 세부 구성을 설명하기 위한 블록도이다.
 도 8은 본 개시의 일 실시 예에 따른 복호화 장치의 구성을 나타내는 블록도이다.
 도 9는 본 개시의 일 실시 예에 따른 LDPC 부호화부의 기능적 구성을 나타낸다.
 도 10은 본 개시의 일 실시 예에 따른 LDPC 복호화 장치의 LDPC 디코딩을 위한 동작 흐름을 도시한다.
 도 11은 본 개시의 일 실시 예에 따른 LDPC 복호화 장치의 LDPC 및 CRC(cyclic redundancy check) 부호에 기반
 한 디코딩을 위한 동작 흐름을 도시한다.
 도 12는 본 개시의 일 실시 예에 따른 LDPC 부호화를 위한 송신 장치의 동작 흐름을 도시한다.
 도 13은 본 개시의 일 실시 예에 따른 LDPC 복호화를 위한 수신 장치의 동작 흐름을 도시한다.
 도 14는 본 개시의 일 실시 예에 따른 패리티 검사 행렬의 구조를 설명하기 위한 도면이다.
 도 15는 본 개시의 일 실시 예에 따른 LDPC 부호에 대한 패리티 검사 행렬의 예시도이다.
 도 16은 본 개시의 일 실시 예에 따른 LDPC 부호에 대한 패리티 검사 행렬의 다른 예시도이다.
 도 17a 및 도 17b는 본 개시의 일 실시 예에 따른 하나의 검사 노드에 천공된 비트 1개 또는 2개 연결된 경우를
 각각 나타낸 예시도이다.

발명을 실시하기 위한 구체적인 내용

- [0036] 본 개시에서 사용되는 용어들은 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 다른 실시 예의 범위를
 한정하려는 의도가 아닐 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함
 할 수 있다. 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 용어들은 본 개시에 기재된 기술 분야에

서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가질 수 있다. 본 개시에 사용된 용어들 중 일반적인 사전에 정의된 용어들은, 관련 기술의 문맥상 가지는 의미와 동일 또는 유사한 의미로 해석될 수 있으며, 본 개시에서 명백하게 정의되지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다. 경우에 따라서, 본 개시에서 정의된 용어일지라도 본 개시의 실시 예들을 배제하도록 해석될 수 없다.

[0037] 이하 본 발명의 바람직한 실시 예를 첨부된 도면의 참조와 함께 상세히 설명한다. 그리고, 본 발명을 설명함에 있어서, 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단된 경우, 그 상세한 설명은 생략한다. 그리고 후술되는 용어들은 본 발명에서의 기능을 고려하여 정의된 용어들로서 이는 사용자, 운용자의 의도 또는 관례 등에 따라 달라질 수 있다. 그러므로 그 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.

[0038] 본 발명의 주요한 요지는 유사한 기술적 배경을 가지는 여타의 시스템에도 본 발명의 범위를 크게 벗어나지 아니하는 범위에서 약간의 변형으로 적용 가능하며, 이는 본 발명의 기술분야에서 숙련된 기술적 지식을 가진 자의 판단으로 가능할 것이다. 참고로 통신시스템은 일반적으로 방송시스템의 의미를 포함하는 용어이나, 본 발명에서는 통신시스템 중에서 방송 서비스가 주요 서비스인 경우에는 방송시스템으로 보다 명확히 명명할 수도 있다.

[0039] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시 예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시 예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시 예들은 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0040] 이하에서 설명되는 본 개시의 다양한 실시 예들에서는 하드웨어적인 접근 방법을 예시로서 설명한다. 하지만, 본 개시의 다양한 실시 예들에서는 하드웨어와 소프트웨어를 모두 사용하는 기술을 포함하고 있으므로, 본 개시의 다양한 실시 예들이 소프트웨어 기반의 접근 방법을 제외하는 것은 아니다.

[0041] 이하 설명에서 사용되는 신호를 지칭하는 용어(예: 메시지, 정보, 프리앰블, 신호, 시그널링(signaling), 시퀀스(sequence), 스트림(stream)), 자원을 지칭하는 용어(예 심볼(symbol), 슬롯(slot), 서브프레임(subframe), 무선 프레임(radio frame), 서브캐리어(subcarrier), RE(resource element), RB(resource block), BWP(bandwidth part), 기회(Occasion)), 연산 상태를 위한 용어(예: 단계(step), 동작(operation), 절차(procedure)), 테이터를 지칭하는 용어(예: 정보(information), 비트(bit), 심볼(symbol), 코드워드(codeword)), 채널을 지칭하는 용어, 제어 정보를 지칭하는 용어(예: DCI(downlink control information), MAC CE(media access control control element), RRC(radio resource control) signaling), 네트워크 객체(network entity)들을 지칭하는 용어, 장치의 구성 요소를 지칭하는 용어 등은 설명의 편의를 위해 예시된 것이다. 따라서, 본 개시가 후술되는 용어들에 한정되는 것은 아니며, 동등한 기술적 의미를 가지는 다른 용어가 사용될 수 있다.

[0042] 또한, 본 개시에서, 특정 조건의 만족(satisfied), 충족(fulfilled) 여부를 판단하기 위해, 초과 또는 미만의 표현이 사용될 수 있으나, 이는 일 예를 표현하기 위한 기재일 뿐 이상 또는 이하의 기재를 배제하는 것이 아니다. '이상'으로 기재된 조건은 '초과', '이하'로 기재된 조건은 '미만', '이상 및 미만'으로 기재된 조건은 '초과 및 이하'로 대체될 수 있다.

[0043] 또한, 본 개시는, 일부 통신 규격(예: 3GPP(3rd Generation Partnership Project))에서 사용되는 용어들을 이용하여 다양한 실시 예들을 설명하지만, 이는 설명을 위한 예시일 뿐이다. 본 개시의 다양한 실시 예들은, 다른 통신 시스템에서도, 용이하게 변형되어 적용될 수 있다.

[0044] 1960년대에 Gallager에 의해서 처음 소개된 저밀도 패리티 체크(Low Density Parity Check, 이하 LDPC) 부호는 당시 기술 수준에서 구현하기 어려운 복잡도로 인해 오랫동안 잊혀 왔다. 하지만, 1993년 Berrou와 Glavieux, Thitimajshima에 의해 제안된 터보(turbo) 부호가 셰논(Shannon)의 채널 용량에 근접하는 성능을 보임에 따라 터보 부호의 성능과 특성에 대한 많은 해석이 이루어지면서 반복 부호(iterative decoding)와 그래프를 기반으로 하는 채널 부호화에 대한 많은 연구가 진행되었다. 이를 계기로 1990년대 후반에 LDPC 부호가 재연구되면서 LDPC 부호에 대응되는 태너(Tanner) 그래프 상에서 합-곱(sum-product) 알고리즘에 기반한 반복 부호(iterative decoding)를 적용하여 부호화를 수행하면 LDPC 부호 또한 셰논의 채널 용량에 근접하는 성능을 가지

게 됨이 밝혀졌다.

[0045] LDPC 부호는 일반적으로 패리티 검사 행렬(parity-check matrix)로 정의되며 태너 그래프로 통칭되는 이분(bipartite) 그래프를 이용하여 표현될 수 있다. 일반적으로 LDPC 부호는 패리티 검사 부호의 일종인데, 길이가 매우 긴 경우에 대한 패리티 검사 행렬에서 1의 개수의 비율(즉, density)이 매우 낮은 특성이 있기 때문에 'low-density' 패리티 검사 부호라 명명되었다. 따라서, 본 개시에서 편의상 LDPC 부호에 기반하여 제안된 기술들은 일반적인 패리티 검사 행렬 부호에 대해서 쉽게 확장할 수 있다.

[0046] 도 1은 시스테매틱(systematic) LDPC 부호어 구조도를 도시한 도면이다. LDPC 부호화 과정은 채널 코딩을 수행하는 송신 장치에 의해 수행될 수 있다. LDPC 복호화 과정은 채널 코딩을 복호하는 수신 장치에 의해 수행될 수 있다. 이하, 송신 장치는 LDPC 부호화 장치로 지칭되고, 수신 장치는 LDPC 복호화 장치로 지칭될 수 있다.

[0047] 도 1에 따르면, LDPC 부호화 장치는 K_{ldpc} 개 비트 혹은 심볼로 구성되어 있는 정보어(102)를 입력받아 부호화를 수행하여 N_{ldpc} 개 비트 혹은 심볼로 구성되어 있는 부호어(100)(codeword)를 생성한다. 이하 설명의 편의를 위해, K_{ldpc} 개 비트를 포함하는 정보어(102)를 입력받아 N_{ldpc} 개 비트로 구성되는 부호어(100)가 생성되는 것으로

가정한다. 즉, K_{ldpc} 개의 입력 비트인 정보어 $I = [i_0, i_1, i_2, \dots, i_{K_{ldpc}-1}]$ (102)가 LDPC 부호화되면, 부호어

$c = [c_0, c_1, c_2, c_3, \dots, c_{N_{ldpc}-1}]$ (100)가 생성된다. 즉, 정보어 및 부호어는 다수의 비트로 구성되어 있는 비트열이며, 정보어 비트 및 부호어 비트는 정보어 및 부호어를 구성하는 각각의 비트를 의미한다. 통상적으로

LDPC 부호화 비트가 $C = [c_0, c_1, c_2, \dots, c_{N_{ldpc}-1}] = [i_0, i_1, i_2, \dots, i_{K_{ldpc}-1}, p_0, p_1, p_2, \dots, p_{N_{ldpc}-K_{ldpc}-1}]$ 와

같이 정보어를 포함하고 있을 경우 시스테매틱(systemetic) 부호라 한다. 여기에서,

$P = [p_0, p_1, p_2, \dots, p_{N_{ldpc}-K_{ldpc}-1}]$ 는 패리티 비트(104)이고, 패리티 비트의 개수 N_{parity} 는 $N_{parity} = N_{ldpc} - K_{ldpc}$ 로 나타낼 수 있다.

[0048] LDPC 부호화는 선형 블록 부호(linear block code)의 일종으로 아래의 수학적 식 1과 같은 조건을 만족하는 부호어를 결정하는 과정을 포함한다. LDPC 복호화는 하기의 수학적 식 1과 같은 조건을 만족하는 부호어(혹은 정보어)를 도출하는 과정으로 이해될 수 있다.

[0049] [수학적 식 1]

$$H \cdot c^T = [h_1 \ h_2 \ h_3 \ \dots \ h_{N_{ldpc}-1}] \cdot c^T = \sum_{i=0}^{N_{ldpc}} c_i \cdot h_i = 0$$

[0050] 여기서, $c = [c_0, c_1, c_2, \dots, c_{N_{ldpc}-1}]$ 이다.

[0052] 수학적 식 1에서, H는 패리티 검사 행렬, c는 부호어, c_i 는 부호어의 i 번째 비트, N_{ldpc} 는 LDPC 부호어 길이를 의미한다. 여기서 h_i 는 패리티 검사 행렬(H)의 i번째 열(column)을 의미한다.

[0053] 패리티 검사 행렬 H는 LDPC 부호어의 비트 개수와 동일한 N_{ldpc} 개의 열(column)로 구성되어 있다. 수학적 식 1은 패리티 검사 행렬의 i 번째 열(h_i)과 i 번째 부호어 비트 c_i 의 곱들의 합이 '0'이 됨을 의미하므로, i 번째 열(h_i)은 i 번째 부호어 비트 c_i 와 관계가 있음을 의미한다.

[0054] 도 2는 LDPC 부호의 그래프 표현 방법에 대해 도시한 도면이다. 도 2를 참조하여 LDPC 부호의 그래프 표현 방법에 대해 설명하기로 한다.

[0055] 도 2는 4 개의 행(row)와 8 개의 열(column)로 이루어진 LDPC 부호의 패리티 검사 행렬 H_1 의 일 예와 이를 태너 그래프(Tanner graph)로 도시한 도면이다. 도 2를 참조하면, 패리티 검사 행렬 H_1 의 열은 8개이므로 길이가 8인

부호어(codeword)를 생성하며, H_1 을 통해 생성된 부호는 LDPC 부호를 의미하며, 각 열은 부호화된 8 비트에 대응된다.

[0056] 도 2를 참조하면, 패리티 검사 행렬 H_1 을 기반으로 부호화 및 복호화하는 LDPC 부호의 태너 그래프는 8 개의 변수 노드(variable node, VN)들 즉, $x_1(202)$, $x_2(204)$, $x_3(206)$, $x_4(208)$, $x_5(210)$, $x_6(212)$, $x_7(214)$, $x_8(216)$ 와 4 개의 검사 노드(check node, CN)(218, 220, 222, 224)들로 구성되어 있다. 여기서, LDPC 부호의 패리티 검사 행렬 H_1 의 i 번째 열과 j 번째 행은 각각 변수 노드 x_i 와 j 번째 검사 노드에 대응된다. 또한, LDPC 부호의 패리티 검사 행렬 H_1 의 i 번째 열과 j 번째 행이 교차하는 지점의 1의 값, 즉 0이 아닌 값의 의미는, 도 2와 같이 태너 그래프 상에서 변수 노드 x_i 와 j 번째 검사 노드를 연결하는 선분(edge)이 존재함을 의미한다.

[0057] LDPC 부호의 태너 그래프에서 변수 노드와 검사 노드의 차수(degree)는 각 노드들에 연결되어 있는 선분의 개수를 의미하며, 이는 LDPC 부호의 패리티 검사 행렬에서 해당 노드에 대응되는 열 또는 행에서 0이 아닌 원소(entry)들의 개수와 동일하다. 예를 들어, 도 2에서 변수 노드들 $x_1(202)$, $x_2(204)$, $x_3(206)$, $x_4(208)$, $x_5(210)$, $x_6(212)$, $x_7(214)$, $x_8(216)$ 의 차수는 각각 순서대로 4, 3, 3, 3, 2, 2, 2, 2가 되며, 검사 노드들(218, 220, 222, 224)의 차수는 각각 순서대로 6, 5, 5, 5가 된다. 또한, 도 2의 변수 노드에 대응되는 도 2의 패리티 검사 행렬 H_1 의 각각의 열에서 0이 아닌 원소들의 개수는 상술한 차수들 4, 3, 3, 3, 2, 2, 2, 2와 순서대로 일치하며, 도 2의 검사 노드들에 대응되는 도 2의 패리티 검사 행렬 H_1 의 각각의 행에서 0이 아닌 원소들의 개수는 상술한 차수들 6, 5, 5, 5와 순서대로 일치한다. 이러한 이유로 각 변수 노드의 차수는 열 차수(column degree) 또는 열 무게(column weight)라고도 하며, 검사 노드의 차수는 행 차수(row degree) 또는 행 무게(row weight)라고도 한다.

[0058] 정리하면, LDPC 부호의 패리티 검사 행렬에서 차수는 열 또는 행에 있는 0이 아닌 원소(entry)의 개수를 의미한다. 또한, 패리티 검사 행렬에서 하나의 열에 0이 아닌 원소의 개수를 해당 열의 차수 또는 열의 무게라 표현하며, 하나의 행에 0이 아닌 원소의 개수를 해당 행의 차수 또는 행의 무게라 표현할 수 있다. 또한 패리티 검사 행렬의 원소들이나 태너 그래프 상의 선분 등은 LDPC 복호기에서 변수 노드 프로세서(variable node processor, VNU) 또는 검사 노드 프로세서(check node processor, CNU) 내부에서 하드웨어적으로 연결되어 있는 것을 의미할 수 있으며, 선, 연결선, 엣지, interconnection network, shift network 등과 같이 다양한 방식으로 다르게 표현될 수도 있다. 이러한 interconnection network들은 LDPC 복호기의 노드 프로세서 간에 LDPC 복호를 위해 적절한 값들을 입출력하는데 사용된다.

[0059] LDPC 복호화 장치는 부호어를 수신 및 획득하고, 부호어를 LDPC 복호하여, 정보어를 획득할 수 있다. 이 때, LDPC 부호화된 부호어는 도 2에서 나열한 bipartite 그래프 상에서 합곱(sum-product) 알고리즘(algorithm)에 기반한 반복 복호(iterative decoding) 알고리즘을 사용하여 복호될 수 있다. 여기서, 합곱 알고리즘은 메시지 패싱 알고리즘(message passing algorithm)의 일종이며, 메시지 패싱 알고리즘은 이분 그래프 상에서 에지를 통해 메시지들을 교환하고, 변수 노드 혹은 검사 노드로 입력되는 메시지들로부터 출력 메시지를 계산하여 업데이트하는 알고리즘을 나타낸다.

[0060] 여기에서, LDPC 복호화 장치는 i 번째 변수 노드의 메시지를 기반으로 i 번째 부호화 비트의 값을 결정할 수 있다. i 번째 부호화 비트의 값은 경판정(hard decision)에 의하여 결정되거나 연판정(soft decision)에 의하여 결정될 수 있다. 즉, 경판정 방법과 연판정 방법 모두 LDPC 복호에 적용 가능하다. 그러므로, LDPC 부호어의 i 번째 비트인 c_i 의 성능은 태너 그래프의 i 번째 변수 노드의 성능에 대응되며, 이는 패리티 검사 행렬의 i 번째 열의 1의 위치 및 개수에 따라 결정될 수 있다. 다시 말해, 부호어의 N_{ldpc} 개의 부호어 비트들의 성능은 패리티 검사 행렬의 1의 위치 및 개수에 의해 성능이 좌우될 수 있으며, 이는 LDPC 부호의 성능은 패리티 검사 행렬에 따라 많은 영향을 받음을 의미한다. 따라서 우수한 성능을 갖는 LDPC 부호를 설계하기 위해서는 좋은 패리티 검사 행렬을 설계하는 방법이 필요하다.

[0061] 통신 및 방송 시스템에서 사용되는 패리티 검사 행렬은 구현의 용이성을 위해 통상적으로 준순환(quasi-cyclic, QC) 형태의 패리티 검사 행렬을 사용하는 준순환 LDPC 부호(또는 QC-LDPC 부호, 이하 QC-LDPC 부호)가 사용된다.

[0062] QC-LDPC 부호는 작은 정사각 행렬의 형태를 가지는 0-행렬(zero matrix)이나 순환 순열 행렬들(circulant permutation matrices)로 구성된 패리티 검사 행렬을 가지는 것을 특징으로 한다. 이 때, 순열 행렬이란 각 행

이나 열이 하나의 1만을 포함하고, 나머지 모든 원소가 0인 행렬을 의미한다. 또한, 순환 순열 행렬이란, 항등 행렬의 각 원소들을 오른쪽 또는 왼쪽으로 순환 이동시킨 행렬을 의미한다.

[0063] 이하에서는, QC-LDPC 부호에 대해서 구체적으로 설명한다.

[0064] 먼저, 수학식 2와 같이 $L \times L$ 크기의 순환 순열 행렬 $P=(P_{i,j})$ 을 정의한다. 여기서 $P_{i,j}$ 는 상기 행렬 P 에서의 i 번째 행(row), j 번째 열(column)의 원소(entry)를 의미한다($0 \leq i, j < L$).

[0065] [수학식 2]

$$P_{i,j} = \begin{cases} 1 & \text{if } i + 1 \equiv j \pmod L \\ 0 & \text{otherwise.} \end{cases}$$

[0066]

[0067] 상기와 같이 정의된 순열 행렬 P 에 대해서 P^i ($0 \leq i < L$)는 $L \times L$ 크기의 항등 행렬(identity matrix)의 각 원소들을 i 번 만큼 오른쪽 방향으로 순환 이동(circular shift) 시킨 형태의 순환 순열 행렬임을 알 수 있다.

[0068] QC-LDPC 부호의 패리티 검사 행렬 H 는 다음 수학식 3과 같은 형태로 나타낼 수 있다.

[0069] [수학식 3]

$$H = \begin{bmatrix} P^{a_{11}} & P^{a_{12}} & \dots & P^{a_{1n}} \\ P^{a_{21}} & P^{a_{22}} & \dots & P^{a_{2n}} \\ \vdots & \vdots & \ddots & \vdots \\ P^{a_{m1}} & P^{a_{m2}} & \dots & P^{a_{mn}} \end{bmatrix}$$

[0070]

[0071] 만일 P^{-1} 을 $L \times L$ 크기의 0-행렬이라 정의할 경우, 상기 수학식 3에서 순환 순열 행렬 또는 0-행렬의 각 지수 $a_{i,j}$ 는 $\{-1, 0, 1, 2, \dots, L-1\}$ 값 중에 하나를 가지게 된다. 또한 상기 수학식 3의 패리티 검사 행렬 H 는 열 블록(column block)이 n 개, 행 블록이 m 개이므로, $mL \times nL$ 크기를 가지게 됨을 알 수 있다.

[0072] 도 3a 및 도 3b는 QC(quasi-cyclic)-LDPC 부호의 사이클 특성을 설명하기 위한 예시도이다. 도 3a 및 도 3b를 참고하면, 12×12 의 크기를 가지는 행렬 H 가, 수학식 3과 같은 순열 행렬 P 를 원소로 갖는 2×2 크기의 형태로 간소화될 수 있음이 확인된다.

[0073] 상기 수학식 3의 패리티 검사 행렬이 풀 랭크(full rank)를 가진다면, 상기 패리티 검사 행렬에 대응되는 QC-LDPC 부호의 정보어 비트의 크기는 $(n-m)L$ 이 됨은 자명하다. 편의상 정보어 비트에 대응되는 $(n-m)$ 개의 열 블록을 정보어 열 블록이라 부르고, 나머지 패리티 비트에 대응되는 m 개의 열 블록을 패리티 열 블록이라 부른다. 상기 수학식 3의 패리티 검사 행렬이 풀 랭크를 가지지 않을 경우에는 상기 정보어 비트는 $(n-m)L$ 보다 크게 된다.

[0074] 통상적으로 상기 수학식 3의 패리티 검사 행렬에서 각 순환 순열 행렬 및 0-행렬을 각각 1과 0으로 치환(replace)하여 얻은 $m \times n$ 크기의 이진(binary) 행렬은 패리티 검사 행렬 H 의 모행렬(mother matrix) 또는 기본 행렬(base matrix) $M(H)$ 로 지칭될 수 있다. 각 순환 순열 행렬 또는 0-행렬의 지수를 선택하여 수학식 4와 같이 얻은 $m \times n$ 크기의 정수 행렬은 패리티 검사 행렬 H 의 지수 행렬(exponent matrix) $E(H)$ 로 지칭될 수 있다.

[0075] [수학식 4]

$$E(H) = \begin{bmatrix} a_{11} & a_{12} & \cdots & a_{1n} \\ a_{21} & a_{22} & \cdots & a_{2n} \\ \vdots & \vdots & \ddots & \vdots \\ a_{m1} & a_{m2} & \cdots & a_{mn} \end{bmatrix}$$

[0076]

[0077]

결과적으로 지수 행렬에 포함되어 있는 정수 1개는 패리티 검사 행렬에서의 순환 순열 행렬 또는 영-행렬에 대응되므로 상기 지수 행렬은 편의상 정수로 이루어진 수열들로 표현될 수도 있다. 일반적으로 패리티 검사 행렬은 지수 행렬뿐만 아니라 대수적으로 동일한 특성을 표현할 수 있는 다양한 수열로도 표현 가능하다. 본 개시에서는 편의상 패리티 검사 행렬을 지수 행렬 또는 패리티 검사 행렬 내에 있는 1의 위치를 나타내는(indicate) 수열 등으로 표현하였으나, 패리티 검사 행렬에 포함되어 있는 1 또는 0의 위치를 구분할 수 있는 수열 표기법은 다양하므로, 본 명세서에 표현한 방법에 국한되지 않고 대수적으로 동일한 효과를 나타내는 다양한 수열의 형태로 나타낼 수 있다. 상기 수열은, 다른 수열과 구분하기 위하여 LDPC 수열 또는 LDPC 부호 수열 또는 LDPC matrix 수열 또는 패리티 검사 행렬 수열 등 다양한 방식으로 지칭될 수 있다.

[0078]

또한 디바이스 상의 송수신 장치에서도 패리티 검사 행렬을 직접 생성하여 LDPC 부호화 및 복호화를 수행할 수도 있지만, 구현 상의 특징에 따라 상기 패리티 검사 행렬과 대수적으로 동일한 효과를 내는 지수 행렬이나 수열을 이용하여 LDPC 부호화 및 복호화를 수행할 수도 있다. 따라서 본 개시에서 편의상 패리티 검사 행렬을 이용한 부호화 및 복호화에 대해서 설명하고 있지만, 실제 디바이스 상에서는 상기 패리티 검사 행렬과 동일한 효과를 얻을 수 있는 다양한 방법을 통해 구현 가능성을 고려하고 있음에 유의한다. 다시 말해, 패리티 검사 행렬을 이용하여 부호화 및 복호화가 수행되는 것으로 실시 예들이 서술되나, 이는 패리티 검사 행렬을 직접 생성하는 것 외에, 패리티 검사 행렬을 대체할 수 있는 다른 정보(예: 대응하는 정보를 포함하는 행렬 혹은 수열)를 이용하는 것을 포함할 수 있다.

[0079]

참고로 대수적으로 동일한 효과란, 서로 다른 두 개 이상의 표현에 대해서 논리적 또는 수학적으로 서로 간에 완벽하게 동일함을 설명 가능하거나 변환 가능함을 의미한다.

[0080]

본 개시에서는 편의상 하나의 블록에 대응되는 순환 순열 행렬이 1 개인 경우만 설명하였으나, 이하 하나의 블록에 여러 개의 순환 순열 행렬이 포함된 경우에도 동일한 발명이 적용될 수 있다. 예를 들어, 다음 수학식 5와

$$P^{a_{ij}^{(1)}}, P^{a_{ij}^{(2)}}$$

같이 하나의 i 번째 행 블록 및 j 번째 열 블록의 위치에 2 개의 순환 순열 행렬의 합으로 포함되어 있을 때, 그 지수 행렬은 수학식 6과 같이 나타낼 수 있다. 상기 수학식 6을 살펴보면, 상기 복수 개의 순환 순열 행렬 합이 포함된 행 블록 및 열 블록에 대응되는 i 번째 행 및 j 번째 열에 2 개의 정수가 대응되는 행렬임을 알 수 있다.

[0081] [수학식 5]

$$H = \begin{bmatrix} \ddots & \square & \square & \square & \ddots \\ \square & P^{a_{ij}^{(1)}} + P^{a_{ij}^{(2)}} & \square & \square & \square \\ \square & \square & \square & \square & \square \\ \square & \square & \square & \square & \square \\ \ddots & \square & \square & \square & \ddots \end{bmatrix}$$

[0082]

[0083] [수학식 6]

$$E(\mathbf{H}) = \begin{bmatrix} \begin{matrix} \cdot & & & & & \\ & \cdot & & & & \\ & & \cdot & & & \\ & & & \cdot & & \\ & & & & \cdot & \\ & & & & & \cdot \end{matrix} & & \begin{matrix} \cdot & & & & & \\ & \cdot & & & & \\ & & \cdot & & & \\ & & & \cdot & & \\ & & & & \cdot & \\ & & & & & \cdot \end{matrix} \\ \begin{matrix} \cdot & & & & & \\ & \cdot & & & & \\ & & \cdot & & & \\ & & & \cdot & & \\ & & & & \cdot & \\ & & & & & \cdot \end{matrix} & \begin{matrix} \cdot & & & & & \\ & \cdot & & & & \\ & & \cdot & & & \\ & & & \cdot & & \\ & & & & \cdot & \\ & & & & & \cdot \end{matrix} \\ \begin{matrix} \cdot & & & & & \\ & \cdot & & & & \\ & & \cdot & & & \\ & & & \cdot & & \\ & & & & \cdot & \\ & & & & & \cdot \end{matrix} & \begin{matrix} \cdot & & & & & \\ & \cdot & & & & \\ & & \cdot & & & \\ & & & \cdot & & \\ & & & & \cdot & \\ & & & & & \cdot \end{matrix} \\ \begin{matrix} \cdot & & & & & \\ & \cdot & & & & \\ & & \cdot & & & \\ & & & \cdot & & \\ & & & & \cdot & \\ & & & & & \cdot \end{matrix} & \begin{matrix} \cdot & & & & & \\ & \cdot & & & & \\ & & \cdot & & & \\ & & & \cdot & & \\ & & & & \cdot & \\ & & & & & \cdot \end{matrix} \\ \begin{matrix} \cdot & & & & & \\ & \cdot & & & & \\ & & \cdot & & & \\ & & & \cdot & & \\ & & & & \cdot & \\ & & & & & \cdot \end{matrix} & \begin{matrix} \cdot & & & & & \\ & \cdot & & & & \\ & & \cdot & & & \\ & & & \cdot & & \\ & & & & \cdot & \\ & & & & & \cdot \end{matrix} \\ \begin{matrix} \cdot & & & & & \\ & \cdot & & & & \\ & & \cdot & & & \\ & & & \cdot & & \\ & & & & \cdot & \\ & & & & & \cdot \end{matrix} & \begin{matrix} \cdot & & & & & \\ & \cdot & & & & \\ & & \cdot & & & \\ & & & \cdot & & \\ & & & & \cdot & \\ & & & & & \cdot \end{matrix} \end{bmatrix}$$

[0084]

[0085]

상기 실시 예와 같이 일반적으로 QC-LDPC 부호는 패리티 검사 행렬에서 하나의 행 블록 및 열 블록에 복수 개의 순환 순열 행렬이 대응될 수 있으나 본 개시에서는 편의상 하나의 블록에 하나의 순환 순열 행렬이 대응되는 경우에 대해서만 설명된다. 그러나, 본 개시의 실시 예들은 이에 한정되지 않는다. 참고로 이와 같이 하나의 행 블록 및 열 블록에 복수 개의 순환 순열 행렬이 중복되어 있는 L x L 크기의 행렬을 순환 행렬(circulant matrix 또는 circulant)이라 한다.

[0086]

한편, 상기 수학식 5 및 수학식 6의 패리티 검사 행렬 및 지수 행렬에 대한 모행렬 또는 기본행렬은 상기 수학식 3에서 사용된 정의와 유사하게 각 순환 순열 행렬 및 0-행렬을 각각 1과 0으로 치환(replace)하여 얻은 이진(binary) 행렬을 의미하는데, 하나의 블록에 포함된 복수 개의 순환 순열 행렬의 합 (즉, 순환 행렬) 또한 단순히 1로 치환한다.

[0087]

LDPC 부호의 성능은 패리티 검사 행렬에 따라 결정되기 때문에, 우수한 성능을 갖는 LDPC 부호를 위해 패리티 검사 행렬을 설계하는 것이 요구된다. 또한 다양한 입력 길이와 부호율을 지원할 수 있는 LDPC 부호화 또는 복호화 방법이 요구된다.

[0088]

리프팅(Lifting)은 QC-LDPC 부호의 효율적인 설계를 위해서 사용될 뿐만 아니라, 주어진 지수 행렬로부터 다양한 길이의 패리티 검사 행렬을 생성하거나 LDPC 부호어를 생성하기 위해서 사용되는 방법을 의미한다. 즉, 상기 리프팅은 주어진 작은 모행렬로부터 순환 순열 행렬 또는 0-행렬의 크기를 결정하는 L 값을 특정한 규칙에 따라 설정함으로써 효율적으로 매우 큰 패리티 검사 행렬을 설계하는데 적용되거나, 주어진 지수 행렬 또는 그에 대응되는 수열에 적절한 L 값을 적용함으로써 다양한 길이의 패리티 검사 행렬을 생성하거나 LDPC 부호어를 생성하는 방법을 의미한다. 일 실시 예에 따라, 적절한 L 값은 본 개시에서 후술되는 실시 예들의 Z 값을 의미할 수 있다.

[0089]

기존 리프팅 방법과 이렇게 리프팅을 통해 설계된 QC-LDPC 부호의 특징을 다음과 같은 참조문헌 [Myung2006]을 참고하여 간단히 설명한다.

[0090]

Reference [Myung2006]

[0091]

S. Myung, K. Yang, and Y. Kim, "Lifting Methods for Quasi-Cyclic LDPC Codes," IEEE Communications Letters. vol. 10, pp. 489-491, June 2006.

[0092]

먼저 LDPC 부호 C_0 가 주어지 있을 때 리프팅 방법을 통해 설계될 S개의 QC-LDPC 부호를 C_1, \dots, C_S 라 하고, 상기 각 QC-LDPC 부호의 패리티 검사 행렬의 행블록 및 열블록의 크기에 해당하는 값은 L_k 라 한다. 여기서 C_0 는 C_1, \dots, C_S 부호의 모행렬을 패리티 검사 행렬로 가지는 가장 작은 LDPC 부호에 해당하며 행블록 및 열블록의 크기에 해당하는 L_0 값은 1이다. 또, 편의상 각 부호 C_k 의 패리티 검사 행렬 H_k 는 $m \times n$ 크기의 지수 행렬 $E(H_k) = (e_{i,j}^{(k)})$ 을 가지며 각 지수 $e_{i,j}^{(k)}$ 은 $\{-1, 0, 1, 2, \dots, L_k - 1\}$ 값 중에 하나로 선택된다.

[0093]

기존 리프팅 방법은 $C_0 \rightarrow C_1 \rightarrow \dots \rightarrow C_S$ 와 같은 단계로 이루어지며 $L_{k+1} = q_{k+1}L_k$ (q_{k+1} 은 양의 정수, $k=0,1,\dots, S-1$)와 같은 조건을 만족하는 특징을 가진다. 또한 리프팅 과정의 특성에 의해 C_S 의 패리티 검사 행렬 H_S 만 저장하고 있으면 리프팅 방식에 따라 다음 수학식 7을 이용하여 상기 QC-LDPC 부호 C_0, C_1, \dots, C_S 를 모두 나타낼 수 있다.

[0094] [수학식 7]

$$E(H_k) \equiv \begin{bmatrix} L_k \\ L_S \end{bmatrix} E(H_S)$$

[0095]

[0096] 또는

[0097] [수학식 8]

$$E(H_k) \equiv E(H_S) \pmod{L_k}$$

[0098]

[0099] 이와 같이 C_0 로부터 보다 큰 QC-LDPC 부호 C_1, \dots, C_S 등을 설계하는 방법뿐만 아니라 큰 부호 C_k 로부터 수학식 7 또는 수학식 8과 같이 적절한 방법을 이용하여 작은 부호 $C_i(i=k-1, k-2, \dots, 1, 0)$ 를 생성하는 방법을 리프팅이라 부른다.

[0100]

상기 수학식 7 또는 8의 리프팅 방식은 각 QC-LDPC 부호 C_k 의 패리티 검사 행렬에서 행블록 또는 열블록의 크기에 해당하는 L_k 들이 서로 배수 관계(multiple)를 가지게 되어, 지수 행렬 또한 특정 방식에 의해 선택된다. 이와 같은 기존 리프팅 방식은 리프팅을 통해 설계된 각 패리티 검사 행렬의 대수적 또는 그래프 특성을 좋게 하여 오류 마루(error floor) 특성을 개선한 QC-LDPC 부호를 쉽게 설계할 수 있게 돕는다.

[0101]

일반적으로 리프팅은 수학식 4의 지수 행렬을 다양한 L 값에 대해 그 원소들의 값들을 변경하여 LDPC 부호화 및 복호화에 사용될 수 있다. 예를 들어, 상기 수학식 4의 지수 행렬을 $E=(a_{i,j})$ 라 하고, L 값에 따라 변환된 지수 행렬을 $E_L=(a_{i,j}^{(L)})$ 이라 할 때 일반적으로 다음과 수학식 9와 같은 변환식이 적용될 수 있다.

[0102]

[수학식 9]

$$a_{i,j}^{(L)} = \begin{cases} a_{i,j} & a_{i,j} < 0 \\ f(a_{i,j}, L) & a_{i,j} \geq 0 \end{cases}$$

또는

$$a_{i,j}^{(L)} = \begin{cases} a_{i,j} & a_{i,j} \leq 0 \\ f(a_{i,j}, L) & a_{i,j} > 0 \end{cases}$$

[0103]

[0104]

상기 수학식 9에서 $f(x, L)$ 는 다양한 형태로 정의할 수 있다. 예를 들면, $f(x, L)$ 는 다음 수학식 10과 같은 정의들이 사용될 수도 있다.

[0105] [수학식 10]

$$f(x, L) = \text{mod}(x, 2^{\lfloor \log_2 L \rfloor})$$

또는

$$f(x, L) = \left\lfloor \frac{x}{2^{D - \lfloor \log_2 L \rfloor}} \right\rfloor$$

또는

$$f(x, L) = \left\lfloor \frac{L}{D} x \right\rfloor$$

[0106]

[0107] 상기 수학식 10에서 $\text{mod}(a, b)$ 는 a 에 대한 모듈로- b 연산을 의미하며, D 는 사전에 정의된 양의 정수인 상수를 의미한다.

[0108] 참고로 상기 수학식 9의 변환식에서 변환식 f 를 적용하는 기준을 편의상 0으로 나타내었으나 그 기준 값은 지원하고자 하는 블록 크기 L 값에 따라 다르게 설정될 수 있다. 또한, 지수 행렬 또는 LDPC 수열의 표현에 있어서 0 행렬에 대응되는 지수를 처음부터 배제하는 경우, 수학식 9에서 지수가 0 보다 작은 값들에 대한 규칙은 생략될 수 있다.

[0109] 본 개시의 다른 실시 예로서 정해진 하나의 기본 행렬 상에서 복수 개의 지수 행렬 또는 LDPC 수열에 기반하여 LDPC 부호화 및 복호화를 적용하는 경우에 대해서 설명한다. 즉, 기본 행렬은 하나로 고정되어 있으며, 상기 기본 행렬 상에서 정의된 LDPC 부호의 지수 행렬 또는 수열 등을 결정하고, 상기 지수 행렬 또는 수열로부터 각 블록 크기 그룹에 포함된 블록 크기에 맞게 리프팅을 적용함으로써 가변 길이의 LDPC 부호화 및 복호화가 수행된다. 이러한 방식은 LDPC 부호의 지수 행렬 또는 LDPC 수열을 구성하는 원소 또는 숫자들은 서로 다른 값을 가질 수 있지만, 해당 원소 또는 숫자들의 위치는 기본 행렬 상에서 정확히 일치하는 특징을 가진다. 이와 같이 지수 행렬 또는 LDPC 수열들은 각각 순환 순열 행렬의 지수, 즉, 비트들에 대한 일종의 순환 시프트(circular shift) 값을 의미하는데, 원소 또는 숫자들의 위치를 모두 동일하게 설정함으로써 해당 순환 순열 행렬에 대응되는 비트들의 위치를 파악하기가 용이하다. 참고로 지수 행렬 또는 LDPC 수열은 블록 크기(Z)에 대응되는 비트들의 순환 시프트 값에 대응되기 때문에 상기 지수 행렬은 시프트 행렬 (shift matrix) 또는 시프트 값 행렬 (shift value matrix) 또는 시프트 수열 (shift sequence) 또는 시프트 값 수열 (shift value sequence) 등과 같이 다양하게 명명될 수 있다.

[0110] 지원하고자 하는 블록 크기(Z)를 다음 수학식 11과 같이 복수 개의 블록 크기 그룹 (또는 집합)으로 구분하자. 상기 블록 크기(Z)는 LDPC 부호의 패리티 검사 행렬에서 순환 순열 행렬 또는 순환 행렬의 크기 $Z \times Z$ 에 대응되는 값임에 유의한다.

[0111] [수학식 11]

[0112] $Z_1 = \{2, 4, 8, 16, 32, 64, 128, 256\}$

[0113] $Z_2 = \{3, 6, 12, 24, 48, 96, 192, 384\}$

[0114] $Z_3 = \{5, 10, 20, 40, 80, 160, 320\}$

[0115] $Z_4 = \{7, 14, 28, 56, 112, 224\}$

[0116] $Z_5 = \{9, 18, 36, 72, 144, 288\}$

[0117] $Z_6 = \{11, 22, 44, 88, 176, 352\}$

[0118] $Z_7 = \{13, 26, 52, 104, 208\}$

[0119] $Z_8 = \{15, 30, 60, 120, 240\}$

[0120] 상기 수학식 11은 일례일 뿐이며, 다양한 변형을 통해 실시 예들이 확장될 수 있다. 일 실시 예에 따라, 상기 수학식 11의 블록 크기 그룹에 포함된 모든 블록 크기(Z) 값을 사용할 수도 있다. 또한, 일 실시 예에 따라, 다음 수학식 12와 같이 적절한 부분 집합에 포함되는 블록 크기 값이 사용될 수도 있다. 또한, 일 실시 예에 따라, 상기 수학식 11 또는 수학식 12의 블록 크기 그룹(또는 집합)에 적절한 값들이 추가 또는 제외하여 사용될 수도 있다.

[0121] [수학식 12]

[0122] $Z_{1'} = \{8, 16, 32, 64, 128, 256\}$

[0123] $Z_{2'} = \{12, 24, 48, 96, 192, 384\}$

[0124] $Z_{3'} = \{10, 20, 40, 80, 160, 320\}$

[0125] $Z_{4'} = \{7, 14, 28, 56, 112, 224\}$

[0126] $Z_{5'} = \{18, 36, 72, 144, 288\}$

[0127] $Z_{6'} = \{11, 22, 44, 88, 176, 352\}$

[0128] $Z_{7'} = \{26, 52, 104, 208\}$

[0129] $Z_{8'} = \{15, 30, 60, 120, 240\}$

[0130] 상기 수학식 11 및 수학식 12의 블록 크기 그룹들의 특징은 서로 다른 입도 (granularity)를 가질 뿐만 아니라 이웃한 블록 크기의 비율이 모두 동일한 정수인 특징을 가지고 있다. 다시 말해, 하나의 그룹에 포함되어 있는 블록 크기들은 서로 약수 또는 배수 관계에 있다. p ($p = 1, 2, \dots, 8$)번째 그룹에 대응되는 지수 행렬을 각각 $E_p = (e_{i,j}^{(p)})$ 라 하고, 상기 p 번째 그룹에 포함된 Z 값에 대응되는 지수 행렬을 $E_p(Z) = (e_{i,j}(Z))$ 라 할 때, $f_p(x, Z) = x \pmod{Z}$ 를 이용하여 수학식 9와 같은 수열의 변환 방법을 적용하자. 예를 들어, 블록 크기 Z 가 $Z = 28$ 와 같이 결정된 경우에는 $Z = 28$ 이 포함되어 있는 4번째 블록 크기 그룹에 대응되는 지수 행렬(또는 LDPC 수열) $E_4 = (e_{i,j}(4))$ 에 대해서 $Z = 28$ 에 대한 지수 행렬(또는 LDPC 수열) $E_4(28) = E_4 = (e_{i,j}(28))$ 각 원소 $e_{i,j}(28)$ 를 다음 수학식 13과 같이 얻을 수 있다.

[0131] [수학식 13]

$$e_{i,j}(28) = \begin{cases} e_{i,j}^{(4)} & e_{i,j}^{(4)} \leq 0 \\ e_{i,j}^{(4)} \pmod{28} & e_{i,j}^{(4)} > 0 \end{cases}$$

or

$$e_{i,j}(28) = \begin{cases} e_{i,j}^{(4)} & e_{i,j}^{(4)} < 0 \\ e_{i,j}^{(4)} \pmod{28} & e_{i,j}^{(4)} \geq 0 \end{cases}$$

[0132]

[0133] 상기 수학식 13과 같은 변환은 간단히 다음 수학식 14와 같이 나타내기도 한다.

[0134] [수학식 14]

$$E_p(Z) = E_p \pmod{Z}, Z \in Z_p$$

[0135]

[0136] 참고로, 이상에서는 수학식 9, 10 또는 수학식 11 내지 수학식 14에서의 리프팅 또는 지수 행렬의 변환 방식이 패리티 검사 행렬에 대응되는 지수 행렬 전체에 적용하는 것을 가정하여 설명되었으나, 이러한 변환 방식은 상기 지수 행렬의 부분적으로도 적용 가능하다.

[0137] 통상적으로 패리티 검사 행렬의 패리티 비트에 대응되는 부분 행렬(submatrix)은 효율적인 부호화를 위해서 특수한 구조를 가지는 경우가 많다. 이 경우에 리프팅에 의해 부호화 방법 또는 복잡도에 변화가 생길 수도 있다.

따라서 동일한 부호화 방법 또는 복잡도 유지를 위해서 패리티 검사 행렬에서 패리티에 대응되는 부분 행렬에 대한 지수 행렬의 일부에는 리프팅이 적용되지 않거나 정보어 비트에 대응되는 부분 행렬에 대한 지수 행렬에 적용하는 리프팅 방식과 서로 다른 리프팅이 적용될 수 있다. 다시 말하면, 지수 행렬 내에서 정보어 비트에 대응되는 수열에 적용하는 리프팅 방식과 패리티 비트에 대응되는 수열에 적용하는 리프팅 방식이 서로 다르게 설정될 수 있으며, 경우에 따라 패리티 비트에 대응되는 수열의 일부 또는 전체에는 리프팅을 적용하지 않아 수열 변환 없이 고정된 값이 사용될 수도 있다.

- [0138] 도 4는 본 개시의 일 실시 예에 따른 송신 장치(400)의 블록 구성도이다.
- [0139] 도 4를 참고하면, 송신 장치(400)는 가변 길이 입력 비트들을 처리하기 위해, 세그멘테이션부(410), 제로 패딩부(420), LDPC 부호화부(430), 레이트 매칭부(440), 변조부(450) 등을 포함할 수 있다. 레이트 매칭부(440)은 인터리버(441) 및 평처링/리피티션(repetition)/제로 제거부(442) 등을 포함할 수 있다.
- [0140] 여기에서, 도 4에 도시된 구성 요소는, 가변 길이 입력 비트들에 대한 부호화 및 변조를 수행하는 구성 요소로서, 이는 일 예일뿐이며, 경우에 따라 도 4에 도시된 구성요소 중 일부는 생략 또는 변경될 수 있고, 다른 구성요소가 더 추가될 수도 있다. 변조 방식의 예로서는 QPSK(Quadrature Phase Shift Keying), 16-QAM(Quadrature Amplitude Modulation), 64-QAM, 256-QAM, 1024-QAM과 같은 QAM 방식 또는 PSK(phase shift keying) 또는 APSK(amplitude and PSK) 방식 등의 방식들 중 어떠한 것들도 가능하다.
- [0141] 송신 장치(400)는 필요한 파라미터(예를 들어, 입력 비트 길이, ModCod(modulation and code rate), 제로 패딩(또는 단축(shortening))을 위한 파라미터, LDPC 부호의 부호율, 정보어 또는 부호어 길이, 인터리빙(interleaving)을 위한 파라미터, 리피티션(repetition) 및 평처링(puncturing) 등을 위한 파라미터 및 변조 방식 등)를 결정하고, 결정된 파라미터를 기반으로 입력 비트를 부호화하여 수신 장치(500)로 전송할 수 있다.
- [0142] 입력 비트들의 수가 가변적이라는 점에서, 입력 비트들의 수가 기설정된 값보다 큰 경우, 입력 비트들은 기설정된 값 이하의 길이를 갖도록 세그먼트이션(segmentation) 될 수 있다. 또한 세그먼트된 블록 각각은 하나의 LDPC 코딩된 블록에 대응될 수 있다. 다만, 입력 비트들의 수가 기 설정된 값보다 작거나 같은 경우, 세그먼트이션 되지 않는다. 입력 비트들은 하나의 LDPC 코딩된 블록에 대응될 수 있다.
- [0143] 송신 장치(400)는 부호화, 인터리빙 및 변조에 이용되는 각종 파라미터를 기저장하고 있을 수 있다. 여기에서, 부호화에 이용되는 파라미터는 LDPC 부호의 부호율, 입력 비트 또는 정보어 또는 부호어 길이, 패리티 검사 행렬에 대한 정보 들 중 적어도 하나를 포함할 수 있다. 그리고, 인터리빙에 이용되는 파라미터는 인터리빙 룰에 대한 정보를 포함할 수 있으며, 변조에 이용되는 파라미터는 변조 방식에 대한 정보를 포함할 수 있다. 또한 평처링에 관한 정보는 평처링 길이를 포함할 수 있다. 또한 리피티션에 관한 정보는 리피티션 길이를 포함할 수 있다. 상기 패리티 검사 행렬에 대한 정보는 본 개시에서 제시하는 패리티 행렬을 사용할 경우 순환 행렬의 지수 값을 포함할 수 있다. 송신 장치(400)를 구성하는 각 구성 요소는 이러한 파라미터를 이용하여 동작을 수행할 수 있다.
- [0144] 한편, 도 4에서는 채널 부호화를 위한 기능적 구성들이 서술되었으나, 경우에 따라 송신 장치(400)는 송신 장치(400)의 동작을 제어하기 위한 구성들(미도시)을 더 포함할 수도 있다.
- [0145] 일 실시 예에 따라, 송신 장치(400)는 통신부를 더 포함할 수 있다. 통신부는 무선 채널을 통해 신호를 송수신하기 위한 기능들을 수행한다. 예를 들어, 통신부는 시스템의 물리 계층 규격에 따라 기저대역 신호 및 비트열 간 변환 기능을 수행한다. 예를 들어, 데이터 송신 시, 통신부는 송신 비트열을 부호화 및 변조함으로써 복소 심벌들을 생성한다. 또한, 데이터 수신 시, 통신부는 기저대역 신호를 복조 및 복호화를 통해 수신 비트열을 복원한다. 또한, 통신부는 기저대역 신호를 RF(radio frequency) 대역 신호로 상향변환한 후 안테나를 통해 송신하고, 안테나를 통해 수신되는 RF 대역 신호를 기저대역 신호로 하향변환한다. 다양한 실시 예들에 따라, 송신 장치(400)는 LDPC 부호화된 신호를 후술하는 수신 장치(500)에게 전송할 수 있다.
- [0146] 이를 위해, 통신부는 송신 필터, 수신 필터, 증폭기, 믹서(mixer), 오실레이터(oscillator), DAC(digital to analog convertor), ADC(analog to digital convertor) 등을 포함할 수 있다. 또한, 통신부는 다수의 송수신 경로(path)들을 포함할 수 있다. 나아가, 통신부는 다수의 안테나 엘리먼트들(antenna elements)로 구성된 적어도 하나의 안테나 어레이(antenna array)를 포함할 수 있다. 하드웨어의 측면에서, 통신부는 디지털 유닛(digital unit) 및 아날로그 유닛(analog unit)으로 구성될 수 있으며, 아날로그 유닛은 동작 전력, 동작 주파수 등에 따라 다수의 서브 유닛(sub-unit)들로 구성될 수 있다.
- [0147] 통신부는 신호를 송수신할 수 있다. 이를 위해, 통신부는 적어도 하나의 송수신기(transceiver)를 포함할 수 있

다. 예를 들어, 통신부는 동기 신호(synchronization signal), 기준 신호(reference signal), 시스템 정보, 메시지, 제어 정보, 또는 데이터 등을 전송할 수 있다. 또한, 통신부는 빔포밍을 수행할 수 있다.

- [0148] 통신부는 상술한 바와 같이 신호를 송신 및 수신한다. 이에 따라, 통신부의 전부 또는 일부는 '송신부', '수신부' 또는 '송수신부'로 지칭될 수 있다. 또한, 이하 설명에서, 무선 채널을 통해 수행되는 송신 및 수신은 통신부에 의해 상술한 바와 같은 처리가 수행되는 것을 포함하는 의미로 사용된다.
- [0149] 일 실시 예에 따라, 송신 장치(400)는 저장부를 더 포함할 수 있다. 저장부는 송신 장치(400)의 동작을 위한 기본 프로그램, 응용 프로그램, 설정 정보 등의 데이터, 상술된 파라미터들을 저장할 수 있다. 저장부는 메모리(memory)를 포함할 수 있다. 저장부는 휘발성 메모리, 비휘발성 메모리 또는 휘발성 메모리와 비휘발성 메모리의 조합으로 구성될 수 있다. 그리고, 저장부는 제어부의 요청에 따라 저장된 데이터를 제공할 수 있다.
- [0150] 일 실시 예에 따라, 송신 장치(400)는 제어부를 더 포함할 수 있다. 제어부는 송신 장치(400)의 전반적인 동작들을 제어할 수 있다. 예를 들어, 제어부는 통신부를 통해 신호를 송신 및 수신한다. 또한, 제어부는 저장부에 데이터를 기록하고, 읽는다. 그리고, 제어부는 통신 규격에서 요구하는 프로토콜 스택(protocol stack)의 기능들을 수행할 수 있다. 이를 위해, 제어부는 적어도 하나의 프로세서(processor)를 포함할 수 있다. 상술된 채널 부호화를 위한 동작들은 저장된 명령어 집합 또는 코드로서, 적어도 일시적으로 제어부에 상주된(resided) 명령어/코드 또는 명령어/코드를 저장한 저장 공간이거나, 또는, 제어부를 구성하는 회로(circuitry)의 일부일 수 있다. 다양한 실시 예들에 따라, 제어부는 송신 장치가 후술하는 다양한 실시 예들에 따른 동작들을 수행하도록 제어할 수 있다.
- [0151] 도 5는 본 개시의 일 실시 예에 따른 수신 장치의 블록 구성도이다.
- [0152] 도 5를 참고하면, 수신 장치(500)는 가변 길이 정보들을 처리하기 위해, 복조부(510), 레이트 디매칭부(520), LDPC 복호화부(530), 제로 제거부(540) 및 디세그멘테이션부(550) 등을 포함할 수 있다. 레이트 디매칭부(520)는 LLR(log likelihood ratio) 삽입부(522), LLR 컴바이너(523), 디인터리버(524) 등을 포함할 수 있다. LLR 삽입부(522) 및 LLR 컴바이너(523) 등은 복호를 위해 사용되는 값들에 따라 그 이름이 달라질 수 있다. 예를 들어, LLR 대신 LR(likelihood ratio)과 같은 값들을 기반으로 복호를 수행할 경우에는 LR 삽입부 및 LR 컴바이너 등과 같이 복호에 사용되는 값들을 기반으로 이름이 결정될 수 있으며, 상기 값들을 기반으로 동작이 다소 달라질 수 있다.
- [0153] 복조부(510)의 동작은 경우에 따라 여러 과정으로 세분화되어 표현될 수 있다. 예를 들면, 복조부(510)은 수신된 신호를 기반으로 채널 추정(channel estimation) 결과를 획득하는 과정과 채널 추정 결과를 기반으로 복조된 신호 또는 심볼로부터 전송된 부호어 비트에 대응되는 FEC(forward error control) 복호화에 필요한 값들(e.g., LLR 또는 LR 또는 그에 대응되는 값 등)을 결정하는 과정으로 세분화될 수 있다. 이 경우에는 각 복조부 내 동작은 각 채널 측정 블록과 심볼-LLR (symbol-to-LLR) 변환 블록 등으로 세분화되어 나타낼 수도 있다. 물론 시스템의 구조에 따라 다양한 세분화가 가능하다.
- [0154] 여기에서, 도 5에 도시된 구성요소는, 도 5에 도시된 구성요소에 대응되는 기능을 수행하는 구성요소로서, 이는 일 예일뿐이고 경우에 따라 일부는 생략 또는 변경될 수 있고, 다른 구성요소가 더 추가될 수도 있다.
- [0155] 본 개시에서의 패리티 검사 행렬은 메모리를 이용하여 독출(read)될 수도 있고, 송신 장치 또는 수신 장치에서 사전에 주어질 수도 있고, 송신 장치 또는 수신 장치에서 직접 생성될 수도 있다. 또한 송신 장치는 상기 패리티 검사 행렬에 대응되는 수열 또는 지수 행렬 등을 저장 또는 생성하여 부호화에 적용할 수 있다. 마찬가지로 수신 장치에서도 상기 패리티 검사 행렬에 대응되는 수열 또는 지수 행렬 등을 저장 또는 생성하여 복호화에 적용될 수 있음은 물론이다.
- [0156] 이하에서는 도 5를 기반으로 수신기 동작에 대한 구체적인 설명을 하도록 한다. 복조부(510)는 송신 장치(400)로부터 수신된 신호를 복조한다. 구체적으로, 복조부(510)는 송신 장치(400)의 변조부(450)에 대응되는 구성요소로, 송신 장치(400)로부터 송신된 신호를 수신 및 복조하여, 송신 장치(400)에서 전송한 비트들에 대응되는 값(e.g., LLR 또는 LR 또는 그에 대응되는 값)들을 생성할 수 있다. 이를 위해, 수신 장치(500)는 송신 장치(400)에서 모드에 따라 변조한 변조 방식에 대한 정보를 기저장할 수 있다. 이에 따라, 복조부(510)는 모드에 따라 송신 장치(400)로부터 수신된 신호를 복조하여, LDPC 코드워드 비트들에 대응되는 값들을 생성할 수 있다.
- [0157] LR 값은 송신 장치(400)에서 전송한 비트가 0일 확률과 1일 확률의 비율을 의미하며, LLR 값은 송신 장치(400)에서 전송한 비트가 0일 확률과 1일 확률의 비율에 Log를 취한 값으로 나타낼 수 있다. 또는, LR 또는 LLR 값은 상기 확률 또는 확률의 비율 또는 확률의 비율에 대한 Log 값에 따라 경관정 되어 그 비트 값 자체로 나타낼 수

도 있으며, 또는 상기 확률 또는 확률의 비율 또는 확률의 비율에 대한 Log 값이 속하는 구간에 따라 사전에 정의된 대표 값으로 나타낼 수도 있다. 상기 확률 또는 확률의 비율 또는 확률의 비율에 대한 Log 값이 속하는 구간에 따라 사전에 정의된 대표 값을 결정하는 방법의 일례로는 양자화(quantization)를 고려한 방법 등이 있다. 이외에도 상기 확률 또는 확률의 비율 또는 확률의 비율에 대한 Log 값과 대응되는 다양한 다른 값들을 이용할 수도 있다.

- [0158] 본 개시에서는 판정을 위한 확률 값으로 편의상 LLR 값을 예시하여 수신 방법 및 장치의 동작들이 서술되나, 반드시 이에 한정되지는 않는다.
- [0159] 상기 복조부(510)는 LLR 값에 대한 멀티플렉싱(미도시)을 수행하는 기능을 포함한다. 구체적으로, 믹스(미도시)는 송신 장치(400)의 비트 디믹스(미도시)에 대응되는 구성요소로, 비트 디믹스(미도시)에 대응되는 동작을 수행할 수 있다. 이를 위해, 수신 장치(500)는 송신 장치(400)가 디멀티플렉싱 및 블록 인터리빙을 위해 이용하였던 파라미터에 대한 정보를 기저장하고 있을 수 있다. 이에 따라, 믹스(미도시)는 셀 워드(LDPC 코드워드)에 대한 수신 심볼을 벡터 값으로 나타낸 정보에 대응되는 LLR 값에 대해 비트 디믹스(미도시)에서 수행된 디멀티플렉싱 및 블록 인터리빙 동작을 역으로 수행하여, 셀 워드에 대응되는 LLR 값을 비트 단위로 멀티플렉싱할 수 있다.
- [0160] 레이트 디매칭부(520)은 복조부(510)로부터 출력되는 LLR 값들에 LLR 값을 추가로 삽입할 수 있다. 이 경우, 레이트 디매칭부(520)는 복조부(510)로부터 출력되는 LLR 값들의 사이에 미리 약속된 LLR 값들을 삽입할 수 있다. 구체적으로, 레이트 디매칭부(520)는 송신 장치(400)의 레이트 매칭부(440)에 대응되는 구성요소로, 인터리버(441), 제로 제거 및 평처링/리피티션/제로 제거부(442)에 대응되는 동작을 수행할 수 있다.
- [0161] 레이트 디매칭부(520)는 상기 송신기의 인터리버(441)에 상응하도록 디인터리빙을 수행한다. 디인터리버(524)의 출력 값들에 LLR 삽입부(522)에서 LDPC 코드워드에서 제로 비트들이 패딩되었던 위치에 제로 비트들에 대응되는 LLR 값이 삽입될 수 있다. 이 경우, 패딩되었던 제로 비트들 즉, 쇼트닝된 제로 비트들에 대응되는 LLR 값은 ∞ 또는 $-\infty$ 가 될 수 있다. 하지만, ∞ 또는 $-\infty$ 는 이론적인 값이며, 실질적으로는 수신 장치(500)에서 이용되는 LLR 값의 최대값 또는 최소값이 될 수 있다.
- [0162] 이를 위해, 수신 장치(500)는 송신 장치(400)가 제로 비트들을 패딩하기 위해 이용하였던 파라미터에 대한 정보를 기저장하고 있을 수 있다. 이에 따라, 레이트 디매칭부(520)는 LDPC 코드워드에서 제로 비트들이 패딩되었던 위치를 판단하고, 해당 위치에 쇼트닝된 제로 비트들에 대응되는 LLR 값을 삽입할 수 있다.
- [0163] 또한, 레이트 디매칭부(520)의 LLR 삽입부(522)는 LDPC 코드워드에서 평처링된 비트들의 위치에 평처링된 비트들에 대응되는 LLR 값을 삽입할 수 있다. 이 경우, 평처링된 비트들에 대응되는 LLR 값은 0 또는 사전에 결정되어 있는 다른 값이 될 수 있다. 일반적으로 차수가 1인 패리티 비트들이 평처링 되었을 경우에 LDPC 복호화 과정에서 성능 개선에 아무런 효과가 없기 때문에 대응되는 평처링 위치의 일부 또는 전체에 LLR 삽입 없이 LDPC 복호화 과정에서 사용되지 않을 수도 있다. 하지만, 병렬 처리 (parallel process)에 기반한 LDPC 복호화 과정의 효율을 높이기 위해서 LLR 삽입부(522)는 복호화 성능 개선과 무관하게 차수가 1인 평처링 비트 일부 또는 전체에 대응되는 위치에 사전에 정해진 LLR 값을 삽입할 수 있다. 이를 위해, 수신 장치(500)는 송신 장치(400)에서 평처링을 위해 이용한 파라미터에 대한 정보를 기저장할 수 있다. 이에 따라, LLR 삽입부(522)는 LDPC 정보어 비트 또는 패리티 비트들이 평처링된 위치에 그에 대응되는 LLR 값 (예: LLR = 0)을 삽입할 수 있다. 단, 일부 평처링된 패리티 비트들의 위치에는 이 과정이 생략될 수도 있다.
- [0164] LLR 컴바이너(523)는 LLR 삽입부(522) 및 복조부(510)에서 출력되는 LLR 값을 컴바인 즉, 합산할 수 있다. 구체적으로, LLR 컴바이너(523)는 송신 장치(400)의 평처링/리피티션/제로 제거부(442)에 대응되는 구성요소로, 리피티션부(442)에 대응되는 동작을 수행할 수 있다. 먼저, LLR 컴바이너(523)는 리피티션된 비트들에 대응되는 LLR 값을 다른 LLR 값과 컴바인할 수 있다. 여기에서, 다른 LLR 값은 송신 장치(400)에서 리피티션된 비트들 생성에 기초가 된 비트들 즉, 리피티션 대상으로 선택되었던 LDPC 정보어 비트 또는 패리티 비트들에 대한 LLR 값일 수 있다. 또한, 3GPP 5G 표준 규격인 TS 38.212 문서에 따르면, 리피티션된 비트들은 HARQ(hybrid ARQ(automatic repeat request))와 같은 재전송 과정에서 설정되는 RV(redundancy version) 값이나 부호율과 같은 파라미터에 기반하여 다양하게 결정될 수도 있다.
- [0165] 상술된 바와 같이, 송신 장치(400)는 LDPC 부호화 비트들을 선택하고, 필요한 경우에 LDPC 정보어 비트들 및 LDPC 패리티 비트들 중 일부를 리피티션시켜 수신 장치(500)로 전송하게 된다. 이에 따라, LDPC 부호화 비트들에 대한 LLR 값은 리피티션된 LDPC 부호화 비트들에 대한 LLR 값 및 리피티션되지 않은 LDPC 부호화 비트들에

대한 LLR 값으로 구성될 수 있다. LLR 콤바이너(523)는 동일한 LDPC 부호화 비트들에 대응되는 LLR 값들을 콤바이너할 수 있다. 이를 위해, 수신 장치(500)는 송신 장치(400)에서 리피티션을 위해 이용한 파라미터에 대한 정보를 기저장할 수 있다. 이에 따라, LLR 콤바이너(523)는 리피티션된 LDPC 부호화 비트들에 대한 LLR 값을 판단하고, 이를 리피티션의 기초가 된 LDPC 부호화 비트들에 대한 LLR 값과 콤바이너할 수 있다.

[0166] 또한, LLR 콤바이너(523)는 재전송 혹은 IR(increment redundancy)된 비트들에 대응되는 LLR 값을 다른 LLR 값과 콤바이너할 수 있다. 여기에서, 다른 LLR 값은 송신 장치(400)에서 재전송 혹은 IR된 비트들 생성에 기초가 된 LDPC 부호화 비트들의 일부 또는 전체에 대한 LLR 값일 수 있다.

[0167] 상술된 바와 같이, 송신 장치(400)는 HARQ를 위하여 NACK이 발생할 경우 부호어 비트들중 일부 비트들 혹은 모든 비트들을 수신 장치(500)로 전송할 수 있다. 이에 따라, LLR 콤바이너(523)는 재전송 혹은 IR을 통해 수신된 비트들에 대한 LLR 값을 이전 프레임을 통해 수신되는 LDPC 코드워드 비트들에 대한 LLR 값과 콤바이너할 수 있다. 이를 위해, 수신 장치(500)는 송신 장치(400)에서 재전송 혹은 IR 비트의 생성을 위해 이용한 파라미터에 대한 정보를 기저장할 수 있다. 이에 따라, LLR 콤바이너(523)는 재전송 혹은 IR 비트들에 대한 LLR 값을 판단하고, 이를 재전송 비트들의 생성에 기초가 된 LDPC 부호화 비트들의 적어도 일부에 대한 LLR 값과 콤바이너할 수 있다.

[0168] 디인터리버(524)는 LLR 콤바이너(523)에서 출력되는 LLR 값을 디인터리빙 할 수 있다. 구체적으로, 디인터리버부(524)는 송신 장치(400)의 인터리버(441)에 대응되는 구성요소로, 인터리버(441)에 대응되는 동작을 수행할 수 있다. 이를 위해, 수신 장치(500)는 송신 장치(400)가 인터리빙을 위해 이용하였던 파라미터에 대한 정보를 기저장하고 있을 수 있다. 이에 따라, 디인터리버(524)는 전송된 LDPC 부호화 비트들에 대응되는 LLR 값에 대해 인터리버(441)에서 수행된 인터리빙 동작을 역으로 수행하여, 상기 전송된 LDPC 부호화 비트들에 대응되는 LLR 값을 디인터리빙 할 수 있다.

[0169] LDPC 복호화부(530)는 레이트 디매칭부(520)에서 출력되는 LLR 값에 기반하여 LDPC 복호화를 수행할 수 있다. 구체적으로, LDPC 복호화부(530)는 송신 장치(400)의 LDPC 부호화부(430)에 대응되는 구성요소로, LDPC 부호화부(430)에 대응되는 동작을 수행할 수 있다. 이를 위해, 수신 장치(500)는 송신 장치(400)에서 모드에 따라 LDPC 부호화를 수행하기 위해 이용하였던 파라미터에 대한 정보를 기저장하고 있을 수 있다. 이에 따라, LDPC 복호화부(530)는 모드에 따라 레이트 디매칭부(520)에서 출력되는 LLR 값에 기반하여 LDPC 복호화를 수행할 수 있다. 예를 들어, LDPC 복호화부(530)는 합곱 알고리즘에 기반한 반복 복호 방식에 기초하여 레이트 디매칭부(520)에서 출력되는 LLR 값에 기반하여 LDPC 복호화를 수행하고, LDPC 복호화에 따라 에러가 정정된 비트들을 출력할 수 있다.

[0170] 제로 제거부(540)는 LDPC 복호화부(530)에서 출력되는 비트들에서 제로 비트들을 제거할 수 있다. 구체적으로, 제로 제거부(540)는 송신 장치(400)의 제로 패딩부(420)에 대응되는 구성요소로, 제로 패딩부(420)에 대응되는 동작을 수행할 수 있다. 이를 위해, 수신 장치(500)는 송신 장치(400)에서 제로 비트들을 패딩하기 위해 이용하였던 파라미터에 대한 정보를 기저장하고 있을 수 있다. 이에 따라, 제로 제거부(540)는 LDPC 복호화부(530)에서 상기 패딩된 비트들을 이용하여 복호를 수행하였을 경우에는 출력되는 비트들에서 제로 패딩부(420)에서 패딩되었던 제로 비트들을 제거할 수 있다. 상기 제로 제거부(540)에서 제로 패딩(또는 단축)된 비트를 제거하는 동작은 실제로 상기 패딩 비트들을 제거하는 동작을 의미할 수도 있지만, 상기 LDPC 복호화부(530)의 출력 비트들을 다음 디세그먼테이션부(550)에 전달할 때 상기 패딩된 비트들은 제외하고 전달하는 동작을 의미할 수도 있다. 또한 송신 장치에서 제로 패딩된 비트들은 수신 장치에서 그 위치를 정확히 알고 있기 때문에 복호 과정에서 사용하지 않을 수도 있으며, 이러한 경우에는 상기 제로 패딩된 비트를 제거하는 과정이 생략될 수도 있다.

[0171] 디세그먼테이션부(550)는 송신 장치(400)의 세그먼테이션부(410)에 대응되는 구성요소로, 세그먼테이션부(410)에 대응되는 동작을 수행할 수 있다. 이를 위해, 수신 장치(500)는 송신 장치(400)가 세그먼테이션을 위해 이용하였던 파라미터에 대한 정보를 기저장하고 있을 수 있다. 이에 따라, 디세그먼테이션부(550)는 제로 제거부(540)에서 출력되는 비트들, 즉 가변 길이 입력 비트들에 대한 세그먼트들을 결합하여, 세그먼테이션 전의 비트들을 복원할 수 있다.

[0172] 일 실시 예에 따라, LDPC 부호는 도 2에서 나열한 이분 그래프 상에서 합곱 알고리즘에 기반한 반복 복호 알고리즘을 사용하여 복호될 수 있으며, 합곱 알고리즘은 메시지 패싱 알고리즘의 일종이다.

[0173] 한편, 도 5에서는 채널 복호화를 위한 기능적 구성들이 서술되었으나, 경우에 따라 수신 장치(500)는 수신 장치(500)의 동작을 제어하기 위한 구성들(미도시)을 더 포함할 수도 있다.

- [0174] 일 실시 예에 따라, 수신 장치(500)는 통신부를 더 포함할 수 있다. 통신부는 무선 채널을 통해 신호를 송수신하기 위한 기능들을 수행한다. 예를 들어, 통신부는 시스템의 물리 계층 규격에 따라 기저대역 신호 및 비트열 간 변환 기능을 수행한다. 예를 들어, 데이터 송신 시, 통신부는 송신 비트열을 부호화 및 변조함으로써 복소 심벌들을 생성한다. 또한, 데이터 수신 시, 통신부는 기저대역 신호를 복조 및 복호화를 통해 수신 비트열을 복원한다. 또한, 통신부는 기저대역 신호를 RF(radio frequency) 대역 신호로 상향변환한 후 안테나를 통해 송신하고, 안테나를 통해 수신되는 RF 대역 신호를 기저대역 신호로 하향변환한다. 다양한 실시 예들에 따라, 수신 장치(500)는 LDPC 부호화된 신호를 송신 장치(400)으로부터 수신할 수 있다.
- [0175] 이를 위해, 통신부는 송신 필터, 수신 필터, 증폭기, 믹서(mixer), 오실레이터(oscillator), DAC(digital to analog convertor), ADC(analog to digital convertor) 등을 포함할 수 있다. 또한, 통신부는 다수의 송수신 경로(path)들을 포함할 수 있다. 나아가, 통신부는 다수의 안테나 엘리먼트들(antenna elements)로 구성된 적어도 하나의 안테나 어레이(antenna array)를 포함할 수 있다. 하드웨어의 측면에서, 통신부는 디지털 유닛(digital unit) 및 아날로그 유닛(analog unit)으로 구성될 수 있으며, 아날로그 유닛은 동작 전력, 동작 주파수 등에 따라 다수의 서브 유닛(sub-unit)들로 구성될 수 있다.
- [0176] 통신부는 신호를 송수신할 수 있다. 이를 위해, 통신부는 적어도 하나의 송수신기(transceiver)를 포함할 수 있다. 예를 들어, 통신부는 동기 신호(synchronization signal), 기준 신호(reference signal), 시스템 정보, 메시징, 제어 정보, 또는 데이터 등을 전송할 수 있다. 또한, 통신부는 빔포밍을 수행할 수 있다.
- [0177] 통신부는 상술한 바와 같이 신호를 송신 및 수신한다. 이에 따라, 통신부의 전부 또는 일부는 '송신부', '수신부' 또는 '송수신부'로 지칭될 수 있다. 또한, 이하 설명에서, 무선 채널을 통해 수행되는 송신 및 수신은 통신부에 의해 상술한 바와 같은 처리가 수행되는 것을 포함하는 의미로 사용된다.
- [0178] 일 실시 예에 따라, 수신 장치(500)는 저장부를 더 포함할 수 있다. 저장부는 수신 장치(500)의 동작을 위한 기본 프로그램, 응용 프로그램, 설정 정보 등의 데이터, 상술된 파라미터들을 저장할 수 있다. 저장부는 메모리(memory)를 포함할 수 있다. 저장부는 휘발성 메모리, 비휘발성 메모리 또는 휘발성 메모리와 비휘발성 메모리의 조합으로 구성될 수 있다. 그리고, 저장부는 제어부의 요청에 따라 저장된 데이터를 제공할 수 있다.
- [0179] 일 실시 예에 따라, 수신 장치(500)는 제어부를 더 포함할 수 있다. 제어부는 수신 장치(500)의 전반적인 동작들을 제어할 수 있다. 예를 들어, 제어부는 통신부를 통해 신호를 송신 및 수신한다. 또한, 제어부는 저장부에 데이터를 기록하고, 읽는다. 그리고, 제어부는 통신 규격에서 요구하는 프로토콜 스택(protocol stack)의 기능들을 수행할 수 있다. 이를 위해, 제어부는 적어도 하나의 프로세서(processor)를 포함할 수 있다. 상술된 채널 부호화를 위한 동작들은 저장된 명령어 집합 또는 코드로서, 적어도 일시적으로 제어부에 상주된(resided) 명령어/코드 또는 명령어/코드를 저장한 저장 공간이거나, 또는, 제어부를 구성하는 회로(circuitry)의 일부일 수 있다. 다양한 실시 예들에 따라, 제어부는 수신 장치가 후술하는 다양한 실시 예들에 따른 동작들을 수행하도록 제어할 수 있다.
- [0180] 도 6a 및 도 6b는 본 개시의 일 실시 예에 따른 LDPC 복호화를 위해 임의의 검사 노드와 변수 노드에서 메시지 패싱 동작을 나타낸 메시지 구조도이다. 이하에서는, 도 6a 및 6b를 참조하여 LDPC 복호화 시 일반적으로 사용되는 메시지 패싱 동작에 대해서 설명하기로 한다.
- [0181] 도 6a, 6b는 LDPC 복호화를 위해 임의의 검사 노드와 변수 노드에서 메시지 패싱 동작을 도시한 도면이다. 메시지 패싱 동작은 검사 노드의 업데이트 동작과 변수 노드의 업데이트 동작을 포함할 수 있다. 도 6a에서는 변수 노드(n)의 업데이트 과정이 서술되고, 도 6b에서는 검사 노드(y)의 업데이트 과정이 서술된다.
- [0182] 도 6a에는 검사 노드 m(600)과 검사 노드 m(600)에 연결되는 다수의 변수 노드들(610, 620, 630, 640)이 도시되어 있다. 또한, 도시되어 있는 Tn', m은 변수 노드 n'(610)에서 검사 노드 m(600)으로 패싱되는 메시지를 나타내며, En, m은 검사 노드 m(600)에서 변수 노드 n(630)으로 패싱되는 메시지를 나타낸다. 여기서, 검사 노드 m(600)에 연결되어 있는 모든 변수 노드들의 집합은 N(m), N(m)에서 변수 노드 n(630)을 제외한 집합은 N(m)\n으로 표현된다.
- [0183] 이 경우, 합곱 알고리즘에 기반한 메시지 업데이트(update) 규칙은 하기 수학식 15와 같이 나타낼 수 있다.

[0184] [수학식 15]

$$|E_{n,m}| = \Phi \left[\sum_{n' \in N(m) \setminus n} \Phi(|T_{n',m}|) \right]$$

$$\text{Sign}(E_{n,m}) = \prod_{n' \in N(m) \setminus n} \text{sign}(T_{n',m})$$

[0185]

[0186] 여기에서, $\text{Sign}(E_{n,m})$ 은 메시지 $E_{n,m}$ 의 부호(sign)를 나타내고, $|E_{n,m}|$ 은 메시지 $E_{n,m}$ 의 크기(magnitude)를 나타낸다. 한편, 함수 $\phi(x)$ 는 하기의 수학식 16과 같이 나타낼 수 있다.

[0187] [수학식 16]

$$\Phi(x) = -\log(\tanh(\frac{x}{2}))$$

[0188]

[0189] 참고로 수학식 16의 $-\log(\tanh(.))$ 함수는 보다 간단하게 $\log(\coth(.))$ 함수로 표현할 수도 있다.

[0190] 한편, 도 6b에는 변수 노드 $x(650)$ 과 변수 노드 $x(650)$ 에 연결되는 다수의 검사 노드들(660, 670, 680, 690)이 도시되어 있다. 또한, 도시되어 있는 $E_{y',x}$ 은 검사 노드 $y'(660)$ 에서 변수 노드 $x(650)$ 로 패싱되는 메시지를 나타내며, $T_{y,x}$ 은 변수 노드 $x(650)$ 에서 검사 노드 $y(680)$ 로 패싱되는 메시지를 나타낸다. 여기서, 변수 노드 $x(650)$ 에 연결되어 있는 모든 검사 노드들의 집합은 $M(x)$, $M(x)$ 에서 검사 노드 $y(680)$ 를 제외한 집합은 $M(x) \setminus y$ 로 표현된다. 이 경우, 합곱 알고리즘에 기반한 메시지 업데이트(update) 규칙은 하기 수학식 17과 같이 나타낼 수 있다.

[0191] [수학식 17]

$$T_{y,x} = E_x + \sum_{y' \in M(x) \setminus y} E_{y',x}$$

[0192]

[0193] 여기에서, E_x 는 변수 노드 x 의 초기 메시지 값을 의미한다.

[0194] 또한, 노드 x 의 비트 값을 판정할 경우에는 하기 수학식 18과 같이 나타낼 수 있다.

[0195] [수학식 18]

$$P_x = E_x + \sum_{y' \in M(x)} E_{y',x}$$

[0196]

[0197] 이 경우, P_x 값에 따라 변수 노드 x 에 대응하는 부호화 비트를 판정할 수 있다.

[0198] 도 6a 및 6b에서 상술한 방식은 일반적인 복호화 방법이라는 점에서 더 이상 구체적인 설명은 생략하도록 한다. 다만, 도 6a 및 6b에서 설명한 방법 외에도 변수 노드와 검사 노드에서의 패싱되는 메시지 값을 결정하는 데 있어 다른 방법이 적용될 수도 있으며, 이와 관련된 상세한 설명은 『Frank R. Kschischang, Brendan J. Frey, and Hans-Andrea Loeliger, "Factor Graphs and the Sum-Product Algorithm," IEEE TRANSACTIONS ON INFORMATION THEORY, VOL. 47, NO. 2, FEBRUARY 2001, pp498-519』를 참고하기로 한다. 예를 들어, 상기 수학식 15 및 수학식 16에서는 검사 노드의 업데이트 식을 $-\log(\tanh(.))$ 함수를 기반으로 표현함으로써 합의 형태로 나타내었으나, 상기 참조 문헌에는 $\tanh(.)$ 함수 또는 그 역함수 $\tanh^{-1}(.)$ 에 기반한 곱의 형태로 나타내었다. 이와 같이 개념적으로 동일한 다양한 표현 방법이 존재할 수 있다. 그뿐만 아니라 복잡도 감소를 위해 최소-합(min-sum) 알고리즘과 같은 다양한 간소화(simplified)된 복호 방법이 존재할 수 있다. 본 개시에서는 이러한 다양한 복호 알고리즘에 대한 자세한 설명은 생략되나, 본 개시에서 제안하고자 하는 디코딩 스케줄링 방식과 상기 복호 알고리즘들뿐만 아니라 다양한 다른 형태의 복호 알고리즘을 결합할 수 있음은 자명하다.

- [0199] 도 7은 본 개시의 일 실시 예에 따른 LDPC 부호화부의 세부 구성을 설명하기 위한 블록도이다. K_{ldpc} 개의 비트들은 LDPC 부호화부(700)를 위한 K_{ldpc} 개의 LDPC 정보어 비트들 $I=(i_0, i_1, \dots, i_{K_{ldpc}-1})$ 을 구성할 수 있다. LDPC 부호화부(700)는 K_{ldpc} 개의 LDPC 정보어 비트들을 시스템에 맞게 LDPC 부호화하여, N_{ldpc} 개의 비트들로 구성된 LDPC 코드워드 $C=(c_0, c_1, \dots, c_{N_{ldpc}-1})=(i_0, i_1, \dots, i_{K_{ldpc}-1}, p_0, p_1, \dots, p_{N_{ldpc}-K_{ldpc}-1})$ 를 생성할 수 있다. 상기 수학적 식 1에서 서술된 바와 같이 상기 LDPC 코드워드와 패리티 검사 행렬의 곱이 제로 벡터가 되도록 부호어가 결정된다.
- [0200] 도 7을 참고하면, 부호화 장치(700)는 LDPC 부호화부(710)를 포함한다. LDPC 부호화부(710)는 패리티 검사 행렬 또는 그에 대응되는 지수 행렬 또는 수열에 기초하여 입력 비트들에 대해 LDPC 부호화를 수행하여 LDPC 부호어를 생성할 수 있다. 이 경우, LDPC 부호화부(710)는 부호율(즉, LDPC 부호의 부호율) 또는 입력 비트(또는 부호어 또는 정보어) 길이 또는 블록 길이 Z 에 따라 서로 다르게 정의된 패리티 검사 행렬을 이용하여 LDPC 부호화를 수행할 수 있다.
- [0201] 한편, 부호화 장치(700)는 LDPC 부호의 부호율, 입력 비트(또는 정보어 또는 부호어) 길이, 패리티 검사 행렬에 대한 정보를 기저장하기 위한 메모리(미도시)를 더 포함할 수 있으며, LDPC 부호화부(710)는 이러한 정보를 이용하여 LDPC 부호화를 수행할 수 있다. 상기 패리티 검사 행렬에 대한 정보는 본 개시에서 제시하는 패리티 행렬을 사용할 경우 순환 행렬의 지수 값에 대한 정보를 포함할 수 있다.
- [0202] 도 8은 본 개시의 일 실시 예에 따른 복호화 장치의 구성을 나타내는 블록도이다.
- [0203] 도 8을 참고하면, 복호화 장치(800)는 LDPC 복호화부(810)를 포함할 수 있다. LDPC 복호화부(810)는 패리티 검사 행렬 또는 그에 대응되는 지수 행렬 또는 수열에 기초하여 LDPC 부호어에 대해 LDPC 복호화를 수행한다. 예를 들어, LDPC 복호화부(810)는 반복 복호 알고리즘을 통해 LDPC 부호어 비트들에 대응되는 LLR 값을 패싱하여 LDPC 복호화를 수행하여 정보어 비트들을 생성할 수 있다. 여기에서, LLR 값은 송신기로부터 전송된 LDPC 부호어 비트들에 대응되는 채널 값으로, 다양한 방법으로 표현될 수 있다.
- [0204] 일 실시 예에 따라, LDPC 복호화부(810)는 부호율(즉, LDPC 부호의 부호율)에 따라 서로 다르게 정의된 패리티 검사 행렬을 이용하여 LDPC 복호화를 수행할 수 있다.
- [0205] 도 9은 본 개시의 일 실시 예에 따른 LDPC 복호화부의 기능적 구성을 나타낸다. 상술된 바와 같이 LDPC 복호화부(810)는 반복 복호 알고리즘을 사용하여 LDPC 복호화를 수행할 수 있으며, 이 경우, LDPC 복호화부(810)는 도 9와 같은 구조로 구성될 수 있다. 다만, 도 9에 도시된 세부 구성 역시 일 예일 뿐이다.
- [0206] 도 9를 참고하면, 복호화 장치(900)는 입력 처리기(901), 메모리(902), 변수노드 연산기(904), 제어기(906), 검사노드 연산기(908) 및 출력 처리기(910) 등을 포함할 수 있다.
- [0207] 입력 처리기(901)는 입력되는 값을 저장한다. 구체적으로, 입력 처리기(901)는 무선 채널을 통해 수신되는 수신 신호의 LLR 값을 저장할 수 있다.
- [0208] 제어기(904)는 무선 채널을 통해 수신되는 수신 신호의 블록의 크기(즉, 부호어의 길이), 부호율에 대응되는 패리티 검사 행렬을 기반으로 하여 변수 노드 연산기(904)에 입력되는 값의 개수 및 메모리(902)에서의 주소 값, 검사 노드 연산기(908)에 입력되는 값의 개수 및 메모리(902)에서의 주소 값 등을 결정한다.
- [0209] 메모리(902)는 변수 노드 연산기(904)와 검사 노드 연산기(908)의 입력 데이터 및 출력 데이터를 저장한다.
- [0210] 변수 노드 연산기(904)는 제어기(906)에서 입력받은 입력 데이터의 주소 정보 및 입력 데이터의 개수 정보에 따라 메모리(902)에서 데이터들을 입력 받아 변수 노드 연산을 한다. 이후, 변수 노드 연산기(904)는 제어기(906)에서 입력 받은 출력 데이터의 주소 정보 및 출력 데이터의 개수 정보에 기초하여 변수 노드 연산 결과들을 메모리(902)에 저장한다. 또한, 변수 노드 연산기(904)에서는 입력 처리기(901)와 메모리(902)에서 입력 받은 데이터를 기반으로 하여 변수 노드 연산 결과를 출력 처리기(910)에 입력한다. 여기에서, 변수 노드 연산은 도 6a를 기반으로 상술한 바 있다.
- [0211] 검사 노드 연산기(908)는 제어기(906)에서 입력받은 입력 데이터의 주소 정보 및 입력 데이터의 개수 정보에 기초하여 메모리(902)에서 데이터들을 입력 받아 검사 노드 연산을 한다. 이후, 검사 노드 연산기(908)는 제어기(906)에서 입력받은 출력 데이터의 주소 정보 및 출력 데이터의 개수 정보에 기초하여 검사 노드 연산 결과들을 메모리(902)에 저장한다. 여기에서, 검사 노드 연산은 도 6b를 기반으로 상술한 바 있다.

- [0212] 출력 처리기(910)는 변수 노드 연산기(904)로부터 입력받은 데이터를 기반으로 하여 송신 측의 부호어의 정보어 비트들이 0이었는지 1이었는지 경관정 한 후, 그 경관정 결과를 출력하게 되고, 출력 처리기(910)의 출력 값이 최종적으로 복호화된 값이 되는 것이다. 이 경우, 도 6a 및 도 6b를 통해 하나의 변수 노드로 입력되는 모든 메시지 값(초기 메시지 값과 검사 노드로부터 입력되는 모든 메시지 값들)을 더한 값을 기반으로 경관정 할 수 있다.
- [0213] 한편, 복호화 장치(900)의 메모리(902)는 LDPC 부호의 부호율, 입력 비트 (또는 정보어 또는 부호어) 길이, 패리티 검사 행렬에 대한 정보를 기저장할 수 있으며, LDPC 복호화부(810)는 이러한 정보를 이용하여 LDPC 부호화를 수행할 수 있다. 하지만, 이는 일 예일뿐, 해당 정보들은 송신 측으로부터 제공될 수도 있다.
- [0214] 도 10은 본 개시의 일 실시 예에 따른 LDPC 복호화 장치의 LDPC 디코딩을 위한 동작 흐름을 도시한다. LDPC 복호화 장치는, LDPC로 부호화된 신호를 수신하기 위한 수신 장치일 수 있다. 예를 들어, LDPC 복호화 장치는 상향링크 신호를 디코딩하기 위한 기지국일 수 있다. 또한, 예를 들어, LDPC 복호화 장치는 하향링크 신호를 디코딩하기 위한 단말일 수 있다.
- [0215] 도 10을 참고하면, 단계(1001)에서, LDPC 복호화 장치는 LLR 값을 획득할 수 있다. 각 변수 노드에는 수신된 신호로부터 생성된, 대응되는 비트의 채널 LLR 또는 본질적(intrinsic) LLR로 일컫는 값이 입력된다. 입력되는 LLR 값들은 레이트 디매칭된(rate de-matched) LLR 값들일 수 있다.
- [0216] 일 실시 예에 따라, LDPC 복호화 장치는 플루딩(flooding) 방식의 LDPC 복호를 수행할 수 있다. 플루딩(flooding) 방식의 LDPC 복호는 모든 검사 노드들이 메시지 값을 계산하고 업데이트 하며, 계산된 외적인(extrinsic) LLR에 해당하는 메시지는 연결된 연결선을 따라 이웃한 변수 노드에 전달된다.
- [0217] 단계(1003)에서, LDPC 복호화 장치는 검사 노드 동작을 수행할 수 있다. 각 변수 노드의 본질적(intrinsic) LLR은 이웃한 검사 노드에 전달되고, LDPC 복호화 장치는 전달받은 메시지에 기반하여, 모든 검사 노드들 각각에서 각 변수 노드에 전달할 외적인(extrinsic) LLR에 해당하는 메시지를 계산한다.
- [0218] 단계(1005)에서, LDPC 복호화 장치는 변수 노드 동작을 수행할 수 있다. LDPC 복호화 장치는 전달받은 외적인(extrinsic) LLR에 해당하는 메시지 및 본질적(intrinsic) LLR 값들에 기반하여, 모든 변수 노드들 각각에서, 검사 노드들에게 전달할 메시지 및 비트 값을 판정하기 위한 최종(complete) LLR을 생성한다. 최종 LLR은 APP(posteriori probability) 메트릭(metric), APP LLR 또는 이와 동등한 기술적 의미를 가지는 다른 용어로 지칭될 수 있다. 일 실시 예에 따라, 플루딩 방식의 LDPC 복호기는 모든 변수 노드들이 메시지 값을 계산하고, 업데이트 한다.
- [0219] 단계(1007)에서, LDPC 복호화 장치는 경관정을 수행할 수 있다. LDPC 복호화 장치는, 변수 노드로부터 검사 노드에게 메시지를 전달하기 전, 각 변수 노드에서 최종 LLR을 경관정(hard-decision)함으로써 비트 값을 추정할 수 있다.
- [0220] 단계(1009) 단계에서, LDPC 복호화 장치는 추정된 비트 값(들)이 신드롬 검사의 통과 여부를 결정할 수 있다. 신드롬 검사란, 채널 행렬과 단계(1007)을 통해 얻은 추정된 부호어의 전치(transpose) 채널 행렬의 곱을 통해 얻어지는 행렬의 각 행(row)이 0인지 여부를 확인하는 절차를 의미한다. LDPC 복호화 장치는, 단계(1007)에서 추정된 비트 값이 패리티 검사 행렬에 의해 결정되는 신드롬 검사식이 만족되는지 여부가 검사된다. 신드롬 검사는 후술되는 수학적 식 19로 표현될 수 있다.
- [0221] 신드롬 검사식을 만족하는 것이 확인되는 경우, LDPC 복호화 장치는 단계(1013)을 수행할 수 있다. 단계(1013) 단계에서, LDPC 복호화 장치는 디코딩이 성공한 것으로 결정할 수 있다. 수신된 신호의 복호가 성공한 것으로 판단되고, 복호의 성공이 출력 및 보고된다.
- [0222] 신드롬 검사식을 만족하지 않는 것이 확인되는 경우, LDPC 복호화 장치는 단계(1011)을 수행할 수 있다. 단계(1011)에서, LDPC 복호화 장치는 최대 반복 횟수 도달 여부를 결정할 수 있다. 다시 말해, 현재까지 수행된 반복 복호 횟수가 사전에 지정된 최대 반복 복호 횟수에 도달하였는지 여부가 확인될 수 있다. 현재까지 수행한 반복 복호 횟수가 최대 반복 복호 횟수에 도달하지 않은 경우, LDPC 복호화 장치는 상기 일련의 과정들(예: 단계(1003) 내지 단계(1009))를 다시 수행할 수 있다. 현재까지 수행한 반복 복호 횟수가 최대 반복 복호 횟수에 도달할 때까지 복호의 결과가 신드롬 검사식을 만족하지 않은 경우, LDPC 복호화 장치는 단계(1015)를 수행할 수 있다. LDPC 복호화 장치는 단계(1015)에서, 복호 실패가 출력 및 보고된다.
- [0223] 일 실시 예에 따라, LDPC 복호화 장치는 레이어드(layered) 방식의 LDPC 복호를 수행할 수 있다. 레이어드

(layered) 방식의 복호는 검사 노드들을 복수 개의 레이어로 구분한 다음, 순서가 된 검사 노드부터 순차적으로 복호를 수행하는 방식을 의미한다.

- [0224] 도 10을 참고하면, 단계(1003)에서, LDPC 복호화 장치는 검사 노드 동작을 수행할 수 있다. LDPC 복호화 장치는, 순서가 된 레이어에 속한 검사 노드에서, 해당 검사 노드에 연결된 변수 노드로부터 메시지를 수신한다. LDPC 복호화 장치는, 검사 노드에서 계산 및 업데이트된 메시지를 이웃한 변수 노드에게 전달한다.
- [0225] 단계(1005)에서, LDPC 복호화 장치는 변수 노드 동작을 수행할 수 있다. LDPC 복호화 장치는 업데이트된 메시지를 수신한 변수 노드들은 검사 노드에게 전달하기 위한 메시지 및 최종 LLR을 계산 및 업데이트한다. 상술된 바와 같은 하나의 레이어에 대한 일련의 연산 과정은 레이어 처리(layer processing)로 지칭된다. 모든 레이어들에 대해 레이어 처리가 수행되면, LDPC 복호화 장치는 단계(1007)을 수행할 수 있다.
- [0226] 단계(1007)에서, LDPC 복호화 장치는 경관정을 수행할 수 있다. LDPC 복호화 장치는, 각 변수 노드에서 계산한 최종 LLR을 경관정함으로써 비트 추정값을 계산한다.
- [0227] 단계(1009)에서, LDPC 복호화 장치는 추정된 비트 값(들)이 신드롬 검사의 통과 여부를 결정할 수 있다. LDPC 복호화 장치는 비트 추정값에 기반하여 신드롬 검사를 수행함으로써 복호의 성공 또는 실패 여부를 확인한다. 이 경우, 신드롬 검사에 해당하는 패리티 검사 행렬의 검사 노드는 전체 검사 노드들이거나 또는 사전에 정해져 있는 일부 검사 노드들일 수 있다. (예를 들면, 차수가 1인 변수 노드에 연결되어 있는 검사 노드들은 일부 또는 전체를 제외할 수도 있다.)
- [0228] 일반적으로 LDPC 부호는 신드롬을 통해 오류를 검출할 수 있으나, 보다 높은 수준의 오류 검출 능력을 지원하기 위해서 외부 부호로서 CRC 부호가 추가로 적용될 수 있다. 외부 부호로서 CRC 부호와 내부 부호로서 LDPC 부호를 적용하였을 경우에 FEC 복호화 동작의 일반적인 예는 도 11을 통해 서술된다.
- [0229] 도 11은 본 개시의 일 실시 예에 따른 LDPC 복호화 장치의 LDPC 및 CRC 부호에 기반한 디코딩을 위한 동작 흐름을 도시한다. LDPC 복호화 장치는, LDPC로 부호화된 신호를 수신하기 위한 수신 장치일 수 있다. 예를 들어, LDPC 복호화 장치는 상향링크 신호를 디코딩하기 위한 기지국일 수 있다. 또한, 예를 들어, LDPC 복호화 장치는 하향링크 신호를 디코딩하기 위한 단말일 수 있다.
- [0230] 도 11을 참고하면, 단계(1110)에서, LDPC 복호화 장치는 LDPC 복호를 수행할 수 있다. LDPC 복호화 장치는 통상적으로 도 11에서 도시된 바와 같이, LDPC 복호를 수행한 다음 단계(1120)를 수행할 수 있다.
- [0231] 단계(1120)에서, LDPC 복호화 장치는 신드롬 검사의 통과 여부를 결정할 수 있다. LDPC 복호화 장치는 디코딩 결과를 통해 획득되는 LDPC의 신드롬(syndrome)을 확인 또는 검사하여 오류 검출 여부를 결정한다. 여기서 LDPC 신드롬은, LDPC 복호를 수행한 뒤 경관정을 통해 얻을 수 있는 부호어를 \hat{c} 라 하고 복호에 사용된 패리티 검사 행렬을 H 라 할 때, 다음 수학적 식 19와 같이 결정되는 값을 의미한다.
- [0232] [수학적 식 19]

$$s = H \cdot \hat{c}^T$$

- [0233]
- [0234] 만일 실제 송신기에서 전송된 부호어를 c 라 하면, 수학적 식 1에 의해서 $H \cdot c^T = 0$ 가 성립하므로, 복호가 성공적으로 수행되었을 경우에는 상기 수학적 식 19의 신드롬 s 값 또한 0이 되어야 한다. (경우에 따라 LDPC 신드롬 값이 0인 경우를 LDPC 신드롬 값을 확인하여 통과(pass)되었다고 표현할 수도 있다.) 하지만 만일 상기 신드롬 값이 0이 아니라면 (또는 LDPC 신드롬 값이 통과되지 못했다면), $c \neq \hat{c}$ 임을 의미한다.
- [0235] 신드롬 검사를 통과하는 경우, LDPC 복호화 장치는 단계(1130)을 수행할 수 있다. 신드롬 검사를 통과하지 않는 경우, LDPC 복호화 장치는 단계(1150)을 수행할 수 있다. 다시 말해, LDPC 신드롬 s 값이 0이 아닌 경우에, LDPC 복호화 장치는 단계(1150)을 수행할 수 있다. LDPC 복호화 장치는 바로 1150 단계에서 예외처리 하여 LDPC 복호를 수행한 정보어 비트 또는 코드 블록을 시스템의 상위 계층에서 사용하지 사용하지 않을지 결정하거나, 또는 사전에 정해져 있는 바에 따라 상기 LDPC 복호를 수행한 정보어 비트 또는 코드 블록을 폐기할지(discard)

여부를 결정할 수 있다.

- [0236] 한편, 다른 일 실시 예에 따라, 도 11에 도시된 바와 달리, LDPC 복호화 장치는 단계(1120)에서 LDPC 신드롬 s 값이 0이 아닌 경우에도 단계(1150)에서 바로 예외 처리하지 않고, 단계(1130)을 수행할 수도 있다. 단계(1130)에서, LDPC 복호화 장치는 CRC 검사의 통과 여부를 결정할 수 있다. LDPC 복호화 장치는, 정보어 비트에 대해 CRC 검출(또는 확인)을 수행할 수도 있다. 그 이유는 상기 LDPC 복호 결과에 따라 부호어 복호에는 실패하였지만, LDPC 복호 이후에 패리티 비트에만 오류가 남아 있고 정보어 비트에는 오류가 없을 가능성도 있기 때문에, LDPC 복호화 장치는 단계(1130)에서 CRC 검출을 수행하여 정보어 비트에 대한 오류 검출 여부를 결정할 수 있다.
- [0237] 또한, 전송된 바와 같이, LDPC 복호에 따른 LDPC 신드롬 값이 0인 경우, LDPC 복호화 장치는 단계(1130)에서 CRC 검출을 수행할 수 있다. 만일 상기 단계(1130)에서 CRC 검출을 통해 정보어 비트 벡터가 성공적으로 복호되었다고 판단되는 경우에는, LDPC 복호화 장치는 단계(1140)을 수행할 수 있다. 단계(1140)에서, LDPC 복호화 장치는 복호 성공을 결정하고, 디코딩 절차를 종료할 수 있다. 만일 단계(1130)에서 CRC 검출 결과 정보어 비트 벡터에 오류가 포함되어 있다고 판단한 경우에는, LDPC 복호화 장치는 복호를 수행한 정보어 비트 벡터 또는 코드 블록을 단계(1150)과 같이 예외처리하여 해당 정보어 벡터 또는 코드 블록을 시스템의 상위 계층에서 사용하지 사용하지 않을지 결정하거나 또는 폐기할지(discard) 여부를 결정할 수 있다.
- [0238] 본 개시에서 예외처리의 의미는 복호가 모든 프로세스 상에서 성공적으로 진행되었을 경우에 수행되어야 하는 동작 외에 복호가 실패하였거나 실패할 가능성이 있다고 판단될 경우에 수행하는 모든 동작을 의미할 수 있음에 유의한다.
- [0239] 또한, 수신기는 복호 성공 여부에 관한 인스트럭션(instruction) 또는 flag 등을 생성하여 상위 계층에 전달할 수도 있다. 상위 계층에서는 상기 인스트럭션 또는 flag 등에 기반하여 복호가 완료된 정보어 비트 또는 코드 블록들의 처리 방법을 결정할 수 있다. (예: 재전송 요청 결정 등)
- [0240] 참고로 수학식 19에서 $c \neq \hat{c}$ 이지만, 복호된 부호어 \hat{c} 가 c 와는 다른 부호어인 경우에는 LDPC 신드롬이 0이 될 수도 있다. 이러한 오류는 LDPC 부호를 통해 검출이 불가능하기 때문에(undetected error) 통상적으로 LDPC 복호 후에 CRC 검출을 수행해야 오류가 검출될 수 있다.
- [0241] 또한, 상기 신드롬 값 s 는 수학식 19와 같이 패리티 검사 행렬과 복호된 부호어에 기반한 계산 과정을 통해 획득(또는 계산 또는 결정)할 수도 있지만, LDPC 복호기의 구현 상 특징에 따라 쉽게 얻을 수도 있다. 예를 들어, 상기 수학식 15에는 LDPC 복호를 위해 복호 과정에 사용되는 메시지를 크기와 부호로 나누어 복호를 수행할 수 있는데, 이 때 상기 신드롬 값 s 는 상기 메시지들의 + 또는 - 부호(sign)들의 연산을 통해 쉽게 획득(또는 계산 또는 결정)될 수 있다. 예를 들면, LDPC 복호화 장치는 실제 복호기의 구현에서 + 부호는 0, - 부호는 1과 같은 이진수로 대응시켜 적절한 XOR 연산에 기반하여 쉽게 신드롬 값을 얻어낼 수 있다. 특히, LDPC 반복 복호 과정에서 구현상 특징으로부터 신드롬 값이 0인지 아닌지는 쉽게 확인(identify) 가능하다. 참고로 실제 LDPC 복호된 부호어의 경관정도 LDPC 복호를 수행한 각 비트 별 메시지들의 부호에 기반하여 쉽게 판단할 수 있다.
- [0242] 상기 단계(1120)에서 LDPC 신드롬을 검사 또는 확인할 때, 일부 실시 예들에서, LDPC 복호화 장치는 반드시 LDPC 부호의 모든 신드롬을 검사 또는 확인할 필요는 없으며, 일부 신드롬 값만 검사 또는 확인할 수도 있다. 예를 들어, 차수가 1인 변수 노드에 연결된 검사 노드, 다시 말해 차수가 1인 패리티 비트에 대응되는 검사 노드와 관련된 신드롬 값들은 상기 단계(1120)에서 검사 또는 확인하는데 사용하지 않을 수도 있다. 차수가 1인 변수 노드에 대응되는 비트들은 통상적으로 오류가 정정될 확률이 현저히 낮기 때문에 LDPC 신드롬을 검사하여도 항상 오류가 발생한 것으로 검출될 가능성이 높기 때문이다. 따라서, LDPC 복호화 장치는 잘못된 오류 검사 결과를 방지하기 위하여 많은 경우에 차수가 2 이상인 변수 노드 또는 비트에만 연결되어 있는 검사 노드 전체 또는 일부에 대해서 LDPC 신드롬을 검사 또는 확인할 수 있다.
- [0243] 본 개시에서 고려하는 LDPC 부호는 도 3a 및 도 3b와 같은, 준순환 형태의 패리티 검사 행렬로 정의될 수 있는 준순환 LDPC 부호로서 통상적으로 수학식 11과 같이 L 또는 Z 등으로 표현하는 블록 크기에 따라 대수적인 특징을 가지고 있다. 예를 들어, 준순환 LDPC 부호의 Tanner 그래프 상의 사이클 특성 등은 블록 크기와 관련이 있으며, 만일 패리티 검사 행렬이 풀 랭크일 경우에 LDPC 정보어의 길이 또한 블록 크기의 배수 형태로 나타낼 수 있다. 이러한 대수적 특징으로 인해 준순환 LDPC 부호는 부호화 뿐만 아니라 복호화 또한 블록 길이에 기반하여 보다 효율적으로 수행할 수도 있다.

- [0244] 하지만, 일반적으로 전송 블록은 다양한 길이를 갖기 때문에 반드시 준수된 LDPC 부호의 패리티 검사 행렬에서 정의할 수 있는 LDPC 부호의 정보어 비트 수, 즉, 특정 블록 크기 Z 의 배수 형태로 나타나지 않을 수 있다. 도 4에서 설명한 세그멘테이션 이후에도 마찬가지로 블록 크기 Z 의 배수 형태로 나타나지 않을 수 있다. 이와 같이 상기 패리티 검사 행렬에 대해 한 번에 LDPC 부호화를 수행할 수 있는 최대 LDPC 정보어 비트 수 또는 최대 코드 블록 크기 보다 작거나 블록 크기에 대해 배수 형태가 아닌 정보어 비트들 또는 코드 블록을 부호화 할 때, 부호화 또는 복호화의 편의를 위해서 상기 블록 크기의 배수를 만족하도록 제로 패딩(또는 단축)과 같은 동작을 추가 수행할 수도 있다.
- [0245] 본 개시에서는 상기 LDPC 부호의 패리티 검사 행렬 또는 패리티 검사 행렬의 기본 행렬(또는 모행렬) 등에 대해 한 번에 부호화가 가능한 최대 LDPC 정보어 비트 수를 편의상 패리티 검사 행렬의 최대 LDPC 정보어 비트 수 또는 최대 코드 블록 크기라 칭할 수 있으며, 이는 K_{cb} 로 표현될 수 있다.
- [0246] 최대 LDPC 정보어 비트 수 또는 최대 코드 블록 크기(K_{cb})는 주어진 패리티 검사 행렬 또는 기본 행렬 마다 다르게 정의될 수도 있다. 예를 들어, 기본 행렬 B1에 기반하여 정의되는 패리티 검사 행렬(즉, 기본 그래프(base graph, BG) #1을 이용하는 패리티 검사 행렬)을 이용한 부호화에서는 상기 최대 코드 블록 크기는 $K_{cb1} = 8448$ 로 정의되고, 기본 행렬 B2에 기반하여 정의되는 패리티 검사 행렬(즉, BG #2)을 이용한 부호화에서는 상기 최대 코드 블록 크기가 $K_{cb2} = 3840$ 로 정의될 수 있다. 이때 상기 $K_{cb1} = 8448$ 및 $K_{cb2} = 3840$ 은 모두 각 기본 행렬에 대해 적용 가능한 블록 크기 Z 의 최대값의 배수가 되어야 함에 유의한다.
- [0247] 예를 들어 기본 행렬 B1 및 B2에 대해 적용 가능한 블록 크기의 최대값이 모두 384로 동일하다면, $K_{cb1} = 8448 = 22 \times 384$ 및 $K_{cb2} = 3840 = 10 \times 384$ 와 같이 나타나며, 기본 행렬 B1의 정보어 비트에 대응되는 부분 행렬이 22개의 열 블록들로 구성되며 기본 행렬 B2의 정보어 비트에 대응되는 부분 행렬은 10개의 열 블록들로 구성됨을 의미한다.
- [0248] 이와 같이 본 개시에서는 정보어 비트에 대응되는 부분 행렬의 열의 개수가 블록 크기의 배수이기 때문에 부호화 및 복호화의 편의를 위해 전송하고자 하는 전송 블록(transport block)에 <Null> bit들을 추가하여 LDPC 부호화를 적용할 코드 블록의 크기가 LDPC 패리티 검사 행렬의 블록 크기 Z 의 배수가 되도록 설정할 수도 있다. <Null> bit들은 세그멘테이션 적용 여부에 상관없이 추가될 수도 있으며 코드 블록의 크기가 일정하도록 설정하기 위하여 추가될 수도 있다. 이러한 LDPC 부호의 정보어 비트에 <Null> bit들을 추가하는 것은 통상적으로 '단축'이라고 지칭될 수 있다. 송신기와 수신기에서 약속된 위치에 약속된 비트 값(예를 들면 0)으로 설정되어 있기 때문에 실제로는 송신되지 않을 수 있으며, 수신기는 그 값을 정확히 알 수 있기 때문에 복호 과정에서 제외하여 복호를 수행하거나, 복호 과정에서 약속된 값을 적용하여 복호를 수행할 수도 있다. 예를 들어, 단축된 비트들의 약속된 값이 0일 경우에, 복호기는 단축된 위치의 비트가 0일 확률에 1에 대응되는 값(예: LLR의 경우 무한대 값에 대응되는 시스템에서 설정된 최대값)을 적용하여 복호를 수행할 수도 있다.
- [0249] 일반적으로 만일 수학식 9 내지 수학식 14에서 설명한 리프팅 방법처럼 하나의 LDPC 지수 행렬 또는 수열 또는 패리티 검사 행렬 등으로부터 매우 다양한 블록 크기 L (또는 Z)에 대해 적절히 수열을 변환하여 사용하는 시스템의 경우, 1개 또는 적은 개수의 수열에 대해서만 구현하면 되기 때문에 많은 이점이 있다. 하지만, 지원하고자 하는 블록 크기의 종류가 많아질수록 모든 블록 크기에 대해 성능이 좋은 LDPC 부호를 설계하는 것은 매우 어려운 문제이다.
- [0250] 설계된 기본 행렬 또는 지수 행렬에 기반한 LDPC 부호화 및 복호화 과정의 실시 예에 대한 흐름도를 도 12 및 도 13에 나타내었다.
- [0251] 도 12는 본 개시의 일 실시 예에 따른 LDPC 부호화를 위한 송신 장치의 동작 흐름을 도시한다. 예를 들어, 송신 장치는 기지국일 수 있다. 다른 예를 들어, 송신 장치는 단말일 수 있다.
- [0252] 도 12를 참고하면, 단계(1210)에서, 송신 장치는 전송 블록 크기(또는, 트랜스포트 블록 크기)(transport block size, TBS)를 결정할 수 있다.
- [0253] 단계(1220)에서, 송신 장치는 상기 TBS가 최대 코드 블록 크기(code block size)인 max CBS 보다 큰지 작거나 같은지 여부를 결정할 수 있다. 만일 TBS가 max CBS보다 더 큰 경우, 송신 장치는 단계(1230)을 수행할 수 있다.
- [0254] 단계(1230)에서, 송신 장치는 세그멘테이션 동작(segmentation)을 수행할 수 있다. 송신 장치는 상기 전송 블록

을 세그멘테이션 하여 새롭게 CBS를 결정할 수 있다. 송신 장치는 전송 블록의 분할을 통해 코드 블록들을 획득할 수 있다. 이후, 송신 장치는 단계(1240)을 수행할 수 있다.

- [0255] 한편, TBS가 max CBS보다 크지 않은 경우, 다시 말해, 작거나 같은 경우에는 세그멘테이션 동작을 생략하고 상기 TBS를 CBS로 결정할 수 있다. 송신 장치는 세그멘테이션 동작 수행 없이, 단계(1240)을 수행할 수 있다.
- [0256] 단계(1240)에서, 송신 장치는 블록 크기(Z)를 결정할 수 있다. 송신 장치는 CBS를 기반으로 LDPC 부호화에 적용할 블록 크기(Z) 값을 결정할 수 있다. 일 실시 예에 따라, 송신 장치는 인덱스 값이 지시하는 미리 정해진 후보 값들을 식별하고, 송신 장치는 미리 정해진 후보 값들 중에서 CBS에 따라 LDPC 부호화에 적용될 블록 크기(Z)를 식별할 수 있다.
- [0257] 단계(1250)에서, 송신 장치는 LDPC 지수 행렬을 결정할 수 있다. 송신 장치는 상기 TBS 또는 CBS 또는 블록 크기(Z) 값에 따라 송신기는 적절히 LDPC 지수 행렬 또는 수열을 결정할 수 있다. 실시 예들에서, 단계(1250)은 상기 결정된 블록 크기에 기반하여 상기 결정된 LDPC 지수 행렬 또는 수열을 변환하는 과정을 포함될 수 있다. LDPC 부호화를 위한 LDPC 지수 행렬 또는 수열 또는 패리티 검사 행렬은 시스템에 따라 TBS 또는 CBS에 기반하여 다양한 방식으로 결정될 수 있음은 자명하다. 예를 들어, 송신 장치는 TBS를 통해 기본 행렬을 먼저 결정하고, 상기 결정된 기본 행렬과 CBS에 기반하여 LDPC 지수 행렬 또는 수열 패리티 검사 행렬을 결정하는 것도 가능하며, 이 외에 동일한 기술적 효과를 달성하기 위한 범위 내에서 다양한 방법이 적용될 수 있다.
- [0258] 단계(1260)에서, 송신 장치는 LDPC 부호화를 수행할 수 있다. 송신 장치는 상기 결정된 블록 크기와 지수 행렬 또는 수열에 기반하여 LDPC 부호화를 수행할 수 있다.
- [0259] LDPC 복호화 과정은 도 12의 LDPC 부호화 과정에 대응되도록 하기의 도 13과 표현될 수 있다.
- [0260] 도 13은 본 개시의 일 실시 예에 따른 LDPC 복호화를 위한 수신 장치의 동작 흐름을 도시한다. 예를 들어, 예를 들어, 송신 장치는 기지국일 수 있다. 다른 예를 들어, 송신 장치는 단말일 수 있다. 수신 장치는 입력 비트 혹은 전송 블록 혹은 코드 블록에 상응하는 신호를 수신할 수 있다. 본 개시에서 입력 비트는 LDPC 정보어 비트, 또는 TB, 또는 TB에 CRC를 덧붙여진 비트들(TB + CRC), 또는 코드 블록 비트를 의미할 수도 있다.
- [0261] 도 13을 참고하면, 단계(1310)에서 수신 장치는 TBS를 결정할 수 있다. 수신 장치는 상기 신호에 기반하여 전송 블록 또는 입력 비트의 수를 결정한다. TBS는 MAC 계층으로부터 전달되는 전송 블록의 크기를 의미한다.
- [0262] 단계(1320)에서, 수신기는 단계(1320)에서 TBS가 max CBS 보다 큰지 여부를 결정할 수 있다. 여기서 상기 max CBS는 LDPC 부호화에 사용된 기본 행렬 또는 패리티 검사 행렬에 따라 달라질 수 있기 때문에 상기 TBS 또는 부호율 등에 따라 max CBS를 결정하는 과정(미도시)이 추가로 요구될 수 있다. 만일 TBS가 max CBS보다 더 큰 경우, 수신 장치는 단계(1330)을 수행할 수 있다.
- [0263] 단계(1330)에서, 수신 장치는 세그멘테이션이 적용된 CBS의 크기를 결정할 수 있다. 만일 TBS가 max CBS 보다 작거나 같다고 판단될 경우에는 TBS는 곧 CBS와 동일하게 결정된다. 따라서, 수신 장치는 단계(1330) 과정을 별도로 수행하지 않을 수 있다.
- [0264] 단계(1340)에서, 수신 장치는 블록 크기(Z)를 결정할 수 있다. 수신 장치는 LDPC 복호화에 적용할 블록 크기(Z) 값을 결정할 수 있다. 상기 단계(1310) 내지 단계(1340)은 블록 크기를 결정하는 단계로서 하나의 단계로 표현될 수도 있다.
- [0265] 단계(1350)에서, 수신 장치는 LDPC 지수 행렬을 결정할 수 있다. 수신 장치는 상기 TBS 또는 CBS 또는 블록 크기(Z) 값 또는 부호율 등에 기반하여 LDPC 패리티 검사 행렬 또는 지수 행렬 또는 수열을 결정할 수 있다. 한편, 일 실시 예에 따라, 단계(1350)은 상기 결정된 블록 크기에 기반하여 상기 결정된 LDPC 패리티 검사 행렬 또는 지수 행렬 또는 수열을 변환하는 과정이 포함될 수도 있다.
- [0266] LDPC 복호화를 위한 LDPC 지수 행렬 또는 수열 또는 패리티 검사 행렬은 시스템에 따라 TBS 또는 CBS에 기반하여 다양한 방식으로 결정될 수 있음은 자명하다. 예를 들어 TBS 또는 부호율 등에 기반하여 기본 행렬을 먼저 결정하고, 상기 결정된 기본 행렬에 기반하여 max CBS를 결정하고 (또는 설정하고), 상기 결정 또는 설정된 max CBS를 기반으로 CBS를 결정한 다음에 상기 결정된 CBS에 기반하여 블록 크기 Z 및 LDPC 지수 행렬 또는 수열 또는 패리티 검사 행렬을 결정하는 것도 가능하며, 이 외에 동일한 기술적 효과를 달성하기 위한 범위 내에서 다양한 방법이 적용될 수 있다.
- [0267] 단계(1360)에서, 수신 장치는 LDPC 복호화를 수행할 수 있다. 수신 장치는 상기 결정된 블록 크기와 패리티 검

사 행렬 또는 지수 행렬 또는 수열을 이용하여 LDPC 복호화를 수행할 수 있다.

- [0268] 상기 실시 예들에 따르면, 도 12의 단계(1250) 및 도 13의 단계(1350)에서 LDPC 부호의 지수 행렬 또는 수열을 결정하는 과정은 TBS 또는 CBS 또는 블록 크기(Z) 중에 하나에 의해 지수 행렬 또는 수열이 결정되는 경우에 대해서 기술하였으나, 다양한 다른 방법이 적용될 수도 있다.
- [0269] 상기 도 12 및 도 13의 LDPC 부호의 기본 행렬 및 지수 행렬(또는 LDPC 수열)에 기반한 LDPC 부호화 및 복호화 과정의 실시 예에 있어서, 상기 LDPC 부호에 대해서 적절히 정보어 비트의 일부를 단축(shortening) 하고 부호어 비트의 일부를 천공(puncturing) 및 리피티션 하여 다양한 부호율과 다양한 길이의 LDPC 부호화 및 복호화가 지원될 수 있다. 예를 들어, 상기 도 12 및 도 13에서 LDPC 부호화 및 복호화를 위해 결정된 기본 행렬 또는 지수 행렬에서 정보어 비트 일부에 단축을 적용한 다음, 패리티 검사 행렬에서 처음 2 개의 열 블록에 대응되는 정보어 비트 또는 입력 비트 또는 코드 블록의 일부를 천공하고, 패리티 일부를 천공하거나 LDPC 부호어 일부를 리피티션 하면 다양한 정보어 길이(또는 코드 블록 길이)와 다양한 부호율을 지원할 수 있다.
- [0270] 그 뿐만 아니라 LDPC 부호의 단축 또는 제로 패딩 등을 이용하여 가변 정보어 길이나 가변 부호율을 지원할 때 단축 순서나 단축 방법에 따라 부호의 성능이 개선될 수 있다. 만일 단축 순서가 기 설정되어 있을 때, 기본 행렬의 일부 또는 전체를 적절히 순서를 재정렬함으로써 부호화 성능을 개선할 수 있다. 또한 특정 정보어 길이(또는 코드 블록 길이 CBS)에 대해 블록 크기 또는 단축을 적용할 열 블록의 개수를 적절히 결정하여 성능을 개선할 수도 있다.
- [0271] 일반적으로 LDPC 부호는 부호율에 따라 부호어 비트에 천공을 적용하여 부호율을 조절할 수 있다. 차수가 1인 열에 대응되는 패리티 비트를 천공할 경우에는 LDPC 복호기에서 패리티 검사 행렬에서 대응되는 부분의 일부 또는 전체를 사용하지 않고 복호를 수행할 수 있기 때문에 복호 복잡도가 줄어드는 장점이 있다. 부호화 성능을 고려할 경우에는 패리티 비트의 천공 순서 또는 생성된 LDPC 부호어의 전송 순서를 조절함으로써 LDPC 부호의 성능을 개선할 수 있는 방법이 있다. 예를 들어, 단순히 패리티 비트들을 천공하여 가변 부호율을 지원하는 것보다 정보어 비트의 일부와 패리티 비트를 적절히 천공할 경우 더 우수한 성능이 지원될 수 있다. 또한 더 낮은 부호율을 지원하기 위해, LDPC 부호어 일부를 리피티션할 때, 그 순서를 사전에 적절히 결정함으로써 LDPC 부호화 성능이 개선될 수도 있다.
- [0272] 통상적으로 상기 LDPC 부호화 과정에서 송신기는 먼저 LDPC 부호화를 적용할 입력 비트(또는 코드 블록)의 수(또는 크기)를 결정한 다음에 그 수에 따라 상기 LDPC 부호화를 적용할 블록 크기(Z)를 결정하고, 상기 블록 크기에 따라 적절한 LDPC 지수 행렬 또는 수열을 결정한 다음, 상기 블록 크기(Z)와 상기 결정된 지수 행렬 또는 LDPC 수열을 기반으로 LDPC 부호화를 수행한다. 이때 상기 LDPC 지수 행렬 또는 수열을 변환 없이 LDPC 부호화에 적용할 수도 있으며, 경우에 따라 상기 LDPC 지수 행렬 또는 수열을 블록 크기(Z)에 따라 적절히 변환하여 LDPC 부호화를 수행할 수 있다.
- [0273] 마찬가지로 LDPC 복호화 과정에서 수신기는 전송된 LDPC 부호어에 대한 입력 비트(또는 코드 블록)의 수(또는 크기)를 결정한 다음에 그 수에 따라 LDPC 복호화를 적용할 블록 크기(Z)를 결정하고, 상기 블록 크기에 따라 적절한 LDPC 지수 행렬 또는 수열을 결정한 다음, 상기 블록 크기(Z)와 상기 결정된 지수 행렬 또는 LDPC 수열을 기반으로 LDPC 복호화를 수행한다. 이때 상기 LDPC 지수 행렬 또는 수열을 변환 없이 LDPC 복호화에 적용할 수도 있으며, 경우에 따라 상기 LDPC 지수 행렬 또는 수열을 블록 크기(Z)에 따라 적절히 변환하여 LDPC 복호화를 수행할 수 있다.
- [0274] 도 14는 본 개시의 일 실시 예에 따른 패리티 검사 행렬의 구조를 설명하기 위한 도면이다. 도 14를 통해, FEC 부호화부 및 FEC 복호화부에 적용되는 내부 부호인 LDPC 부호의 패리티 검사 행렬의 일반적인 구조가 설명된다.
- [0275] 도 14를 참고하면, 패리티 검사 행렬은 열의 개수가 N, 행의 개수가 $(M_1 + M_2)$ 이다. 일반적으로 패리티 검사 행렬이 풀 랭크(full rank)를 가질 때 패리티 검사 행렬에서 정보어 비트에 대응되는 열의 개수는 총 열의 개수에서 총 행의 개수를 뺀 수와 같다. 즉, 상기 도 14의 패리티 검사 행렬이 풀 랭크(즉, 랭크가 $(M_1 + M_2)$)를 가진다면, 정보어 비트의 수 K는 $N - (M_1 + M_2)$ 가 됨을 의미한다. 본 개시에서는 편의상 상기 도 14의 패리티 검사 행렬이 풀 랭크를 가지는 경우에 대해서만 설명하지만, 반드시 이에 국한될 필요는 없다.
- [0276] 먼저 상기 도 14의 패리티 검사 행렬을 부분 행렬 A(1410)와 B(1420)로 구성된 패리티 검사 행렬의 제1 파트(the first part of parity-check matrix)와 부분행렬 C(1440), D(1450)와 E(1460)로 구성된 패리티 검사 행렬의 제2 파트(the second part of parity-check matrix)로 구분할 수 있다. 부분행렬 O(1430)은 $(M_1 \times M_2)$ 크기

의 0-행렬을 의미한다. 상기 부분행렬 O(1430)은 $(M_1 \times M_2)$ 크기의 0-행렬이기 때문에 상기 패리티 검사 행렬의 제1 파트에 포함하더라도, 행렬의 연산에 아무런 영향을 주지 않는다. 이러한 이유로 본 개시에서는 편의상 $(M_1 \times M_2)$ 크기의 0-행렬인 부분행렬 O(1430)을 제외한 부분 행렬 A(1410)와 B(1420)로 구성된 행렬을 패리티 검사 행렬의 제1 파트로 정의하지만, 경우에 따라 상기 패리티 검사 행렬의 제1 파트는 부분행렬 O(1430)를 포함할 수도 있다.

[0277] 상기 도 14의 패리티 검사 행렬을 편의상 H라 하고, 부분 행렬 A(1410) 또는 C(1440)에 대응되는 정보어 비트들 (또는 정보어 비트 벡터)을 $i = (i_0, i_1, \dots, i_{K-1})$ 라 하고, 부분 행렬 B(1420) 또는 D(1450)에 대응되는 제1

패리티 비트들(또는 제1 패리티 비트 벡터)를 $p_1 = (p_{1,0}, p_{1,1}, \dots, p_{1,M_1-1})$ 라 하고, 부분 행렬 E(146

0)에 대응되는 제2 패리티 비트들(또는 제2 패리티 비트 벡터)를 $p_2 = (p_{2,0}, p_{2,1}, \dots, p_{2,M_2-1})$ 라 하자. 수학적 1로부터 다음 수학적 20과 같은 관계식이 획득될 수 있다.

[0278] [수학적 20]

$$H \cdot c^T = H \cdot \begin{bmatrix} i^T \\ p_1^T \\ p_2^T \end{bmatrix} = \begin{bmatrix} A & B & O \\ C & D & E \end{bmatrix} \cdot \begin{bmatrix} i^T \\ p_1^T \\ p_2^T \end{bmatrix} = \begin{cases} A \cdot i^T + B \cdot p_1^T = 0 \\ C \cdot i^T + D \cdot p_1^T + E \cdot p_2^T = 0 \end{cases}$$

[0279]

[0280] 상기 수학적 20을 참고하면, 제1 패리티 벡터 p_1 는 정보어 비트 벡터 i 와 패리티 검사 행렬의 제1 파트에 기반하여 획득 (또는 계산 또는 결정)될 수 있다. 또한 상기 패리티 벡터 p_1 를 얻은 다음에 정보어 비트 벡터 i , 상기 패리티 벡터 p_1 그리고 패리티 검사 행렬 제2 파트에 기반하여 패리티 벡터 p_2 를 획득 (또는 계산 또는 결정)될 수 있다.

[0281] 앞서 설명된 바와 같이 LDPC 부호는 차수에 따라 각 비트에 대한 오류 확률이 달라지게 된다. 특히, LDPC 부호는 차수가 2 이상인 경우에는 비트 오류율(BER, bit error rate 또는 bit error ratio)이 차수가 1인 비트에 비해 급격하게 감소하는 특징을 갖는다. 특히 정보어 비트들이 성공적으로 복호될 경우에는 차수가 2 이상인 부호어 비트들 또한 거의 오류가 발생하지 않지만, 차수가 1인 부호어 비트들(특히 패리티 비트들)은 정보어 비트들이 성공적으로 복호되더라도 많은 수의 비트 오류를 포함하고 있을 수 있다. 이러한 이유로 상기 도 14의 패리티 검사 행렬에 기반한 LDPC 부호화 및 복호화를 적용한 통신시스템에서 부분 행렬 C(1440), D(1450) 및 E(1460)로 구성된 상기 패리티 검사 행렬의 제2 파트에 대응되는 신드롬 값의 일부는 정보어 비트의 오류 발생 여부와 상관없이 매우 높은 확률로 0인 값을 갖지 않을 수 있다. 즉, 상기 도 14의 패리티 검사 행렬의 부분 행렬 A(1410)와 B(1420)로 구성된 패리티 검사 행렬의 제1 파트(부분 행렬 O(1430)도 포함될 수 있다)와 부분 행렬 C(1440), D(1450)와 E(1460)로 구성된 패리티 검사 행렬의 제2 파트에 기반하여 결정되는 신드롬 값을 각각 신드롬의 제1 파트(the first part of LDPC syndrome) s_1 및 신드롬의 제2 파트(the second part of LDPC syndrome) s_2 라 할 때 다음의 수학적 21과 같이 s_2 의 값은 복호 결과에 상관 없이 매우 높은 확률로 0이 아닌 벡

터 값을 가진다. (수학적 21에서 \hat{i}^T , \hat{p}_1^T , \hat{p}_2^T 는 각각 정보어 비트 벡터, 제1 패리티 벡터, 제2 패리티 벡터의 LDPC 복호 결과에 대한 경관정 결과 값을 의미한다.)

[0282] [수학식 21]

$$s = \begin{bmatrix} s_1 \\ s_2 \end{bmatrix} = \begin{bmatrix} A & B & O \\ C & D & E \end{bmatrix} \cdot \hat{c}^T = \begin{cases} A \cdot \hat{i}^T + B \cdot \hat{p}_1^T \\ C \cdot \hat{i}^T + D \cdot \hat{p}_1^T + E \cdot \hat{p}_2^T \end{cases}$$

[0283]

[0284] 결과적으로 LDPC 복호의 성공 여부를 판단하기 위해서 LDPC 신드롬 전체를 이용할 수도 있지만, LDPC 복호화 장치는 상기 신드롬의 제1 파트 s_1 과 같이 패리티 검사 행렬에서 차수가 2 이상인 열들과 차수가 1인 패리티 비트들에 대해 독립적인 행들로 이루어진 부분 행렬 $[A(1410) \ B(1420)]$ 에 기반한 신드롬 또는 적어도 그 일부를 이용하여 복호 성공 여부를 결정할 수 있다. (패리티 검사 행렬의 제1 파트에 부분 행렬 $O(1430)$ 와 같은 0-행렬을 포함할 경우에도 실제 신드롬 값들은 차수가 2 이상인 열들로 이루어진 부분 행렬 $A(1410)$ 및 $B(1420)$ 에 기반하여 결정된다.)

[0285] 상기 도 14의 패리티 검사 행렬의 구조를 가지는 구체적인 실시 예를 도 15 및 도 16에 나타내었다.

[0286] 도 15는 본 개시의 일 실시 예에 따른 LDPC 부호에 대한 패리티 검사 행렬의 예시도이다. 도 16은 본 개시의 일 실시 예에 따른 LDPC 부호에 대한 패리티 검사 행렬의 다른 예시도이다.

[0287] 상기 도 15를 참고하면, 도 15에 도시된 행렬은 상기 도 14에서 $K = 22 \cdot Z$, $M_1 = 4 \cdot Z$, $M_2 = 7 \cdot Z$ 인 경우의 예이며, 상기 도 16을 참고하면, 도 16에 도시된 행렬은 상기 도 14에서 $K = 10 \cdot Z$, $M_1 = 4 \cdot Z$, $M_2 = 6 \cdot Z$ 인 경우의 예이다.

[0288] 여기서 Z 는 수학식 9 내지 수학식 14에서 정의된 블록 크기를 의미하며, 상기 도 15 및 도 16의 패리티 검사 행렬은 순환 패리티 검사 행렬의 지수 행렬을 나타낸다. 수학식 2의 순환 순열 행렬들에 기반하여 수학식 4와 같은 지수 행렬로 나타낼 때, 각 검사 행렬의 각 원소는 상기 순환 순열 행렬들의 크기에 대응된다. 상기 도 14에서 $E(1460)$ 에 대응되는 열의 차수가 1인 M_2 개의 열로 이루어진 부분 행렬은 단일 패리티 검사(single parity-check) 부호의 패리티에 대응되는 부분 행렬로 간주될 수 있으며, $E(1460)$ 에 대응되는 부분 행렬은 쉽게 확장(extension)이 가능하다. 즉, 상기 도 14의 $C(1440)$, $D(1450)$ 와 $E(1460)$ 에 대응되는 부분은 단일 패리티 검사 부호의 패리티 검사 행렬을 확장하는 형태로 구성이 가능하며, $N = K + M_1 + M_2$ 이므로, M_2 가 증가할수록 부호어 길이 N 도 길어질 수 있다.

[0289] 상기 도 14, 도 15 및 도 16의 패리티 검사 행렬에 대응되는 LDPC 부호의 부호율은 K/N 이므로, M_2 가 증가할수록 더 낮은 부호율의 부호어가 생성될 수 있다. 다시 말해, 상기 도 15 및 도 16을 포함하면서 차수가 1인 열들을 더 확장함으로써 더 낮은 부호율을 지원할 수 있는 패리티 검사 행렬에 기반하여 LDPC 부호화 및 복호화가 수행될 수 있다.

[0290] 도 15 및 도 16에 나타난 지수 행렬은 다양한 형태로 표현 가능하다. 일 실시 예에 따라, 도 15 및 도 16에 나타난 지수 행렬은 다음 수학식 22 내지 수학식 23과 같이 수열을 이용하여 각각 표현될 수도 있다.

[0291] 수학식 22는 도 15의 11×33 크기의 지수 행렬의 각 원소를 행 별로 각각 나타낸 것이다. 수학식 23은 도 16의 10×20 크기의 지수 행렬의 각 원소를 행 별로 각각 나타낸 것이다. 지수 행렬에서 $Z \times Z$ 크기의 영행렬에 대응되는 특정 원소 값(예: -1)은 제외될 수 있다. 예를 들어 상기 수학식 22에서 2 번째 수열(#0인 첫 번째부터 시작하여 #2인 세번째 열을 의미함)의 4 번째 값 63의 의미는 도 15의 지수 행렬 2번째 행(0번째 행, 1 번째 행 이후, 2번째 행)에서 $Z \times Z$ 크기의 영행렬에 대응되지 않는, 4 번째 순환 순열 행렬의 지수 값(또는 비트의 순환 시프트 값)이 63임을 의미한다. (상기 예에서 수열 및 행렬에서의 원소의 시작 순서는 0부터 시작하는 것으로 간주하였다.)

[0292] [수학식 22]

[0293] 250 69 226 159 100 10 59 229 110 191 9 195 23 190 35 239 31 1 0

[0294] 2 239 117 124 71 222 104 173 220 102 109 132 142 155 255 28 0 0 0

[0295] 106 111 185 63 117 93 229 177 95 39 142 225 225 245 205 251 117 0 0

- [0296] 121 89 84 20 150 131 243 136 86 246 219 211 240 76 244 144 12 1 0
- [0297] 157 102 0
- [0298] 205 236 194 231 28 123 115 0
- [0299] 183 22 28 67 244 11 157 211 0
- [0300] 220 44 159 31 167 104 0
- [0301] 112 4 7 211 102 164 109 241 90 0
- [0302] 103 182 109 21 142 14 61 216 0
- [0303] 98 149 167 160 49 58 0
- [0304] [수학식 23]
- [0305] 9 117 204 26 189 205 0 0
- [0306] 167 166 253 125 226 156 224 252 0 0
- [0307] 81 114 44 52 240 1 0 0
- [0308] 8 58 158 104 209 54 18 128 0 0
- [0309] 179 214 71 0
- [0310] 231 41 194 159 103 0
- [0311] 155 228 45 28 158 0
- [0312] 129 147 140 3 116 0
- [0313] 142 94 230 0
- [0314] 203 205 61 247 0
- [0315] 도 15 및 도 16에 나타난 지수 행렬, 즉, 수학식 22 및 수학식 23과 같이 나타난 지수 행렬에 대한 기본 행렬 또한 다양한 형태로 표현 가능한데, 일례로 다음 수학식 24 및 수학식 25와 같은 수열을 이용하여 표현할 수도 있다. 수학식 24는 도 15 및 수학식 22의 지수 행렬에 대응되는 기본 행렬에서 원소 1의 위치를 각 행 별로 나타낸 것이다. 수학식 25는 도 16 및 수학식 23의 지수 행렬에 대응되는 기본 행렬에서 원소 1이 있는 열의 위치를 각 행 별로 나타낸 것이다. 예를 들어, 상기 수학식 24에서 2 번째 수열의 4 번째 값(#0부터 시작 시, #3을 지칭)인 '4'의 의미는 기본 행렬에서 2번째 행의 '4'번 열인 5번째 열에 원소 1이 있음을 의미한다. (상기 예에서 수열 및 행렬에서의 원소의 시작 순서는 0부터 시작하는 것으로 간주하였다.)
- [0316] [수학식 24]
- [0317] 0: 0 1 2 3 5 6 9 10 11 12 13 15 16 18 19 20 21 22 23
- [0318] 1: 0 2 3 4 5 7 8 9 11 12 14 15 16 17 19 21 22 23 24
- [0319] 2: 0 1 2 4 5 6 7 8 9 10 13 14 15 17 18 19 20 24 25
- [0320] 3: 0 1 3 4 6 7 8 10 11 12 13 14 16 17 18 20 21 22 25
- [0321] 4: 0 1 26
- [0322] 5: 0 1 3 12 16 21 22 27
- [0323] 6: 0 6 10 11 13 17 18 20 28
- [0324] 7: 0 1 4 7 8 14 29
- [0325] 8: 0 1 3 12 16 19 21 22 24 30
- [0326] 9: 0 1 10 11 13 17 18 20 31

- [0327] 10: 1 2 4 7 8 14 32
- [0328] [수학식 25]
- [0329] 0: 0 1 2 3 6 9 10 11
- [0330] 1: 0 3 4 5 6 7 8 9 11 12
- [0331] 2: 0 1 3 4 8 10 12 13
- [0332] 3: 1 2 4 5 6 7 8 9 10 13
- [0333] 4: 0 1 11 14
- [0334] 5: 0 1 5 7 11 15
- [0335] 6: 0 5 7 9 11 16
- [0336] 7: 1 5 7 11 13 17
- [0337] 8: 0 1 12 18
- [0338] 9: 1 8 10 11 19
- [0339] 상기 도 15 및 도 16, 수학식 22 내지 수학식 25에 나타난 패리티 검사 행렬을 이용한 LDPC 부호화/복호화 과정에서 단축 및 천공이 적용될 수 있다. 이에 따라, 다양한 코드 블록 길이 및 부호율이 지원될 수도 있다. 또한 LDPC 부호의 경우에는 정보어 비트의 일부 (즉, 코드 블록의 일부)를 적절히 천공할 경우에 오류 정정 및 오류 마루(error floor) 성능이 개선될 수 있다. 이러한 이유로 정보어 비트의 일부 또는 코드 블록의 일부를 부호화에 무관하게 항상 천공하여 변조 및 전송함으로써 LDPC 부호화/복호화 성능이 개선될 수 있다.
- [0340] 일례로 도 15의 천공 부분(1506) 또는 도 16의 천공 부분(1606)과 같이 LDPC 부호의 패리티 검사 행렬에서 2개의 열 블록에 대응되는 2*Z 크기의 정보어 비트 또는 코드 블록의 일부를 부호율 또는 할당된 자원의 크기에 무관하게 항상 천공함으로써, 수신 장치에 해당 정보어 비트 또는 코드 블록의 일부를 전송하지 않는 방법이 고려될 수 있다. 이하, 본 개시에서 천공되는 적어도 하나의 열 블록(들)은 천공 부분 외에, 천공 영역, 단축 부분, 단축 영역 등 동일한 기술적 의미를 가지는 용어로 대체되어 사용될 수도 있다.
- [0341] 송신 장치는 상기 천공된 비트들을 전송하지 않지만, 수신 장치는 채널을 통해 해당 비트들이 전송되었으나 정보를 잃게 된 비트들, 즉, 소실(erasure)된 비트로 간주할 수 있다. 수신 장치는 소실된 비트들에 대해 0과 1일 가능성을 실질적으로 구분할 수 없기 때문에 0일 확률이 1/2, 1일 확률이 1/2로 판단하게 된다. 따라서, 수신 장치는 소실된 비트 (또는 천공된 비트)를 LR 값으로 표현할 경우에는 1로, LLR 값으로 표현할 경우에는 0으로 판단할 수 있다. 본 개시에서는 설명의 편의상 LDPC 복호기(수신 장치)에서 LLR 값을 사용하는 경우에 대해서만 설명하지만, 비트를 표현하기 위한 확률 값은 LDPC 복호기의 요구 조건에 따라 다른 값들로 표현될 수 있다.
- [0342] 이와 같이 천공된 비트들은 LDPC 복호기의 메시지 값으로서 0에 대응되게 되는데, 천공된 LDPC 부호어 비트의 차수에 따라 LDPC 복호기(수신 장치)에서 다르게 처리될 수 있다. 예를 들어, 도 15와 도 16 또는 수학식 22 내지 수학식 25에 대응되는 패리티 검사 행렬을 사용하여 LDPC 부호화 또는 복호화가 수행될 때, LDPC 복호화 장치는 차수가 1인 패리티 비트들이 천공된 경우에는 상기 LLR 값들을 0으로 설정하여 복호를 수행할 수도 있다. 그러나, 일반적으로 차수가 1인 패리티 비트들이 천공된 경우에는 반복 복호를 수행하여도 성능 개선 효과가 없기 때문에, LDPC 복호화 장치는 천공된 비트들에 상응하는 LLR 값들을 복호 과정에서 활용하지 않을 수도 있다. 단, 경우에 따라 LDPC 복호화 장치는 효율적인 병렬 처리를 위해 일부 천공된 차수 1인 패리티 비트들의 LLR 값을 0으로 설정하여 복호에 활용할 수도 있다. 예를 들면, LDPC 복호기의 병렬 처리 단위가 Z인 경우에 LDPC 복호에 활용되는 비트들에 대응되는 LLR 값들의 개수가 Z의 배수가 되도록 천공된 차수가 1인 패리티 비트들 일부를 활용할 수도 있다.
- [0343] 도 15와 도 16 또는 수학식 22 내지 수학식 25에 대응되는 패리티 검사 행렬을 사용하여 LDPC 부호화 및 복호화를 수행할 때, 부분(1506) 또는 부분(1606)과 같이 2개의 열블록에 대응되는 정보어 비트들 또는 코드 블록의 일부를 천공한 경우에 복호 과정의 특징이 도 17a 및 도 17b를 통해 서술된다.
- [0344] 도 17a 및 도 17b는 하나의 검사 노드에 천공된 비트 1개 또는 2개 연결된 경우를 각각 나타낸 예시도이다.
- [0345] 상기 도 17a는 상기 도 15와 도 16의 패리티 검사 행렬에서 첫 번째 행 블록에 대응되는 태너 그래프를 나타낸

도면이다. 도 17a를 참고하면, 8개의 변수 노드들과 1개의 검사 노드가 예시된다. 상기 도 17a에서는 편의상 8개의 변수 노드와 한 개의 검사 노드(1710)를 도시하였지만, 상기 도 15와 도 16의 패리티 검사 행렬은 블록 크기가 Z 인 준순환 LDPC 부호를 나타내므로 실제로는 $8*Z$ 개의 변수 노드와 Z 개의 검사 노드로 구성되어 있는 경우로 쉽게 확장될 수 있다.

[0346] 만일 하나의 검사 노드에 도 17a의 변수 노드(1701)과 변수 노드(1702)와 같이 천공된 2 개 이상의 변수 노드가 연결되어 있을 경우에는 해당 변수 노드에 대응되는 LLR 값이 0으로 설정되고 이 값들은 변수 노드에 연결된 각각의 선(1720)을 따라 각각 검사 노드(1710)에 전달된다. 다시 말해 검사 노드 프로세서는 수학적 15 및 수학적 16에 설명한 방법에 기반한 업데이트 식을 적용할 경우에는 복호 연산 과정에서 그 값이 무한대로 발산하게 되는 경우가 반드시 하나 이상 발생하게 되고, 그로 인해 검사 노드의 연산이 무의미해진다. 이와 유사하게 참고 문헌 『Frank R. Kschischang, Brendan J. Frey, and Hans-Andrea Loeliger, "Factor Graphs and the Sum-Product Algorithm," IEEE TRANSACTIONS ON INFORMATION THEORY, VOL. 47, NO. 2, FEBRUARY 2001, pp498-519』을 참고하면, $\tanh(\cdot)$ 함수를 사용한 곱의 규칙에 기반한 복호 업데이트 식을 적용할 경우에는 $\tanh(0) = 0$ 이기 때문에, 업데이트 식에서 $\tanh(0) = 0$ 인 경우가 반드시 하나 이상 발생하게 되고, 따라서 곱셈식이 항상 0이 되어 어떠한 변수 노드에 대해서도 복호를 진행하여도 LLR 값이 업데이트 되지 않는다. 예를 들어, 수학적 15 내지 수학적 18을 참고할 때, 변수 노드(1701) 및 변수 노드(1702) 각각에서의 비트 값 판정을 위해 검사 노드 업데이트 절차와 변수 노드 업데이트 절차가 수행되더라도, 변수 노드(1701)의 LLR 값은 변수 노드(1702)에 '0'으로 설정된 LLR 값으로 인해 업데이트 되지 않을 수 있다. 마찬가지로, 변수 노드(1702)의 LLR 값은 최소 변수 노드(1701)에 '0'으로 설정된 LLR 값으로 인해 업데이트 되지 않을 수 있다.

[0347] 상기 도 17b은 상기 도 15와 도 16의 패리티 검사 행렬에서 두 번째 행 블록에 대응되는 태너 그래프를 나타낸 도면이다. 도 17a를 참고하면, 10개의 변수 노드들과 1개의 검사 노드가 예시된다. 상기 도 17b에서는 편의상 10 개의 변수 노드와 한 개의 검사 노드(1740)를 도시하였지만, 상기 도 15와 도 16의 패리티 검사 행렬은 블록 크기가 Z 인 준순환 LDPC 부호를 나타내므로 실제로는 $10*Z$ 개의 변수 노드와 Z 개의 검사 노드로 구성되어 있는 경우로 쉽게 확장될 수 있다.

[0348] 만일 하나의 검사 노드에 도 17b의 변수 노드(1731)과 같이 천공된 1 개의 변수 노드만 연결되어 있을 경우에는 해당 변수 노드에 대응되는 LLR 값이 0으로 설정되고, 이 값은 선(1750)에 따라 검사 노드(1740)에 전달된다. 다시 말해 검사 노드 프로세서는 상기 선(1750)을 제외한 나머지 선에 대응되는 업데이트 LLR 값을 계산하는 과정에서 수학적 15 및 수학적 16에 기반한 업데이트 방법을 적용할 경우에는 상기 선(1750)에 대응되는 LLR = 0 값에 의해 그 연산 값이 무한대로 발산하거나, $\tanh(\cdot)$ 함수를 사용한 곱의 규칙에 기반한 복호 업데이트 식을 적용할 경우에는 $\tanh(0) = 0$ 이기 때문에 곱셈식이 0이 되어 상기 변수 노드(1731)을 제외한 변수 노드들에 대응되는 비트에 대해 LLR 값들이 업데이트 되지 않는다. 하지만, 상기 선(1750)에 대응되는 업데이트 LLR을 계산하기 위해서는 상기 선(1750)을 제외한 선들에 대응되는 값들을 기반으로 업데이트 되기 때문에 변수 노드(1731)에 대응되는 비트에 대한 LLR 값이 0이 아닌 값으로 업데이트 될 수 있다. 예를 들어, 수학적 15 내지 수학적 18을 참고할 때, 변수 노드(1731) 및 변수 노드(1732) 각각에서의 비트 값 판정을 위해 검사 노드 업데이트 절차와 변수 노드 업데이트 절차가 수행될 수 있다. 이 때, 변수 노드(1732)의 LLR 값은 변수 노드(1731)에 '0'으로 설정된 LLR 값으로 인해 업데이트 되지 않을 수 있다. 그러나, 변수 노드(1731)의 LLR 값은 변수 노드(1732)에 설정된 LLR 값으로 인해 업데이트 되기 때문에, 0이 아닌 값으로 업데이트 될 수 있다.

[0349] 이와 같이 천공된 정보어 비트의 경우에는 패리티 검사 행렬의 구조에 따라 특정 레이어, 또는, 특정 행 블록에 대해 레이어드 디코딩을 수행한 후 즉시 LLR 값이 복원되거나 복원되지 않을 수 있다.

[0350] 도 17c는 검사 노드와 변수 노드 간의 업데이트 절차에서, LLR 값이 복원 혹은 복원되지 않는 예를 나타낸다.

[0351] 도 17c를 참고하면, 좌측(1780)은 변수 노드들(예: 10개의 변수 노드들)을 나타낸다. 우측(1790)은 검사 노드들(예: 5개의 검사 노드들)을 나타낸다. 변수 노드(1795)는, 상기 변수 노드와 연결된 검사 노드로부터, 상기 변수 노드와 다른, 상기 검사 노드와 연결되는 다른 변수 노드들의 LLR 값을 전달받음으로써 갱신된다.

[0352] 일 실시 예에 따라, 합-곱 알고리즘에 따라 변수 노드 업데이트 절차가 수행될 수 있다. 예를 들어, 하기의 수학적 A가 이용될 수 있다.

[0353] <수학식 A>

$$L_{c \rightarrow v} = 2 \tanh^{-1} \left(\prod_{u \in \mathcal{V}_c \setminus \{v\}} \tanh \left(\frac{L_{u \rightarrow c}}{2} \right) \right)$$

[0354]

[0355] $L_{c \rightarrow v}$ 는 검사 노드 c 에서 변수 노드 v 로의 LLR 값을 의미하고, $L_{u \rightarrow c}$ 는 변수 노드 v 에서 검사 노드 u 로의 LLR 값을 의미한다.

$$\left. \tanh \left(\frac{L_{u \rightarrow c}}{2} \right) \right\}$$

[0356] 이 때, 변수 노드 u (즉, 변수 노드 v 외에 검사 노드 c 와 연결된 변수 노드)의 값이 0이라면, 변수 노드 v 는 업데이트 되지 않는다. 다시 말해, 변수 노드들 중에서 검사 노드와 연결되는 최소 2개의 LLR 값이 0이라면, 레이어 디코딩의 해당 검사 노드(혹은 해당 레이어)의 업데이트 과정에서, 각 변수 노드는 업데이트 되지 않는다. 자신의 변수 노드의 LLR 값이 0이더라도 다른 변수 노드의 LLR 값이 0이기 때문이다. 반대로, 하나의 변수 노드만 LLR 값이 0이라면, 업데이트가 될 수 있다. 다른 변수 노드의 LLR 값은 0이 아니고, 해당 변수 노드는 다른 변수 노드들(즉, 변수 노드 (u)) 각각으로부터 해당 검사 노드의 LLR 값을 업데이트 받기 때문이다.

[0357] 일 실시 예에 따라, 최소-합 알고리즘에 따라 변수 노드 업데이트 절차가 수행될 수 있다. 예를 들어, 하기의 수학식 B가 이용될 수 있다.

[0358] <수학식 B>

$$\tilde{L}_{c \rightarrow v} = \min \left(\alpha \times \left(\prod_{u \in \mathcal{V}_c \setminus \{v\}} \text{sgn}(L_{u \rightarrow c}) \right) \times \min_{u \in \mathcal{V}_c \setminus \{v\}} |L_{u \rightarrow c}| - \beta, 0 \right)$$

[0359]

[0360] $L_{c \rightarrow v}$ 는 검사 노드 c 에서 변수 노드 v 로의 LLR 값을 의미하고, $L_{u \rightarrow c}$ 는 변수 노드 v 에서 검사 노드 u 로의 LLR 값을 의미한다. α 는 정규화 팩터(예: 1.0 미만), β 는 오프셋 팩터(0 내지 0.50)를 의미한다.

[0361] 이 때, 변수 노드 u (변수 노드 v 외에 검사 노드 c 와 연결된 변수 노드)의 LLR 값이 0이라면, 변수 노드 v 는 업데이트 되지 않는다. 다시 말해, 변수 노드들 중에서 검사 노드와 연결되는 최소 2개의 LLR 값이 0이라면, 레이어 디코딩의 해당 검사 노드(혹은 해당 레이어)의 업데이트 과정에서, 각 변수 노드는 업데이트 되지 않는다. 자신의 변수 노드의 LLR 값이 0이더라도 다른 변수 노드의 LLR 값이 0이기 때문이다. 반대로, 하나의 변수 노드만 LLR 값이 0이라면, 업데이트가 될 수 있다. 다른 변수 노드의 LLR 값은 0이 아니고, 해당 변수 노드는 다른 변수 노드들(즉, 변수 노드 (u)) 각각으로부터 해당 검사 노드의 LLR 값을 업데이트 받기 때문이다.

[0362] 본 개시는 레이어드 신뢰 전파(예: LBP(layered belief propagation) 알고리즘에 기초하여 수행되는 레이어드 디코딩 절차에 적용될 수 있다. 본 개시에서 레이어는 적어도 하나의 행 블록으로 구성될 수 있다. 패리티 행렬의 행 블록은 적어도 하나의 검사 노드들을 의미한다. 즉, 레이어 단위로 디코딩이 수행됨은, 레이어에 대응하는 적어도 하나의 검사 노드들에 대한 LLR 업데이트 절차(예: 수학식 15 내지 18의 검사 노드 업데이트 혹은 변수 노드 업데이트)를 의미할 수 있다. 또한, 레이어드 디코딩이란 레이어 별로 순차적으로 디코딩을 수행하는 동작을 의미한다. 일 실시 예에 따라, 하나의 행 블록 단위로 순차적으로 디코딩이 수행될 수 있다. 또한, 일 실시 예에 따라, 복수개의 행 블록을 하나의 레이어로 구성되어, 디코딩이 수행될 수 있다. 또한, 일 실시 예에 따라, 하나의 패리티 검사 행렬의 구조에 따라 일부의 레이어는 하나의 행 블록으로 구성되고 다른 일부의 레이어는 복수의 행 블록으로 구성될 수 있다.

[0363] 통상적으로 서로 직교(orthogonal) 또는 준직교(quasi-orthogonal) 특성을 가지는 행 블록들은 하나의 레이어로 간주될 수 있다. 여기서 2개 이상의 행 블록들에 포함되어 있는 순환 순열 행렬들이 서로 다른 열 블록에 위치하고 있을 경우에 해당 행 블록들은 직교 특성을 가지고 있다고 한다. 다시 말해, 직교 특성이 있는 행 블록들을 블록 단위로 더하여 하나의 행 블록을 생성할 경우에 상기 생성된 행 블록의 각 열 블록에 순환 순열 행렬이 중복되어(overlapped) 있지 않고, 1개의 순환 순열 행렬 또는 0-행렬로 구성됨을 의미한다. 또한 기본 행렬 관점에서 정의할 경우에는, 상기 직교 특성이 있는 행 블록들에 대응되는 행들을 더할 경우에 무게 1이 중복되어

더해지는 경우가 없음을 의미한다. 예를 들면, 도 15에서 6번 행 블록과 마지막 10번 행 블록은 서로 직교 특성이 있다. (첫번째 행 블록을 0번 행 블록으로 간주하였다.)

[0364] 또한 준직교 특성을 만족하는 행 블록들은 각 행 블록에서 일부 동일한 위치의 열 블록을 제외한 나머지 열 블록에 대해서만 직교 특성을 만족하는 경우를 의미한다. 예를 들면, 도 15에서 5번째 행 블록과 6번째 행 블록은 0번째 열 블록을 제외한 모든 열 블록에 대해 직교 특성을 만족하므로 준직교 특성을 가지고 있다. 도 16에서 7번째 행 블록과 8번째 행 블록도 1번 열 블록(각 행에서 2번째 열 블록인 '129'와 '94')을 제외한 나머지 열 블록에 대해 직교 특성을 만족하므로 준직교 특성을 가지고 있다.

[0365] 통상적으로 구현의 편의상 1개의 행 블록이나 직교 특성 또는 준직교 특성을 가지는 연속된 또는 사전에 기 설정된 복수개의 행 블록을 1개의 레이어로 설정하여 레이어드 디코딩을 수행하지만, 본 개시의 실시 예들에 따른 LDPC 복호화 장치는, 직교 특성 또는 준직교 특성을 가지는 연속적이지 않은 행 블록들에 대해서도 하나의 레이어로 설정할 수 있다. 준직교 특성을 만족하는 행 블록들을 하나의 레이어로 설정할 때는 준직교 특성을 만족하지 않는 열 블록의 개수가 많아질수록 구현 복잡도가 증가하기 때문에 시스템에서 허용된 복잡도를 고려하여 레이어가 설정될 수 있다. 이러한 이유로 통상적으로 1개 또는 2개 이하의 열 블록을 제외한 나머지 열 블록에 대해서 직교 특성을 만족하는 행 블록들이 하나의 레이어로 설정될 수 있다. 그러나, 이는 예시적인 것일 뿐, 본 개시의 실시 예들이 반드시 이에 국한되는 것은 아니다. 또한, LDPC 복호화 장치는 직교 또는 준직교 특성을 만족하는 복수 개의 행 블록들에 대해서 대기 시간(wait time)을 줄이기 위해서 복수 개의 행 블록을 동시에 처리할 수도 있지만, 사전에 정해진 순서에 따라 순차적으로(sequentially) 또는 연속적으로(successively) 처리할 수도 있다.

[0366] 상기 레이어 별로 순차적으로 디코딩을 수행한다는 의미는 첫 번째 선택된 레이어에 대해 디코딩을 수행한 뒤에 다른 레이어에 대한 디코딩을 수행함을 의미하며, 디코딩을 위한 레이어의 순서는 변경될 수 있다. 즉, LDPC 복호화 장치는 제1 레이어에 대해 디코딩을 수행한 뒤에 제4 레이어에 대한 디코딩을 수행하고 이후 제2 레이어에 대한 디코딩을 수행하는 등의 방법도 가능하다. 한편, 하기의 실시 예에서는 설명의 편의상 하나의 행 블록이 하나의 레이어를 구성하는 경우를 가정하여 설명한다.

[0367] 도 15의 지수 행렬에 대응되는 패리티 검사 행렬에 대해 0번째, 1번째 열 블록에 대응되는 정보어 비트 또는 코드 블록의 일부를 천공하는 통신 시스템에서, 수신 장치는 LDPC 복호를 위해 첫 번째 레이어드 디코딩을 0, 2, 3, 4, 5, 7, 8, 9 번째 행 블록 중 하나를 선택하여 수행하거나 상기 행 블록들에 대해 레이어드 디코딩을 연속적으로 수행하는 상황을 가정하자. 이 때, 각 비트들에 대한 업데이트가 이루어지지 않기 때문에 첫 번째 레이어드 디코딩 또는 상기 연속적인 레이어드 디코딩은 효과가 없다.

[0368] 반면에 만일 1, 6, 10 번째 행 블록 중 하나를 선택하여 첫 번째 레이어드 디코딩을 수행한다면, 0 번째 또는 1 번째 열 블록에 대응되는 천공된 정보어 비트 또는 코드 블록에 대응되는 LLR 값들이 업데이트 될 수 있다. 그 이후에 어떠한 행 블록에 대해서 레이어드 디코딩을 수행하더라도, 적어도 일부의 정보어 비트에 대해서 LLR 값들이 업데이트 된다. 특히 1 번째 행 블록 및 10 번째 행 블록 또는 6 번째 행 블록 및 10 번째 행 블록에 대해 순차적으로 레이어드 디코딩을 먼저 수행한다면, 전송된 정보어 비트 및 패리티 비트들에 대한 LLR 값이 모두 의미있는 값들을 갖게 되어 이후의 레이어드 디코딩 과정에서는 마치 모든 부호어 비트에 대해 천공되지 않은 것처럼 디코딩 절차가 수행된다.

[0369] 이와 같이 천공된 정보어 비트들 또는 코드 블록을 고려하여 첫 번째 레이어드 디코딩을 수행할 때부터 LLR 값들을 복원 가능한 디코딩 스케줄링을 적용하는 것은 부호율이 매우 높고 시스템에서 지원하고자 하는 시간 당 정보 처리량 (throughput)이 높은 경우에는 중요한 문제이다. 통상적으로 시스템에서 수 백 Mbps 내지 수 Gbps에 해당하는 데이터를 전송하고자 할 때에는 채널 환경이 좋아야 할 뿐만 아니라 높은 LDPC 부호화율이 적용되며, 수신기에서 수행되는 반복 복호 횟수도 크지 않다. 반복 복호 횟수는 일반적으로 수신기의 시간 당 디코딩 정보 처리량과 반비례 관계에 있기 때문에 반복 복호 횟수가 적을수록 더 큰 정보 처리량을 지원할 수 있기 때문이다. 특히 매우 높은 시간 당 디코딩 정보 처리량이 요구될 경우에는 반복 복호 횟수가 적어지는 경우가 많은데, 이러한 경우에는 무효한 처음 몇 번의 레이어드 디코딩 과정이 시간 당 정보 처리량의 감소에 큰 영향을 줄 수 있다. 따라서, LDPC 복호화 장치는, 천공된 정보어 비트 또는 코드 블록과 패리티 검사 행렬의 구조 등을 고려하여 레이어드 디코딩을 위한 스케줄링을 설정함으로써 디코딩 효율을 높일 수 있다.

[0370] 상기 레이어드 디코딩을 위한 스케줄링 설정을 위해서는, LDPC 복호화 장치는 천공된 정보어 비트 또는 코드 블록에 대응되는 LLR 값들을 빠르게 복원하는 것뿐만 아니라 적절한 차수 분포 등을 고려하여 복호 성능을 최적화할 것이 요구된다. 일반적으로 LDPC 부호는 비균일한(irregular) 차수 분포를 가지고 있기 때문에, 어떠한 차수

분포를 가지는 행 블록에 대해서 레이어드 디코딩을 수행하는지에 따라 성능이 달라질 수도 있다. 다시 말해, 차수 분포에 따라 레이어드 디코딩 성능이 달라질 수 있다.

[0371] 본 개시에서는 레이어드 디코딩의 성능을 최적화하기 위하여 디코딩을 수행할 레이어(또는 레이어가 하나의 행 블록으로 구성되는 경우에는 행 블록)의 순서를 결정하는 방법과 그 구체적인 실시 예를 제안한다. 이를 위해 상기 디코딩을 수행할 레이어의 순서를 결정하기 위해 고려해야할 다양한 요인(factor)에 대해서 살펴보고 이 요인들을 결합하여 적절한 디코딩 스케줄링을 설정하는 구체적인 방법이 제안된다. 또한 본 개시에서는 설명의 편의상 준수환 LDPC 부호를 사용하는 경우에 대해서만 구체적인 실시 예를 나타내지만, 일반적인 LDPC 부호에 대해서 용이하게 확장 가능함에 유의한다.

[0372] <레이어드 디코딩 스케줄링을 결정하기 위한 조건>

[0373] 이하, 우선 순위화는 레이어드 디코딩을 수행할 행 블록(혹은 레이어)의 순서를 결정하기 위한 동작을 의미한다. 우선 순위화는, 해당 블록에 대한 복호의 우선 순위를 높이는 과정을 포함할 수 있다. 우선하여 디코딩(복호)을 수행함은, 검사 노드의 행 블록의 번호에 따라 순차적인 디코딩을 수행하는 것과 달리, 특정 행 블록을 다른 행 블록보다 우선적으로 디코딩함을 의미한다. 즉, 우선순위화 및 이에 따른 디코딩을 수행함은 특정 행 블록의 인덱스가 보다 앞으로 배치되도록 디코딩 순서를 조절하는 단계를 포함할 수 있다.

[0374] 조건 1) 정보어 비트(또는 코드 블록)의 일부가 천공되어 전송되었을 때, 기본 행렬에서 해당 천공된 정보어 비트에 대응되는 열 또는 열 블록들로만 이루어진 부분 행렬 내에서 차수(즉, 검사 노드의 차수를 의미) 또는 무게가 0 또는 1인 행에 대응되는 행 블록에 대한 초기 복호는 우선 순위화된다. 정보어 천공이 없을 경우에는 조건 1)은 무시한다.

[0375] 조건 2) 차수 또는 무게 분포 또는 변조 오더(order) 또는 방식들을 고려하여 이론적인 복호 성능이 극대화되는 행 블록에 대한 복호는 우선 순위화된다. 많은 경우에 초기 복호 과정에서는 검사 노드 차수, 즉, 행 무게가 낮을 수록 복호 성능이 크게 개선될 수 있다. 또한 변조 방식에 따라 변조 심볼을 구성하는 각 비트들의 신뢰도(reliability) 또는 비트 오류율(bit error rate)이 서로 다르기 때문에 변조 방식에 따라 최적화된 스케줄링 방법이 달라질 수 있다. 이론적인 성능은 밀도 진화 분석(density evolution analysis) 또는 EXIT 차트(extrinsic information transfer chart) 분석 등 다양한 방법이 적용될 수 있다.

[0376] 조건 3) 부호율 또는 레이트 매칭에 따라 디코딩에서 실질적으로 사용되거나 성능에 영향을 주는 LDPC 부호의 기본 행렬 또는 패리티 검사 행렬의 부분을 고려하여 복호를 수행할 행 블록이 우선 순위화된다. 즉, 부호율 또는 레이트 매칭에 따라 디코딩할 레이어의 순서가 변경될 수 있다.

[0377] 조건 4) TBS 또는 CBS에 따라 실질적으로 사용되거나 성능에 영향을 주는 LDPC 부호의 기본 행렬 또는 패리티 검사 행렬의 부분을 고려하여 복호를 수행할 행 블록이 우선 순위화된다. 즉, TBS 크기에 따라 디코딩할 레이어의 순서가 변경될 수 있다.

[0378] 상기 조건 1)은 실질적으로 한정된 반복 복호 횟수를 고려하여 빠른 LLR 복원을 위한 조건이다. 본 개시에서는 설명의 편의상 도 14 내지 도 16의 구조를 갖는 패리티 검사 행렬 또는 수학적 22 내지 수학적 25의 지수 행렬 또는 기본 행렬 갖는 LDPC 부호에 기반한 부호화/복호화를 가정하고 있기 때문에 상기 조건 1)에서는 정보어 비트에의 천공에 대해서만 기술하였다. 통상적으로 도 14 내지 도 16의 구조 또는 수학적 22 내지 수학적 25의 지수 행렬 또는 기본 행렬을 갖는 LDPC 부호의 경우에는 패리티 부분의 천공은 가변적일 뿐만 아니라 차수 1인 패리티가 천공된 경우에는 이에 대응되는 패리티 검사 행렬 부분은 복호 과정에서 제외하여 복호를 수행하여도 문제없기 때문이다. 하지만, 일반적으로 정보어 비트뿐만 아니라 패리티 비트 천공을 모두 고려하여 조건 1이 적용될 수도 있다.

[0379] 조건 1)을 고려하여 레이어드 디코딩을 위해 복호를 수행할 레이어의 순서를 결정하는 구체적인 예로서, 도 15에서, LDPC 복호화 장치는 가장 먼저 복호를 수행할 행 블록을 1번 행 블록 또는 6번 행 블록 또는 10번 행 블록 중에 하나로 결정할 수 있으며, 나머지 행 블록 또한 초기 복호에 사용할 수 있다(첫 번째 행 블록을 0번 행 블록으로 간주하였음에 유의한다). 또한, 예를 들어, 도 16의 경우에는, LDPC 복호화 장치는 1번 행 블록 또는 3번 행 블록 또는 6번 행 블록 또는 7번 행 블록 또는 9번 행 행 블록 중에 하나에 대해 가장 먼저 복호를 수행할 수 있으며, 나머지 행 블록 또한 초기 복호에 사용될 수 있다.

[0380] 상기 조건 2)의 경우에는 충분한 반복 복호를 진행하였다고 간주하여 이론적인 성능을 최대화하는 것을 고려한 것이다. 통상적으로 변수 노드는 차수가 높을수록 검사 노드는 차수가 낮을수록 성능 개선 효과가 크다. 하지만, 일반적으로 변수 노드 차수와 검사 노드 차수는 평균적으로 동시에 증가하거나 동시에 감소하기 때문에

LDPC 부호의 차수 분포를 어떻게 설정하느냐에 따라서 LDPC 부호의 성능이 크게 차이가 난다. 본 개시에서는 레이어드 디코딩 방법을 가정하고 있기 때문에 초기 복호 과정에서 차수가 낮은 행 블록을 먼저 디코딩 하는 것이 성능 개선 효과가 클 가능성이 있다.

- [0381] 구체적 실시 예로서 도 15 및 도 16에 대응되는 패리티 검사 행렬의 경우에는 기본 행렬 관점에서 0, 1, 2, 3 번째 행의 차수 또는 무게가 4 번째 이후 행의 차수 또는 무게에 비해 상당히 큰 편이다. 따라서 초기 복호에서 기본 행렬의 4 번째 행을 포함하여 그 이후 행에 대응되는 행 블록에 대해 복호를 수행하는 것이 초기 복호 성능이 더 좋을 수 있다. 만일 조건 1)과 함께 고려한다면, 도 15에서는 6 번째 행 블록 또는 10 번째 행 블록들을 초기 복호에 사용하는 것이 성능 개선 효과가 클 수 있으며, 도 16에서는 6 번째 또는 7 번째 또는 9 번째 행 블록들을 초기 복호에 사용하는 것이 성능 개선 효과가 클 수 있다.
- [0382] 16-QAM, 64-QAM, 256-QAM, 1024-QAM, ... 과 같은 고차 변조 방식을 적용할 경우에는 변조 심볼(modulation symbol)을 구성하는 각 비트에 따라 서로 다른 신뢰도를 갖는다. 예를 들어 각 변조 심볼에서 MSB(most significant bit)들은 통상적으로 낮은 비트 오류, 즉 높은 신뢰성을 가지며, LSB(least significant bit)들은 통상적으로 높은 비트 오류, 즉 낮은 신뢰성을 가진다. 따라서 전송된 LDPC 부호어 비트들이 변조 심볼에 어떻게 매핑되는지에 따라서 LDPC 복호 성능에 큰 차이가 있을 수 있다. 변조 심볼에 매핑되는 규칙이 사전에 정해져 있을 경우에는 변조 방식(또는 차수)과 상기 매핑 규칙에 따라 성능을 극대화하기 위하여 초기에 디코딩을 수행할 레이어의 순서가 달라질 수도 있다.
- [0383] 가변적인 부호율을 지원하기 위해 적절한 레이트 매칭(rate matching)을 적용하는 통신 시스템에서는 상기 레이트 매칭에 대응되는 패리티 검사 행렬의 부분 행렬이 실질적으로 성능에 영향을 주기 때문에 이러한 특성을 반영하기 위해 상기 조건 3)이 추가되었다. 예를 들어, 도 15 및 도 16의 지수 행렬 또는 수학적 식 22 내지 도 25의 지수 행렬 및 기본 행렬에 대응되는 패리티 검사 행렬을 사용하여 LDPC 부호화/복호화 시스템에서 만일 1에 가까운 매우 높은 부호율을 지원한다고 하면, 도 15 및 도 16에서 패리티 비트에 대응되는 부분 행렬(1502) 및 부분 행렬(1602)에서 마지막 2개의 열 블록에 대응되는 패리티 비트의 일부가 레이트 매칭을 통해 천공되는 경우가 발생할 수 있다. 만일, 상기 부분 행렬(1502) 및 부분 행렬(1602)에서 처음 2개의 열 블록에 대응되는 패리티 비트가 천공되는 상황이 발생한다면 부호율이 1 보다 큰 경우를 의미하기 때문에, 시스템에서 발생한 특수한 상황이 아니라면, 상기 부분 행렬(1502) 및 부분 행렬(1602)에서 처음 2개의 열 블록에 대응되는 패리티 비트는 천공되지 않는다. 이러한 경우에는, 자명하게 1 번째 행 블록에 대해 초기 복호를 수행하여야 무효한 복호 과정이 최소화될 수 있다.
- [0384] 반면에 만일 도 15에 대해 부호율 22/27 또는 도 16에 대해 부호율 10/15를 지원하는 경우에는 6 번째 행 블록에 대응되는 패리티 비트들이 전송되며, 상기 조건 1) 및 조건 2)에 의해 상기 6 번째 행 블록에 대해 우선적으로 초기 복호를 적용할 경우 가장 좋은 부호화/복호화 성능이 제공될 수 있다.
- [0385] 만일 시스템에서 지원하는 부호율이 크게 가변적이지 않고, 상기 예시들과 또 다른 부호율로 결정되어 있을 경우에는 주어진 패리티 검사 행렬에 대해서 최적의 디코딩 스케줄링 순서가 결정되기 때문에 위와 같이 1 번째 행 블록, 6 번째 행 블록과 또 다른 행 블록에 대해서 초기 복호를 수행해야 성능이 최적화될 수도 있다.
- [0386] 이와 같이 부호율에 따라 패리티 검사 행렬에서 성능에 영향을 주는 부분 행렬의 크기 및 범위가 달라지기 때문에 하나의 고정된 레이어드 디코딩 스케줄링 방법을 적용할 경우에는 구현에는 용이하나 성능은 다소 손실을 볼 수 있다. 따라서 구현이 가능한 경우에는 지원 가능한 최대 부호율 또는 최저 부호율 또는 실제 지원하는 부호율 등 모두 또는 일부에 기반하여 가변적인 디코딩 스케줄링을 적용할 경우 부호화/복호화 성능이 개선된다.
- [0387] 참고로 상기 조건 3)에서 사용되는 부호율은 정보어 비트 수 또는 코드 블록 크기를 전송된 비트의 수로 나누는 유효(effective) 부호율을 사용되거나, 또는 MCS 또는 CQI(channel quality indicator) 관련 시스템 정보(예를 들면, MCS 인덱스 또는 CQI 인덱스 등)로부터 정의되어 있는 부호율 등이 사용될 수도 있다. 유효 부호율을 사용하면 보다 정확한 성능 예측이 가능한 스케줄링 순서 또는 패턴을 정의할 수 있는 장점이 있는 반면 유효 부호율을 계산하는 추가 과정이 요구된다. MCS 또는 CQI에서 정의되는 부호율을 사용할 경우에는 추가적인 연산은 필요하지 않을 수 있지만, 사전에 결정된 스케줄링 순서 또는 패턴에 최적화된 부호율과 다를 수 있기 때문에 다소의 성능 열화가 발생할 가능성이 있다.
- [0388] 상기 조건 4)는 TBS 또는 CBS에 따라 실질적으로 디코딩에 사용되거나 성능에 영향을 주는 LDPC 부호의 기본 행렬 또는 패리티 검사 행렬의 부분이 다를 경우에 적용될 수 있다. 실제로 3GPP 5G 표준 규격인 TS 38.212 문서에 따르면, 코드 블록(또는 정보어 비트)을 패리티 검사 행렬에서 정보어에 대응되는 부분 행렬에 매핑할 때,

CBS에 따라 그 범위가 다르게 설정된다. 예를 들어, 상기 TS 38.212에서 정의된 제 2 기본 행렬 BG2(TS 38.212에서는 기본 행렬을 기본 그래프(base graph)로 표현)에 기반하여 부호화를 수행할 경우, CBS 또는 TBS 길이가 640 보다 큰 경우에는 $K_b = 10$ 개의 열 블록, 640 이하 560 초과인 경우에는 $K_b = 9$ 개의 열 블록, 560 이하 192 초과인 경우에는 $K_b = 8$ 개의 열 블록, 192 이하인 경우에는 $K_b = 6$ 개의 열 블록이 선택된 다음, 상기 K_b 개의 열 블록에 기반하여 부호화가 수행된다. 따라서 정보어 비트 또는 코드 블록에 대응되는 패리티 검사 행렬의 부분 행렬에서 상기 K_b 개의 열 블록을 제외한 나머지 열 블록은 부호화 과정에서 사용되지 않을 수 있다. 이와 같이 부호화 과정에서 주어진 패리티 검사 행렬의 일부를 사용하지 않는 것은 '단축'과 같은 동작이며, 이는 실제 성능에 영향을 주는 차수 분포가 바뀌게 됨을 의미한다. 따라서 상기 조건 2)에서 언급한 것처럼 LDPC 부호의 이론적 성능에 큰 영향이 있을 수 있기 때문에 최적의 스케줄링 순서 또는 패턴은 TBS 또는 CBS 길이에 따라 달라질 수 있다.

[0389] 이하, 본 개시는 상기 <레이어드 디코딩 스케줄링을 결정하기 위한 조건>에서 제시한 4 가지 조건들을 각각 또는 복수 개의 조건들을 동시에 고려하여 수신기에서 적용 가능한 효율적인 디코딩 스케줄링 방법에 대한 구체적인 실시 예를 제안한다. 설명의 편의를 위해서, 다음 수학적 식 26과 수학적 식 27과 같은 기본 행렬에 대응된 패리티 검사 행렬을 사용하는 시스템에서 처음 0 번째 열 블록과 1 번째 열 블록에 대응되는 정보어 비트 또는 코드 블록의 일부가 천공된다고 가정한다. 다만, 2 번째 이후의 열 블록에 대응되는 정보어 비트 또는 코드 블록의 일부를 천공하는 실시 예에도 본 개시의 내용이 적용될 수 있다. 또한 블록 크기는 Z로 표현하며, 수학적 식 26의 기본 행렬은 BM1, 수학적 식 27의 기본 행렬은 BM2로 각각 나타낸다. 일 실시 예에 따라, BM1 대신 BG1로서, 3GPP TS 38.213의 TABLE 5.3.2-2의 지정된 테이블이 이용될 수 있다. 마찬가지로, 일 실시 예에 따라, BM2 대신 BG2로서, 3GPP TS 38.213의 TABLE 5.3.2-3의 지정된 테이블이 이용될 수 있다.

[0390] [수학적 식 26]

[0391] 0: 0 1 2 3 5 6 9 10 11 12 13 15 16 18 19 20 21 22 23

[0392] 1: 0 2 3 4 5 7 8 9 11 12 14 15 16 17 19 21 22 23 24

[0393] 2: 0 1 2 4 5 6 7 8 9 10 13 14 15 17 18 19 20 24 25

[0394] 3: 0 1 3 4 6 7 8 10 11 12 13 14 16 17 18 20 21 22 25

[0395] 4: 0 1 26

[0396] 5: 0 1 3 12 16 21 22 27

[0397] 6: 0 6 10 11 13 17 18 20 28

[0398] 7: 0 1 4 7 8 14 29

[0399] 8: 0 1 3 12 16 19 21 22 24 30

[0400] 9: 0 1 10 11 13 17 18 20 31

[0401] 10: 1 2 4 7 8 14 32

[0402] 11: 0 1 12 16 21 22 23 33

[0403] 12: 0 1 10 11 13 18 34

[0404] 13: 0 3 7 20 23 35

[0405] 14: 0 12 15 16 17 21 36

[0406] 15: 0 1 10 13 18 25 37

[0407] 16: 1 3 11 20 22 38

[0408] 17: 0 14 16 17 21 39

[0409] 18: 1 12 13 18 19 40

[0410] 19: 0 1 7 8 10 41

- [0411] 20: 0 3 9 11 22 42
- [0412] 21: 1 5 16 20 21 43
- [0413] 22: 0 12 13 17 44
- [0414] 23: 1 2 10 18 45
- [0415] 24: 0 3 4 11 22 46
- [0416] 25: 1 6 7 14 47
- [0417] 26: 0 2 4 15 48
- [0418] 27: 1 6 8 49
- [0419] 28: 0 4 19 21 50
- [0420] 29: 1 14 18 25 51
- [0421] 30: 0 10 13 24 52
- [0422] 31: 1 7 22 25 53
- [0423] 32: 0 12 14 24 54
- [0424] 33: 1 2 11 21 55
- [0425] 34: 0 7 15 17 56
- [0426] 35: 1 6 12 22 57
- [0427] 36: 0 14 15 18 58
- [0428] 37: 1 13 23 59
- [0429] 38: 0 9 10 12 60
- [0430] 39: 1 3 7 19 61
- [0431] 40: 0 8 17 62
- [0432] 41: 1 3 9 18 63
- [0433] 42: 0 4 24 64
- [0434] 43: 1 16 18 25 65
- [0435] 44: 0 7 9 22 66
- [0436] 45: 1 6 10 67
- [0437] [수확식 27]
- [0438] 0: 0 1 2 3 6 9 10 11
- [0439] 1: 0 3 4 5 6 7 8 9 11 12
- [0440] 2: 0 1 3 4 8 10 12 13
- [0441] 3: 1 2 4 5 6 7 8 9 10 13
- [0442] 4: 0 1 11 14
- [0443] 5: 0 1 5 7 11 15
- [0444] 6: 0 5 7 9 11 16
- [0445] 7: 1 5 7 11 13 17
- [0446] 8: 0 1 12 18

- [0447] 9: 1 8 10 11 19
- [0448] 10: 0 1 6 7 20
- [0449] 11: 0 7 9 13 21
- [0450] 12: 1 3 11 22
- [0451] 13: 0 1 8 13 23
- [0452] 14: 1 6 11 13 24
- [0453] 15: 0 10 11 25
- [0454] 16: 1 9 11 12 26
- [0455] 17: 1 5 11 12 27
- [0456] 18: 0 6 7 28
- [0457] 19: 0 1 10 29
- [0458] 20: 1 4 11 30
- [0459] 21: 0 8 13 31
- [0460] 22: 1 2 32
- [0461] 23: 0 3 5 33
- [0462] 24: 1 2 9 34
- [0463] 25: 0 5 35
- [0464] 26: 2 7 12 13 36
- [0465] 27: 0 6 37
- [0466] 28: 1 2 5 38
- [0467] 29: 0 4 39
- [0468] 30: 2 5 7 9 40
- [0469] 31: 1 13 41
- [0470] 32: 0 5 12 42
- [0471] 33: 2 7 10 43
- [0472] 34: 0 12 13 44
- [0473] 35: 1 5 11 45
- [0474] 36: 0 2 7 46
- [0475] 37: 10 13 47
- [0476] 38: 1 5 11 48
- [0477] 39: 0 7 12 49
- [0478] 40: 2 10 13 50
- [0479] 41: 1 5 11 51

[0480] 참고로 수신 장치는 수학식 11 또는 12에 나타난 블록 크기를 결정하고, 상기 블록 크기 및 [수학식 26]의 기본 행렬 BM1, 다음 수학식 28과 같은 수열(또는 지수 행렬)에 기초하여 디코딩을 수행하기 위해 필요한 LDPC 부호의 패리티 검사 행렬을 결정할 수 있다. 수학식 28은, 인덱스가 0인 경우를 예시한다. 마찬가지로 수신기에서는 수학식 11 또는 12에 나타난 블록 크기를 결정하고, 상기 블록 크기 및 [수학식 27]의 기본 행렬 BM2, 다음 수

학식 29와 같은 수열(또는 지수 행렬)에 기초하여 수신기에서 디코딩을 수행하기 위해 필요한 LDPC 부호의 패리티 검사 행렬을 결정할 수 있다. 수학식 29는 인덱스가 0인 경우를 예시한다. 이 때 상기 패리티 검사 행렬을 결정하는 과정은 수학식 8 내지 수학식 10의 방법이 적용될 수 있다.

- [0481] [수학식 28]
- [0482] 0: 250, 69, 226, 159, 100, 10, 59, 229, 110, 191, 9, 195, 23, 190, 35, 239, 31, 1, 0,
- [0483] 1: 2, 239, 117, 124, 71, 222, 104, 173, 220, 102, 109, 132, 142, 155, 255, 28, 0, 0, 0,
- [0484] 2: 106, 111, 185, 63, 117, 93, 229, 177, 95, 39, 142, 225, 225, 245, 205, 251, 117, 0, 0,
- [0485] 3: 121, 89, 84, 20, 150, 131, 243, 136, 86, 246, 219, 211, 240, 76, 244, 144, 12, 1, 0,
- [0486] 4: 157, 102, 0,
- [0487] 5: 205, 236, 194, 231, 28, 123, 115, 0,
- [0488] 6: 183, 22, 28, 67, 244, 11, 157, 211, 0,
- [0489] 7: 220, 44, 159, 31, 167, 104, 0,
- [0490] 8: 112, 4, 7, 211, 102, 164, 109, 241, 90, 0,
- [0491] 9: 103, 182, 109, 21, 142, 14, 61, 216, 0,
- [0492] 10: 98, 149, 167, 160, 49, 58, 0,
- [0493] 11: 77, 41, 83, 182, 78, 252, 22, 0,
- [0494] 12: 160, 42, 21, 32, 234, 7, 0,
- [0495] 13: 177, 248, 151, 185, 62, 0,
- [0496] 14: 206, 55, 206, 127, 16, 229, 0,
- [0497] 15: 40, 96, 65, 63, 75, 179, 0,
- [0498] 16: 64, 49, 49, 51, 154, 0,
- [0499] 17: 7, 164, 59, 1, 144, 0,
- [0500] 18: 42, 233, 8, 155, 147, 0,
- [0501] 19: 60, 73, 72, 127, 224, 0,
- [0502] 20: 151, 186, 217, 47, 160, 0,
- [0503] 21: 249, 121, 109, 131, 171, 0,
- [0504] 22: 64, 142, 188, 158, 0,
- [0505] 23: 156, 147, 170, 152, 0,
- [0506] 24: 112, 86, 236, 116, 222, 0,
- [0507] 25: 23, 136, 116, 182, 0,
- [0508] 26: 195, 243, 215, 61, 0,
- [0509] 27: 25, 104, 194, 0,
- [0510] 28: 128, 165, 181, 63, 0,
- [0511] 29: 86, 236, 84, 6, 0,
- [0512] 30: 216, 73, 120, 9, 0,
- [0513] 31: 95, 177, 172, 61, 0,

- [0514] 32: 221, 112, 199, 121, 0,
- [0515] 33: 2, 187, 41, 211, 0,
- [0516] 34: 127, 167, 164, 159, 0,
- [0517] 35: 161, 197, 207, 103, 0,
- [0518] 36: 37, 105, 51, 120, 0,
- [0519] 37: 198, 220, 122, 0,
- [0520] 38: 167, 151, 157, 163, 0,
- [0521] 39: 173, 139, 149, 0, 0,
- [0522] 40: 157, 137, 149, 0,
- [0523] 41: 167, 173, 139, 151, 0,
- [0524] 42: 149, 157, 137, 0,
- [0525] 43: 151, 163, 173, 139, 0,
- [0526] 44: 139, 157, 163, 173, 0,
- [0527] 45: 149, 151, 167, 0
- [0528] [수확식 29]
- [0529] 0: 9, 117, 204, 26, 189, 205, 0, 0,
- [0530] 1: 167, 166, 253, 125, 226, 156, 224, 252, 0, 0,
- [0531] 2: 81, 114, 44, 52, 240, 1, 0, 0,
- [0532] 3: 8, 58, 158, 104, 209, 54, 18, 128, 0, 0,
- [0533] 4: 179, 214, 71, 0,
- [0534] 5: 231, 41, 194, 159, 103, 0,
- [0535] 6: 155, 228, 45, 28, 158, 0,
- [0536] 7: 129, 147, 140, 3, 116, 0,
- [0537] 8: 142, 94, 230, 0,
- [0538] 9: 203, 205, 61, 247, 0,
- [0539] 10: 11, 185, 0, 117, 0,
- [0540] 11: 11, 236, 210, 56, 0,
- [0541] 12: 63, 111, 14, 0,
- [0542] 13: 83, 2, 38, 222, 0,
- [0543] 14: 115, 145, 3, 232, 0,
- [0544] 15: 51, 175, 213, 0,
- [0545] 16: 203, 142, 8, 242, 0,
- [0546] 17: 254, 124, 114, 64, 0,
- [0547] 18: 220, 194, 50, 0,
- [0548] 19: 87, 20, 185, 0,
- [0549] 20: 26, 105, 29, 0,

- [0550] 21: 76, 42, 210, 0,
- [0551] 22: 222, 63, 0,
- [0552] 23: 23, 235, 238, 0,
- [0553] 24: 46, 139, 8, 0,
- [0554] 25: 228, 156, 0,
- [0555] 26: 29, 143, 160, 122, 0,
- [0556] 27: 8, 151, 0,
- [0557] 28: 98, 101, 135, 0,
- [0558] 29: 18, 28, 0,
- [0559] 30: 71, 240, 9, 84, 0,
- [0560] 31: 106, 1, 0,
- [0561] 32: 242, 44, 166, 0,
- [0562] 33: 132, 164, 235, 0,
- [0563] 34: 147, 85, 36, 0,
- [0564] 35: 57, 40, 63, 0,
- [0565] 36: 140, 38, 154, 0,
- [0566] 37: 219, 151, 0,
- [0567] 38: 31, 66, 38, 0,
- [0568] 39: 239, 172, 34, 0,
- [0569] 40: 0, 75, 120, 0,
- [0570] 41: 129, 229, 118, 0

실시 예 1

- [0572] 실시 예 1에 따르면, 수신 장치는 시스템에서 실질적으로(substantially) 지원 가능한 최대 부호율 R_{max} 을 고려하여 부호율과 무관하게 패리티 검사 행렬에서 항상 복호에 사용되는 행 블록을 결정할 수 있다. 상기 지원 가능한 최대 부호율 R_{max} 는 재전송 없다는 가정하에서 모든 레이트 매칭 이후에 전송된 부호어 비트들이 정상적으로 수신됐다고 했을 때 LDPC 부호의 패리티 검사 행렬의 구조적인 특성으로 자체적으로 복호 가능한 최대 부호율을 의미할 수 있다. 또한, 상기 지원 가능한 최대 부호율 R_{max} 는, 부호율 1과 같이 LDPC 부호의 패리티 검사 행렬과 무관하게 이론적으로 가능한 단순한 최대 부호율을 의미할 수도 있다.
- [0573] 수신 장치는, 항상 복호에 사용되는 행 블록 중에서 상기 최대 부호율 R_{max} 을 고려하여 패리티 천공이 발생했을 때에도 <레이어드 디코딩 스케줄링을 결정하기 위한 조건>의 조건 1)을 만족하면서 첫 번째 레이어드 디코딩을 적용했을 때부터 LLR 값이 복원 가능한 행 블록을 선택한다. 이 때, LLR 값이 복원 가능한 행 블록은 상술한 바와 같이 천공될 열블록에 상응하는 부분 행렬 내에서 차수가 1인 (즉, 하나의 순환 순열 행렬만 있는) 행 블록을 의미할 수 있다.
- [0574] 예를 들어, R_{max} 가 1에 가까운 값이라 할 때 상기 BM1 또는 BM2에서 1 번 행 블록(2번째 행 블록을 의미)은 항상 LLR 업데이트가 가능하기 때문에, 수신 장치는 상기 1번 행 블록을 레이어드 디코딩 순서 또는 패턴의 첫 번째 행 블록으로 선택할 수 있다. 예를 들어, 디코딩 순서 또는 패턴이 디코딩을 수행하는 행 블록의 순서에 따라 행 블록의 인덱스로 구성되는 경우, 상기 디코딩 순서 또는 패턴의 첫 번째 번호는 1이 될 수 있다. 1번 행 블록의 레이어드 디코딩 이후에 순차적으로 다른 행 블록에 대해서 레이어드 디코딩을 수행한다면, 상기 레이어드 디코딩 순서 또는 패턴은 BM1에 대해서는 [1, 0, 2, 3, 4, ... 45], BM2에 대해서는 [1, 0, 2, 3, 4, ..., 41]와 같은 형태로 표현될 수 있다.

- [0575] 위와 같이 만일 레이어드 디코딩 순서 또는 패턴이 고정된 경우에는, 수신 장치는 수확식 26 및 수확식 27의 기본 행렬 또는 그에 대응되는 지수 행렬이나 패리티 검사 행렬의 행 블록의 순서를 변경하여 저장한 다음 레이어드 복호를 수행할 수도 있다. 예를 들어, 수신 장치는 수확식 26에서 BM1의 처음 2 개의 행 블록, 즉, 0 번째 행 블록과 1 번째 행 블록을 다음과 같이 서로 교환(swapping)하여 저장한 다음 순차적으로 레이어드 디코딩을 수행할 수도 있다.
- [0576] 0: 0 2 3 4 5 7 8 9 11 12 14 15 16 17 19 21 22 23 24
- [0577] 1: 0 1 2 3 5 6 9 10 11 12 13 15 16 18 19 20 21 22 23
- [0578] 마찬가지로, 수신 장치는, BM2에 대해서도 다음과 같이 0 번째 행 블록과 1 번째 행 블록을 다음과 같이 서로 교환(swapping)하여 저장한 다음 순차적으로 레이어드 디코딩을 수행할 수 있다.
- [0579] 0: 0 1 2 3 6 9 10 11
- [0580] 1: 0 3 4 5 6 7 8 9 11 12
- [0581] 추가적인 구현 비용(cost) 없이, 제1 실시 예가 적용될 때, 성능 향상이 확인된다. 특히, 높은 부호율일 때(예: BG #1의 경우 0.9 이상, BG #2의 경우 0.8 이상), 해당 성능이 확인되는 바, 제1 실시 예를 부호율에 기초하여 적응적으로 적용하는 것 또한 본 개시의 일부 실시 예로써 이해될 수 있다. 낮은 부호율에서는 성능 이득이 다소 낮기 때문이다.
- [0582] 한편, 상기 실시 예 1은 1번 행 블록을 우선하여 디코딩하는 예를 설명하였으나 본 개시의 실시 예가 이에 한정되는 것은 아니다. 즉, 1번 행 블록 외에 다른 행 블록이 우선적으로 디코딩되도록, 레이어 혹은 행 블록이 재정렬될 수 있다. 일 실시 예에 따라, 천공될 열 블록에 상응하는 부분 행렬 내에서 차수가 1인 행 블록 중 임의의 행 블록 혹은 미리 정해진 기준을 만족하는 행 블록이 우선하여 디코딩될 수 있다. 이하, 재정렬 혹은 재배치되는 행 블록은 우선 행 블록, 선순위 행 블록, 우선 레이어, 선순위 레이어로 지칭되어 서술될 수 있다. 상기 레이어드 디코딩은 상기 우선하여 디코딩될 행 블록(즉, 선순위 행 블록)에 상응하는 레이어(즉, 선순위 레이어)에 기반하여 수행될 수 있다. 이 때, 레이어는 우선하여 디코딩될 행 블록과 인접한 행 블록들 중 직교성 또는 준직교성을 갖는 행 블록을 포함할 수 있다.
- [0583] **실시 예 2**
- [0584] 상기 실시 예 1과 유사하게 가장 먼저 복호가 수행될 행 블록으로서 1번 행 블록이 설정된다.
- [0585] <레이어드 디코딩 스케줄링을 결정하기 위한 조건>의 조건 2)의 특성을 반영하여 성능을 개선하기 위해서, 수신 장치는 상기 1 번째 행 블록에 대해 레이어드 디코딩을 수행하고 나면, 나머지 행 블록에 대해서 역순서(reverse order)로 복호를 수행할 수 있다.
- [0586] 이를 위해, 수신 장치는 TBS 또는 CBS 값을 결정하는 과정과 기본 행렬 BM1, BM2 중 어떠한 기본 행렬을 사용했는지 결정하는 과정, 블록 크기(Z)를 결정하는 과정, 디세그멘테이션 과정을 수행할 수 있다. 이후, 수신 장치는 상기 결정된 값과 할당 받았던 자원, 변조 방식 등을 고려하여 r 번째 코드 블록에 대해 레이트 매칭 이후 전송된 부호어 비트 E_r 를 결정할 수 있다. 단, 3GPP 5G 통신 시스템에서는 확인 응답 신호인 ACK 또는 NACK 비트 수가 1 또는 2 인 경우에 대해 전송이 필요할 때는 CSI-part2 그리고/혹은 (and/or) UL-SCH(uplink-shared channel)(data) 중 일부가 천공되는 것과 같은 효과가 발생할 수 있다. 따라서, 수신 장치는 상기 E_r 비트 중 일부는 실제로 전송되지 않을 수 있으나 수신기에서는 해당 전송 부호어 비트들도 전송되었다고 간주하되 해당 위치의 부호어 비트들을 LLR = 0으로 설정하여 천공된 비트처럼 처리할 수 있다. 다시 말해, 상기 전송된 부호어 비트 E_r 값은 송신기에서 물리적으로 실제 전송된 비트를 의미할 수도 있으나 경우에 따라 수신기에서 전송되었다고 판단할 수 있는 부호어 비트 크기를 의미할 수도 있다.
- [0587] 상기 전송된 부호어 비트 수 E_r 를 확인하면, 수신 장치는 부호화/복호화 과정에서 유효한 (또는 실제로 성능에 영향을 주는) 패리티 검사 행렬의 행 블록의 개수 또는 기본 행렬의 행의 개수 N_{RowBlk} 를 수확식 30과 같이 구할 수 있다.

[0588] [수학식 30]

$$N_{RowBlk} = \left\lceil \frac{E_r - (K_b - K_{punc}) \times Z}{Z} \right\rceil = \left\lceil \frac{E_r}{Z} \right\rceil - (K_b - K_{punc})$$

[0589]

[0590] 여기서 K_b 는 기본 행렬에서 주어진 코드 블록의 LDPC 부호화를 위해 패리티 검사 행렬에서 정보어 비트에 대응되면서 실제로 사용된 열 블록의 개수를 의미하며, K_{punc} 는 정보어 비트들 또는 코드 블록 중 천공을 적용하는 비트들에 대응되는 열 블록의 개수를 의미하고, N_{RowBlk_Total} 은 시스템에서 주어진 패리티 검사 행렬에서 정의되어 있는 행 블록의 전체 개수를 의미한다. 일반적으로 충분한 자원을 통해 전송되는 경우, 레이트 매칭을 적용하였을 때

$$\left\lceil \frac{E_r}{Z} \right\rceil - (K_b - K_{punc})$$

일부 비트들은 반복(repetition)되어 전송 가능하므로 값은 N_{RowBlk_Total} 값 보다 커질 수 있기 때문에 상기 수학식 30과 같이 LDPC 복호를 위해 필요한 최대 행 블록의 개수에 대한 최댓값을 N_{RowBlk_Total} 로 설정할 수 있다.

[0591]

상기 수학식 30은 초기 전송의 경우에 LDPC 디코딩을 위해 필요한 총 행 블록 또는 레이어를 구하는 방법의 일 예이다. 만일 재전송의 경우에는 서로 다른 RV 값에 대응되는 레이트 매칭이나 서로 다른 할당 자원량으로 인해 E_r 값이 변경되어 상기 수학식 30의 (초기 전송에서 결정된) N_{RowBlk} 값과 다른 값으로 결정될 수도 있다. 구체적인 예로서, 만일 초기 전송에서는 RV0를 기준으로 레이트 매칭되어 부호화 비트가 전송되고, 재전송의 경우에는 RV2를 기준으로 레이트 매칭되어 부호화 비트가 전송되었다고 가정할 때, 전송 부호율에 따라 초기 전송의 마지막 비트와 RV2의 시작점에 해당하는 비트 사이의 비트들은 한 번도 전송 및 수신되지 않을 수 있다. 따라서 LDPC 디코딩을 위해 필수적으로 필요한 행 블록 또는 레이어의 개수 또는 위치 등에 대한 정보는 각 i 번째 전송에 따라 결정되는 자원량 $E_r(i)$ 와 레이트 매칭에 대응되는 RV 값 (예: $RV(i)$), 그리고 최대 행 블록의 개수 N_{RowBlk_Total} 등에 기반하여 정확한 판단이 가능하다.

[0592]

하지만, 상기 $E_r(i)$, $RV(i)$ 값 등은 초기 전송 및 재전송 상황에 따라 가변적이기 때문에 필요한 행 블록 또는 레이어의 개수 또는 위치 등을 정확하게 파악하는 것뿐만 아니라, 상기 가변적인 행 블록 또는 레이어에 따라 최적화된 디코딩 스케줄링을 조절하는 것이 다소 복잡할 수도 있다. 따라서 초기 전송 및 재전송을 모두 고려할 경우에는 전송된 부호화 비트 수에 기반하여 반드시 필요한 (즉, 실질적으로 LDPC 복호 성능에 영향을 주는) 행 블록 또는 레이어의 수 및 위치를 정확히 결정하는 것 보다, 전송된 부호화 비트들이 대응되는 LDPC 부호의 패리티 검사 행렬의 열 중에서 가장 마지막 열의 인덱스에 기반하여 LDPC 디코딩에 필요한 행 블록 또는 레이어의 개수를 대략적으로 결정할 수 있다.

[0593]

예를 들어, 초기 전송 또는 재전송 된 부호화 비트 수 및 대응되는 RV 값에 따라 패리티 검사 행렬에서 중간일 일부 행이 실질적으로 LDPC 복호 성능에 영향을 주지 않아 필요가 없다 하여도, 전송된 모든 부호화 비트들에 대응되는 패리티 검사 행렬의 열들 중에서 가장 마지막 열의 위치 또는 인덱스를 $(D-1)$ 이라 할 때, D 번째 이후의 모든 열들 및 그에 대응되는 행들만 없다고 가정한 패리티 검사 행렬의 부분 행렬에 기반하여 LDPC 디코딩을 수행할 수 있다. 이러한 방식은 어떠한 경우에는 실질적으로 LDPC 복호 성능에 영향을 주지 않는 행들로 인한 불필요한 디코딩 연산이 다소 추가될 수 있다는 문제점이 있지만, HW 및 SW 기반으로 구현하는 모든 경우에 대해 레이어드 디코딩을 위한 레이어의 스케줄링을 간단히 구현 가능한 장점이 있다.

[0594]

구체적인 예로서 초기 전송된 LDPC 부호화 비트들은 패리티 검사 행렬의 열에 1:1로 매핑이 되는데, 이 중에서 가장 마지막 열에 해당하는 인덱스를 $D(0)$ 라 한다. 이는 수신기의 레이트 디매칭부에서 상기 송신된 LDPC 부호화 비트들에 대응되는 수신 신호에 대해 복조(demodulation)를 수행하여 얻은 값(예: LLR)에 대해 가장 마지막 인덱스를 의미할 수도 있으며, 순환 버퍼를 가정할 경우에 복조를 통해 얻어진 값 또는 메시지 (예: LLR) 값이 저장된 가장 마지막 인덱스를 의미할 수도 있다.

[0595]

상기 초기 전송에서 전송된 부호화 비트들에 대응되는 수신 메시지 값(예: LLR 값)들에 대응되는 패리티 검사 행렬의 열들의 마지막 인덱스를 $D(0)$ 라 하고, i 번째 재전송에 따라 전송된 부호화 비트들에 대응되는 메시지 값들에 대응되는 패리티 검사 행렬의 열들의 마지막 인덱스를 $D(i)$ 라 할 때, 그 중 가장 큰 값을 $D^* = \max(D(0), D(1), \dots)$ 라 한다. (편의상 상기 각 인덱스 $D(i)$ 는 부호화 비트의 마지막 인덱스 또는 수신 메시지의 인덱스 또

는 LLR 인덱스와 같이 부를 수 있다.) 상기 D^* 은 실제 레이어를 결정하는데 사용될 수 있으며, 하기의 수학적 식 31에 기반하여 구현될 수 있다. 한편, 수학적 식 26의 기본 행렬에 대응되는 패리티 검사 행렬에 기반한 LDPC 부호화/복호화를 수행할 경우에는 상기 패리티 검사 행렬에서 열의 개수의 최댓값은 $68*Z$ 이므로 상기 각 $D(i)$ 값은 $68*Z$ 보다 작은 값을 갖으며, 수학적 식 27의 기본 행렬에 대응되는 패리티 검사 행렬에 기반한 LDPC 부호화/복호화를 수행할 경우에는 상기 패리티 검사 행렬에서 열의 개수의 최댓값은 $52*Z$ 이므로 상기 인덱스 $D(i)$ 값은 $52*Z$ 보다 작은 값을 갖는다.

[0596] 결과적으로 LDPC 디코딩을 위해 패리티 검사 행렬에서 $N_{ColBlk} = \lfloor D^*/Z \rfloor$ 개의 열 블록이 필요할 수 있다. 또한 통상적으로 수학적 식 26 및 수학적 식 27의 기본 행렬에 대응되는 패리티 검사 행렬과 같이 도 14 내지 도 16의 패리티 검사 행렬의 구조를 만족하는 경우에는 LDPC 디코딩을 위해 $K_b^* + M_1$ 개의 열 블록과 최소 M_1 개의 행 블록이 필요할 수 있다. 여기서 K_b^* 는 패리티 검사 행렬에서 정보어 비트에 대응될 수 있는 열 블록의 총 개수를 의미하며, M_1 은 패리티 검사 행렬에서 모든 열의 차수가 2 이상인 부분 행렬 [A B]에 대응되는 행 블록의 개수를 의미한다. 예를 들어, 수학적 식 26의 기본 행렬 또는 그에 대응되는 패리티 검사 행렬에 대해 $K_b^* = 22$, $M_1 = 4$ 이며, 수학적 식 27의 기본 행렬 또는 그에 대응되는 패리티 검사 행렬에 대해 $K_b^* = 10$, $M_1 = 4$ 이다. 따라서 LDPC 디코딩을

위해 필요한 열 블록의 개수는 $N_{ColBlk} = \min(\lfloor D^*/Z \rfloor, K_b^* + M_1)$ 과 같이 표현될 수 있으며, 실질적으로 필요한 패리티 검사 행렬의 열의 개수는 $N_{Col} = \min(\lfloor D^*/Z \rfloor, K_b^* + M_1) \times Z$ 이하다 된다.

[0597] 참고로 상기 수신 메시지 또는 LLR 값의 마지막 인덱스 $D(i)$ 이하에 대응되는 각 수신 메시지 또는 LLR 메시지들이 중복 수신되었을 경우에는 적절히 결합하여 디코딩을 위한 메모리 (예: LLR memory, buffer memory)에 저장될 수 있다. 예를 들어, LLR 값을 기반으로 LDPC 디코딩을 수행할 경우에는 동일한 부호화 비트에 대응되는 LLR 값들을 더하는 방식으로 결합을 수행할 수 있다.

[0598] 상기 LDPC 디코딩에서 필요한 열 블록의 개수로부터 다음 수학적 식 31과 같이 LDPC 디코딩에 필요한 행 블록 또는 레이어의 개수를 결정할 수 있다.

[0599] [수학적 식 31]

$$N_{RowBlk} = \min(\lfloor D^*/Z \rfloor, K_b^* + M_1) - K_b^*$$

[0600] 만일 수학적 식 26 및 수학적 식 27의 기본 행렬과 같이 $M_1 = 4$ 로 고정된 경우에는 상기 수학적 식 31에서 $M_1 = 4$ 로 치환할 수 있다. 또한 상기 수학적 식 26의 기본 행렬에 대응되는 N_{RowBlk_Total} 값은 46, 수학적 식 27의 기본 행렬에 대응되는 N_{RowBlk_Total} 값은 42이므로, 상기 N_{RowBlk} 값은 기본 행렬에 따라 46 또는 42 이하의 값을 가질 수 있다. 또한 실제로 LDPC 디코딩에 필요하며 실질적으로 영향을 주는 행의 개수는

[0602] $N_{RowBlk} \times Z = \left(\min\left(\left\lfloor \frac{D^*}{Z} \right\rfloor, K_b^* + M_1\right) - K_b^* \right) \times Z$ 이하다 될 수 있다. 만일 LDPC 정보어 비트 중 특정 비트 (이하, F비트로 칭함) 만큼 연속적인 단축이 적용되었을 경우에 실질적으로 LDPC 디코딩에 영향을 주는 열 블록의 개수는

[0603] $N_{ColBlk} = \min(\lfloor D^*/Z \rfloor, K_b^* + M_1) - \left\lfloor \frac{F}{Z} \right\rfloor$ 와 같이 나타낼 수 있다. 이 값은 실제 LDPC 디코딩에서 필요한 열 블록의 개수를 의미하기도 하며, 실제로 LDPC 디코딩에서 필요한 열의 개수는

$N_{Col} = \left(\min\left(\left\lfloor \frac{D^*}{Z} \right\rfloor, K_b^* + M_1\right) - \left\lfloor \frac{F}{Z} \right\rfloor \right) \times Z$ 이하다 된다. 이와 같이 정보어 비트의 단축으로 인해 LDPC 디코딩을 위해 실질적으로 필요한 열 블록의 개수는 변경되어도 필요한 행 블록의 개수는 변하지 않을 수 있다.

[0604] 이와 같이 LDPC 디코딩을 위해 필요한 열 블록 또는 행 블록의 개수는 수신 메시지 값에 대응되는 마지막 인덱스 D^* 및 리프팅 사이즈 Z , 정보어 비트에 대응될 수 있는 열 블록의 개수 K_b^* , 도 14에서 모든 열의 차수가 2 이상인 부분 행렬 $[A \ B]$ 에 대응되는 행 블록의 개수 M_1 , 단축된 비트의 수 F 값과 같은 파라미터들의 모두 또는 적어도 일부에 기반하여 결정될 수 있다.

[0605] 한편, 구체적인 예로서 만일 3GPP 표준 규격 문서 TS 38.212를 참조하여, $TBS = 5632$ 비트이고 (CRC 16 비트 포함), MCS index에 따른 부호율이 $2/3$ 보다 크며, $E_r = 7632$ 라 가정한다. 이러한 조건에서는 LDPC 부호화를 위한 기본 행렬로서 $BM1$ 이 결정되며, 또한 블록 크기도 $Z = 5632/22 = 256$ 로 결정된다. 상기 3GPP 표준 규격 TS 38.212의 경우에는 $K_{punc} = 2$ 로 고정되어 있으며, $BM1$ 이 사용될 경우 K_b 는 항상 22 이므로 $N_{Rowblk} = \left\lfloor \frac{11072}{256} \right\rfloor - 20 = 10$ 이 된다. 즉, 패리티 검사 행렬에서 총 10개의 행 블록이 실질적으로 LDPC 부호화/복호화 성능에 영향을 준다.

[0606] 구체적인 다른 예로서 만일 3GPP 표준 규격 문서 TS 38.212를 참조하여, $TBS = 3840$ 비트이고 (CRC 16 비트 포함), MCS index에 따른 부호율이 $2/3$ 보다 작으며, $E_r = 11072$ 이라 가정한다. 이러한 조건에서는 LDPC 부호화를 위한 기본 행렬로서 $BM2$ 가 결정되며, 또한 블록 크기도 $Z = 384$ 임이 결정된다. 상기 3GPP 표준 규격 TS 38.212

의 경우에는 $K_{punc} = 2$ 로 고정되어 있으며, $TBS=3840$ 의 경우에 $K_b = 10$ 이므로 $N_{Rowblk} = \left\lfloor \frac{11072}{384} \right\rfloor - 8 = 21$ 이 된다. 즉, 패리티 검사 행렬에서 총 21개의 행 블록이 실질적으로 LDPC 부호화/복호화 성능에 영향을 준다.

[0607] 결과적으로 상기 1번 행 블록에 대해 레이어드 디코딩을 처음 수행하고, 나머지 행 블록에 대해서 역순서 (reverse order)로 복호를 수행할 경우에는 레이어드 스케줄링 순서 또는 패턴은 $[1, (N_{Rowblk}-1), (N_{Rowblk}-2), \dots, 3, 2, 0]$ 과 같이 표현될 수 있다.

[0608] 경우에 따라서 마지막 상기 E_r 값이 블록 크기 Z 값의 배수가 아니어서 마지막 $(N_{Rowblk}-1)$ 번째 행 블록의 일부에 대응되는 패리티 비트들이 천공된 경우에는 상기 천공된 패리티 비트들과 태너 그래프 상에서 연결되어 있는 정보어 비트들을 레이어드 디코딩이 처음 적용되었을 때 즉시 복호가 되지는 않는다. 따라서 경우에 따라서 상기 순서 또는 패턴은 $[1, (N_{Rowblk}-2), (N_{Rowblk}-1), (N_{Rowblk}-3), \dots, 3, 2, 0]$ 과 같이 다소 변형된 형태로 적용될 수도 있다.

[0609] 본 개시에서 역순서 레이어드 디코딩의 일반적인 정의는 "차수가 1인 패리티 비트에 대응되는 행 블록 또는 레이어"들 중 적어도 하나를 우선 순위화 하여 먼저 레이어드 디코딩을 적용하고, 나머지 행 블록 또는 레이어에 대해서 역순서로 복호를 수행하는 것을 의미한다. 만일 차수가 1인 패리티 비트가 없는 경우에는 패리티 검사 행렬의 마지막 행 블록 또는 레이어로부터 역순서로 복호를 수행하는 것을 의미한다. 한편, 수학적 26의 $BM1$ 및 수학적 27의 $BM2$ 같은 기본 행렬을 사용하는 LDPC 시스템의 경우에는 <레이어드 디코딩 스케줄링을 결정하기 위한 조건> 조건 1)을 추가로 고려하여 다음과 같이 변형된 순서 또는 패턴이 적용될 수 있다.

[0610] $[1, [차수가 1인 패리티 비트에 대응되는 (N_{Rowblk}-4)개의 행 블록들], \dots, 3, 2, 0]$

[0611] 역순서 레이어드 디코딩을 적용할 때, 일부 특정 행 블록에 대해서는 그 디코딩 순서 또는 패턴이 사전에 결정될 수도 있다. 예를 들어, 수학적 26 또는 수학적 27의 기본 행렬에 기반한 통신 시스템에서 요구 조건에 따라 차수가 1이 아닌 열 블록에 대응되는 패리티 비트의 복호 순서가 사전에 별도로 정의되었을 경우에는 상기 역순서 패턴은 다양하게 변형이 가능하다. 보다 구체적으로 설명하면, 수학적 26 및 수학적 27의 기본 행렬에서 처음 4 개의 행 블록에 대한 순서는 항상 $[1, 0, 2, 3]$ 의 순서를 만족하도록 설정했을 경우에 상기 역순서 패턴은 다음과 같이 변형이 가능하다: $[1, [차수가 1인 패리티 비트에 대응되는 (N_{Rowblk}-4) 개의 행 블록들], 0, 2, 3]$ 또는 $[1, 0, [차수가 1인 패리티 비트에 대응되는 (N_{Rowblk}-4)개의 행 블록들], 2, 3]$ 또는 $[1, 0, 2, [차수가 1인 패리티 비트에 대응되는 (N_{Rowblk}-4)개의 행 블록들], 3]$ 또는 $[1, 0, 2, 3, [차수가 1인 패리티 비트에 대응되는 (N_{Rowblk}-4)개의 행 블록들]]$.

[0612] 제2 실시 예가 적용될 때, 다양한 범위의 코드 레이트 및 길이에서도 성능 향상(약 0.15dB)이 달성될 수 있다. 따라서, 기본 그래프의 레이트 매칭을 위한 추가 구현 비용을 고려하더라도 성능 향상이 요구되는 경우, 본 실

시 예가 적용될 수 있다.

[0613] 한편, 상기 실시 예 2는 1 번째 행 블록을 우선하여 디코딩하는 예를 설명하였으나 본 개시의 실시 예가 이에 한정되는 것은 아니다. 즉, 1번 행 블록 외에 다른 행 블록이 우선적으로 디코딩도록, 레이어 혹은 행 블록이 재정렬될 수 있다. 일 실시 예에 따라, 천공될 열 블록에 상응하는 부분 행렬 내에서 차수가 1인 행 블록 중 임의의 행 블록 혹은 미리 정해진 기준을 만족하는 행 블록이 우선하여 디코딩될 수 있다. 이하, 앞으로 재정렬 혹은 재배치되는 행 블록은 우선 행 블록, 선순위 행 블록, 우선 레이어, 혹은 선순위 레이어로 지칭되어 서술될 수 있다. 상기 레이어드 디코딩은 상기 우선하여 디코딩될 행 블록(즉, 선순위 행 블록)에 상응하는 레이어(즉, 선순위 레이어)에 기반하여 수행될 수 있다. 이 때, 레이어는 우선하여 디코딩될 행 블록과 인접한 행 블록들 중 직교성 또는 준직교성을 갖는 행 블록을 포함할 수 있다.

[0614] **실시 예 3**

[0615] 수신 장치는 TBS 또는 CBS 값을 결정하는 과정과 기본 행렬 BM1, BM2 중 어떠한 기본 행렬을 사용했는지 결정하는 과정, 블록 크기(Z)를 결정하는 과정, 디세그멘테이션 과정을 수행할 수 있다. 수신 장치는, LDPC 부호화/복호화를 위한 기본 행렬로서 BM1이 결정되었을 경우에, 부호율 R이 기준 부호율 $R_{BM(1)}$ 에 비해 큰 (또는 크거나 같은) 경우에는 가장 먼저 복호를 수행할 행 블록으로서 $X_{BM(1)}$ 번째 행 블록을 설정할 수 있다. 만일 BM2가 결정되었을 경우에는 부호율 R이 기준 부호율 $R_{BM(2)}$ 에 비해 큰 (또는 크거나 같은) 경우에는 가장 먼저 복호를 수행할 행 블록으로서 $X_{BM(2)}$ 번째 행 블록을 설정할 수 있다. 여기서 $R_{BM(1)}$ 과 $R_{BM(2)}$ 는 서로 같은 값일 수도 있고 다른 값일 수도 있다. (편의상 기본 행렬 BM1 및 BM2를 $BM(i)$, $i=1, 2$ 라고도 표시한다.)

[0616] LDPC 부호화/복호화를 위해 BM1이 사용될 경우에 부호율 R이 기준 부호율 $R_{BM(1)}$ 에 비해 작거나 같은 (또는 작은) 경우에는, 수신 장치는 <레이어드 디코딩 스케줄링을 결정하기 위한 조건>의 조건 1)과 조건 2)를 동시에 고려하여 가장 먼저 복호를 수행할 행 블록으로서 $Y_{BM(1)}$ 번째 행 블록을 설정할 수 있다. 마찬가지로 LDPC 부호화/복호화를 위해 BM2가 사용될 경우에 부호율 R이 기준 부호율 $R_{BM(2)}$ 에 비해 작거나 같은 (또는 작은) 경우에는, 수신 장치는 가장 먼저 복호를 수행할 행 블록으로서 $Y_{BM(2)}$ 번째 행 블록을 설정할 수 있다.

[0617] 이와 같이 부호율에 따라 처음 레이어드 디코딩을 시작하는 행 블록의 위치가 가변적으로 정해질 수 있다, 이를 정리하면 다음과 같이 레이어드 디코딩 순서 또는 패턴이 정의될 수 있다:

[0618] i) in case $R > R_{BM(i)}$ (or $R \geq R_{BM(i)}$); [$X_{BM(i)}, \dots$],

[0619] ii) in case $R \leq R_{BM(i)}$ (or $R < R_{BM(i)}$); [$Y_{BM(i)}, \dots$].

[0620] 이 때, $X_{BM(1)}$, $X_{BM(2)}$, $Y_{BM(1)}$, $Y_{BM(2)}$ 의 값은 천공이 적용되는 0 번째, 1 번째 열 블록 내에서 무게 또는 차수가 1인 행 블록들 중 어느 하나로 결정될 수 있다. 예를 들어, 부호율 R이 기준 부호율에 비해 작은 경우에 선택되는 $Y_{BM(1)}$ 는 해당 열 블록에서 차수가 1인 행 블록들 중 $X_{BM(1)}$ 에 비해 행 블록 전체의 차수 또는 무게가 작은 행 블록의 인덱스로 결정될 수 있다. 다만, 본 개시의 실시 예가 이에 한정되는 것은 아니며 부호율 R이 기준 부호율에 비해 작은 경우에 선택되는 $Y_{BM(1)}$ 는 해당 열 블록에서 차수가 1인 행 블록들 중 $X_{BM(1)}$ 에 비해 행 블록 전체의 차수 또는 무게가 큰 행 블록의 인덱스로 결정될 수 있다. $Y_{BM(1)}$ 과 $X_{BM(1)}$ 를 결정하는 방법은 미리 정해지거나 혹은 수신기에 설정될 수 있다. 이 때, 상기 방법은 디코딩의 안정성, 효율 등을 고려하여 결정될 수 있다.

[0621] 구체적인 실시 예로서 도 15의 지수 행렬 또는 그에 대응되는 수학식 24의 기본 행렬 또는 상기 수학식 24를 포함하는 수학식 26의 기본 행렬을 참고하면, 정보어 비트 (또는 코드 블록) 천공이 항상 적용되는 0 번, 1 번 열 블록 내에서 무게가 1인 행 블록은 1 번 행 블록 및 6 번 행 블록이다. 따라서 7 개의 행 블록들이 모두 사용되

지 않는 E_r 값 또는 그에 대응되는 부호율 $\frac{K_b}{K_b - 2 \cdot 7} = \frac{22}{27}$ 을 그 기준 부호율 $R_{BM(1)}$ 으로 정의하고, 만일 $R > 22/27$ 을 만족하면, 레이어드 디코딩 순서 또는 패턴을 [1, ...]과 같이 정의하고, 그렇지 않은 경우에는 [6, ...]과 같은 순서 또는 패턴을 적용할 수 있다. (상기 순서 또는 패턴 [1, ...], [6, ...] 등은 첫 번째 행 블록 이후에 대한 패턴에 대해 역순서 패턴과 같은 다른 패턴이 적용될 수도 있다.)

[0622] 구체적인 실시 예로서 도 16의 지수 행렬 또는 그에 대응되는 수학식 25의 기본 행렬 또는 상기 수학식 25를 포함하는 수학식 27의 기본 행렬을 참고하면, 정보어 비트 (또는 코드 블록) 천공이 항상 적용되는 0 번, 1 번 열

블록 내에서 무게가 1인 행 블록은 1 번 행 블록 및 6 번 행 블록(예: 혹은 1번, 3번, 6번)이다. 따라서 7 개의 행 블록들이 모두 사용되지 않는 E_r 값 또는 그에 대응되는 부호율의 최대값 $\frac{K_b}{K_b - 2 \neq 7} = \frac{10}{15}$ 을 그 기준 부호율 $R_{BM(2)}$ 로 정의하고, 만일 $R > 10/15$ 를 만족하면, 레이어드 디코딩 순서 또는 패턴을 [1, ...]과 같이 정의하고, 그렇지 않은 경우에는 [6, ...]과 같은 순서 또는 패턴을 적용할 수 있다.

[0623] 상기 구체적인 실시 예의 순서 또는 패턴들에서 첫 번째 행 블록 이후에 대한 순서 또는 패턴은 다음과 같이 실시 예 2)에서 설명한 역순서 패턴과 같은 다양한 패턴이 적용될 수도 있다.

[0624] in case $R > R_{BM(i)}$ (or $R \geq R_{BM(i)}$);

[0625] $[X_{BM(i)}, (N_{RowB1k}-1), (N_{RowB1k}-2), \dots, (X_{BM(i)} + 1), (X_{BM(i)} - 1), \dots]$,

[0626] in case $R \leq R_{BM(i)}$ (or $R < R_{BM(i)}$);

[0627] $[Y_{BM(i)}, (N_{RowB1k}-1), (N_{RowB1k}-2), \dots, (Y_{BM(i)} + 1), (Y_{BM(i)} - 1) \dots]$,

[0628] 수학적 26의 BM1에 대해 구체적인 예를 설명하면, 만일 $R > 22/27$ 이며, N_{RowB1k} 값이 7인 경우에 [1, 6, 5, 4, 3, 2, 0]과 같은 디코딩 순서 또는 패턴이 적용될 수 있으며, $R \leq 22/27$ 인 경우에는 [6, 5, 4, 3, 2, 1, 0]과 같은 디코딩 순서 또는 패턴이 적용될 수 있다. 일반적으로 N_{RowB1k} 이 8인 경우에는 [6, 7, 5, 4, 3, 2, 1, 0]이며, 8보다 큰 경우에는 [6, $(N_{RowB1k}-1)$, $(N_{RowB1k}-2)$, ..., 7, 5, 4, 3, 2, 1, 0]과 같이 적용될 수 있다.

[0629] 본 실시 예에서는 설명의 편의상 기준이 되는 부호율이 1 개인 경우에 대해서 설명하였지만, 기준 부호율은 복수 개로 설정 가능하며 레이어드 디코딩 순서 또는 패턴도 그에 따라 다르게 설정될 수도 있다. (모두 다를 필요는 없지만, 최소한 2개 이상의 서로 다른 순서 또는 패턴이 정의될 수 있다.)

[0630] 본 실시 예에서는 레이어드 디코딩 순서 또는 패턴이 가변되는 기준을 부호율로 설정한 경우에 대해서 설명하였으나, 본 개시의 실시 예들은 이에 한정되지 않는다. 예를 들어, 가변 기준은 실시 예 2와 같이 기본 행렬 또는 패리티 검사 행렬에서 실제로 사용되는 행 블록의 개수 N_{RowB1k} 나 E_r 값 등으로 설정될 수도 있다. 수신 장치는 $BM(i)$ 에 대해서 행 블록의 개수에 대한 기준 N_{RowB1k} , $BM(i)$ 등과 같은 기준 값을 정하고, N_{RowB1k} 의 값과 비교하여 순서 또는 패턴을 가변 적용할 수 있다.

[0631] 3GPP 5G 표준에서 BM2를 LDPC 부호화에 사용하는 경우처럼 TBS 또는 CBS에 따라 패리티 검사 행렬에서 정보어 부분에 대응되는 부분 행렬 중에서 실제로 사용되는 열 블록의 개수 K_b 가 가변일 경우에는 LDPC 부호화 및 복호화를 위해 패리티 검사 행렬에서 실제로 사용되는 부분 행렬이 다르게 된다. 따라서, 성능이 최적화된 레이어드 디코딩 순서 또는 패턴 또한 K_b 에 따라 다를 수 있으며, TBS 또는 CBS에 따라 서로 다른 레이어드 디코딩 순서 또는 패턴이 적용될 수 있다. 일 실시 예에 따라, TBS에 따라 K_b 값이 다르게 정의되는 경우에는 본 실시 예에서 제시한 기준 부호율이 TBS에 따라 변경될 수 있다. 이 때, 사전에 정의된 특정 값이 기준 부호율로 정의될 수도 있다.

[0632] 제3 실시 예가 적용될 때, 다양한 범위의 코드 레이트 및 길이에서도 성능 향상이 달성될 수 있다. 따라서, 기본 그래프의 레이트 매칭을 위한 추가 구현 비용을 고려하더라도 성능 향상이 요구되는 경우, 본 실시 예가 적용될 수 있다.

[0633] 또한, 상기 레이어드 디코딩은 상기 우선하여 디코딩될 행 블록(즉, 선순위 행 블록)에 상응하는 레이어(즉, 선순위 레이어)에 기반하여 수행될 수 있다. 이 때, 레이어는 우선하여 디코딩될 행 블록과 인접한 행 블록들 중 직교성 또는 준직교성을 갖는 행 블록을 포함할 수 있다.

[0634] **실시 예 4**

[0635] 기본 행렬에 따라 천공이 적용될 정보어 비트들(또는 코드 블록)에 대응되는 열 블록 내의 무게가 0인 행 블록이 존재할 수 있다. 이러한 행 블록들은 처음 레이어드 디코딩을 수행하는 경우에도 LLR 업데이트가 가능하다. 따라서, 수신 장치는, 레이어드 디코딩 스케줄링 순서 또는 패턴을 결정할 경우에 이러한 행 블록들을 최우선 순위화 하여 복호를 수행할 수도 있다. 다시 말해, 수신 장치는 코드 블록의 패리티 행에서 천공될 열 블록에

대한 차수가 0인 행 블록을 최우선적으로 디코딩할 수 있다. 해당 행 블록은 최선순위 행 블록, 최선순위 레이 어, 최우선 행 블록, 혹은 최우선 레이 어로 지칭될 수 있다.

[0636] 이러한 경우에는, 수신 장치는 수학적 식 30으로부터 N_{Rowblk} 값을 결정한 다음, N_{Rowblk} 개의 행 블록 중에서 상기 천 공이 적용될 정보어 비트들에 대응되는 열 블록 내의 무게가 0인 행 블록들(이하, 천공 행 블록)에 대해 레이 어 드 복호를 모두 수행할 수 있다(상기 행 블록들에 대해서는 역순서 방향 레이 어 드 복호를 수행할 수도 있고, 순 방향 레이 어 드 복호를 수행할 수도 있다). 이후, 수신 장치는 나머지 행 블록들에 대해서 상기 실시 예 1), 실 시 예 2), 실시 예 3)에서 제시한 방법들 중 적어도 하나를 함께 결합하여 레이 어 드 디코딩을 수행할 수 있다. 또한, 상기 레이 어 드 디코딩은 상기 우선하여 디코딩될 행 블록(즉, 선순위 행 블록)에 상응하는 레이 어(즉, 선 순위 레이 어)에 기반하여 수행될 수 있다. 이 때, 레이 어는 우선하여 디코딩될 행 블록과 인접한 행 블록들 중 직교성 또는 준직교성을 갖는 행 블록을 포함할 수 있다.

[0637] **실시 예 5**

[0638] 패리티 검사 행렬에서 실제로 디코딩에 활용되는 행 블록의 개수에 따라 최적의 레이 어 드 디코딩 순서 또는 패 턴은 서로 다를 수 있다. 하지만, 통상적으로 부호율이 낮은 경우에는 그 성능 차이가 감소하며, 부호율이 높은 경우에는 성능 차이가 비교적 크기 때문에 탐욕 알고리즘(greedy algorithm)을 이용해 높은 부호율에 대해서 레 이 어 드 디코딩 순서 또는 패 턴을 최적화한 다음 그 결과를 기반으로 보다 낮은 부호율에 대한 순서 또는 패 턴을 최적화하게 되면, 간단한 형태의 수열로서 준 최적화된 순서 또는 패 턴을 도출할 수 있다. 본 개시에서는 복잡 도는 다소 증가하더라도 전송된 부호어 길이 E_r 에 따라 성능을 극대화시키기 위한 방법이 제안된다. 이하, 레 이 어 드 디코딩 순서 또는 패 턴을 Nested 구조(또는 중첩 구조)를 가지는 수열을 이용하여 저장한 다음 복호를 수 행하는 NSA(Nested-Sequence Approach) 레이 어 드 디코딩 방법이 제안된다.

[0639] <레이 어 드 디코딩 스케줄링을 결정하기 위한 조건>의 조건 1), 조건 2), 조건 3), 조건 4)를 모두 고려하면서 탐욕 알고리즘을 적절히 이용하면 TBS 또는 부호율 등에 따라서 안정적인 성능을 보이는 Nested 구조의 디코딩 순서 또는 패 턴을 결정할 수 있다.

[0640] 구체적인 예로서 수학적 식 26에 대응되는 기본 행렬 BM_1 에 기반한 레이 어 드 디코딩 순서 또는 패 턴으로서 다음과 같은 수열을 정의한다(각 엘리먼트는 행렬의 총 46개의 열들에 대응한다):

[0641] 패턴5-1:

[0642] [42, 40, 26, 34, 37, 45, 30, 32, 22, 28, 38, 44, 41, 20, 27, 25, 31, 36, 39, 13, 33, 35, 24, 29, 43, 17, 23, 18, 21, 14, 6, 10, 16, 1, 4, 19, 7, 12, 15, 9, 5, 11, 8, 0, 2, 3]

[0643] 이 때, 42번의 행 블록의 검사 노드가 천공 부분에 대응하는 열 블록과의 차수가 1임이 확인된다. 수신 장치가 패리티 검사 행렬로부터 차수가 1인 적어도 하나의 행 블록들 중에서 하나(예: 42번 행 블록)를 식별, 즉, 실시 예 1)이 적용됨으로써, 패턴 5-1이 도출됨이 확인될 수 있다.

[0644] 이와 유사하게 수학적 식 27에 대응되는 기본 행렬 BM_2 에 기반한 레이 어 드 디코딩 순서 또는 패 턴으로서 다음과 같 은 수열을 정의한다(각 엘리먼트는 행렬의 총 42개의 열들에 대응한다):

[0645] 패턴5-2:

[0646] [22, 37, 40, 31, 24, 29, 20, 12, 27, 25, 28, 35, 38, 41, 32, 23, 34, 39, 17, 16, 36, 21, 33, 18, 15, 9, 14, 30, 11, 19, 6, 7, 8, 26, 10, 13, 1, 4, 5, 0, 2, 3]

[0647] 이 때, 22번의 행 블록과, 천공 부분에 대응하는 열 블록과의 차수가 1임이 확인된다. 수신 장치가 패리티 검사 행렬로부터 차수가 1인 적어도 하나의 행 블록들 중에서 하나(예: 22번 행 블록)를 식별, 즉, 실시 예 1)이 적 용됨으로써, 패턴 5-2가 도출됨이 확인될 수 있다.

[0648] 다만, 본 개시의 Nested 구조의 디코딩 순서 또는 패 턴은 상기의 순서 또는 패 턴에 한정되지 않는다. 즉, 상기 greedy algorithm을 이용하여 생성된 Nested 구조의 디코딩 순서 또는 패 턴에 대해 본 개시의 실시 예가 적용될 수 있음은 자명하다.

[0649] 또한, 상기 순서 또는 패 턴에 포함된 숫자들은 패리티 검사 행렬의 행 블록의 인덱스 또는 기본 행렬의 행 인덱 스에 대응될 수 있다.

[0650] 이하에서는 상기 패턴-1 및 패턴-2의 사용 방법을 구체적으로 설명한다.

- [0651] 먼저, 수신 장치는, 수학식 30에 기반하여 주어진 기본 행렬 또는 그에 대응되는 패리티 검사 행렬에서 실질적으로 사용되거나 성능에 영향을 주는 행 블록의 개수 N_{RowBk} 를 결정한다(본 개시에서는 수학식 30에 기반하여 결정하는 것으로 설명하지만, 다른 방식으로 결정할 수 있다). 그 다음에, 수신 장치는 상기 패턴-1 또는 패턴-2의 수열에서 N_{RowBk} 보다 작은 값들을 가지는 수열만 선택한 다음에 선택된 수열을 실제 디코딩에 사용하는 레이어드 디코딩 순서 또는 패턴으로 적용한다. 이와 같은 방식은, 설명의 편의를 위하여, NSA 레이어드 디코딩 방법으로 지칭될 수 있다.
- [0652] 구체적인 실시 예로서 수학식 27의 기본 행렬에 기반한 LDPC 복호를 수행하는 경우에 대해, TBS = 3840 비트이고 (CRC 16 비트 포함), MCS index에 따른 부호율이 2/3 보다 작으며, $E_r = 11072$ 이라 가정하자. 3GPP 표준 규격 TS 38.212의 경우에는 이러한 조건에서는 LDPC 부호화를 위한 기본 행렬로서 BM2가 결정되며, 블록 크기도 $Z = 384$ 로 결정되고 $K_{punc} = 2$ 로 고정되어 있다. 또한 TBS=3840의 경우에 $K_b = 10$ 이므로
- $$N_{RowBk} = \left\lfloor \frac{11072}{384} \right\rfloor - 8 = 21$$
- 이 된다. 즉, 패리티 검사 행렬에서 총 21개의 행 블록이 실질적으로 LDPC 부호화/복호화 성능에 영향을 준다. 이 때, 상기 패턴-2 수열에서 상기 N_{RowBk} 값 21 보다 작은 숫자들로만 구성된 수열을 선택한다. 즉, 패턴-2 수열에서 유효한 행 블록의 인덱스로만 구성된 수열 (또는 패턴)을 결정할 수 있다.
- [0653] 상기 패턴-2 수열에서 유효한 행 블록의 인덱스는 하기에 표시된 바와 같다.
- [0654] [22, 37, 40, 31, 24, 29, **20**, **12**, 27, 25, 28, 35, 38, 41, 32, 23, 34, 39, **17**, **16**, 36, 21, 33, **18**, **15**, **9**, **14**, 30, **11**, **19**, **6**, **7**, **8**, 26, **10**, **13**, **1**, **4**, **5**, **0**, **2**, **3**]
- [0655] 따라서, 상기 패턴-2 수열에서 유효한 행 블록의 인덱스에 기반하여 결정된 순서 또는 패턴은 하기와 같다.
- [0656] [20, 12, 17, 16, 18, 15, 9, 14, 11, 19, 6, 7, 8, 10, 13, 1, 4, 5, 0, 2, 3]
- [0657] 상기 선택된 수열 [20, 12, 17, 16, 18, 15, 9, 14, 11, 19, 6, 7, 8, 10, 13, 1, 4, 5, 0, 2, 3]이 LDPC 복호기에서 적용될 레이어드 디코딩 패턴을 의미하게 되며, 상기 디코딩 패턴에 따른 LPDC 복호는 20번 행 블록에 대한 레이어드 디코딩을 시작으로 3번 행 블록까지 레이어드 디코딩을 순차적으로 수행하여 반복 복호의 한 주기를 수행하는 것을 의미한다.
- [0658] NSA 레이어드 디코딩 방식은 상기 실시 예뿐만 아니라 다양한 형태로 변형이 가능하다. 예를 들어, 수학식 30에서 E_r 값이 Z의 배수가 아닌 경우에는 마지막 ($N_{RowBk}-1$)번째 행 블록에 대응되는 패리티 비트의 일부는 LLR = 0 값에 대응되기 때문에 상기 NSA 레이어드 디코딩 방식을 위해 ($N_{RowBk}-1$) 보다 작은 숫자들로만 이루어진 수열을 선택하여 해당 레이어드 디코딩을 수행하되, 상기 ($N_{RowBk}-1$)번째 행 블록은 사전에 정의된 순서에 레이어드 디코딩을 수행할 수도 있다. 예를 들어, ($N_{RowBk}-1$) 번째 행 블록의 경우에는 항상 i 번째로 레이어드 디코딩을 적용한다고 가정할 경우에는 ($N_{RowBk}-1$) 보다 작은 숫자들로만 이루어진 수열로 구성된 순서 또는 패턴에서 (i-1) 번째 수와 i번째 수 사이에 ($N_{RowBk}-1$) 값이 적용될 수 있다.
- [0659] 구체적인 실시 예로서, 만일 마지막 ($N_{RowBk}-1$)번째 행 블록을 항상 0 번째 레이어드 디코딩 이후 1 번째에 적용된다고 시스템에서 약속되어 있는 경우를 가정한다. 상술한 실시 예와 동일하게 TBS = 3840 비트이고 (CRC 16 비트 포함), MCS index에 따른 부호율이 2/3 보다 작으며, $E_r = 11072$ 이라 가정한 경우에 [20, 12, 17, 16, 18, 15, 9, 14, 11, 19, 6, 7, 8, 10, 13, 1, 4, 5, 0, 2, 3]을 레이어드 디코딩 순서 또는 패턴으로 적용하는 것이 아니라 ($N_{RowBk}-1$)번째 행 블록인 행 블록 20을 1번에 적용하기 위해 [12, 20, 17, 16, 18, 15, 9, 14, 11, 19, 6, 7, 8, 10, 13, 1, 4, 5, 0, 2, 3]과 같이 '12'와 '20'의 위치가 바뀔 수도 있다.
- [0660] 이상 설명한 방법은 일례일 뿐이며 다양한 Nested 구조의 수열에 기반하여 다른 기법들과 적절히 결합된 NSA 레이어드 디코딩 방식이 존재할 수 있다.
- [0661] **실시 예 6**
- [0662] 상기 실시 예들에서는 기본적으로 정보어 비트들(또는 코드 블록)의 일부가 항상 천공되는 경우를 가정하여 설명하였다. 하지만, 만일 시스템에서 정보어 비트 천공이 상황에 따라 적용되지 않을 수도 있을 경우, 상기 제안된 레이어드 디코딩 스케줄링을 위한 순서 또는 패턴을 설정하는 방법이 최적의 성능을 제공하는 것이 아닐 수

있다.

- [0663] 예를 들어, 천공이 적용되지 않는 경우에는, 처음에 어느 레이어에 대한 디코딩을 수행해도 LLR 값이 업데이트 되기 때문에 <레이어드 디코딩 스케줄링을 결정하기 위한 조건>의 조건 2)를 고려하여 역순서 방향 레이어드 디코딩을 수행하고, 만일 천공이 적용된 경우에는 상기 실시 예 등에서 제안한 다양한 방법들을 적용할 수 있다.
- [0664] 결론적으로, 수신 장치는 정보어 비트 또는 코드 블록의 일부 천공 여부에 따라 천공되었을 경우에는 제1 패턴을, 천공되지 않았을 경우에는 제2 패턴을 기반으로 레이어드 디코딩을 수행할 수 있다. 정보어 비트 또는 코드 블록의 일부 천공 여부에 따라 패턴이 적응적으로 설정됨으로써, 성능 개선이 달성될 수 있다.
- [0665] **실시 예 7**
- [0666] 구현 복잡도가 크게 문제가 되지 않는다면, 각 LDPC 부호의 기본 행렬 또는 부호율 또는 변조 오더에 기초하여 최적화된 복수 개의 순서 또는 패턴을 이용하여 수신 장치는 레이어드 디코딩을 수행할 수 있다.
- [0667] 예를 들어, 수학식 26에 대응되는 기본 행렬 BM1에 해당하는 LDPC 기본 행렬을 이용하여 QPSK, 16QAM, 64QAM, 256QAM, 1024QAM과 같은 변조 방식 중 일부를 사용하는 시스템의 경우에, 수신 장치는 사용되는 각 변조 방식에 따라 다음과 같은 준최적화(sub-optimal)된 레이어드 디코딩 순서 또는 패턴(또는 수열)을 적용하여 LDPC 디코딩을 수행할 수 있다.
- [0668] 패턴 7-1: QPSK 또는 4QAM에 대한 순서 또는 패턴
- [0669] [42, 27, 40, 37, 45, 25, 29, 31, 39, 23, 33, 26, 28, 36, 34, 30, 32, 35, 44, 38, 41, 43, 22, 13, 21, 17, 24, 14, 10, 16, 20, 18, 6, 1, 4, 19, 7, 15, 12, 11, 5, 9, 8, 0, 2, 3]
- [0670] 패턴 7-2: 16-QAM에 대한 순서 또는 패턴
- [0671] [42, 27, 40, 37, 45, 25, 29, 41, 23, 31, 39, 33, 26, 28, 34, 32, 44, 35, 38, 30, 36, 43, 22, 24, 10, 18, 21, 16, 13, 17, 20, 14, 6, 1, 4, 19, 7, 12, 15, 5, 9, 11, 8, 0, 2, 3]
- [0672] 패턴 7-3: 64-QAM에 대한 순서 또는 패턴
- [0673] [27, 45, 26, 40, 42, 44, 25, 34, 39, 38, 36, 41, 22, 37, 32, 30, 20, 10, 24, 28, 23, 29, 18, 33, 35, 31, 16, 13, 21, 17, 43, 14, 19, 6, 1, 4, 7, 12, 15, 9, 5, 11, 8, 0, 2, 3]
- [0674] 패턴 7-4: 256-QAM에 대한 순서 또는 패턴
- [0675] [27, 45, 26, 42, 38, 25, 37, 41, 39, 32, 40, 23, 30, 34, 44, 36, 20, 22, 28, 24, 10, 35, 33, 29, 43, 31, 18, 13, 17, 16, 21, 14, 6, 19, 1, 4, 7, 12, 15, 5, 9, 11, 8, 0, 2, 3]
- [0676] 패턴 7-5: 1024-QAM에 대한 순서 또는 패턴
- [0677] [45, 44, 42, 40, 39, 38, 37, 34, 27, 33, 26, 28, 25, 41, 23, 35, 22, 20, 32, 24, 36, 10, 43, 29, 21, 31, 13, 30, 17, 16, 18, 14, 6, 19, 1, 4, 7, 12, 9, 5, 15, 11, 8, 0, 2, 3]
- [0678] 수신되는 비트 별 LLR은 어떠한 변조 심볼을 통해 전달되는지에 따라 달라질 수 있다. BPSK나 QPSK와 같은 n-PSK 변조 방식에서, 수신단은 각 심볼의 복조 환경이 동일하다. 정상도의 중심으로부터 각 정상점 간의 유클리드 거리(Euclidean distance)가 같기 때문이다. 따라서, 정상점들 간 같은 신뢰도가 형성될 수 있다. 그러나, 후술되는 16 QAM, 64 QAM, 256 QAM의 경우, 정상도의 중심점과 각 정상점 간의 유클리드 거리(Euclidean distance)가 다르므로, 채널의 신뢰도가 심볼마다 다르게 형성될 수 있다. 따라서, 송신기에서 각 변조 방식 또는 차수에 따라 데이터 비트들을 전송하면, 수신기에서는 각 변조 방식 또는 차수에 따라 수신된 신호를 적절히 복조하여(demodulate) 수신된 데이터 비트별로 LLR 값을 결정한 다음, 상기 LLR 값과 상기 패턴들에 기초하여 레이어드 디코딩을 수행한다.
- [0679] 한편, 상술한 바와 같이 본 개시의 실시 예는 하나 이상의 행 블록으로 구성된 레이어에 기반하여 디코딩을 수행하는 경우에 적용될 수 있다. 예를 들어, 상기 실시 예 1 또는 2에서 차수가 1인 행 블록들 중 우선하여 디코딩될 행 블록(즉, 선순위 행 블록)이 결정된 경우, 상기 우선하여 디코딩될 행 블록에 상응하는 레이어(즉, 선순위 레이어)에 대해 디코딩이 수행될 수 있다. 구체적으로 상기 결정된 행 블록에 인접한 행 블록이 상기 행 블록과 직교하거나 준직교하는 특성을 갖는다면, 수신 장치는 해당 행 블록들을 포함한 레이어를 기반으로 디코딩을 수행할 수 있다. 또한, 이후에 순차적인 디코딩 수행 시 혹은 역순서 디코딩 수행시에도 직교성 또는 준직

교성을 갖는 행 블록들이 하나의 레이어를 구성하여 레이어드 디코딩이 수행될 수 있음은 자명하다.

- [0680] 또한, 상술한 실시 예 3 내지 6에서도 상기 적어도 두 개 이상의 행 블록들로 구성된 레이어드 디코딩이 수행될 수 있음은 자명하다. 또한, 적어도 하나의 레이어가 2개 이상의 행 블록들로 구성된 경우에는, 상기 레이어드 디코딩 순서 또는 패턴들은 전체 행 블록의 개수 보다 짧은 수열로 정의될 수 있으며, 상기 복수 개의 행 블록이 결합된 레이어에 대해서 어떤 행 블록이 결합되었는지에 대한 추가 정보가 요구될 수 있다.
- [0681] 한편, 상술한 레이어드 디코딩은 블록 병렬 (block parallel) 디코딩, 행 블록 병렬 (row-block parallel) 디코딩 (또는 행 병렬 디코딩)과 같은 다양한 방식으로 구현될 수도 있다.
- [0682] 여기서 블록 병렬 디코딩은 통상적으로 패리티 검사 행렬에서 하나의 블록 즉, $Z \times Z$ 크기의 순환 순열 행렬을 기준으로 수행되는 레이어드 디코딩 방식이다. 또한 행 블록 병렬 디코딩(또는 행 병렬 디코딩)은 통상적으로 하나의 행 블록을 기준으로 수행되는 레이어드 디코딩 방식이다.
- [0683] 행 블록 병렬 디코딩 방식은 주어진 행 블록 또는 복수개의 행 블록들로 구성된 레이어에 포함된 모든 블록(순환 순열 행렬)에 대해 복호를 수행하기 때문에 넓은 의미의 블록 병렬 디코딩 방식의 확장으로 볼 수 있다. 그리고, 행 블록 병렬 디코딩 방식은, 하나의 블록(순환 순열 행렬)에 기반한 블록 병렬 디코딩 방식에 비해 구현 복잡도가 증가할 수 있지만, 보다 높은 디코딩 정보 처리량 (decoding throughput)을 지원할 수 있다.
- [0684] 블록 병렬 디코딩은 하나의 블록(순환 순열 행렬)을 기준으로 수행될 수도 있지만, 일반적으로 복수개의 블록들을 기준으로 수행될 수도 있다. 그 뿐만 아니라, 하나의 블록 보다 작은 기준으로도 수행될 수도 있는데, 이러한 경우에는, 통상적으로 블록 크기 Z 의 약수를 기준으로 블록 병렬 디코딩이 수행될 수 있다. 블록 병렬 디코딩을 수행함에 있어, 복수 개의 블록들을 기준으로 레이어드 디코더를 구현할 경우, 구현 복잡도는 증가하지만, 디코딩 정보 처리량도 증가한다.
- [0685] 상기 본 개시의 실시 예에 따른 수신기의 동작을 정리하면 하기와 같다. 즉, 통신 시스템에서 수신기의 디코딩 방법에 있어서, 송신기로부터 전송되는 입력 비트에 상응하는 신호를 수신하는 단계, 상기 신호에 기반하여 입력 비트의 수를 확인하는 단계, 상기 입력 비트의 수에 기반하여 코드 블록의 크기를 확인하는 단계; 및 상기 코드 블록의 크기에 상응하는 패리티 검사 행렬에 기반하여 레이어드 디코딩을 수행하는 단계를 포함하며, 상기 레이어드 디코딩은 천공될 열 블록에 상응하는 부분 행렬 내에서 차수가 1인 행 블록 중 적어도 하나에 상응하는 레이어에 대해 우선하여 디코딩되는 것을 특징으로 한다. 또한, 상기 레이어드 디코딩에는 상술한 본 개시의 다양한 실시 예가 조합되어 실행될 수 있다.
- [0686] 또한, 상기 본 개시의 일 실시 예에 따른 수신기의 방법은 또한, 송신기로부터 전송되는 입력 비트에 상응하는 신호를 수신하는 단계, 상기 신호에 기반하여 입력 비트의 수를 확인하는 단계, 상기 입력 비트의 수에 기반하여 코드 블록의 크기를 확인하는 단계; 및 상기 코드 블록의 크기에 상응하는 패리티 검사 행렬에 기반하여 레이어드 디코딩을 수행하는 단계를 포함하며, 상기 레이어드 디코딩은 하기의 디코딩 순서 또는 패턴에 기반하여 수행되는 것을 특징으로 한다.
- [0687] 패턴5-1:
- [0688] [42, 40, 26, 34, 37, 45, 30, 32, 22, 28, 38, 44, 41, 20, 27, 25, 31, 36, 39, 13, 33, 35, 24, 29, 43, 17, 23, 18, 21, 14, 6, 10, 16, 1, 4, 19, 7, 12, 15, 9, 5, 11, 8, 0, 2, 3]
- [0689] 패턴5-2:
- [0690] [22, 37, 40, 31, 24, 29, 20, 12, 27, 25, 28, 35, 38, 41, 32, 23, 34, 39, 17, 16, 36, 21, 33, 18, 15, 9, 14, 30, 11, 19, 6, 7, 8, 26, 10, 13, 1, 4, 5, 0, 2, 3].
- [0691] 또한, 상기 본 개시의 일 실시 예에 따른 수신기의 방법은 송신기로부터 전송되는 입력 비트에 상응하는 신호를 수신하는 단계, 상기 신호에 기반하여 입력 비트의 수를 확인하는 단계, 상기 입력 비트의 수에 기반하여 코드 블록의 크기를 확인하는 단계; 및 상기 입력 비트 수 및 부호율에 대응되는 LDPC 부호의 기본 행렬 또는 상기 코드 블록의 크기에 상응하는 패리티 검사 행렬에 기초하여 레이어드 디코딩을 수행하는 단계를 포함하며, 상기 레이어드 디코딩은 변조 오더 또는 부호율 등을 고려하여 하기의 디코딩 순서 또는 패턴에 기반하여 수행되는 것을 특징으로 한다.
- [0692] 패턴 7-1: QPSK 또는 4QAM에 대한 순서 또는 패턴
- [0693] [37, 40, 29, 27, 25, 22, 31, 28, 36, 33, 32, 34, 24, 41, 38, 21, 20, 35, 18, 12, 23, 39, 17, 30, 16,

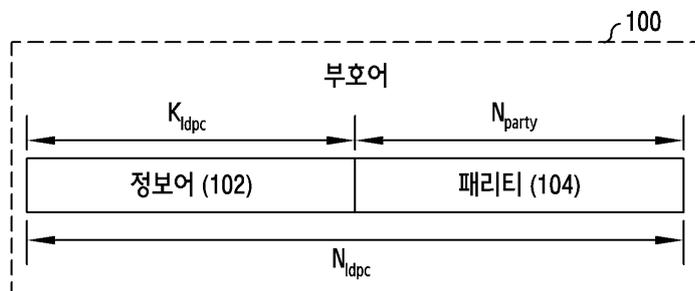
15, 9, 14, 7, 11, 19, 6, 8, 26, 13, 10, 1, 4, 5, 0, 2, 3]

- [0694] 패턴 7-2: 16-QAM에 대한 순서 또는 패턴
- [0695] [37, 40, 29, 27, 25, 22, 31, 34, 28, 33, 36, 24, 21, 32, 39, 20, 41, 38, 35, 18, 12, 23, 17, 16, 30, 15, 9, 14, 6, 11, 7, 19, 10, 8, 26, 1, 4, 5, 13, 0, 2, 3]
- [0696] 패턴 7-3: 64-QAM에 대한 순서 또는 패턴
- [0697] [37, 40, 33, 29, 25, 27, 32, 23, 22, 36, 31, 28, 24, 26, 34, 20, 18, 21, 39, 12, 41, 38, 35, 17, 30, 16, 14, 11, 15, 6, 7, 9, 19, 10, 8, 13, 1, 4, 5, 0, 2, 3]
- [0698] 패턴 7-4: 256-QAM에 대한 순서 또는 패턴
- [0699] [40, 37, 33, 32, 30, 29, 28, 41, 27, 26, 25, 39, 23, 22, 24, 38, 36, 21, 20, 18, 12, 35, 31, 17, 15, 9, 14, 34, 16, 6, 11, 7, 19, 10, 8, 1, 4, 5, 13, 0, 2, 3]
- [0700] 패턴 7-5: 1024-QAM에 대한 순서 또는 패턴
- [0701] [41, 40, 39, 38, 37, 36, 35, 34, 33, 32, 31, 30, 29, 28, 27, 26, 25, 24, 23, 22, 21, 20, 18, 15, 12, 17, 11, 9, 16, 14, 6, 7, 1, 19, 10, 13, 4, 8, 5, 0, 2, 3]
- [0702] 상기 변조 오더는 MCS 인덱스에 의해서 결정될 수도 있고, 부호율은 MCS 인덱스의 의해서 결정되거나 할당된 자원을 통해 실제 전송된 비트 수 E_r 에 기초하여 결정될 수 있다. E_r 에 따라 정해지는 유효 부호율 값이 사용될 수도 있다.
- [0703] 한편, 본 개시는 LDPC 부호의 기본 행렬 (또는 패리티 검사 행렬) 또는 부호율 (또는 사용되는 패리티 검사 행렬의 행 블록의 개수 또는 기본 행렬의 행의 개수) 또는 변조 오더 각각에 기초하여 레이어드 디코딩 순서를 결정하는 순서 또는 패턴을 결정하여 사용할 수도 있지만, 2개 이상의 조건들에 기초하여 순서 또는 패턴을 결정할 수도 있다. 또한 본 개시의 실시 예들은 서로 독립적으로 또는 서로 하이브리드 방식으로 서로 결합하여 적용될 수도 있으며, 각 기본 행렬, 변조 오더, 부호율 (또는 사용되는 행 블록의 개수)에 따라 모두 다른 디코딩 순서 또는 패턴을 적용할 경우에 성능은 최적화할 수 있으나 복잡도가 증가할 수 있으므로, 일부 경우(즉, 최적화로 인해 얻는 성능이, 구현 복잡도 증가로 얻는 손실보다 적은 경우)에는 동일한 패턴을 적용할 수도 있다.
- [0704] 본 개시의 다양한 실시 예들은, 레이어드 디코딩 시, 가변 길이, 가변 부호율 지원을 위해 LDPC 디코딩의 성과 지연에 따른 관계를 최적화하기 위한 장치 및 방법을 제안한다. 이를 통해, 본 개시의 다양한 실시 예들은, 다양한 길이 및 부호율을 지원하는 LDPC 부호화/복호화의 성능 최적화를 지원할 수 있다.
- [0705] 한편, 본 개시의 방법을 설명하는 도면에서 설명의 순서가 반드시 실행의 순서와 대응되지는 않으며, 선후 관계가 변경되거나 병렬적으로 실행될 수도 있다.
- [0706] 또는, 본 개시의 방법을 설명하는 도면은 본 개시의 본질을 해치지 않는 범위 내에서 일부의 구성 요소가 생략되고 일부의 구성요소만을 포함할 수 있다.
- [0707] 또한, 본 개시의 방법은 발명의 본질을 해치지 않는 범위 내에서 각 실시 예에 포함된 내용의 일부 또는 전부가 조합되어 실행될 수도 있다.
- [0708] 본 개시는 바람직한 실시 예로 설명하였지만, 다양한 변경 및 변형이 당업자에게 제시될 수도 있다. 이러한 변경 및 변형들은 첨부된 청구범위에 포함되는 것으로 의도하는 바이다. 또한 본 개시의 동작 흐름도에서 설명의 편의상 다른 블록으로 표현된 동작들은 실제 시스템에서는 복수 개의 프로세서로 분리되어 구현될 수도 있지만, 하나의 프로세서로 통합되어 구현될 수도 있음은 자명하다.
- [0709] 본 개시의 청구항 또는 명세서에 기재된 실시 예들에 따른 방법들은 하드웨어, 소프트웨어, 또는 하드웨어와 소프트웨어의 조합의 형태로 구현될(implemented) 수 있다.
- [0710] 소프트웨어로 구현하는 경우, 하나 이상의 프로그램(소프트웨어 모듈)을 저장하는 컴퓨터 판독 가능 저장 매체가 제공될 수 있다. 컴퓨터 판독 가능 저장 매체에 저장되는 하나 이상의 프로그램은, 전자 장치(device) 내의 하나 이상의 프로세서에 의해 실행 가능하도록 구성된다(configured for execution). 하나 이상의 프로그램은, 전자 장치로 하여금 본 개시의 청구항 또는 명세서에 기재된 실시 예들에 따른 방법들을 실행하게 하는 명령어(instructions)를 포함한다.

- [0711] 이러한 프로그램(소프트웨어 모듈, 소프트웨어)은 랜덤 액세스 메모리 (random access memory), 플래시(flash) 메모리를 포함하는 불휘발성(non-volatile) 메모리, 롬(read only memory, ROM), 전기적 삭제가능 프로그램가 능 롬(electrically erasable programmable read only memory, EEPROM), 자기 디스크 저장 장치(magnetic disc storage device), 콤팩트 디스크 롬(compact disc-ROM, CD-ROM), 디지털 다목적 디스크(digital versatile discs, DVDs) 또는 다른 형태의 광학 저장 장치, 마그네틱 카세트(magnetic cassette)에 저장될 수 있다. 또는, 이들의 일부 또는 전부의 조합으로 구성된 메모리에 저장될 수 있다. 또한, 각각의 구성 메모리는 다수 개 포함될 수도 있다.
- [0712] 또한, 프로그램은 인터넷(Internet), 인트라넷(Intranet), LAN(local area network), WAN(wide area network), 또는 SAN(storage area network)과 같은 통신 네트워크, 또는 이들의 조합으로 구성된 통신 네트워크를 통하여 접근(access)할 수 있는 부착 가능한(attachable) 저장 장치(storage device)에 저장될 수 있다. 이러한 저장 장치는 외부 포트를 통하여 본 개시의 실시 예를 수행하는 장치에 접속할 수 있다. 또한, 통신 네트워크상의 별도의 저장장치가 본 개시의 실시 예를 수행하는 장치에 접속할 수도 있다.
- [0713] 상술한 본 개시의 구체적인 실시 예들에서, 개시에 포함되는 구성 요소는 제시된 구체적인 실시 예에 따라 단수 또는 복수로 표현되었다. 그러나, 단수 또는 복수의 표현은 설명의 편의를 위해 제시한 상황에 적합하게 선택된 것으로서, 본 개시가 단수 또는 복수의 구성 요소에 제한되는 것은 아니며, 복수로 표현된 구성 요소라 하더라도 단수로 구성되거나, 단수로 표현된 구성 요소라 하더라도 복수로 구성될 수 있다.
- [0714] 한편 본 개시의 상세한 설명에서는 구체적인 실시 예에 관해 설명하였으나, 본 개시의 범위에서 벗어나지 않는 한도 내에서 여러 가지 변형이 가능함은 물론이다. 그러므로 본 개시의 범위는 설명된 실시 예에 국한되어 정해져서는 아니 되며 후술하는 특허청구의 범위뿐만 아니라 이 특허청구의 범위와 균등한 것들에 의해 정해져야 한다.

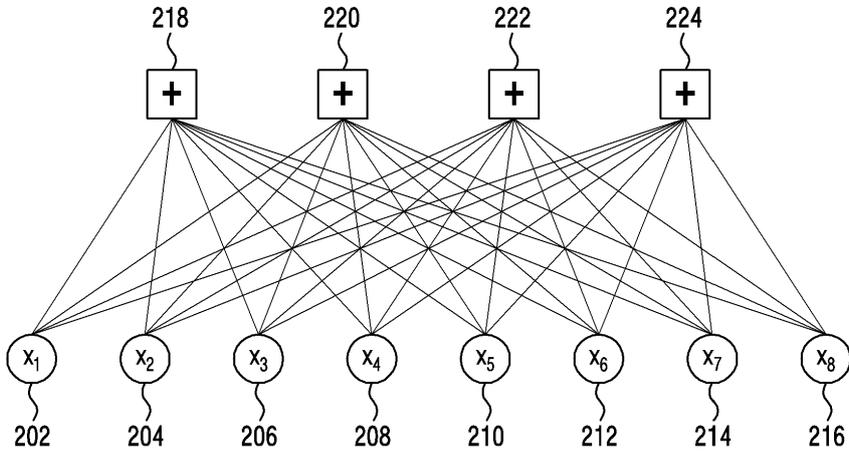
도면

도면1

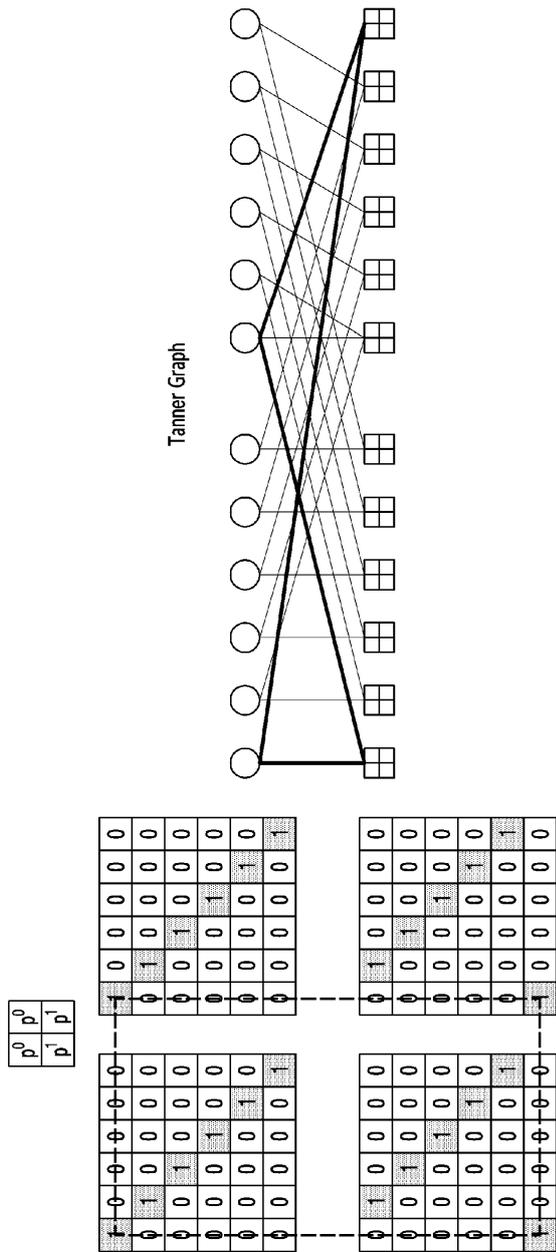


도면2

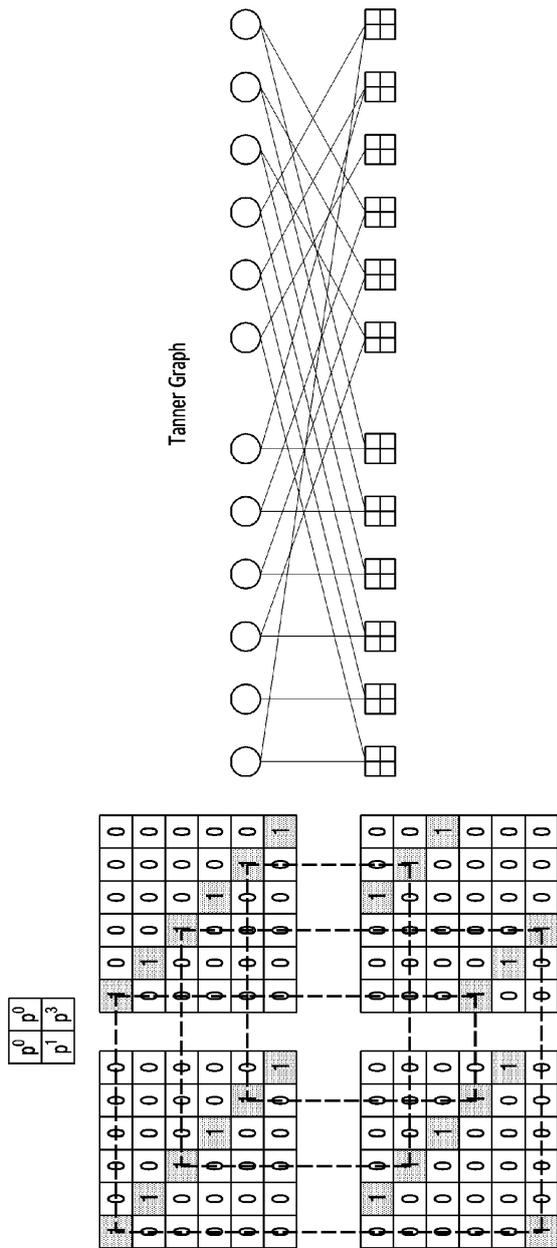
$$H_1 = \begin{Bmatrix} 1 & 1 & 1 & 1 & 1 & 1 & 0 & 0 \\ 1 & 1 & 0 & 1 & 0 & 1 & 1 & 0 \\ 1 & 1 & 1 & 0 & 0 & 0 & 1 & 1 \\ 1 & 0 & 1 & 1 & 1 & 0 & 0 & 1 \end{Bmatrix}$$



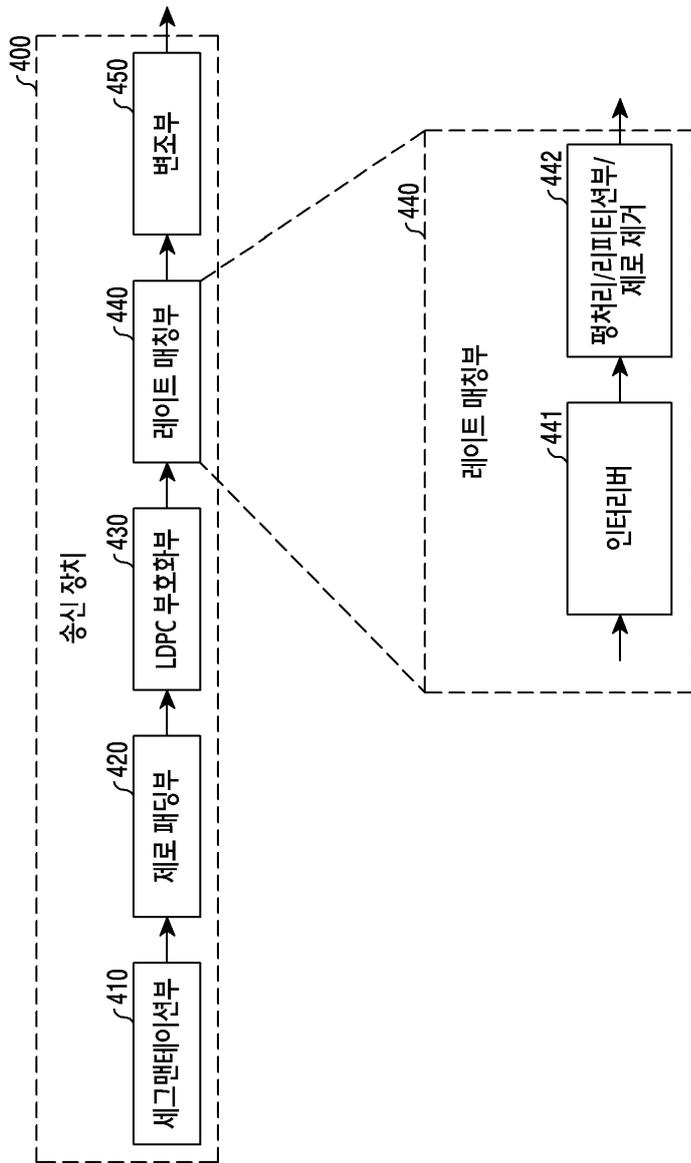
도면3a



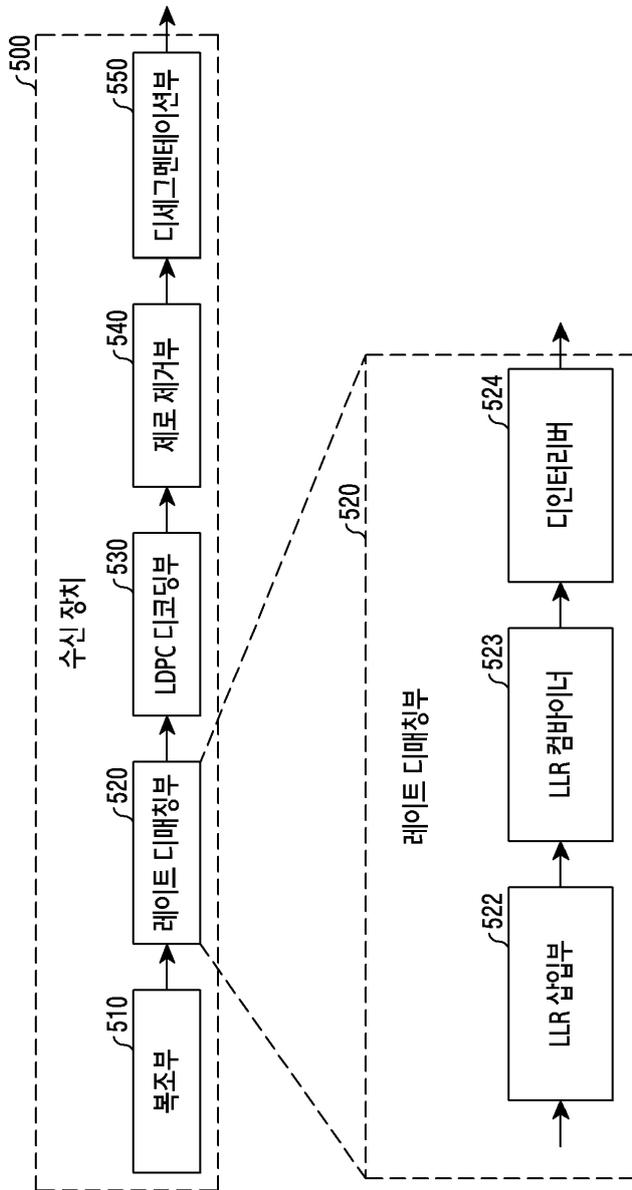
도면3b



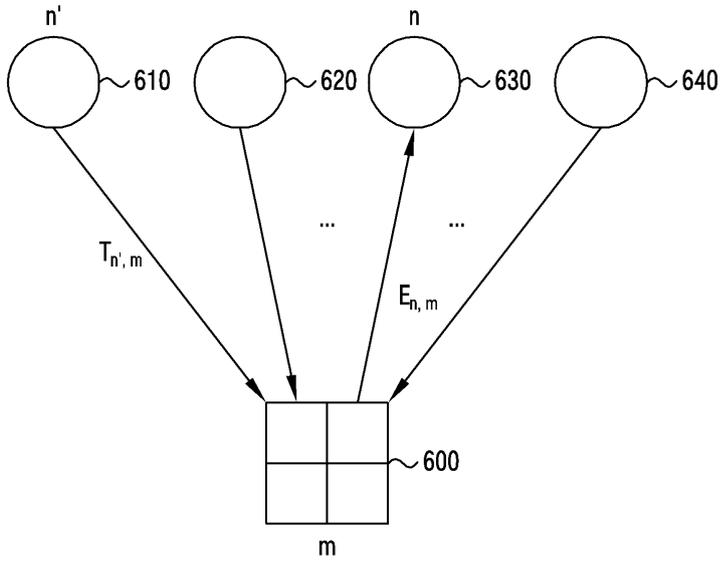
도면4



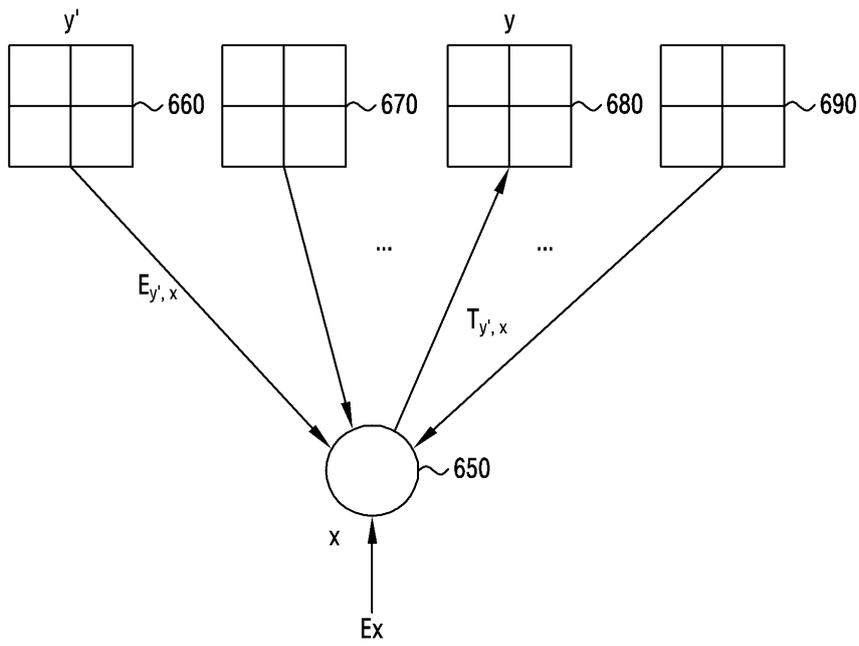
도면5



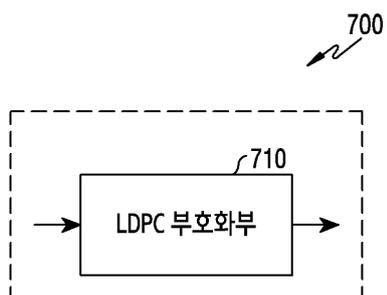
도면6a



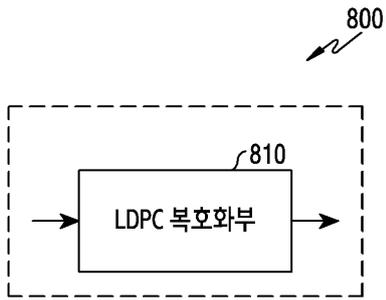
도면6b



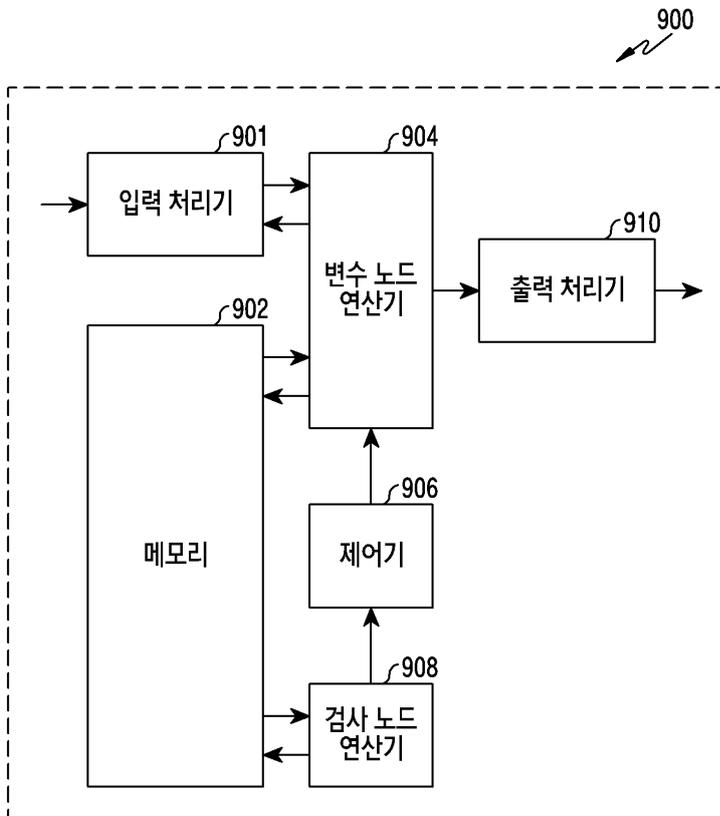
도면7



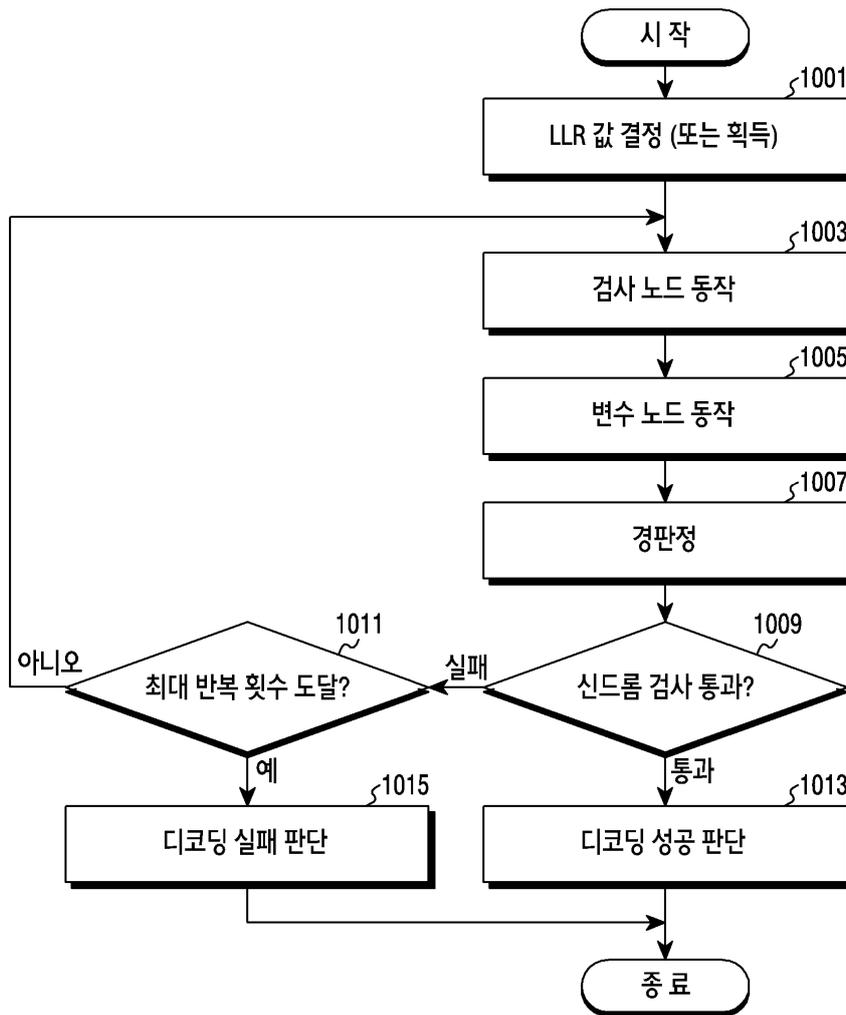
도면8



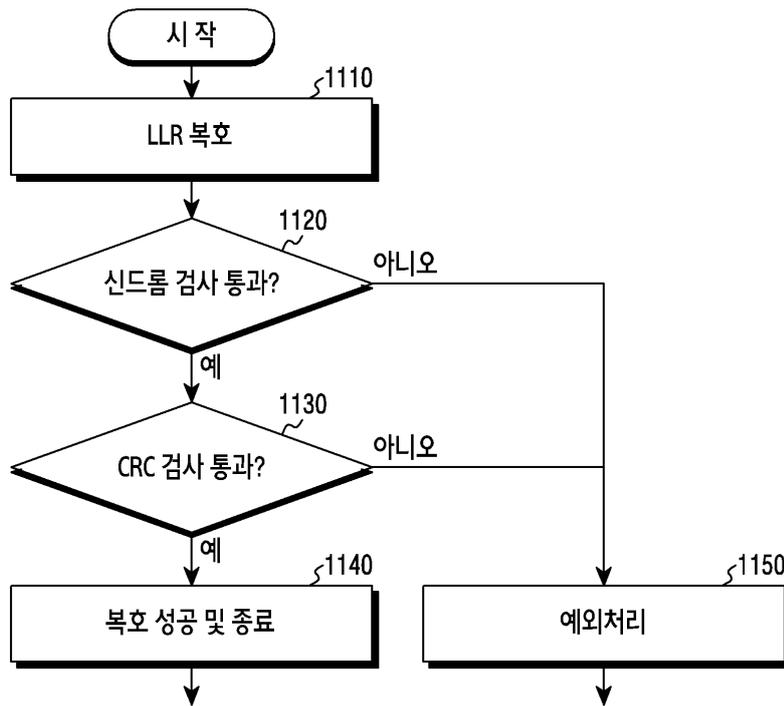
도면9



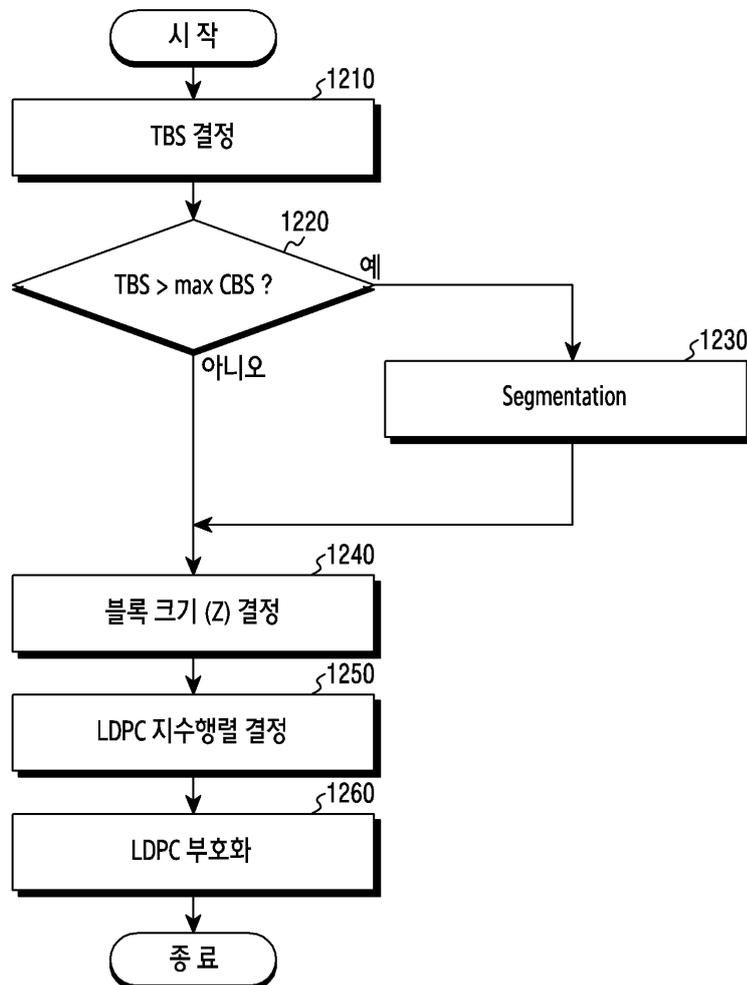
도면10



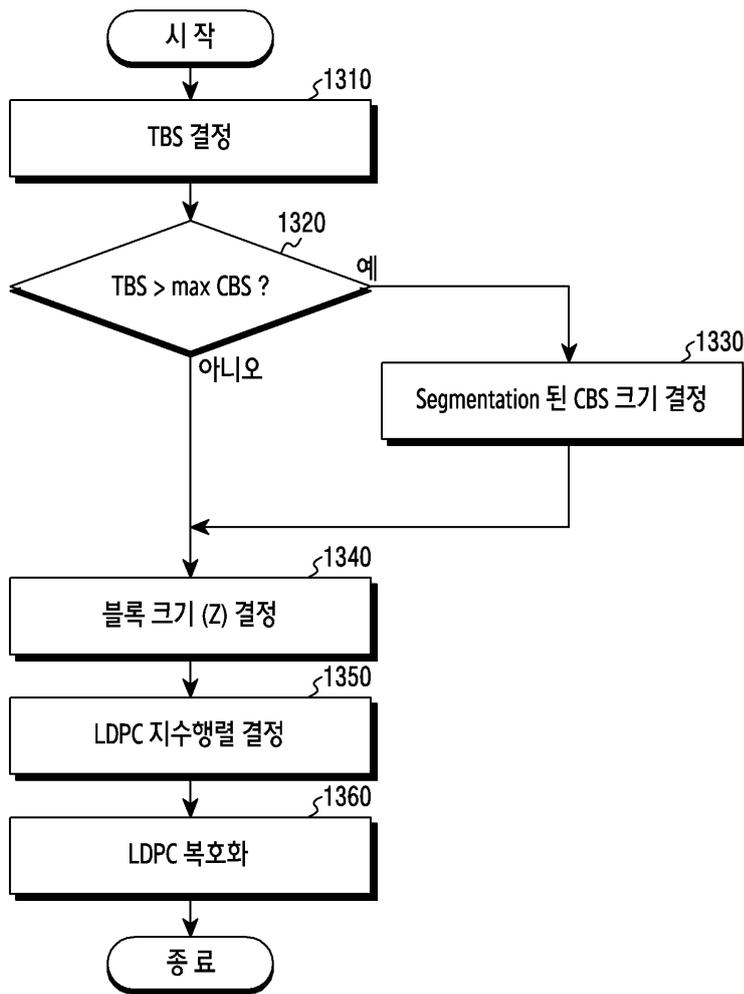
도면11



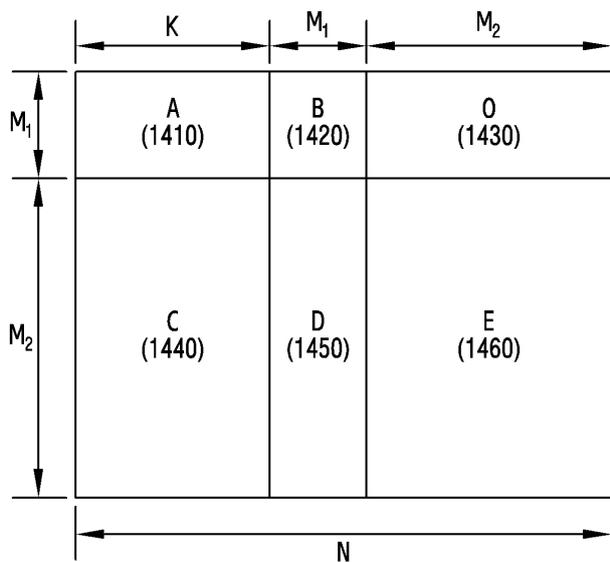
도면12



도면13



도면14



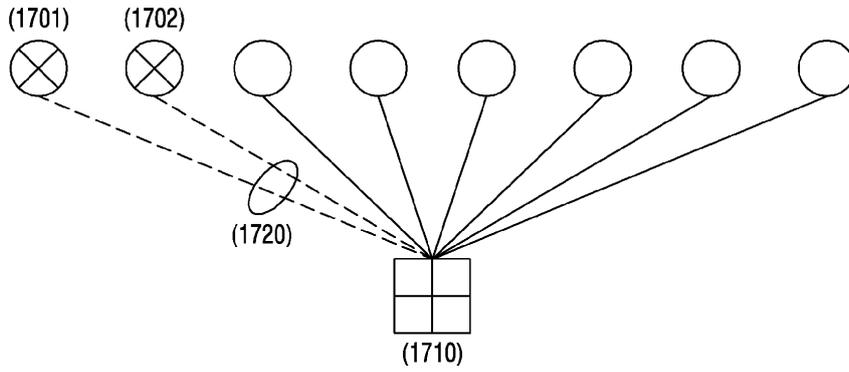
도면15

		(1501)	(1502)	(1503)	(1504)	(1505)														
250	69	226	159	100	10	59	229	110	191	9	195	23	190	35	239	31	1	0		
2	239	117	124	71	222	104	173	220	102	109	132	142	155	255	28	0	0	0		
106	111	185	63	117	93	229	177	95	39	142	225	225	245	205	251	117		0		
121	89	84	20	150	131	243	136	86	246	219	211	240	76	244	144	12	1	0		
157	102																	0		
205	236	194						231			28						123	115		
183								28	67	244			11	157	211				0	
220	44		159			31	167			104										0
112	4	7						211			102		164	109	241	90				0
103	182							109	21	142			14	61	216					0
	98	149	167		160	49				58										0

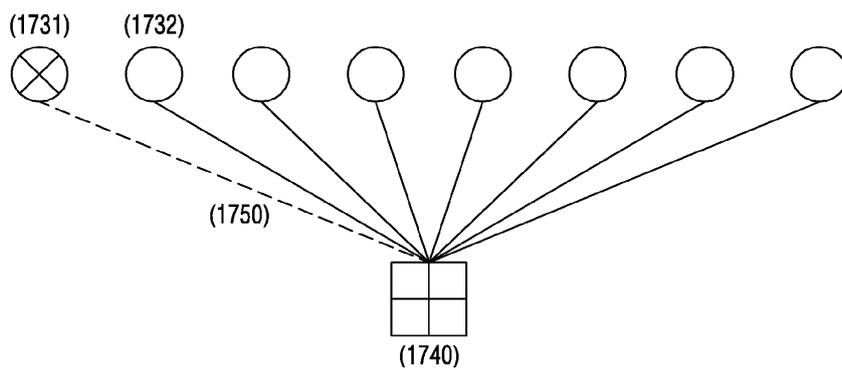
도면16

(1601)										(1602)					(1603)					(1604)
9	117	204	26			189		205	0	0										
167			166	253	125	226	156	224	252		0	0								
81	114		44	52				240	1		0	0								
	8	58		158	104	209	54	18	128	0			0							
179	214									71			0							
231	41				194		159			103			0							
155					228		45	28		158				0						
	129				147		140			3		116				0				
142	94											230					0			
	203							205	61	247									0	
(1606)																				(1605)

도면17a



도면17b



도면17c

