

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4886434号
(P4886434)

(45) 発行日 平成24年2月29日 (2012.2.29)

(24) 登録日 平成23年12月16日 (2011.12.16)

(51) Int.Cl.		F I		
G 1 1 C 16/02	(2006.01)	G 1 1 C	17/00	6 1 1 G
G 1 1 C 16/04	(2006.01)	G 1 1 C	17/00	6 4 1
		G 1 1 C	17/00	6 2 2 E
		G 1 1 C	17/00	6 1 1 F

請求項の数 5 (全 59 頁)

(21) 出願番号	特願2006-239643 (P2006-239643)	(73) 特許権者	000003078
(22) 出願日	平成18年9月4日 (2006.9.4)		株式会社東芝
(65) 公開番号	特開2008-65866 (P2008-65866A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成20年3月21日 (2008.3.21)	(74) 代理人	110000408
審査請求日	平成21年2月10日 (2009.2.10)		特許業務法人高橋・林アンドパートナーズ
		(72) 発明者	神田 和重
			東京都港区芝浦一丁目1番1号 株式会社東芝内
		審査官	外山 毅

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

複数のワード線と、

複数のビット線と、

2以上の記憶状態を持つ電氣的に書き換え可能な複数のメモリセルトランジスタを有するメモリセルアレイとを有する不揮発性半導体記憶装置であって、

前記メモリセルトランジスタが記憶する記憶状態数は、m番目のワード線とn番目のビット線(m、nは、いずれも1以上の整数)とに位置する所定のメモリセルトランジスタと、前記所定のメモリセルトランジスタと同一ワード線上で隣接するn-1番目及びn+1番目のメモリセルトランジスタとで異なり、前記所定のメモリセルトランジスタと同一ビット線に接続されてワード線に直交する方向で隣接するm-1番目及びm+1番目のメモリセルトランジスタとで異なり、かつ、前記n-1番目及び前記n+1番目のメモリセルトランジスタと、前記m-1番目及び前記m+1番目のメモリセルトランジスタとが同一記憶状態数であることを特徴とする不揮発性半導体記憶装置。

【請求項2】

複数のワード線と、

複数のビット線と、

2以上の記憶状態を持つ電氣的に書き換え可能な複数のメモリセルトランジスタを有するメモリセルアレイと、

前記複数のビット線に接続されて前記複数のメモリセルトランジスタから読み出された信

号を増幅して出力する複数のセンスアンプとを有する不揮発性半導体記憶装置であって、前記メモリセルトランジスタは、それぞれのメモリセルトランジスタごとに割り当てられる第1のアドレスと、m番目のワード線とn番目のビット線（m、nは、いずれも1以上の整数）とに位置する所定のメモリセルトランジスタ及び前記所定のメモリセルトランジスタと同一ワード線上で隣接するn+1番目のメモリセルトランジスタに共通して割り当てられる第2のアドレスを有し、

前記複数のセンスアンプは、入出力されるデータをラッチして前記第2のアドレスに基づいて前記入出力されるデータを所定の信号に変換する演算機能を有し、

前記メモリセルトランジスタが記憶する記憶状態数はm番目のワード線とn番目のビット線（m、nは、いずれも1以上の整数）とに位置する所定のメモリセルトランジスタと、前記所定のメモリセルトランジスタと同一ワード線上で隣接するn-1番目及びn+1番目のメモリセルトランジスタとで異なり、かつ、前記所定のメモリセルトランジスタと同一ビット線に接続されてワード線に直交する方向で隣接するm-1番目及びm+1番目のメモリセルトランジスタとで異なり、

前記第2のアドレスが割り当てられた前記2個のメモリセルトランジスタの記憶状態数の合計は 2^k 値（kは、3以上の整数）であり、かつ、前記所定のメモリセルトランジスタと、前記所定のメモリセルトランジスタと同一ビット線に接続されてワード線に直交する方向で隣接するメモリセルトランジスタとの記憶状態数の合計も 2^k 値（kは、3以上の整数）であることを特徴とする不揮発性半導体記憶装置。

【請求項3】

前記メモリセルトランジスタの記憶状態数は、外部入力によって動作モードを切替えることができ、前記動作モード切替によって全てのメモリセルトランジスタが同一の記憶状態数を持つように設定することができる請求項1又は請求項2記載の不揮発性半導体記憶装置。

【請求項4】

前記メモリセルトランジスタの記憶状態数は、ヒューズデータとして設定され、同一のメモリセル構成でメモリセルトランジスタの記憶状態数を所望の状態数に設定できることを特徴とする請求項1又は請求項2記載の不揮発性半導体記憶装置。

【請求項5】

前記不揮発性半導体記憶装置は、NAND型フラッシュメモリであることを特徴とする請求項1又は請求項2記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、不揮発性半導体メモリに関し、特にNAND型フラッシュメモリに関する。

【背景技術】

【0002】

近年、NAND型フラッシュメモリ等の不揮発性メモリにおいてビットあたりの単価を下げるため、また、記憶容量を増やすために、一つのメモリセルに複数ビットデータを記憶させる、いわゆる2値以上の情報量フラッシュメモリが開発されている。一つのメモリセルに2ビットデータを記憶させる場合、そのメモリセルの閾値分布は、4値のデータに対応して4つ存在することになる。

【0003】

かかるNAND型フラッシュメモリを含めて、一般にメモリセルの閾値分布の形状は電源電圧の低下や製造ばらつきを考慮して、幅が狭くシャープであることが望まれ、そのために書き込み電圧 V_{pgm} のステップアップ幅を狭くすることが行われる。ところが、一方でメモリセルにおいては隣接セルの容量結合に起因する隣接セル干渉によって閾値分布は広がる。そして、この影響は微細化に伴って顕著になってきている。

【0004】

また、書き込み電圧 V_{pgm} のステップアップ幅を狭くして書き込むことで、前記閾値分布の広がりには抑制することができるが、ステップアップ幅を狭くすると書き込み電圧 V_{pgm} 印加回数が増加し、書き込み時間を長くしてしまい、書き込みスピードの低下に繋がる。

【特許文献 1】特開2005 267687号公報

【特許文献 2】特開2005 267821号公報

【特許文献 3】特開2004 152405号公報

【特許文献 4】特開2004 327865号公報

【発明の開示】

【発明が解決しようとする課題】

10

【0005】

本発明は、NAND型フラッシュメモリにおいて、容量結合による影響を抑制して隣接メモリセル干渉による影響を減少し、記憶容量を上げつつ書き込みスピードを向上させることを目的とする。

【課題を解決するための手段】

【0006】

本発明の一実施形態に係る不揮発性半導体記憶装置は、複数のワード線と、複数のビット線と、2以上の記憶状態数を持つ電氣的に書き換え可能な複数のメモリセルトランジスタを有する複数のメモリセルアレイとを有する不揮発性半導体記憶装置であって、前記メモリセルトランジスタが記憶する記憶状態数はワード線方向及びビット線方向に隣接するメモリセルトランジスタ同士で異なっており、偶数ビット線及び奇数ビット線ごとでページ単位で書き込まれ、書き込み時に書き込みがされていないビット線の電位を所定の電位に制御することを特徴とする。

20

【発明の効果】

【0007】

本発明によって、NAND型フラッシュメモリにおいて、容量結合による影響を抑制して隣接メモリセル干渉による影響を減少し、記憶容量を上げつつ書き込みスピードを向上させることが可能となる。

【発明を実施するための最良の形態】

【0008】

30

以下、本発明の第1の実施形態に係る不揮発性半導体記憶装置について、NAND型フラッシュメモリを例にとりながら、図面を参照しながら詳細に説明する。なお、実施形態においては、本発明の不揮発性半導体記憶装置の例を示しており、本発明の不揮発性半導体記憶装置は、それら実施形態に限定されるわけではない。

【0009】

フラッシュメモリは、メモリセルのフローティングゲート電極内に蓄えられる電荷の量を変え、データを変え、データを記憶する。例えば、メモリセルの閾値が負のときを「1」データ、正のときを「0」データに対応させる。

【0010】

近年、ビット単価を下げるため、或いは記憶容量を増やすために、一つのメモリセルに複数ビットデータを記憶させる、いわゆる多値フラッシュメモリが開発されている。一つのメモリセルに2ビットデータを記憶させる場合、そのメモリセルの閾値分布は、4値のデータに対応して4つ存在することになる。

40

【0011】

かかるNAND型フラッシュメモリにおいては、メモリセルの閾値分布は、2値以上の情報量データを書き込むために、書き込む情報量に応じた閾値分布を所定の電位範囲に入れ込む必要がある。即ち、複数の閾値分布を読み出し電位 V_{read} (NANDセル内の非選択セルのゲート電圧をいい、例えば5V。) と0Vの間に入れ込まなくてはならない。従って、NAND型フラッシュメモリにおいては、幅が狭くシャープである閾値分布とするために、書き込み電位 V_{pgm} のステップアップ幅を狭くすることが必要になる。ここ

50

でメモリセルのフローティングゲート(FG)は、ビット線(BL)方向、ワード線(WL)方向及び斜め方向の隣接セルのフローティングゲートと容量結合している。従って、2値以上の情報量データを記憶するためにメモリセルの閾値分布を幅が狭くシャープにしようとしても、一方で容量結合の影響によりメモリセルの閾値分布が広がってしまうため、所望の幅が狭くシャープな閾値分布の実現はなかなか困難である。かかる容量結合の影響は、微細化に伴ってますます顕著になり、また、特にビット線(BL)方向及びワード線(WL)方向の容量は大きいため、この影響が顕著である。

【0012】

従って、今後更なる微細化と大容量化を同時に実現するためにメモリセルに2値以上の情報量データを記憶させる場合、容量結合の影響を抑制して隣接メモリセルの干渉を減少し、集積度を上げつつ書き込みスピードを向上させることが必要になる。本発明の一実施形態に係る不揮発性半導体記憶装置は、かかる容量結合の影響を抑制して隣接メモリセルの干渉を減少し、集積度を上げつつ書き込みスピードを向上させることができる。

10

【0013】

図1に、本発明の不揮発性半導体記憶装置の第1の実施形態に係るNAND型フラッシュメモリの概略構成図を示す。図1に示す不揮発性半導体記憶装置10は、複数の電氣的に書き換え可能なメモリセルMC111がマトリクス状に配置されたメモリセルアレイ100、ロウデコーダ20、カラムデコーダ30、センスアンプ40、入出力バッファ50、アドレスバッファ60、電圧生成回路70、パワーオンリセット回路80、制御回路90、ラッチ回路200を有している。また、更にステートマシン、コマンド・インターフェイス、選択回路等を備えているが、図1においては図示を省略している。本実施形態に係る不揮発性半導体記憶装置10は、外部I/Oパッド210とデータ及び制御信号(コマンド)の送受信を行う。

20

【0014】

本発明の第1の実施形態に係る不揮発性半導体記憶装置10においては、外部I/Oパッド210から、データ及び制御信号がデータ入出力バッファ50を通してコマンド・インターフェイス及びカラムデコーダ30に入力される。ステートマシンは、制御信号及びデータに基づき、カラムデコーダ30、ロウデコーダ20を制御する。ステートマシンは、カラムデコーダ30及びロウデコーダ20に対してメモリセルアレイ100のメモリセルMC111に対するアクセス情報を出力する。ロウデコーダ20は、前記アクセス情報及びデータに基づき、選択回路を制御し、メモリセルMC111をアクティブにする。カラムデコーダ30は、センスアンプ40とデータバス間に設けられ、選択されたアドレスのセンスアンプ40のラッチから8ビット或いは16ビット単位のデータを読み出しデータバスに転送し、データ入出力バッファ50を通して外部I/Oパッド210へ出力される。また、書き込み時には、センスアンプ40のラッチにデータをロードする。メモリセルアレイ100の各ビット線140に接続されたセンスアンプ40は、読出しデータや書き込みデータを記憶するラッチ機能を有し、ページ読出し時にビット線140の電位をセンス増幅して読出しデータをラッチする。書き込み時には外部から入力された書き込みデータをラッチし、ビット線140に書き込みデータをロードする。

30

【0015】

ここで、メモリセルアレイの構成を図2に示す。図2に示すとおり、本発明の第1の実施形態に係る不揮発性半導体記憶装置のメモリセルアレイ100は、合計m個のブロック(BLOCK0、BLOCK1、BLOCK2、・・・、BLOCKi、・・・、BLOCKm)に分割されている。ここでは、「ブロック」とはデータ消去の最小単位である。

40

【0016】

また、本発明の第1の実施形態に係る不揮発性半導体記憶装置のメモリセルアレイ100は、データを格納する通常のメモリセル領域110の他に、タイマ調整や各種電圧調整のためのトリミングデータ等、電源投入後に読み出す必要のある各種データ(ヒューズデータ)及びメモリセルアレイ110に存在する不良セルを他の冗長用セルに置き換えるための置換アドレスデータを格納するROM領域120を有している。

50

【0017】

前記ROM領域120に格納されているヒューズデータは、センスアンプ40及びカラムデコーダ30を介してラッチ回路200に送られ、保持される。このROM領域120に格納されているヒューズデータを読み出してラッチ回路200にセットする動作をROMリード動作という。

【0018】

また、各ブロックBLOCK0～BLOCKmは、それぞれ、図3に代表的に示すブロックBLOCKiのように、6個のNAND列0～5で構成される。図3は、本発明の一実施形態に係る不揮発性半導体記憶装置のメモリセルブロックBLOCKiの構成図である。ここで、NAND列とは、メモリセルMCを直列に接続し両端を選択ゲートトランジスタSTで挟んだ構成を指す。

10

【0019】

本実施形態では、各NAND列は5個のメモリセルMC0～MC4(111)が直列に接続されて構成され、その一端はドレイン側選択ゲート線SGD150に接続された選択ゲートトランジスタST0(113)を介してビット線BL140(BL0、BL1、BL2、BL3、BL4、BL5)に、他端はソース側選択ゲート線SGS150に接続された選択ゲートトランジスタST1(113)を介して共通ソース線CELSRC160に接続されている。各々のメモリセルMC111の制御ゲートは、ワード線WL130(WL0～WL4)に接続されている。図3においては、例としてワード線が5本の場合を示しているが、これに限定されるわけではない。

20

【0020】

ここで、1本のワード線WL130に接続される前記6個のメモリセルMC111は、各メモリセルMC111が電子注入量に応じた複数ビットのデータ(多値ビットデータ)を記憶する。これら6個のメモリセルMC111が「ページ」という単位を構成する。

【0021】

また、本実施形態では、メモリセルアレイを構成するブロックの数をm個とし、且つ1つのブロックが、5個のメモリセルMCでなるNAND列を6個含むようにしたが、これに限定されるわけではなく、所望の容量に応じてブロックの数、メモリセルMCの数及びNAND列の数を変更すればよい。また、本実施形態においては、1つのNAND列が1つのビット線BLに接続されたNAND型フラッシュメモリの例について説明しているが、本発明のNAND型フラッシュメモリを、複数のNAND列が1つのビット線BLに接続されていてもよい。

30

【0022】

図4は、本発明の第1の実施形態に係る不揮発性半導体記憶装置のNANDセルのレイアウトを模式的に示す図である。各NAND列は、ビット線コンタクトを中心に線対称の向きで配置される。選択ゲート線SGD150b、SGS150aは、読み出し時のアクセスに関わる重要な配線なので、配線メタル層(図示せず)によってシャントされている。また、前記配線メタル層(図示せず)によってシャントするのは、選択ゲート線SGD150は高抵抗であるため、低抵抗の配線層と電氣的に接続することで、抵抗を下げるためである。ドレイン側選択ゲート線SGD150bは、シャント線の抵抗をできるだけ小さくする関係で十分な面積がないため隣のNAND列ユニットと共通配線としてある。メモリセルMCのチャンネルを形成する拡散層114は、図4に向かって縦方向に直線で並び、選択ゲート線SGD150bで挟まれた領域で拡散層-M0間コンタクト(以下、CBコンタクト115という。)によりM0と接続され、更に拡散層と同じ縦方向に直線で走るビット線のM1とM0-M1間コンタクト(以下、V1レイヤーという。)により接続される(図示せず)。一方、選択ゲート線SGS150aで囲まれた領域ではCBコンタクト115によりM0と接続され、図4に向かって横方向に共通接続されたM0レイヤー116のセルソース線によってセルアレイ領域のソース線に接続される。

40

【0023】

ロウデコーダ20は、デコードされたアドレス信号に基づき、選択回路を制御し、メモリ

50

セルMC111をアクティブにする。

【0024】

カラムデコーダ30は、センスアンプ40とデータバス間に設けられ、選択されたアドレスのセンスアンプ40のラッチから8ビット或いは16ビット単位のデータを読み出しデータバスに転送し、データ入出力バッファ50を通して外部I/Oパッド210へ出力される。

【0025】

センスアンプ40は、読出しデータや書込みデータを記憶するラッチ機能を有し、ページ読出し時にビット線140の電位をセンス増幅して読出しデータをラッチし、外部から入力された書込みデータをラッチし、書込み時にビット線140に書き込みデータをロードする。

10

【0026】

アドレスバッファ60は外部から入力されたアドレス情報をエンコードし、ロウデコーダ20やカラムデコーダ30においてデコードされてアクセスすべきワード線130、ビット線140を選択する。

【0027】

電圧生成回路70は制御回路90からのモード信号、電圧生成タイミング制御信号及び電圧レベル設定信号を受けて、外部から供給された電源電圧VCCを用いて参照用の基準電圧Vrefやプログラム電圧Vpgm等の種々のモードに必要な内部電圧を生成し、ロウデコーダ20、センスアンプ40等のその電圧を必要とする回路に出力する。

20

【0028】

パワーオンリセット回路80は電源が投入されたことを検知して、制御回路のレジスタをリセットして初期化動作を行うための信号を出力する。前記パワーオンリセット回路80は、電源が投入されて電源電圧が所定の電圧レベルに達するまでの間はLowレベルとなり、所定の電圧レベルに達した後はHighレベルとなるパワーオンリセット信号を発生し、制御回路90に出力する。

【0029】

制御回路90は外部から入力されたコマンドを受けて、読出し動作、書き込み動作、消去動作等のモード信号を生成するとともに、モードごとに必要な電圧を生成するためのタイミング制御信号、電圧の設定レベルを格納しているレジスタにしたがって電圧設定信号、アドレス制御信号、メモリセルへのアクセス制御信号を出力する。

30

【0030】

また、前記制御回路90は、パワーオンリセット信号に基づいて、図1中のアドレスバッファ60、カラムデコーダ30、ロウデコーダ20、センスアンプ40、ラッチ回路200及び電圧生成回路70それぞれを初期化するための制御信号を出力する。

【0031】

即ち、前記制御回路90は、前記の初期化するための制御信号を出力する初期化制御回路91と、ROMリード動作を制御するための制御信号を出力するROMリード制御回路92を持つ。

【0032】

パワーオンリセット回路80と制御回路90の動作は、概略以下の動作となる。即ち、電源電圧VCCが立ち上がり、その値がパワーオン検知レベルに達すると、パワーオンリセット信号が出力され、ROMリード制御回路92からROMリード動作を制御するための制御信号が出力されてROMリード動作が起動される。

40

【0033】

かかる構成による本発明の一実施形態に係る不揮発性半導体記憶装置の、書き込み、読出しの動作について説明する。本発明の一実施形態に係る不揮発性半導体記憶装置においては、メモリセルMC111に2値以上の情報量データが書き込まれるため、一般的な不揮発性半導体記憶装置の、書き込み読出し動作と異なる点がある。従って、前提として一般的な不揮発性半導体記憶装置の、書き込み読出し動作について説明する。

50

【0034】

図5は、図3に示したメモリセルブロックBLOCK iにおける書き込み時の電位関係を示す図である。図5において、ワード線WL 2の偶数(Even)ビット線に接続されたメモリセルMC 1 1 1に書き込みする場合を例に説明する。NAND型フラッシュメモリにおける書き込みは、書き込みたいメモリセルMC 1 1 1、即ち「0」データのメモリセルMC 1 1 1のビット線1 4 0に0 V、書き込みたくないメモリセルMC 1 1 1、即ち「1」データのメモリセルMCのビット線及びドレイン側選択ゲート線SGD 1 5 0にはVDD、ソース側選択ゲート線SGS 1 5 0には0 Vを印加する。従って、本例においては、ビット線BL 0、BL 2及びBL 4(1 4 0)に0 V、ビット線BL 1、BL 3及びBL 5にVDDが印加される。また、ドレイン側選択ゲート線SGD 1 5 0 bにVDDが印加され、ソース側選択ゲート線SGS 1 5 0 aに0 Vが印加される。

10

【0035】

前記電圧の印加により、選択NAND列内のチャネルは、書き込みたいチャネルは0 V、書き込みたくないチャネルの電位は(VDD - Vth_SGD)となる。

【0036】

その後、選択ワード線WL 2(1 3 0)に書き込み電圧Vpgm(約20 V)、非選択ワード線WL 0、WL 1、WL 3乃至WL 5(1 3 0)には中間電圧Vpass(約10 V)が印加される。このときNAND列内のチャネル電位はワード線1 3 0との容量結合により持ち上げられる。

【0037】

VDDが印加されているビット線BL 1、BL 3及びBL 5(1 4 0)はチャネル電位が(VDD - Vth)よりも高くなるとドレイン側選択ゲート線SGD 1 5 0 bがカットオフするため、ワード線とセルチャネルの容量比で決まる電圧Vbstまでブーストされる。

20

【0038】

一方、ビット線から0 Vが印加されているビット線BL 0、BL 2およびBL 4に接続されたNAND列は、ドレイン側選択ゲート線SGD 1 5 0 bがカットオフしないため、チャネル電位には0 Vが印加され続ける。これによりビット線BL 0、BL 2及びBL 4の0 Vが印加されたNAND列のメモリセルチャネルは0 V、VDDが印加されたNAND列のメモリセルチャネルはVbstとなり、0 VのメモリセルMCはトンネル電流による書き込みが行われ、一方VbstのメモリセルMCは書き込まれないという状態が実現する。

30

【0039】

上述の動作により、ビット線BL 0、BL 2及びBL 4(1 4 0)のEven側のワード線WL 2(1 3 0)に対するページ書き込みが実現できる。ビット線BL 1、BL 3及びBL 5(1 4 0)は読み出しノイズ防止のためのシールド線の役目を果たしており、Even側書き込み時は、Odd側のビット線BL 1、BL 3及びBL 5(1 4 0)は全てVDDとなっており書き込まない状態(ALL 1)となっている。Even側の書き込みが終了すると、Odd側の書き込み(具体的にはビット線BL 1、BL 3及びBL 5(1 4 0)に書き込みデータを印加し、ビット線BL 0、BL 2及びBL 4(1 4 0)にVDDを印加する。)を行う。

40

【0040】

続いて1チップ内のメモリセルMCに対して、2値以上の情報量データが書き込まれる場合の、書き込み読み出し動作について説明する。ここではメモリセルMCに4値データ(2ビットデータ)が書き込まれる場合を例として説明する。

【0041】

1つのメモリセルには、4値データ(2ビットデータ)が記憶される。本発明の一実施形態では、書き込みデータを「0(書き込む)」と「1(書き込まない)」とし、4値データを前記書き込みデータの組合せ「11」、「10」、「01」、「00」とする。4値データ(2ビットデータ)のうちの1ビットはLower Pageデータとして、また

50

、他の1ビットはUpper Pageデータとして、同一のメモリセルに記憶される。

【0042】

4値データ(「11」、「10」、「01」、「00」とメモリセルの閾値電圧との関係は、図6に示す関係になる。図6において、Lower Pageデータは白抜きの四角で示し、Upper Pageデータは、白抜きの丸で示している。

【0043】

4値データの書き込み、読み出しを制御する場合、消去状態とする負の閾値電圧を一つ割り当て、書き込み、読み出し状態とする正の閾値電圧を3つ割り当てる。正の閾値電圧は、通常0V~5Vの間で割り当てられ、相互にマージンをとつつ、一般的には一定の割合を持ってステップアップされる。ここでは例として、書き込み状態「10」に対して0V、「00」に対して1V、「01」に対して2Vを割り当てる。

10

【0044】

また、図6において、VcgV10はデータ「10」のベリファイリードに用いるリード電位であり、一定のマージン(例えば0.4V)を持って設定される。VcgV01はデータ「01」のベリファイリードに用いるリード電位(例えば、1.4V)であり、VcgV00はデータ「00」のベリファイリードに用いるリード電位(例えば、2.4V)である。Vreadは、非選択のワード線に与える転送電位である。

【0045】

図6において、E状態「11」は、消去状態である。消去状態では、Lower Pageデータの値及びUpper Pageデータの値が、共に「1」となっている。消去状態のメモリセルは、負の閾値電圧Vthを有する。

20

【0046】

同様に、図6においてA状態「10」、B状態「01」、C状態「00」は、書き込み状態である。書き込み状態のメモリセルは、正の閾値電圧Vthを有する。また、書き込み状態のうちA状態「10」は、最も低い閾値電圧を有し、C状態「00」は、最も高い閾値電圧を有し、B状態「01」状態は、A状態「10」とC状態「00」の中間位の閾値電圧を有する。

【0047】

4値データはLower PageデータとUpper Pageデータとからなり、2回の書き込み動作によりメモリセルMCに書き込まれる。書き込み方としては何通りもあるが、説明を単純化するためにE状態からE又はA状態に、また、E状態をB状態に或いはA状態をC状態に順番に書くものとする。この場合、前者の書き込み(EからE又はA)を「Lower Page書き込み」といい、後者の書き込み(EからB或いはAからC)を「Upper Page書き込み」という。

30

【0048】

まず、Lower Pageデータの書き込みが行われる。ここでは説明上当初全てのメモリセルは消去状態、即ちE状態「11」にあるものとする。Lower Pageデータの書き込みを行うと、メモリセルMCの閾値電圧Vthの分布は、ライトデータ(Lower Pageデータ)の値「1」又は「0」に応じて、2つに分けられる。

【0049】

即ち、Lower Pageデータが「1」の場合には、ビット線を「H」にすることで(ワード線は書き込み電位Vpgm)、メモリセルMCのトンネル酸化膜に高電界がかからないようにし、メモリセルMCの閾値電圧Vthの上昇を防止する。その結果、メモリセルMCは消去状態(E状態「11」)を維持する(Lower Pageデータ「1」の書き込み)。

40

【0050】

一方、Lower Pageデータが「0」の場合には、ビット線を「L」にすることで(ワード線は書き込み電位Vpgm)、メモリセルMCのトンネル酸化膜に高電界を印加し、フローティングゲート電極に電子を注入して、メモリセルの閾値電圧Vthを所定量だけ上昇させる。その結果、メモリセルは書き込み状態(A状態「10」)に変化する(

50

Lower Pageデータ「0」の書き込み)。この後、Upper Pageデータの書き込みが行われる。

【0051】

Upper Pageデータが「1」の場合には、ビット線を「H」にすることで(ワード線は書き込み電位)、メモリセルMCのトンネル酸化膜に高電界がかからないようにし、メモリセルMCの閾値電圧 V_{th} の上昇を防止する。その結果、Lower Pageデータが「1」であるE状態「11」(消去状態)のメモリセルMCはE状態「11」をそのまま維持する(Upper Pageデータ「1」の書き込み)。また、Lower Pageデータが「0」であるA状態「10」のメモリセルMCはA状態「10」をそのまま維持する(Upper Pageデータ「1」の書き込み)。

10

【0052】

一方、Upper Pageデータが「0」の場合には、ビット線を「L」にすることで、メモリセルMCのトンネル酸化膜に高電界を印加し、フローティングゲート電極に電子を注入して、メモリセルMCの閾値電圧 V_{th} を所定量だけ上昇させる。その結果、Lower Pageデータが「1」であるE状態「11」(消去状態)のメモリセルはB状態「01」に変化する(Upper Pageデータ「0」の書き込み)。また、Lower Pageデータが「0」であるA状態「10」のメモリセルはC状態「00」に変化する(Upper Pageデータ「0」の書き込み)。

【0053】

このように、2回の書き込み動作により、メモリセルの閾値電圧 V_{th} の分布は、4つ(「11」、「10」、「01」、「00」)に分けられる。本例では、Upper Pageデータが「0」のとき、E状態「11」のメモリセルは、B状態「01」に変化し、A状態「10」のメモリセルは、C状態「00」に変化する。

20

【0054】

メモリセルMCとデータの関係は、メモリセルMCの閾値電圧が V_{cgr10} 未満であれば、メモリセルMCのデータは「11」であり、メモリセルMCの閾値電圧が V_{cgr10} を超え、 V_{cgr01} を下回る場合には、メモリセルMCのデータは「10」であり、メモリセルMCの閾値電圧が V_{cgr01} を超え、 V_{cgr00} を下回る場合には、メモリセルMCのデータは「01」であり、メモリセルMCの閾値電圧が V_{cgr00} を超える場合には、メモリセルMCのデータは「00」となる。

30

【0055】

Lower Pageデータの通常の読み出しは、例えば、2回の読み出し動作(「READ00」、「READ10」)により実現できる。READ00は、リード電位として V_{cgr00} (例えば、2V)を用いた読み出し動作のことであり、READ10は、リード電位として V_{cgr10} (例えば、0V)を用いた読み出し動作のことであり、また、Upper Pageデータの読み出しは、例えば、1回の読み出し動作(READ「01」)により実現できる。READ01は、リード電位として V_{cgr01} (例えば、1V)を用いた読み出し動作のことであり、

【0056】

更に、2値以上の情報量データの書き込み、消去及び読み出しの動作について、書き込み、読み出し時に、ワード線WL2及び偶数番目のビット線BL0、BL2、BL4が選択される場合について説明する。

40

【0057】

表1及び表2は、消去、書き込み、読み出し、及び、書き込みペリファイにおけるフラッシュメモリ内の各部の電位を示している。表1及び表2においては、BLEは偶数番目のビット線、BLOは奇数番目のビット線、SGDはドレイン側(ビット線側)セレクトゲートトランジスタのセレクトゲート線、SGSはソース側(ソース線側)セレクトゲートトランジスタのセレクトゲート線、WL1、WL2、WL3、WL4はワード線、C-sourceはソース線、C-p-wellはメモリセルが形成されるウェル(セルpウェル)をそれぞれ表している。

50

【 0 0 5 8 】

【表 1】

	消去	第1段階書き込み	第2段階書き込み	書き込み禁止	10読み出し	01読み出し	00読み出し
BLe	Floating	0V	0.4V	Vdd	HorL	HorL	HorL
BLo	Floating	Vdd	Vdd	Vdd	0V	0V	0V
SGD	Floating	Vdd	Vdd	Vdd	4.5V	4.5V	4.5V
WL3	0V	10V	10V	10V	4.5V	4.5V	4.5V
WL2	0V	Vpgm	Vpgm	Vpgm	0V	1V	2V
WL1	0V	0V	0V	0V	4.5V	4.5V	4.5V
WLO	0V	10V	10V	10V	4.5V	4.5V	4.5V
SGS	Floating	0V	0V	0V	4.5V	4.5V	4.5V
C-source	Floating	0V	0V	0V	0V	0V	0V
C-p-well	20V	0V	0V	0V	0V	0V	0V

10

【 0 0 5 9 】

【表 2】

	10第1段階書き込みペリファイ	10第2段階書き込みペリファイ	01第1段階書き込みペリファイ	01第2段階書き込みペリファイ	00第1段階書き込みペリファイ	00第2段階書き込みペリファイ
BLe	HorL	HorL	HorL	HorL	HorL	HorL
BLo	0V	0V	0V	0V	0V	0V
SGD	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V
WL3	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V
WL2	0.2V	0.4V	1.2V	1.4V	2.2V	2.4V
WL1	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V
WLO	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V
SGS	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V
C-source	0V	0V	0V	0V	0V	0V
C-p-well	0V	0V	0V	0V	0V	0V

30

【 0 0 6 0 】

初期状態では、メモリセルは、「11」状態になっている。また、消去動作において、セルpウェルC-p-wellを20V、選択されたブロック内の全てのワード線WL0、WL1、WL2、WL3を0Vにすることで、その選択されたブロック内のメモリセルでは、フローティングゲートから電子が放出され、「11」状態になる。

40

【 0 0 6 1 】

消去動作時、非選択ブロック内のワード線、全てのビット線及びコントロールゲート線並びにソース線は、フローティング状態(floating)にされる。このため、これらの導電線の電位はセルpウェルC-p-wellとの容量結合により、20V近辺まで上昇している。

【 0 0 6 2 】

書き込みは、選択されたワード線WL2に、書き込み電位Vpgmとして、1.4V~2.0Vを与えることにより行われる。選択されたビット線BLeは、0Vに設定されるため、

50

これら選択されたワード線WL2及び選択されたビット線BLEに接続される選択されたメモリセルでは、フローティングゲート電極内に電子が注入され、閾値が高速に上昇する（第1段階書き込み）。

【0063】

選択されたメモリセルの閾値が目標値の近くまで上昇したら、その選択されたメモリセルの閾値を目標値近傍に留めるため、閾値の上昇速度を抑えるべく、選択されたビット線BLEを0.4V程度まで上げる（第2段階書き込み）。

【0064】

非選択メモリセルに対しては、その閾値の上昇を禁止するため、ビット線BLEを電源電位（例えば、約3V）Vddにする（書き込み禁止）。

10

【0065】

読み出しは、選択されたワード線WL2に、読み出し電位として、0V、1V、又は、2Vを与えることにより行われる。

【0066】

この時、選択されたメモリセルの閾値が読み出し電位よりも低いと、ビット線BLEとコモンソース線C-sourceが短絡され、ビット線BLEの電位は、低レベル「L」になる。これに対し、選択されたメモリセルの閾値が読み出し電位を越えていると、ビット線BLEとコモンソース線C-sourceは、非導通であるため、ビット線BLEの電位は、高レベル「H」になる。

【0067】

20

メモリセルが、「11」状態にあるか、又は、「10」状態、「01」状態若しくは「00」状態にあるかは、読み出し電位を0Vに設定することによって判断できる（10読み出し）。また、メモリセルが、「11」状態若しくは「10」状態にあるか、又は、「01」状態若しくは「00」状態にあるかは、読み出し電位を1Vに設定することによって判断できる（01読み出し）。さらに、メモリセルが、「11」状態、「10」状態若しくは「01」状態にあるか、又は、「00」状態にあるかは、読み出し電位を2Vに設定することによって判断できる（00読み出し）。

【0068】

「10」状態のメモリセルの閾値分布の下限は、例えば、10読み出しの読み出し電位0Vに対して0.4V以上の読み出しマージンを持たせるため、0.4V以上の値、本例では、0.4Vに設定される。「10」状態の全てのメモリセルの閾値が0.4V以上であるか否かは、10書き込みベリファイにより検証する。そして、閾値が0.4Vに達したメモリセルに対しては、その後、書き込み禁止にして閾値の上昇を禁止する。

30

【0069】

同様に、「01」状態のメモリセルの閾値分布の下限は、例えば、01読み出しの読み出し電位1Vに対して0.4V以上の読み出しマージンを持たせるため、1.4V以上の値、本例では、1.4Vに設定される。「01」状態の全てのメモリセルの閾値が1.4V以上であるか否かは、01書き込みベリファイにより検証する。そして、閾値が1.4Vに達したメモリセルに対しては、その後、書き込み禁止にして閾値の上昇を禁止する。

【0070】

40

また、「00」状態のメモリセルの閾値分布の下限は、例えば、00読み出しの読み出し電位2Vに対して0.4V以上の読み出しマージンを持たせるため、2.4V以上の値、本例では、2.4Vに設定される。「00」状態の全てのメモリセルの閾値が2.4V以上であるか否かは、00書き込みベリファイにより検証する。そして、閾値が2.4Vに達したメモリセルに対しては、その後、書き込み禁止にして閾値の上昇を禁止する。

【0071】

書き込みベリファイは、選択されたワード線WL2に、ベリファイ電位として、VcgV10(=0.4V)、VcgV01(=1.4V)、VcgV00(=2.4V)を与えることにより行う。

【0072】

50

ここで、閾値分布の幅を狭小にするには、2段階の書き込みベリファイを行うことが有効である。2段階の書き込みベリファイとは、ベリファイ電位を正規の値とそれよりも低い値の2種類用意し、この2種類のベリファイ電位を用いて、書き込みベリファイを実行するベリファイのことである。

【0073】

例えば、10書き込みベリファイでは、まず、選択されたワード線WL2に、ベリファイ電位 V_{cgV10} として、0.2Vを与え、10第1段階書き込みベリファイを行う。そして、10第1段階書き込みベリファイが完了したメモリセルについては、この後、個別に、ベリファイ電位 V_{cgV10} として、0.4Vを与え、10第2段階書き込みベリファイを行う。

10

【0074】

同様に、01書き込みベリファイでは、ベリファイ電位 V_{cgV01} として、1.2V(01第1段階書き込みベリファイ)及び1.4V(01第2段階書き込みベリファイ)を用い、00書き込みベリファイでは、ベリファイ電位 V_{cgV00} として、2.2V(00第1段階書き込みベリファイ)及び2.4V(00第2段階書き込みベリファイ)を用いる。

【0075】

メモリセルの閾値がベリファイ電位に達していない場合には、ビット線BLEとコモソース線C-sourceとが短絡するため、ビット線BLEの電位は、低レベル「L」になる。メモリセルの閾値がベリファイ電位を越えると、ビット線BLEとコモソース線C-sourceとが非導通になるため、ビット線BLEの電位は、高レベル「H」になる。

20

【0076】

多値フラッシュメモリでは、1つのメモリセルに n (n は複数)ビット又は 2^n 値のデータを記憶させる。従って、メモリセルの閾値分布としては、急峻かつ狭小であることが望まれる。このような急峻かつ狭小な閾値分布を得るため、本発明の第1の実施形態に係る半導体記憶装置においては、以下のような書き込み及び閾値の制御方法がとられている。

【0077】

書き込み電位 V_{pgm} は、初期値から一定の割合 $D_{V_{pgm}}$ (例えば、0.2V)でステップアップされる。書き込み電位 V_{pgm} は、パルス信号(書き込みパルス)としてメモリセルに印加され、パルス信号がメモリセルに与えられる度に、その高さ(書き込み電位 V_{pgm})が上昇していく。

30

【0078】

書き込みの対象となるメモリセルに接続されるビット線に0Vを与えると、数個のパルス信号が与えられた後、そのメモリセルの閾値は、書き込み電位 V_{pgm} の上昇率と同じ上昇率(0.2V/パルス)で上昇していく。

【0079】

パルス信号を用いて書き込みを実行した後に書き込みベリファイが行われる。書き込みベリファイでは、閾値が書き込みベリファイ電位に達したメモリセルについては、それに接続されるビット線の電位が V_{dd} (電源電位)に設定される。つまり、メモリセルごとに、書き込みが完了したか否かが検証され、書き込みが完了したメモリセルについては、個別に、書き込み禁止状態に設定される。このような書き込み及び閾値の制御方法によれば、閾値分布の幅は、1パルス当りの閾値の上昇率と同じ程度、即ち、0.2Vに抑えることができる。

40

【0080】

前記書き込みを一連のシーケンスとして表すと図7のようになる。図7は、本発明の一実施形態に係る不揮発性半導体記憶装置の書き込みシーケンスを示す図である。また、図8はNAND型セルの容量結合の影響を示す閾値分布の模式図である。書き込み方としては何通りもあるが、説明を単純化するためにE状態からE又はA状態に、また、E状態をB状態に或いはA状態をC状態に順番に書くものとする。この場合、前者の書き込み(Eか

50

らE又はA)を「Lower Page書き込み」といい、後者の書き込み(EからB或いはAからC)を「Upper Page書き込み」という。

【0081】

まず書き込むか(0データ)書き込まないか(1データ)の書き込みデータをEven側ビット線BL0、BL2及びBL4に印加する。2ビット多値の場合、状態としては図8に示すように4通りのVth分布の状態がある。

【0082】

まず、書き込みのために、Evenのビット線BL0、BL2及びBL4(140)を選択する。前記Evenのビット線BL0、BL2及びBL4(140)に書き込み電圧0V又は非書き込み電圧VDDを印加する。その後Lower Page書き込みを行い、次いでUpper Page書き込みを行う。

【0083】

続いて、Oddのビット線BL1、BL3及びBL5(140)を選択する。前記Oddのビット線BL1、BL3及びBL5(140)に書き込み電圧0V又は非書き込み電圧VDDを印加して、その後Lower Page書き込みを行い、次いでUpper Page書き込みを行うという一連のシーケンスとなる。

【0084】

2ビット多値書き込みの場合は、上述の書き込みシーケンスとなるが、ここで問題となるのが隣接セルの容量結合の影響である。図9は、NAND型セルの容量結合の影響を示す模式図である。

【0085】

メモリセルMC111のフローティングゲート(FG)は、ビット線方向、ワード線方向、斜め方向の隣接メモリセルMC111のフローティングゲートと容量結合している。図9に示すメモリセルMC2-2のフローティングゲートは、隣接メモリセルMC1-1、MC1-2、MC1-3、MC2-1、MC2-3、MC3-1、MC3-2及びMC3-3と容量結合している。しかし、特にビット線方向の前記隣接メモリセルMC2-1、MC2-3及びワード線方向の前記隣接メモリセルMC1-2、MC3-2との容量結合は、斜め方向の前記隣接メモリセルMC1-1、MC1-3、MC3-1、MC3-3との容量結合よりも大きいので、その影響は大きくなる。一方、斜め方向のメモリセルMC1-1、MC1-3、MC3-1及びMC3-3とも容量結合しているが、その影響は小さい。

【0086】

図7に示す一連の書き込みシーケンスを想定した場合、前記容量結合の影響は、図8に示すような形で現れる。図8では、Evenビット線BL0、BL2、BL4に接続されたメモリセルMC(以下、EvenメモリセルMCという。)を例にとり、隣接するOddビット線BL1、BL3、BL5に接続されたメモリセルMC(以下、OddメモリセルMCという。)を書き込んだ場合、及び更に隣接するEvenメモリセルMCに書き込まれた場合について、閾値の分布を示した模式図である。説明をわかり易くするために、図9のメモリセルMC2-2を例にとって説明する。

【0087】

まず、Evenビット線BL0、BL2、BL4が選択され、書き込み電圧が印加される。このとき、メモリセルMC2-2の閾値分布は、図8の上段の状態となる。次に、Oddビット線BL1、BL3、BL5が選択され、書き込まれた状態になると、メモリセルMC2-2は隣接するメモリセルMC1-2及びMC3-2と容量結合しているため、メモリセルMC2-2の閾値分布は、図8の中段に示す状態となる。OddメモリセルMCとの容量結合の影響によって、閾値分布が広がることとなる。

【0088】

更に、ワード線WL3が選択され、同じEvenビット線BL2に接続されたメモリセルMC2-3が書き込まれた場合、該メモリセルMC2-3とも容量結合しているため、メモリセルMC2-2の閾値分布は、図8の下段に示すように、OddメモリセルMCへの書き込みによって広がった閾値分布が更に広がることとなる。

【0089】

即ち、隣接メモリセルMCが書き込まれることによって、フローティングゲートFGの電荷量の変動による影響により読み出し時のOddメモリセルMCの閾値が変動して見えるからである。この影響は、隣接セルに書き込まれた閾値に依存するので、厳密には図のように一律閾値分布が広がるわけではないが、隣接メモリセルMCが書き込まれた場合には、元のメモリセルの閾値分布に比して必ず分布幅は広がるのである。

【0090】

従って、多値で記憶するメモリにおいては一つのメモリセルに複数の値を書き込むことから、書き込み回数が相乗的に増加するため、できるだけ閾値分布を狭くしてData Retention（データ保持特性）やRead Disturb（読み出し電圧印加によるストレス変動）等の信頼性におけるメモリセルMC変動のマージンを取っているにも関わらず、隣接メモリセルMCの容量結合によって閾値分布が広がってしまい、微細化によって信頼性に対するマージンが減少してしまうことが発生するようになってきている。

【0091】

前記閾値分布の広がり、書き込み電圧のステップ幅を小さくして書き込みすることで抑制できる。しかし、単純にステップ幅を小さくした場合、書き込み電圧印加回数が増加して全体の書き込み時間を長くしてしまい、書き込みスピードの低下に繋がり現実的ではない。従って、書き込みスピードの低下を抑えながら、一方でかかる閾値分布の広がりを抑制することが、多値化を推進する上で重要な技術的課題となっているのである。

【0092】

本発明は、メモリセルMCへの書き込み読み出し時に、それぞれのメモリセルMCを、メモリセルMCのアドレスを基に、情報量の少ないデータを記憶するメモリセルMCと前記データよりも大きな情報量を記憶するメモリセルMCとに割り当て動作させることにより、容量結合の大きいビット線方向とワード線方向の隣接メモリセルからの容量結合による影響を抑制することを特徴とする。

【0093】

図10は、本発明の第1の実施形態に係る不揮発性半導体記憶装置のメモリセルMC割り当ての模式図である。本実施形態においては、それぞれのメモリセルMCを、2値データを記憶するメモリセルMCと4値データを記憶するメモリセルMCとに割り当てる例である。本実施形態においては、ビット線方向及びワード線方向に隣接するそれぞれのメモリセルMCが、異なる情報量のデータを記憶するように所謂チェッカーフラッグ状に割り当てられることを特徴とする。

【0094】

即ち、ある特定のメモリセルMCが2値データを記憶するように割り当てられた場合、該メモリセルMCに対して同一ビット線上で両側に隣接するメモリセルMC及び該メモリセルMCに対して同一ワード線上で両側に隣接するメモリセルMCは4値データを記憶するように割り当てられる。

【0095】

この割り当ては、メモリセルのアドレスによって決定され、本発明の第1の実施形態においては、ビット線140を偶数(Even)ビット線140と奇数(Odd)ビット線に区分し、ワード線130についても同様に偶数(Even)ワード線130と奇数(Odd)ワード線130に区分して、ビット線140とワード線130の組合せがEven - Even、Odd - OddのメモリセルMCを第一のメモリセル群とし、他のメモリセルMCを第二のメモリセル群として区分する。そして、本発明の第1の実施形態に係る不揮発性半導体記憶装置においては容量結合の影響を抑制するために、メモリセルMCへの書き込みがEvenビット線140からはじめられるため、前記第1のメモリセル群は、それぞれのメモリセルMCが情報量の少ないデータである2値データを記憶するように割り当てられ、前記第2のメモリセル群は、それぞれのメモリセルMCが4値データを記憶するように割り当てられる。

【0096】

具体的に図10において、第1のメモリセル群に含まれるメモリセルMC2-2が2値データを取り使うように割り当てられた場合、同一ビット線BL2(140)上で隣接するメモリセルMC2-1、MC2-3、及び同一ワード線WL2(130)上で隣接するメモリセルMC1-2、MC3-2は全て4値データを記憶するように割り当てられる。同様に、メモリセルMC3-2について見ると、該メモリセルMCは4値データを記憶するように割り当てられているが、隣接するメモリセルMC3-1、MC3-3、MC2-2及びMC4-2は、全て2値データを記憶するように割り当てられる。

【0097】

この割り当ては、上述したようにメモリセルMCのアドレスによって決定され、図1に示したメモリセルアレイ100のROM領域120にヒューズデータとして格納される。かかるヒューズデータをROM領域に格納するものを、ROMヒューズという。前記ヒューズデータは、ROMリード動作によって、ROM領域120から読み出され、ラッチ回路200にセットされる。従って、本発明の第1の実施形態においては、セットされるヒューズデータによって、全てのメモリセルMCを2値データを記憶するメモリセルMC(以下、かかる取り扱いとする動作モードを2値セルモードといい、かかる取り扱いが割り当てがされたメモリセルMCを、2値セルという。)としたり、4値データを記憶するメモリセルMC(以下、かかる取り扱いとする動作モードを4値セルモードといい、かかる取り扱いが割り当てがされたメモリセルMCを、4値セルという。)とすることもできる。動作モード切替えて、2値セルモード、4値セルモード及び2値&4値チェッカーフラッグ状混在モードで使用することができる。

【0098】

なお、本実施形態においては、前記ROMヒューズによって、メモリ全体のメモリセルMCにデータを割り当ててるが、パワーオンリセット回路80内に、2個のヒューズ回路を設け、それぞれのアドレスに応じてヒューズデータをプログラムし、パワーオン直後にこのヒューズデータを読み出して遅延回路82に供給するようにしても良い。また、外部入力によって制御されるようにしても良い。

【0099】

本発明の第1の実施形態における書き込みシーケンスについて、図10を基に詳細に説明する。書き込みはEvenビット線BL0、BL2、BL4(140)から書き込まれる。まず、ワード線WL0(130)を選択する。次に、Evenビット線BL0、BL2、BL4(140)を選択して、ページ書き込みを行う。この場合ワード線WL0(130)に接続され、かつ、前記ビット線に接続されているメモリセルMC0-0、MC2-0、MC4-0は、全て2値データを記憶するように設定されているため、2値データの書き込みが行われる。

【0100】

前記の書き込みが終了すると、今度はOddビット線BL1、BL3、BL5(140)を選択して、ページ書き込みが行われる。この場合ワード線WL0(130)に接続され、かつ、前記ビット線に接続されているメモリセルMC1-0、MC3-0、MC5-0は、全て4値データを記憶するメモリセルMCとされているため、4値データの書き込みが行われ、まず、Lowerページ書き込みが行われた後、続いてUpperページ書き込みが行われる。

【0101】

前記書き込みにおいては、Odd側のビット線(140)に接続されたメモリセルMCへの書き込みによる容量結合の影響が、隣接するEven側のビット線(140)に接続されたメモリセルMCに及ぶ。しかし、隣接するメモリセルMC0-0、MC2-0及びMC4-0はすでに2値データ書き込みが行われているので、変動に対するマージンは吸収することができる。

【0102】

続いて、ワード線WL1に接続されたメモリセルMCに対する書き込みが行われる。ワード線WL1を選択したうえで、Evenビット線BL0、BL2、BL4(140)を選

10

20

30

40

50

折し、書き込みを行う。この場合ワード線WL1に接続され、かつ、前記ビット線に接続されているメモリセルMC0-1、MC2-1、MC4-1は、4値データを記憶するメモリセルMCとされているため、4値データの書き込みが行われる。

【0103】

前記書き込みにおいても、ビット線140に沿って隣接するメモリセルMC0-0、MC2-0及びMC4-0に容量結合の影響が及ぶが、該メモリセルMC0-0、MC2-0及びMC4-0は既に2値データが書き込まれており、変動を吸収することができる。

【0104】

更に、Oddビット線BL1、BL3、BL5(140)が選択され書き込みがなされる。この時ワード線WL1(130)に接続され、前記ビット線に接続されているメモリセルMC1-1、MC3-1及びMC5-1は、2値データを記憶するメモリセルとされているため、2値データの書き込みが行われる。

10

【0105】

前記書き込みにおいても、選択されているOddビット線BL1、BL3及びBL5(140)に沿って隣接する、ワード線WL0(130)に接続するメモリセルMC1-0、MC3-0及びMC5-0は、容量結合の影響で変動することになるが、該メモリセルMC1-0、MC3-0及びMC5-0は既に4値データが書き込まれており、また、メモリセルMC1-1、MC3-1及びMC5-1に対する書き込みは2値データであるため変動が少なく、容量結合の影響は小さい。

【0106】

上述のとおり、4値セルに対して、容量結合の大きいワード線方向及びビット線方向に隣接するメモリセルMCを2値セルとする(即ち、該メモリセルMCに2値データを記憶するように割り当てる。)ことで、4値セルについて容量結合による変動影響を抑制することができる。一方、4値セルから2値セルに対する影響は、2値セルが閾値分布に対してマージンがあることから、その影響を吸収することができる。また、2値セルの書き込み時には、非選択ワード線の読み出し電圧を4値セルのときに比べて低く設定することができるため、Read Disturb(読み出し電圧印加によるストレス変動)を抑えることができる。本発明の一実施形態においては、2値以上の情報量データを記憶するメモリセルに対する隣接メモリセルの容量結合による閾値分布の広がりを抑制し、隣接メモリセルの干渉による影響を減少することができる。

20

30

【0107】

また、本発明の第1の実施形態においては、動作モード切替えによって、メモリセルMCの記憶するデータを2値データと4値データのチェッカーフラッグ状混在モード(2値アンド4値混在モード)とすることができるため、2値セルの書き込み時においては、書き込み回数は少ないので4値セルにとって書き込み時のストレスが削減されることになる。また、メモリセルMCの半分が2値セルであるので、メモリ全体としての書き込みスピードを早くすることができる。

【0108】

更に、前記動作モード切り替えによって、書き込みスピードが要求される場合には、メモリ全体を2値セルモードとして、高速書き込み可能メモリとして使用することができ、一方、書き込みスピードよりも大容量が要求される場合には、動作モード切替えによってメモリ全体を4値セルモードとして大容量を記憶可能なメモリとして使用することもできる。更に、書き込みスピードと大容量のいずれもが要求される場合には、動作モード切替えによって2値&4値混在モードとして使用することで、前記要求に応えることが可能となる。同一のメモリで、様々なユーザーの要求に対応が可能となるため、生産ラインの効率化を図ることができるため、生産コストの削減が可能となり、メモリチップコスト削減が可能となる。

40

【0109】

本発明の第1の実施形態においては、前述のとおり2値&4値モードは書き込みパフォーマンスを上げつつ書き込みや読み出しのストレスを軽減する動作モードとなるので、信頼

50

性が高く、4値セルの場合に対して信頼性が厳しくなった場合に信頼性やパフォーマンスを重視するハイエンドなマーケットに対して同じチップで実現できる意味において非常に効果がある。

【実施例1】

【0110】

本発明の第2の実施形態に係る不揮発性半導体記憶装置においては、メモリセルMCの記憶するデータを2値データと8値データのチェッカーフラッグ状に割り当てることを特徴とする。

【0111】

メモリチップの高集積化により、記憶容量を増大させるには、従来以上に微細化することが必要になるが、一方で、一つのメモリセルに多数のデータ(2値以上の情報量データ)を記憶させることで記憶容量を増大させることが可能である。この場合、書き込み、読み出しに多数の異なる閾値が必要となり、閾値分布を狭小とし、ステップアップ幅も狭小とする必要がある。しかし、閾値分布を狭小とした場合、隣接メモリセルとの容量結合の影響は一層大きくなり、また、2値以上の情報量データを記憶する場合書き込み電圧を負荷する回数が増大するため、書き込み速度が低下する。

【0112】

従って、メモリセルMCの記憶するデータを、メモリチップ全体として同一の2値以上の情報量データ(例えば8値データ)とした場合、閾値分布が狭小であるため、ワード線方向及びビット線方向に隣接するメモリセルMCとの容量結合の影響が非常に大きくなる。本発明の第2の実施形態に係る不揮発性半導体記憶装置においては、8値データをメモリセルに記憶する場合であっても、ワード線方向及びビット線方向に隣接するメモリセルMCとの容量結合を抑制できる。

【0113】

図11は、本発明の第2の実施形態に係る不揮発性半導体記憶装置の、メモリセルの割り当ての模式図である。図11において、ある特定のメモリセルMCが2値以上の情報量データ(ここでは8値データ)を記憶するように割り当てられた場合、該メモリセルMCに対して同一ビット線上で両側に隣接するメモリセルMC及び該メモリセルMCに対して同一ワード線上で両側に隣接するメモリセルMCは、前記2値以上の情報量データ(8値データ)よりも情報量の少ないデータ(ここでは2値)を記憶するように割り当てられる。

【0114】

具体的に図11においてメモリセルMC2-2が2値データを取り使うように割り当てられた場合、同一ビット線BL2(140)上で隣接するメモリセルMC2-1、MC2-3、及び同一ワード線WL2(130)上で隣接するメモリセルMC1-2、MC3-2は全て8値データを記憶するように割り当てられる。同様に、メモリセルMC3-2について見ると、該メモリセルMCは8値データを記憶するように割り当てられているが、隣接するメモリセルMC3-1、MC3-3、MC2-2及びMC4-2は、全て2値データを記憶するように割り当てられる。

【0115】

前記割り当ては、本発明の第1の実施形態と同様に、メモリセルのアドレスに基づいて事前に割り当てられ、ヒューズデータとしてROMヒューズに格納され、ROMリード動作によって、ROM領域から読み出され、ラッチ回路にセットされる。勿論、本発明の第1の実施形態と同様に、パワーオンリセット回路内にヒューズ回路を設ける方法によっても可能である。また、外部入力によって動作モードを切替える設定とすることも可能である。

【0116】

8値データの書き込み、読み出しを制御する場合、消去状態とする負の閾値電圧を一つ割り当て、書き込み、読み出し状態とする正の閾値電圧を7つ割り当てる。正の閾値電圧について、0Vから同一幅でステップアップしながら0V~5Vの間で設定され、ペリファイリードに用いるリード電位についての設定も、上述の第1の実施形態と同様である。

【0117】

また、閾値分布の幅を狭小にするため、2段階の書き込みベリファイが行われる点も、第1の実施形態と同様である。

【0118】

書き込みは、ワード線WL0(130)から順番に行われ、該ワード線WL0(130)に接続されるEvenビット線140が選択されて書き込みされ、続いてOddビット線140が選択されて書き込みされる。かかる書き込みもヒューズデータによって制御される。この点は上述した本発明の第1の実施形態と同様である。

【0119】

以上のようなメモリセルMCに対する記憶する情報量の割り当て及び書き込み手順の制御によって、ワード線方向及びビット線方向に隣接するメモリセルMCが、記憶するデータが異なるように割り当てられた本発明の第2の実施形態に係る不揮発性半導体記憶装置においては、書き込み時に隣接するメモリセルMCが異なるデータを記憶するように設定されているため、ワード線方向及びビット線方向に隣接するメモリセルMCとの容量結合の影響を抑制できる。この点は、第1の実施形態と同様である。

10

【0120】

即ち、2値以上の情報量データ(この場合8値データ)を記憶するメモリセルMCに対して、ワード線方向及びビット線方向に隣接するメモリセルMCは、該2値以上の情報量データよりも情報量の少ないデータを記憶するように割り当てられる。その上で、メモリセルMCへの書き込みも、同一ワード線に接続する情報量の少ないデータを記憶するメモリセルMCにデータが書き込まれた後、同一ワード線に接続する2値以上の情報量データを記憶するメモリセルMCにデータが書き込まれるように制御される。この書き込み制御は、ROMヒューズに格納されたヒューズデータによって行われ、例えばEvenビット線が書き込みされている場合、Oddビット線は書き込み禁止状態となってシールド線の役割を果たす。この結果、データの書き込み手順の制御と相俟って、2値以上の情報量データを記憶するメモリセルMCについて、ワード線方向及びビット線方向に隣接するメモリセルMCとの容量結合の影響を最小限に抑制できる。一方、情報量の少ないデータを記憶するメモリセルMCは、先に書き込みがされるため、容量結合の影響を吸収できる。従って、メモリ全体として容量結合の影響を抑制できる。なお、本実施例ではメモリセルMCへの書き込みについて情報量の少ないデータを記憶するメモリセルMCから書き込むように制御しているが、必ずしもこれに限定されるわけではない。ワード線方向及びビット線方向に隣接するメモリセルMCが、異なる情報量のデータを記憶するように割り当てられビット線ごとに書き込みされれば同様の効果が得られる。

20

30

【0121】

また、メモリ全体で2値以上の情報量データ(ここでは、8値データ)を記憶する場合、閾値のステップアップ幅を狭小とすることにより、書き込み電圧印加回数は飛躍的に増大し書き込みスピードは遅くなる。この点、本発明の第3の実施形態に係る不揮発性半導体記憶装置においては、メモリセル全体の約半数を前記2値以上の情報量データより少ない情報量のデータを記憶することとしているため書き込み電圧印加回数を減少することができ、記憶容量は減少するものの、書き込みスピードの低下を一定限度抑制できる。

40

【0122】

また、情報量の少ないデータを書き込む場合(ここでは、2値データ)には、非選択ワード線の読み出し電圧を情報量の多いデータ(ここでは、8値データ)を書き込む場合よりも低く設定できるため、Read Disturbを抑えることができる。従って、全てのメモリセルMCが2値以上の情報量データを記憶することとする場合に比して、信頼性を高く維持できる。

【0123】

更に、本発明の第2の実施形態に係る不揮発性半導体記憶装置においては、同一のメモリについて、ヒューズのデータによって動作モードを切替えることで、2値以上の情報量データ記憶メモリ、前記2値以上の情報量データより情報量の少ないデータを記憶するメモ

50

り、及び2値以上の情報量データと前記2値以上の情報量データより少ない情報量のデータという異なる情報量の複数のデータを記憶することができるメモリとして使用できる。従って、使用目的に合わせて、記憶容量を重視する場合は2値以上の情報量データ記憶メモリとし、一方、一定の書き込みスピードを要求する場合には異なる情報量のデータを記憶するメモリとし、更に信頼性を重視する場合には前記2値以上の情報量データより少ない情報量のデータを記憶するメモリとして使用することができる。多種類のメモリを使い分ける必要がなく、大量に製造することができるため、製造コスト削減ひいては販売価格の引き下げが可能となり、また大量生産による安定的な製品供給が可能となるため高品質維持が可能となる。

【実施例2】

【0124】

メモリセルMCに2値以上の情報量データを記憶する場合、書き込み電圧のステップアップ幅を小さくすることで閾値分布の狭小化を図って、複数個の閾値分布を非選択読み出し電圧とVSSの間に入れ込む。従って、隣接メモリセルMCとの容量結合による影響は、複数個の閾値分布を入れ込むことによる閾値電圧の高電圧化によって大きくなる。つまり、メモリセルMCに記憶する情報量データが多ければ多いほど閾値電圧が高くなるので容量結合による影響も大きくなる。

【0125】

本発明の一実施形態に係る不揮発性半導体記憶装置においては、ワード線方向及びビット線方向に隣接するメモリセルMCの記憶するデータを異なる情報量のデータを記憶するように割り当て制御するため、電位制御技術の高度化に伴って信頼性の高い2値以上の情報量データ記憶メモリを提供できる。

【0126】

本発明の第3の実施形態に係る不揮発性半導体記憶装置においては、メモリセルMCの記憶するデータを4値データと8値データのチェッカーフラッグ状に割り当てることを特徴とする。

【0127】

図12は、本発明の第3の実施形態に係る不揮発性半導体記憶装置の、メモリセルの割り当ての模式図である。図12において、ある特定のメモリセルMCが2値以上の情報量データ(ここでは8値データ)を記憶するように割り当てられた場合、該メモリセルMCに対して同一ビット線上で両側に隣接するメモリセルMC及び該メモリセルMCに対して同一ワード線上で両側に隣接するメモリセルMCは、前記2値以上の情報量データ(8値データ)よりも情報量の少ないデータ(ここでは4値)を記憶するように割り当てられる。

【0128】

前記割り当ては、メモリセルのアドレスに基づいて事前に割り当てられ、ヒューズデータとしてROMヒューズに格納され、ROMリード動作によって、ROM領域から読み出され、ラッチ回路にセットされる。勿論、本発明の第1の実施形態と同様に、パワーオンリセット回路内にヒューズ回路を設ける方法によっても可能である。また、外部入力によって動作モードを切替える設定とすることも可能である。これは上述の本発明の第1の実施形態乃至第2の実施形態と同様である。

【0129】

具体的に図12においてメモリセルMC2-2が4値データを取り使うように割り当てられた場合、同一ビット線BL2(140)上で隣接するメモリセルMC2-1、MC2-3、及び同一ワード線WL2(130)上で隣接するメモリセルMC1-2、MC3-2は全て8値データを記憶するように割り当てられる。同様に、メモリセルMC3-2について見ると、該メモリセルMCは8値データを記憶するように割り当てられているが、隣接するメモリセルMC3-1、MC3-3、MC2-2及びMC4-2は、全て4値データを記憶するように割り当てられる。

【0130】

書き込みは、ワード線WL0(130)から順番に行われ、該ワード線WL0(130)

10

20

30

40

50

に接続される Even ビット線 140 が選択されて書き込みされ、続いて Odd ビット線 140 が選択されて書き込みされる。かかる書き込みもヒューズデータによって制御される。この点は上述した本発明の第 1 の実施形態と同様である。

【0131】

以上のような割り当て及び書き込みが行われることにより、本発明の第 3 の実施形態に係る不揮発性半導体記憶装置は、隣接メモリセル MC との容量結合を抑制できる効果が得られる。また、書き込みスピードの低下を一定限度抑制でき、また、Read Disturb を抑制し、信頼性を高く維持できる効果が得られる点は、第 1 の実施形態と同様である。更に、動作モードの切替えによって、一つのメモリを使用目的に合わせて記憶するデータの情報量を切替えて使用できる効果、及び製造コスト削減ひいては販売価格の引き下げが可能で、安定的な製品供給が可能となるため高品質が維持できる効果も、上述の第 1 の実施形態と同様に得られる。

10

【実施例 3】

【0132】

本発明の第 4 の実施形態に係る不揮発性半導体記憶装置においては、メモリセル MC の記憶するデータとして 2 値データと 4 値データと 8 値データの 3 種類のデータを割り当てることを特徴とする。

【0133】

メモリセル MC に 2 値以上の情報量データを記憶する場合、2 段階書き込みベリファイによって閾値分布のステップアップ幅を狭小にするとともに、メモリ内の電位の制御により高度の技術が必要になる。特に隣接メモリセル MC との容量結合による影響は、閾値分布のステップアップ幅が狭小になるにつれて大きくなる。

20

【0134】

本発明の一実施形態に係る不揮発性半導体記憶装置においては、ワード線方向及びビット線方向に隣接するメモリセル MC の記憶するデータを、異なるデータを記憶するように割り当て制御するため、電位制御技術の高度化に伴って信頼性の高い 2 値以上の情報量データ記憶メモリを提供できる。

【0135】

2 値以上の情報量技術が進展し、電位制御技術の信頼性が増した場合、メモリセル MC に記憶するデータは 2 種類のデータに限られない。3 種のデータを記憶することができれば、一定の信頼性を保持しつつ、より高容量化、高集積化を実現することができる。本発明の第 4 の実施形態に係る不揮発性半導体記憶装置は、隣接メモリセル MC の容量結合による影響を抑制しつつ、メモリセル MC に 3 種類の 2 値以上の情報量データを記憶することができることを特徴とする。

30

【0136】

図 13 は、本発明の第 4 の実施形態に係る不揮発性半導体記憶装置の、メモリセルの割り当ての模式図である。異なる情報量の 3 種類のデータを、 $(< <)$ とした場合、メモリの半数のメモリセル MC を、一番情報量の少ないデータを記憶するように割り当て、残りのメモリセル MC に、データ、データを記憶するように割り当てる。割り当ての方法は、ビット線 140 及びワード線 130 によって決定されるメモリセル MC のアドレスに基づき、Even ビット線 140 かつ Even ワード線 130 及び Odd ビット線 140 かつ Odd ワード線 130 に接続するメモリセル MC を、データを記憶するメモリセル MC として割り当てる。続いて、Even ビット線 140 かつ Odd ワード線 130 に接続するメモリセル MC を、データを記憶するメモリセル MC とし、Odd ビット線 140 かつ Even ワード線 130 に接続するメモリセルを、データを記憶するメモリセル MC とする。データ及びデータを記憶するメモリセルの割り当ては、上記の反対の割り当てとしても良い

40

【0137】

具体的に図 13 において Even ビット線 140 かつ Even ワード線 130 に位置するメモリセル MC は、2 値データを記憶するメモリセル MC として割り当てられるため、メ

50

メモリセルMC2-2は2値データを取り使うように割り当てられる。次に、同一Evenビット線BL2(140)上で隣接するメモリセルMC2-1、MC2-3は、中間位のデータ4値データを記憶するように割り当てられる。そして、同一Evenワード線WL2(130)上で隣接するOddビット線BL1、BL3(140)に接続するメモリセルMC1-2、MC3-2は全て8値データを記憶するように割り当てられる。

【0138】

前記割り当ては、本発明の第1の実施形態乃至第3の実施形態と同様に、メモリセルのアドレスに基づいて事前に割り当てられ、ヒューズデータとしてROMヒューズに格納され、ROMリード動作によって、ROM領域から読み出され、ラッチ回路にセットされる。勿論、本発明の第1の実施形態と同様に、パワーオンリセット回路内にヒューズ回路を設ける方法によっても可能である。また、外部入力によって動作モードを切替える設定とすることも可能である。

10

【0139】

かかる割り当てが行われた不揮発性半導体記憶装置において書き込みがされる場合の、隣接メモリセルとの容量結合に起因する隣接メモリセル干渉について説明する。具体的に、図13のメモリセルMC2-2を例にとって説明する。メモリセルMC2-2は、2値データを記憶するように割り当てられている。書き込みは、ワード線WL0(130)に接続するメモリセルMCから順に行われ、メモリセルMC2-2に書き込むために、ワード線WL2(130)にVppが印加される。その状態で、Evenビット線BL0、BL2及びBL4に0V又はVBBが印加される。これによって、ワード線WL2に接続され、かつ、VBBが印加されているビット線BL0、BL2及びBL4に接続されているメモリセルMCでは、フローティングゲートに電子が注入され、前記メモリセルMC2-2でも書き込みが行われる。

20

【0140】

このとき、前記メモリセルMCは全てEvenワード線(130)及びEvenビット線(140)に接続しているメモリセルMCであるため、2値データの書き込みが行われる。この場合、同一ワード線WL2で隣接するメモリセルMC1-2、MC3-2及び同一ビット線BL2上で隣接するMC2-1、MC2-3で容量結合の影響が生じる。しかし、メモリセルMC2-2は2値データが書き込まれるため、閾値分布の幅が広く、前記影響に起因する隣接メモリセル干渉の影響が小さい。また、ワード線WL1に接続するメモリセルMC2-1は、既にデータの書き込み(この場合4値データ書き込み)がされており、影響を吸収できる。

30

【0141】

続いてこの状態で、Oddビット線BL0、BL2及びBL4(140)に0V又はVBBが印加される。これによって、前記メモリセルMC2-2に同一ワード線WL2上で隣接するメモリセルMC1-2、MC3-2に書き込みが行われる。前記隣接するメモリセルMCは、8値データを記憶するメモリセルMCであるため、8値データを書き込むために細かくステップアップしながら電位が印加される。従って、メモリセルMC2-2については、隣接メモリセル干渉の影響が生じるが、既に2値データが書き込まれているため、閾値分布の幅が広く、影響を吸収することができる。また、既に4値データが書き込まれたメモリセルMC、例えばメモリセルMC2-1は、8値データが書き込まれたメモリセルMCとは、同一ワード線130上になく、また、同一ビット線140上にもないため、影響が極めて少ない。

40

【0142】

更にこの後、ワード線WL3が選択されてVppが印加され、同様の手順でEvenビット線BL0、BL2及びBL4が選択されVBBが印加される。すると前記メモリセルMC2-2に同一ビット線BL2上で隣接するメモリセルMC2-3に、4値データが書き込まれ、容量結合に起因する隣接メモリセル干渉がメモリセルMC2-2にも及ぶ。しかし、前記メモリセルMC2-2は、既に2値データが書き込まれているため、閾値分布の幅が広く影響を吸収することができる。また、既に8値データが書き込まれたメモリセル

50

MC、例えばメモリセルMC1 2は、前記のメモリセルMC2 3とは、ビット線140及びワード線130を異にするため、容量結合の影響が生じない。

【0143】

上述のように、本発明の第4の実施形態に係る不揮発性半導体記憶装置は、隣接するメモリセルMCが異なるデータを記憶するように割り当てられ、書き込み時において、情報量の少ないデータを記憶するメモリセルMCから書き込みされるため、隣接メモリセルMCとの容量結合を抑制できる。なお、本実施例ではメモリセルMCへの書き込みについて情報量の少ないデータを記憶するメモリセルMCから書き込むように制御しているが、必ずしもこれに限定されるわけではない。ワード線方向及びビット線方向に隣接するメモリセルMCが、異なる情報量のデータを記憶するように割り当てられビット線ごとに書き込み
10

【0144】

また、メモリ全体の半数のメモリセルMCを、2値データを記憶するメモリセルとしているため、メモリ全体のメモリセルMCが2値以上の情報量データを記憶する場合に比して、書き込み電位の印加回数がメモリ全体として少なくなる結果、書き込みスピードの低下を一定限度抑制できる効果、及び、Read Disturbを抑制し信頼性を高く維持できる効果が確保できる。

【0145】

更に、一つのメモリを、使用目的に合わせて記憶するデータの情報量を切替えて使用でき、またその結果として製造コスト削減ひいては販売価格の引き下げが可能で、安定的な製
20

【実施例4】

【0146】

上述のとおり、本発明の一実施形態における不揮発性半導体記憶装置においては、動作モード切替えによって、メモリセルMCの記憶するデータを2値データと2値以上の情報量データのチェッカーフラッグ状混在モード(2値アンド2値以上の情報量データ混在モード)とすることができる。

【0147】

ここで、2値以上の情報量データとしては、従来2値(1ビット)、4値(2ビット)、
30 8値(3ビット)という2の乗数の数値が考えられていた。しかし、特に、8値(3ビット)データ以上の急峻で幅の狭い閾値分布を使用する場合、容量結合に起因する隣接メモリセル干渉の影響が大きいため、制御が容易ではない。そこで、仮想ページセル・アーキテクチャーの採用によって、同じワード線上の2個のメモリセルをペアとして(従って、前記2個のメモリセルは、同じワード線上で隣接するビット線に接続されるメモリセル同士がペアとなる。)、このペアのメモリセルに異なる3つのページアドレス(仮想ページアドレス)を割り当てることにより、3個の仮想記憶セルの役割を果たさせることで、前記2個のペアのメモリセルMCに、2値の3メモリセル分、2値×2値×2値=8値データを記憶させることが提案されている。

【0148】

この提案は、メモリ全体の容量増大を目的としている。しかし、かかる方法によっても、2値以上の情報量データ書き込みを行う場合には、ビット線方向及びワード線方向に隣接するメモリセルMCとの容量結合に起因する隣接メモリセル干渉の影響が生じる。
40

【0149】

本発明の第5の実施形態に係る不揮発性半導体記憶装置においては、ワード線方向及びビット線方向に隣接するメモリセルMCの記憶するデータを、異なる情報量のデータを記憶するように割り当て制御するため、容量結合に起因する隣接メモリセル干渉を抑制しながら、かつ、メモリ全体の記憶容量を増大させることができる。

【0150】

具体的に図14を基に説明する。図14は、本発明の第5の実施形態に係る不揮発性半導
50

体記憶装置の、メモリセルの割り当ての模式図である。図14において、ある特定のメモリセルMCが2値以上の情報量データ(ここでは5値データ)を記憶するように割り当てられた場合、該メモリセルMCに対して同一ビット線上で両側に隣接するメモリセルMC及び該メモリセルMCに対して同一ワード線上で両側に隣接するメモリセルMCは、前記2値以上の情報量データ(5値データ)よりも情報量の少ないデータ(2値データ)を記憶するように割り当てられる。

【0151】

前記割り当ては、本発明の第1の実施形態乃至第4の実施形態と同様に、メモリセルのアドレスに基づいて事前に割り当てられ、ヒューズデータとしてROMヒューズに格納され、ROMリード動作によって、ROM領域から読み出され、ラッチ回路にセットされる。

10

【0152】

具体的には、図14において、Evenワード線130かつEvenビット線140に位置するメモリセルMCと、Oddワード線130かつOddビット線140に位置するメモリセルMCが2値データを記憶するメモリセルMCとして割り当てられる。一方残りのメモリセルMC、即ちEvenワード線130かつOddビット線140に位置するメモリセルMCと、Oddワード線130かつEvenビット線140に位置するメモリセルMCは、5値データを記憶するメモリセルMCとして割り当てられる。

【0153】

割り当てがされたメモリセルMCは、同一ワード線130上で隣接する、異なる値のデータを記憶するメモリセルMC同士がペアとして、恰も一つのメモリセルMC(以下、仮想メモリセルという。)のように取り扱われる。図14において、メモリセルMC2₂とMC3₂がペアとして取り扱われる。

20

【0154】

このペアのメモリセルMCには、実際のアドレスとは別に、仮想ページアドレスが割り当てられる。例えば、前記ペアのメモリセルMC2₂とMC3₂には、仮想ページアドレスmが割り当てられる。この仮想ページアドレスの割り当ては、メモリセルMCが記憶するデータを割り当てると同様であり、上述した第1の実施形態乃至第3の実施形態と同様に、図1に示したメモリセルアレイ100内のROM領域120にヒューズデータとして格納される。

【0155】

前記仮想ページアドレスが割り当てられることにより、仮想メモリセルに多ビットデータを記憶することができる。即ち、メモリセルMC2₂は2値データを記憶するように割り当てられ、MC3₂は5値データを記憶するように割り当てられているが、仮想メモリセルとして取り扱うことにより、前記メモリセルMC2₂を仮想メモリセルの第1データページ、MC3₂を仮想メモリセルの第2データページとして取り扱うことができる。その上で、第1データページには、後述するセンスアンプで演算処理される入力データの第1データが記憶され、第2データページには入力データの第2データが記憶される。従って、2値×5値=10値>8値(3ビット)のデータを記憶することができる。この結果、隣接メモリセル干渉を抑制しながら、メモリ全体を、4値データを記憶することとした場合と同様の容量を確保することができる。

30

40

【0156】

仮想メモリセルは、ビット線140方向に隣接する異なる値を記憶するメモリセル同士で設定することも可能である。しかし、第1の実施形態で説明したとおり、Lowerページ書き込み及びUpperページ書き込みにおいて、ビット線140は、例えば、Evenビット線BL0、BL2、BL4が書き込まれている時には、Oddビット線BL1、BL3、BL5が全てVDDとなって書き込まない状態(ALL1)となり、読み出しノイズ防止のためのシールド線の役割を果たすことができる。よって、ワード線130方向に隣接するメモリセル同士でペアを設定する。

【0157】

仮想メモリセルに対する書き込みは、該仮想メモリセルに接続された、EvenとOdd

50

の2本のビット線140を制御することで行われる。図10のメモリセルMC2 2とMC3 2の仮想メモリセルにおいては、Evenビット線BL2(140)とOddビット線BL3(140)を制御し、第1データ書き込みでMC2 2に書き込み、第2データ書き込みでMC3 2に書き込む。

【0158】

ここで、本発明の第5の実施形態に係る不揮発性半導体記憶装置においては、メモリセルMCに対して、2値データと5値データを記憶するように割り当てているが、通常5値データは使用しない。これは、半導体記憶装置が「0」「1」の2進法によってデータを記憶するためである。しかし、閾値分布の制御を考えたとき、8値データをメモリセルMCに書き込む場合、一つの負の閾値電位と、一般的に0V~5Vの間でマージンを取りながら設定される7つの正の閾値電位が必要になる。この場合、閾値は、急峻で幅が狭くなるように制御されるが、例えば隣接メモリセル干渉等の影響で図8に示したように閾値分布の幅が広がるため、隣接する閾値とのマージンの幅が狭いほど制御が困難になる。従って、8値データの取り扱いが安定的にできない場合が想定される。

10

【0159】

このような場合に、2つのメモリセルMCをペアで取り扱って第1データページと第2データページに区分し、一つの仮想メモリセルとして取り扱った隣接する2個のメモリセルMCに書き込むことで、5値データの取り扱いが可能となる。この場合、5値データを書き込み、消去するためには、一つの負の閾値と、4つの正の閾値が必要になるが、一般的な0V~5Vの間で所定にマージンを取りつつ4つの閾値を設定することは、同じ電位間で7つの閾値を設定することに比して容易である。一方ペアのメモリセルMCの片方に対しては、書き込み消去に2値データを使用するため、何ら問題はない。

20

【0160】

上述のように入出力されるデータを、第1データと第2データに区分して書き込み、読み出しするため、本発明の第5の実施形態に係る不揮発性半導体記憶装置は、図1に示したセンスアンプ40内にデータをラッチし、演算する機能を有する。

【0161】

センスアンプ40は、読み出し動作時にメモリセルMCに記憶されたデータの「1」、「0」を判定して増幅して入出力バッファ50を経由して外部に出力し、また、書き込み時には入出力バッファ50を介して書き込みデータが前記センスアンプ40に入力され記憶される。したがって、このセンスアンプ40に、正規のアドレスと仮想ページセルアドレスとを対応させて入出力データを演算する機能を持たせるのである。

30

【0162】

図14のメモリセルMC2 2とMC3 2を例に、アドレスに対応した入出力データの演算について一例を説明する。仮想メモリセルで3ビットのデータを記憶する場合、記憶するデータは、「000」「001」「010」「011」「100」「101」「110」「111」の8種類である。外部からの入力は、仮想ページアドレスmを指定して入力される。

【0163】

この入力されたデータは、図1のセンスアンプ40において、例えば百の位の数値が、仮想メモリセルの第1データとして割り当てられ、残りの下2桁の数値が、仮想メモリセルの第2データとして割り当てられる。そしてこの割り当てられたデータは、第1データが正規のメモリセルMC2 2のアドレスに対する2値データとして、例えば、百の位の「0」が2値の「0」、百の位の「1」が2値の「1」に割り当てられる。一方第2データが正規のメモリセルMC3 2のアドレスに対する5値データとして演算される。ただし、8値データを、2値×5値=10値データに換算するため、該10値データのうちの2つには8値データは割り当てられない。従って、例えば、前記残りの下2桁の数字「00」が5値の「0」、同様に「01」が「1」、「10」が「2」、「11」が「3」と割り当てられる。この割り当てによれば、8値データの「010」は、仮想メモリセルの「02」となる。

40

50

【0164】

この「02」のデータの書き込みは、仮想メモリセルへの第1データ書き込みでメモリセルMC2 2に「0」、第2データ書き込みでメモリセル3 2に「2」を書き込むことにより行われる。

【0165】

読み出しは、同様に仮想メモリセルの第1データとしてメモリセルMC2 2から「0」を、仮想メモリセルの第2データとしてメモリセルMC3 2から「2」を読み出してセンスアンプ40でラッチした上で、センスアンプ40で逆の演算をおこなって、外部に対して仮想メモリセルの「010」のデータとして出力する。

【0166】

書き込みは、第1データ書き込み、第2データ書き込みが順に行われるが、第1データが書き込まれるメモリセルMC2 2は2値データを記憶するように割り当てられているため、第2データが書き込まれるMC3 2に対して、容量結合に起因する隣接メモリセル干渉の影響が及ぶが、2値書き込みであるため、また、ビット線BL3(140)がシールド線の役割を果たすため、その影響は少ない。また、第2データが書き込まれるメモリセルMC3 2は5値データの書き込みが行われるため隣接するメモリセルMC2 2に影響が生じるが、該メモリセルMC2 2は既に閾値分布の幅が広い2値データが書き込まれており、かつ、ビット線BL2(140)がシールド線の役割を果たしているため、影響を吸収することができる。

【0167】

上述のとおり、本発明の第5の実施形態に係る不揮発性半導体記憶装置においては、隣接するメモリセルが異なる情報量のデータを記憶するように割り当て、少ない情報量のデータを記憶するメモリセルMCから書き込むように制御するため、容量結合に起因する閾値分布の幅の広がりを抑制し、ビット線がシールド線の役割を果たすことと相俟って、隣接メモリセル干渉を抑制することができる。また、かかる構成でメモリセルMCを配置することによって、同一ワード線上に隣接する2個のメモリセルを一つの仮想メモリセルとして捉えてデータを記憶することで、多ビットデータを記憶することが可能となり、メモリ全体の容量を増大することができる。なお、本実施例ではメモリセルMCへの書き込みについて情報量の少ないデータを記憶するメモリセルMCから書き込むように制御しているが、必ずしもこれに限定されるわけではない。ワード線方向及びビット線方向に隣接するメモリセルMCが、異なる情報量のデータを記憶するように割り当てられビット線ごとに書き込みされれば同様の効果が得られる。

【0168】

また、本発明の第5の実施形態に係る不揮発性半導体記憶装置は、メモリセルに対して、記憶するデータをヒューズデータによって割り当てるため、メモリ全体を、目的に合わせて同一の情報量のデータを記憶するように割り当てることも、異なる情報量のデータを記憶するように割り当てることもできる。従って、一つのメモリを、使用目的に合わせて記憶するデータの情報量を切替えて使用でき、またその結果として製造コスト削減ひいては販売価格の引き下げが可能で、安定的な製品供給が可能となるため高品質が維持できる効果は、上述の第1の実施形態乃至第4の実施形態と同様である。

【0169】

なお、本発明の第5の実施形態に係る不揮発性半導体記憶装置によれば、容量結合に起因する隣接メモリセル干渉を抑制することができるため、5値データ以上の、例えば6値データや、7値データを記憶することも可能である。

【0170】

この場合、当然に閾値分布の制御が5値データに対して困難になるが、正の閾値の電位を設定する範囲として一般的に使用している0V~5Vの範囲を拡大して対応することも可能であり、例えば0V~6Vの範囲で設定する取り扱いにした場合、5値から6値乃至7値へ正の閾値を一つ又は二つ増やすことは、困難ではない。図15、図16は、それぞれメモリセルの記憶するデータを、2値と6値、2値と7値とした場合の本発明の第5の実

10

20

30

40

50

施形態に係る不揮発性半導体記憶装置のメモリセルの割り当ての模式図である。閾値分布の制御技術の向上に対応して、本発明の一実施形態によれば、かかるメモリセルへの割り当てが可能となる。

【実施例 5】

【0171】

本発明の一実施形態においては、上述の第5の実施形態で述べたとおり、隣接するメモリセルMCに対して、異なる情報量のデータを記憶するように割り当て、同一ワード線上の2個の異なる情報量のデータを記憶するメモリセルMCをペアとして一つの仮想メモリセルとして記憶することによって、隣接メモリセル干渉を抑制し、かつ、メモリ全体の容量増大を図ることができる。

10

【0172】

本発明の第6の実施形態に係る不揮発性半導体記憶装置は、隣接するメモリセルMCが、3値データを記憶するメモリセルMCと6値データを記憶するメモリセルMCに割り当てられることを特徴とする。

【0173】

図17は、本発明の第6の実施形態に係る不揮発性半導体記憶装置の、メモリセルの割り当ての模式図である。図17において、Evenワード線130かつEvenビット線140に位置するメモリセルMCと、Oddワード線130かつOddビット線140に位置するメモリセルMCが3値データを記憶するメモリセルMCとして割り当てられる。一方残りのメモリセルMC、即ちEvenワード線130かつOddビット線140に位置するメモリセルMCと、Oddワード線130かつEvenビット線140に位置するメモリセルMCは、6値データを記憶するメモリセルMCとして割り当てられる。割り当ての方法は、ROMヒューズに格納されたヒューズデータによって行われる点は、上述した第1の実施形態乃至第5の実施形態と同様である。勿論、本発明の第1の実施形態と同様に、パワーオンリセット回路内にヒューズ回路を設ける方法によっても可能である。また、外部入力によって動作モードを切替える設定とすることも可能である。

20

【0174】

割り当てがされたメモリセルMCは、同一ワード線130上で隣接する異なる値のデータを記憶するメモリセルMC同士がペアとして、仮想メモリセルとして取り扱われる。また、この仮想メモリセルに仮想ページアドレスが割り当てられる。この割り当ては、上述した本発明の第5の実施形態と同様である。

30

【0175】

更に、本発明の第6の実施形態に係る不揮発性半導体記憶装置は、センスアンプ内にデータをラッチし、演算する機能を有する。この点は、上述した第5の実施形態と同様である。

【0176】

そして、仮想メモリセルに対して第1データ書き込み及び第2データ書き込みで、3値データと6値データをセンスアンプでラッチして演算しながら書き込み読み出しを行う点は、上述した第5の実施形態と同様である。

【0177】

特徴的には、記憶するデータとして、3値データと6値データを使用する点である。閾値分布の制御は、微細な技術を伴い、8値データのため閾値分布を安定的に制御できない場合でも、一つの負の閾値電位と5つの正の閾値電位をコントロールできる場合、本発明によって同一ワード線上で隣接する2個の異なる情報量のデータを記憶するメモリセルの一つに6値データを記憶するように割り当てることができる。また、既に4値データの閾値分布を安定的に制御できる場合、3値データ、即ち負の閾値が一つと正の閾値が2つで書き込み消去される閾値の制御は、何ら困難ではない。

40

【0178】

このデータ取り扱いの割り当てによれば、ペアのメモリセルMCで、3値×6値=18値>16値=2⁴(4ビット)のデータを記憶することができ、2値×8値の割り当てをし

50

た場合の8値データのための閾値分布を安定的に制御できない場合でも、メモリ全体で計算すれば、全てのメモリセルMCが8値データを記憶するのと同等の容量を確保できる。従って、より現実的に大容量化が可能となる。

【0179】

なお、本発明の第6の実施形態に係る不揮発性半導体記憶装置によれば、隣接するメモリセルMCが、異なる情報量のデータを記憶するように割り当てられ、情報量の少ないデータを記憶するメモリセルMCから書き込みされることにより、書き込みされないメモリセルMCが接続するビット線がシールド線の役割を果たすため、容量結合に起因する隣接メモリセル干渉を抑制することができるため、5値データ以上の、例えば6値データや、7値データを記憶することも可能である。なお、本実施例ではメモリセルMCへの書き込みについて情報量の少ないデータを記憶するメモリセルMCから書き込むように制御しているが、必ずしもこれに限定されるわけではない。ワード線方向及びビット線方向に隣接するメモリセルMCが、異なる情報量のデータを記憶するように割り当てられビット線ごとに書き込みされれば同様の効果が得られる。

10

【0180】

従って、仮想メモリセルを形成する隣接する2個のメモリセルMCの記憶するデータを、5値データと7値データとした場合、前記ペアのメモリセルMCで、 $5 \text{ 値} \times 7 \text{ 値} = 35 \text{ 値} > 32 \text{ 値} = 2^5$ (5ビット)のデータを記憶することができる。

【0181】

図18は、本発明の第6の実施形態に係る不揮発性半導体記憶装置の、5値データと7値データを記憶する場合のメモリセルの割り当ての模式図である。4値データと8値データを記憶する場合で8値データの閾値分布の制御が困難な場合、また、8値データの閾値分布の制御はできるが隣接メモリセル干渉による閾値の幅の広がりの抑制が困難な場合、本発明の第6の実施形態によれば、隣接メモリセル干渉を抑制できるため、前記メモリセルの配置によって対応が可能である。本発明の第6の実施形態によれば、容量結合に起因する隣接メモリセル干渉を抑制しながら、このようなメモリセルの割り当てが可能となり、メモリ全体で、5ビット×メモリセル数×1/2の容量を記憶することができる。

20

【実施例6】**【0182】**

本発明の一実施形態においては、上述したように、ビット線方向及びワード線方向に隣接するメモリセルMCに、異なる情報量のデータを記憶するように割り当てるが、更に、書き込みスピードを要求される場合には、ワード線上に隣接する3個のメモリセル(トリオメモリセル)のうち、2個の連続するメモリセルに対して、異なる情報量のデータのうち少ない情報量のデータを記憶するように割り当てることで、書き込みスピードの向上を図ることができる。

30

【0183】

図19は、本発明の第7の実施形態に係る不揮発性半導体記憶装置の、メモリセル割り当ての模式図である。図19においては、メモリセルMCの記憶するデータとして、2値データと5値データの場合を示している。

【0184】

メモリセルMCの記憶するデータの割り当ては、同一ワード線上で隣接する3個のメモリセルMCのうち、連続する2個のメモリセルMCを仮想メモリセルAとして仮想ページセルアドレスを一つ割り当て、3個のメモリセルMCのうち残る一つのメモリセルMCを仮想メモリセルBとして仮想ページセルアドレスを一つ割り当てる。図19においては、例えば、メモリセルMC0₂、MC1₂及びMC2₂でトリオメモリセルを構成し、メモリセルMC0₂とMC1₂で仮想メモリセルAを構成し、例えば、仮想ページセルアドレスaを割り当てる。一方前記トリオメモリセルのうち残ったメモリセルMC2₂で仮想メモリセルBを構成し、仮想ページアドレスbを割り当てる。

40

【0185】

前記トリオメモリセルと同一ビット線上に位置し、かつ隣接するワード線に接続する3個

50

の隣接するメモリセルによって、同様の方法でトリオメモリセルを構成するが、このとき、仮想ページセルアドレス b が割り当てられたメモリセル MC に対して、同一ビット線上で隣接するメモリセル MC には、必ず2個のメモリセル MC で構成する仮想メモリセル A が位置するように配置され、仮想ページアドレス a が割り当てられるようにする。図19において、前記メモリセル $MC0_2$ 、 $MC1_2$ 及び $MC2_2$ に隣接するワード線上に位置するメモリセル $MC0_1$ 、 $MC1_1$ 及び $MC2_1$ と $MC0_3$ 、 $MC1_3$ 及び $MC2_3$ においては、メモリセル $MC0_1$ と $MC0_3$ は単独で仮想メモリセル B として取り扱われ、仮想ページセルアドレス b が割り当てられる。一方、 $MC1_1$ と $MC2_1$ で仮想メモリセル A を構成し、 $MC1_3$ と $MC2_3$ で仮想メモリセル A を構成して、それぞれに対して仮想ページセルアドレス a が割り当てられる。そして仮想ページセルアドレス a が割り当てられたメモリセル MC に対しては2値データを記憶するように割り当て、一方、仮想ページセルアドレス b が割り当てられたメモリセル MC に対しては5値データを記憶するように割り当てる。

10

【0186】

前記割り当ては、本発明の第1の実施形態乃至第6の実施形態と同様に、メモリセルのアドレスに基づいて事前に割り当てられ、ヒューズデータとしてROMヒューズに格納され、ROMリード動作によって、ROM領域から読み出され、ラッチ回路にセットされる。勿論、本発明の第1の実施形態と同様に、パワーオンリセット回路内にヒューズ回路を設ける方法によっても可能である。また、外部入力によって動作モードを切替える設定とすることも可能である。

20

【0187】

この仮想メモリセル A 及び B に対する書き込みは、仮想ページセルアドレスで制御される。恰も仮想メモリセル A に接続するビット線が Even ビット線であるかのように制御され、一方仮想メモリセル B に接続するビット線が Odd ビット線であるかのように制御される。そして仮想ページアドレス a の仮想メモリセル A に対する書き込みは、第1データ書き込みと第2データ書き込みが行われるように設定される。第1データ書き込み及び第2データ書き込みの制御方法は、上述した本発明の第5の実施形態及び第6の実施形態と同様である。

【0188】

図19において、メモリセル $MC0_2$ と $MC1_2$ に対する書き込みが、仮想ページセルアドレス a に基づいて行われ、メモリセル $MC0_2$ に対する第1データ書き込みが行われた後、メモリセル $MC1_2$ に対する書き込みが第2データ書き込みによって書き込みされる。図19においては、前記2個のメモリセル MC は2値データ書き込みが行われる。

30

【0189】

一方、メモリセル $MC2_2$ に対しては、仮想ページセルアドレスに基づいて書き込みが行われるが、該メモリセル MC は5値データ書き込みなので、例えば0.2V刻みにステップアップされた電圧が印加される。

【0190】

従って、前記書き込みの際に、容量結合に起因する隣接メモリセル干渉が、該メモリセル $MC2_2$ に同一ワード線 $WL2(130)$ 上で隣接するメモリセル $MC1_2$ 及び $MC3_2$ は、既に2値書き込みが行われているため、影響を吸収することができる。また、同一ビット線 $BL2(140)$ 上で隣接するメモリセル $MC2_1$ は、既に2値書き込みがされており、影響を吸収できる。一方、同一ビット線 $BL2(140)$ 上で、メモリセル $MC2_2$ を挟んで $MC2_1$ と反対側に位置する $MC2_3$ は、次にワード線 $WL3(130)$ が選択されて、2値データが書き込みされるため隣接メモリセル干渉が生じても影響がない。

40

【0191】

一方5値データが書き込まれたメモリセル $MC2_2$ については、続いて、ビット線 $BL2$ 上で隣接するメモリセル $MC2_3$ が書き込まれる場合に、隣接メモリセル干渉が生じ

50

るが、該メモリセルMC2 3は2値データ書き込みであるため、影響が少ない。

【0192】

かかる書き込みの制御は、本発明の第5及び第6の実施形態と同様にセンスアンプでラッチされ制御される。従って、本発明の第7の実施形態に係る不揮発性半導体記憶装置は、センスアンプに正規のアドレスと仮想ページセルアドレスとを対応させて入出力データを演算する機能を有することを特徴とする。

【0193】

上述したように、本発明の第7の実施形態に係る不揮発性半導体記憶装置においては、隣接メモリセル干渉の影響を抑制しながら、メモリ全体の2/3のメモリセルMCを2値データを記憶するメモリセルとして記憶するため、書き込みスピードの低下を抑制することができる。

10

【0194】

また、本発明の第7の実施形態に係る不揮発性半導体記憶装置は、メモリセルに対して、記憶するデータをヒューズデータによって割り当てるため、メモリ全体を、目的に合わせて同一の情報量のデータを記憶するように割り当てることも、異なる情報量のデータを記憶するように割り当てることもできる。従って、一つのメモリを、使用目的に合わせて記憶するデータの情報を切替えて使用でき、またその結果として製造コスト削減ひいては販売価格の引き下げが可能で、安定的な製品供給が可能となるため高品質が維持できる効果は、上述の第1の実施形態乃至第6の実施形態と同様である。

【0195】

なお、本発明の第7の実施形態によれば、図示は省略するが、記憶するデータを2値データと6値データ、2値データと8値データ等にして、メモリ全体の容量を確保しながら、書き込みスピードの低下を抑制することも可能である。

20

【実施例7】

【0196】

上述した本発明の第7の実施形態を発展されれば、書き込みスピードの低下を抑制しながら、更にメモリ全体の容量増大を図ることができる。本発明の第8の実施形態に係る不揮発性半導体記憶装置においては、書き込みスピード低下を抑制しながら、メモリ全体の容量を大幅に増大することができる。

【0197】

図20は、メモリセルの記憶するデータを2値データと5値データとした場合の、本発明の第8の実施形態に係る不揮発性半導体記憶装置のメモリセルの割り当ての模式図である。図20において、メモリセルMCの配置は、図19と同様である。

30

【0198】

しかし、仮想メモリセルの設定方法が、図19に示した本発明の第7の実施形態と異なる。即ち、本発明の第7の実施形態においては、同一ワード線上で隣接する3個のメモリセルMCでトリオメモリセルを形成し、2値データを記憶する連続するメモリセルMCを一つの仮想メモリセルとし、一方残る一つの5値データを記憶するメモリセルMCをもう一つの仮想メモリセルと設定している。また、それぞれに対して仮想ページセルアドレスを設定している。本発明第8の実施形態においては、トリオメモリセルの形成は同様に行うが、仮想メモリセルの設定が異なる。

40

【0199】

本発明の第8の実施形態においては、連続する2値データを記憶するメモリセルMCを一つの仮想メモリセルとするのではなく、2値データを記憶するメモリセル一つを、一つの仮想メモリセルとし、一方、残りの2値データを記憶するメモリセルMCと同一ワード線上で隣接する5値データを取り扱いメモリセルMCとで、もう一つの仮想メモリセルを構成する。それぞれに仮想メモリセルに仮想ページセルアドレスを割り当てるのは、本発明の第7の実施形態と同様である。また、本発明の第8の実施形態においては、ワード線130をEvenワード線130とOddワード線130に区分し、2値データを記憶するメモリセルMCと5値を記憶するメモリセルMCとで構成される仮想メモリセル内の前

50

記2値データメモリセルと5値データメモリセルの配列を逆配列としていることに特徴がある。例えば、Evenワード線13において、仮想メモリセル内の2値データを記憶するメモリセルMCをOddビット線140側に配置した場合、Oddワード線においては、仮想メモリセル内の2値データを記憶するメモリセルMCはEvenビット線140側に配置され、Oddビット線140側には5値データを記憶するメモリセルMCが配置される。

【0200】

図20においては、例えば、Evenワード線130に位置するメモリセルMC0₂、MC1₂及びMC2₂でトリオメモリセルを構成し、メモリセルMC0₂で仮想メモリセルAを構成し、例えば、仮想ページセルアドレスaを割り当てる。一方前記トリオメモリセルのうち残ったメモリセルMC1₂とMC2₂で仮想メモリセルBを構成し、例えば、仮想ページアドレスbを割り当てる。仮想メモリセルB内においては、Oddビット線BL1(140)に接続されたメモリセルMC1₂が2値データを、Evenビット線BL2(140)に接続するメモリセルMC2₂が5値データを記憶するように割り当てられる。一方、隣接するOddワード線WL3に位置するメモリセルMC0₃、MC1₃、MC2₃でトリオメモリセルが構成され、メモリセルMC0₃とMC1₃で仮想メモリセルBを構成し、仮想メモリセルB内においては、Evenビット線BL0(140)に位置するMC0₃が5値データ、Oddビット線BL1(140)に位置するMC1₃が2値データを記憶するように割り当てられる。

【0201】

前記割り当ては、本発明の第1の実施形態乃至第6の実施形態と同様に、メモリセルのアドレスに基づいて事前に割り当てられ、ヒューズデータとしてROMヒューズに格納され、ROMリード動作によって、ROM領域から読み出され、ラッチ回路にセットされる。勿論、本発明の第1の実施形態と同様に、パワーオンリセット回路内にヒューズ回路を設ける方法によっても可能である。また、外部入力によって動作モードを切替える設定とすることも可能である。

【0202】

仮想メモリセルへの書き込みは、本発明の第7の実施形態と同様に、仮想ページセルアドレスで制御される。恰も仮想メモリセルAに接続するビット線がEvenビット線であるかのように制御され、一方仮想メモリセルBに接続するビット線がOddビット線であるかのように制御される。そして仮想ページアドレスbの仮想メモリセルBに対する書き込みは、第1データ書き込みと第2データ書き込みが行われるように設定される。第1データ書き込み及び第2データ書き込みの制御方法は、上述した本発明の第5の実施形態乃至第7の実施形態と同様である。

【0203】

但し、本発明の第8の実施形態においては、更に、仮想メモリセルBに対する書き込みについては、ワード線130をEvenワード線130とOddワード線130に分けて制御される。即ち、Evenワード線WL0、WL2、WL4(130)に接続する仮想ページセルアドレスbが割り当てられた仮想メモリセルBへの書き込みの際には、例えばOddビット線BL1、BL3、BL5側から第1データ書き込みを行い、一方Oddワード線WL1、WL3、WL5(130)に接続する仮想ページセルアドレスbが割り当てられた仮想メモリセルBへの書き込みの際には、例えばEvenビット線BL0、BL2、BL4側から第1データ書き込みが行われるように制御する。これは、2値データと5値データを記憶する2個のメモリセルMCで構成される仮想メモリセルに対する書き込みにおいて、必ず2値データを記憶するメモリセル側から書き込みを行うためである。

【0204】

かかる制御は、センスアンプにデータをラッチし、演算機能を持たせることで可能であり、従って、本発明の第8の実施形態に係る不揮発性半導体記憶装置においては、センスアンプにデータラッチ機能及び演算機能を有する。この点は、本発明の第5の実施形態乃至第7の実施形態と同様である。

10

20

30

40

50

【0205】

かかる構成によって、本発明の第8の実施形態においては、仮想メモリセル一つが2値データ(1ビット)を記憶し、一方他の仮想メモリセルが2値×5値=10値>8値=2³(3ビット)データを記憶できる。従って、メモリ全体で容量の増大が可能である。

【0206】

また、本発明の第8の実施形態においては、図21に示すように、3値データと6値データとを記憶するようにすることも可能であり、この場合、仮想メモリセルBにおいては、ペアのメモリセルで3値×6値=18値>16値=2⁴(4ビット)データが記憶できるため、メモリ全体の記憶容量を増大させることができる。

【0207】

本発明の第8の実施形態に係る不揮発性半導体記憶装置においては、隣接メモリセル干渉を抑制して、閾値分布の幅が広がることを抑制できる。また、書き込みスピードの低下を抑制しつつ、メモリ全体の記憶容量を増大させることができる。更に、一つのメモリを、使用目的に合わせて記憶するデータの情報量を切替えて使用でき、またその結果として製造コスト削減については販売価格の引き下げが可能で、安定的な製品供給が可能となるため高品質が維持できる。

【実施例8】

【0208】

本発明の一実施形態においては、上述のとおり、隣接メモリセルMCに異なる情報量のデータを記憶するように割り当て、書き込みを、同一ワード線上で隣接する情報量のデータを記憶するメモリセルMCから行うように制御することで、容量結合に起因する隣接メモリセル干渉を抑制しながらメモリ全体の容量を増大させることが可能である。本発明の一実施形態によれば、隣接メモリセル干渉を抑制しながら、更にメモリ全体の記憶する容量を増大させることができる。

【0209】

図22は、本発明の第9の実施形態に係る不揮発性半導体記憶装置の、メモリセルMCの割り当てを示す模式図である。本発明の第9の実施形態においては、隣接する2本のビット線及び隣接する2本のワード線に接続する4個のメモリセルで4つの異なる情報量のデータを記憶することを特徴とする。図18においては、メモリセルMC記憶するデータは、2値、3値、4値、6値データである。

【0210】

メモリセルMCに対する取り扱いデータの割り当ては、メモリセルMCのアドレスに基づいて設定され、ヒューズデータとしてROMヒューズに格納され、ROMリード動作によって、ROM領域から読み出され、ラッチ回路にセットされる。本発明の第9の実施形態においては、同一ワード線上で隣接する2個のメモリセルでペアが構成され、それぞれのメモリセルMCが異なる情報量のデータを記憶するように割り当てられる。そして、更に、該ペアのメモリセルと隣接するワード線上で、かつ、該ペアのメモリセルMCと同一ビット線上で隣接する同一ワード線上の2個のメモリセルMCでペアを設定し、前記ペアのメモリセルと異なるデータを記憶するようにそれぞれのメモリセルMCに割り当てる。

【0211】

具体的には、図22において、Evenワード線WL0、WL2、WL4(130)上で隣接する2個のメモリセルMCでペアを形成し、隣接するOddワード線WL1、WL3、WL5(130)上で、かつ、同一ビット線上で前記ペアのメモリセルMCの各々と隣接する、2個のメモリセルMCでペアを形成する。図22において、Evenワード線WL0(130)上で隣接するメモリセルMC0₀とMC1₀でペアを構成し、前記ワード線WL0(130)に隣接するOddワード線WL1(130)上で、かつ前記ペアのメモリセルMCと同一ビット線上で隣接するメモリセルMC0₁とMC1₁でペアを形成する。その上で、前記4つのメモリセルMCに対して、2値、3値、4値、6値データを記憶するように割り当てる。

【0212】

10

20

30

40

50

データの割り当てに際しては、同一ワード線上で隣接するメモリセルMCの記憶するデータの情報量が近似する値とならないように、4つの情報量のデータのうち1番小さな数値のデータと2番目に大きな数値のデータとを組合せ、

3番目に大きな数値のデータと1番大きな数値のデータを組み合わせる。そして、1番大きな数値のデータと、2番目に大きな数値のデータとを記憶するメモリセルMCが異なるビット線上に位置するように配置する。具体的には、図18において、同一ワード線WL0(130)上で隣接するメモリセルMC00とMC10でペアを構成し、隣接するワード線WL1(130)に位置し、前記メモリセルMC00とMC10に同一ビット線上で隣接するメモリセルMC01とMC11でペアを形成する。その上で、メモリセルMC00に3値データを、メモリセルMC10に6値データを割り当てる。前記メモリセルMC10が接続されたビット線BL1と異なるビット線上に位置するメモリセルMCに対して2番目に大きなデータを記憶するように割り当てるため、ビット線BL0に位置するメモリセルMC01に、2番目に大きな4値データを記憶するように割り当てる。従って必然的に、メモリセルMC11は2値データを記憶するように割り当てられる。なお、本割り当ては一例であり、この割り当てに限定されるわけではない。

【0213】

書き込みは、通常のEvenビット線に接続するメモリセルMCから行い、続いてOddビット線に接続するメモリセルMCに書き込む。本発明の第9の実施形態においては、Evenワード線WL0、WL2、WL4(130)に書き込む場合と、Oddワード線WL1、WL3、WL5(130)場合で、Evenビット線BL0、BL2、BL4(140)に接続するメモリセルMCへの書き込みと、Oddビット線BL1、BL3、BL5(140)に接続するメモリセルMCへの書き込みとの順番を制御することを特徴とする。即ち、図22においては、Evenワード線WL0、WL2、WL4に書き込む場合は、まずEvenビット線BL0、BL2、BL4(140)から書き込み、続いてOddビット線BL1、BL3、BL5(140)を書き込む。一方、Oddワード線WL1、WL3、WL5に書き込む場合は、まずOddビット線BL1、BL3、BL5(140)から書き込み、続いてEvenビット線BL0、BL2、BL4(140)を書き込む。

【0214】

かかる書き込み制御は、容量結合に起因する隣接メモリセル干渉を抑制するために、隣接メモリセルMC間において、情報量の少ないデータを記憶するメモリセルMCから書き込みを行うためである。従って、メモリセルMCへの取り扱いデータの割り当てに対応して、情報量の少ないデータを記憶するメモリセルMCから書き込むように変更設定される。この制御は、ヒューズデータとしてROMヒューズに格納し、ROMリード動作によってROM領域から読み出され、ラッチ回路にセットされる。勿論、本発明の第1の実施形態と同様に、パワーオンリセット回路内にヒューズ回路を設ける方法によっても可能である。また、外部入力によって動作モードを切替える設定とすることも可能である。なお、本実施例ではメモリセルMCへの書き込みについて情報量の少ないデータを記憶するメモリセルMCから書き込むように制御しているが、必ずしもこれに限定されるわけではない。

【0215】

かかる配置と、書き込み制御によって、本発明の第9の実施形態に係る不揮発性半導体記憶装置においては、隣接メモリセル干渉を抑制して、閾値分布の幅が広がることを抑制できる。また、書き込みスピードの低下を抑制しつつ、メモリ全体の記憶容量を増大させることができる。更に、一つのメモリを、使用目的に合わせて記憶するデータの情報量を切替えて使用でき、またその結果として製造コスト削減ひいては販売価格の引き下げが可能で、安定的な製品供給が可能となるため高品質が維持できる。

【0216】

なお、記憶するデータは、2値、3値、4値、6値データに限られず、図23、図24に示すように、2値、3値、6値、8値データの組合せ及び3値、4値、6値、8値データの組合せも可能であり、また、他の数値データを組み合わせることも可能である。その場

10

20

30

40

50

合の効果は、上述した効果と同様である。

【実施例 9】

【0217】

本発明の第10の実施形態においては、2トランジスタ型セルを備えるフラッシュメモリのメモリセルMCの記憶するデータを2値データと4値データを割り当てることを特徴とする。

【0218】

近年、NOR型フラッシュメモリとNAND型フラッシュメモリの両者の長所を兼ね備えた2トランジスタ型セルを備えるフラッシュメモリが提案されている。このフラッシュメモリは、2つのMOSトランジスタを含むメモリセルを備え、不揮発性記憶部として機能する一方のMOSトランジスタが、コントロールゲートとフローティングゲートとを備えた構造を有しビット線に接続されている。他方のMOSトランジスタは、ソース線に接続され、メモリセルの選択用として用いられる。

【0219】

かかる2トランジスタ型セルを備えるフラッシュメモリは、一つのメモリセルの面積が大きくなるため、記憶容量を確保するためには2値以上の情報量データ記憶が必要となる。しかし、2値以上の情報量データを記憶する場合、隣接するメモリセルの容量結合の影響によって、隣接メモリセル干渉が生じることは、NAND型フラッシュメモリと同様である。本発明の一実施形態においては、動作モード切替えによって、メモリセルMCの記憶するデータを2値データと2値以上の情報量データのチェッカーフラッグ状混在モード(2値アンド2値以上の情報量混在モード)とすることができ、隣接メモリセルの容量結合の影響を抑制できるため、2トランジスタ型セルを備えるフラッシュメモリにおいても有効である。本発明の第13の実施形態に係る不揮発性半導体記憶装置は、メモリセルMCの記憶するデータとして2値データと4値データを割り当てる2トランジスタ型セルを備えるフラッシュメモリであることを特徴とする。

【0220】

図25は、本発明の第10の実施形態に係る2トランジスタ型セルを備えるフラッシュメモリの概略構成図である。メモリセルアレイは、マトリクス状に配置された複数個($(m+1) \times (n+1)$ 個、但し m 、 n は自然数)のメモリセルMC₀₀~MC_{mn}を有しているが、図25においては説明上メモリセルMC₀₀~MC₅₅を図示している。メモリセルMCの各々は、互いに電流経路が直列接続されたメモリセルトランジスタMTと選択トランジスタSTとを有している。メモリセルトランジスタMTは、半導体基板上にゲート絶縁膜を介在して形成されたフローティングゲートと、フローティングゲート上にゲート間絶縁膜を介在して形成されたコントロールゲートとを有する積層ゲート構造を備えている。そして、メモリセルトランジスタMTのソース領域が選択トランジスタSTのドレイン領域に接続されている。また、列方向で隣接するメモリセルMC同士は、選択トランジスタSTのソース領域、またはメモリセルトランジスタMTのドレイン領域を共有している。

【0221】

同一行にあるメモリセルMCのメモリセルトランジスタMTの制御ゲートは、ワード線WL₀~WL₅のいずれかに共通接続され、同一行にあるメモリセルの選択トランジスタSTのゲートは、セレクトゲート線SG₀~SG₅のいずれかに接続されている。また、同一列にあるメモリセルMCのメモリセルトランジスタMTのドレインは、ビット線BL₀~BL₅のいずれかに共通接続されている。そして、メモリセルMCの選択トランジスタSTのソースはソース線CELSRC160に共通接続される。

【0222】

かかる2トランジスタ型セルを備えるフラッシュメモリにおけるデータの書き込みは、いずれかのワード線に接続された全てのメモリセルに対して一括して行われる。そして、メモリセルトランジスタMTのフローティングゲートに電子を注入するか否かで「0」データ、「1」データを書き分ける。電子のフローティングゲートへの注入は、Fowler

10

20

30

40

50

- Nordheim (FN) tunneling によって行われる。

【0223】

まず、図25において、I/O端子(図示せず)から書き込みデータ(「1」、「0」)が入力される。そして、前記書き込みデータが、ビット線毎に設けられたラッチ回路(図示せず)のそれぞれに入力される。ラッチ回路に「1」データが格納されると、ビット線には0Vが与えられ、逆に「0」データが格納されると、ビット線にはVBB(-6V)が与えられる。

【0224】

第1ロウデコーダ(図示せず)が、ワード線WL0~WL5のいずれかを選択し、選択ワード線にVpp(例えば10V)を印加する。第2ロウデコーダ(図示せず)は、セレクトゲート線SG0~SG5にVBB(-6V)を印加する。またメモリセルの基板もVBB(-6V)とする。従って、全ての選択トランジスタSTはオフ状態となる。従って、選択トランジスタSTとソース線CELSRC160とは電氣的に分離される。

【0225】

上記の結果、「1」データまたは「0」データに対応する電位が、ビット線BL0~BL5を介してメモリセルトランジスタMTのドレイン領域に与えられる。すると、選択ワード線WLにはVpp(10V)が印加され、「1」データを書き込むべきメモリセルトランジスタMTのドレイン領域には0Vが印加され、「0」データを書き込むべきメモリセルトランジスタMTのドレイン領域にはVBB(-6V)が印加される。従って、「1」データを書き込むべきメモリセルトランジスタMTでは、ゲート・ドレイン間の電位差(10V)が十分ではないので、フローティングゲートに電子は注入されず、メモリセルトランジスタMTは負の閾値を保持する。他方、「0」データを書き込むべきメモリセルトランジスタMTでは、ゲート・ドレイン間の電位差(16V)が大きいため、フローティングゲートに電子がFN

tunnelingによって注入される。その結果、メモリセルトランジスタMTの閾値は正に変化する。

【0226】

データの読み出しは、いずれかのワード線に接続された複数のメモリセルから一括して読み出す事ができる。図25において、第2ロウデコーダ(図示せず)が、セレクトゲート線SG0~SG5のいずれかを選択する。選択セレクトゲート線には、「H」レベル(例えばVcc)が与えられる。非選択セレクトゲート線は全て「L」レベル(例えば0V)である。従って、選択セレクトゲート線に接続された選択トランジスタSTはオン状態となり、非選択セレクトゲート線に接続された選択トランジスタSTはオフ状態となる。この結果、選択メモリセル内の選択トランジスタSTは、ソース線CELSRC160と電氣的に接続される。また第1ロウデコーダ(図示せず)は、全てのワード線WL0~WL5を「L」レベル(0V)とする。また、ソース線ドライバ(図示せず)は、ソース線CELSRC160の電位を0Vとする。

【0227】

続いて、ビット線BL0~BL5のそれぞれに、例えば1V程度の電圧が与えられる。すると、「1」データが書き込まれているメモリセルMCのメモリセルトランジスタMTは、閾値電圧が負であるから、オン状態となる。従って、選択セレクトゲート線に接続されているメモリセルMCでは、ビット線からメモリセルトランジスタMT及び選択トランジスタSTの電流経路を介して、ソース線CELSRC160に向かって電流が流れる。他方、「0」データが書き込まれているメモリセルMCのメモリセルトランジスタMTは、閾値電圧が正であるから、オフ状態である。従って、ビット線からソース線CELSRC160に向かって電流は流れない。以上の結果、ビット線BL0~BL5の電位が変化し、その変化量をセンスアンプ(図示せず)が増幅することによって読み出し動作が行われる。

【0228】

データの消去は、ウェル領域を共用する全てのメモリセルについて一括して行われる。図

10

20

30

40

50

25において、第1ロウデコーダ(図示せず)は、全てのワード線WL0~WL5の電位をVBB(-6V)とする。また、半導体基板(ウエル領域)の電位はVpp(10V)とされる。その結果、メモリセルMCのメモリセルトランジスタのフローティングゲートから電子がFN tunnelingによって半導体基板に引き抜かれる。その結果、全てのメモリセルMCの閾値電圧が負となり、データが消去される。

【0229】

上述のような動作によって、書き込み、読み出し、消去が行われる2トランジスタ型セルを備えるフラッシュメモリにおいても、2値以上の情報量データを書き込む場合、閾値分布の幅を狭小にするため、書き込み電位Vpgmは、初期値から2値書き込みより小さい一定の割合Dvpgmでステップアップされる。書き込み電位Vpgmは、パルス信号(書き込みパルス)としてメモリセルに印加され、パルス信号がメモリセルに与えられる度に、その高さ(書き込み電位Vpgm)が上昇していく。従って、隣接メモリセルMCの容量結合の影響を受けることになる。

10

【0230】

本発明の第10の実施形態に係る2トランジスタ型セルを備えるフラッシュメモリは、隣接するメモリセルMCが異なるデータ(2値データと4値データ)を記憶するように割り当てられる。図25において、ある特定のメモリセルMCが2値以上の情報量データ(ここでは4値データ)を記憶するように割り当てられた場合、該メモリセルMCに対して同一ビット線上で両側に隣接するメモリセルMC及び該メモリセルMCに対して同一ワード線上で両側に隣接するメモリセルMCは、前記2値以上の情報量データ(4値データ)よりも情報量の少ないデータ(ここでは2値)を記憶するように割り当てられる。メモリセルMCに割り当てたデータを、メモリセルMCのアドレスに基づいて割り当てる方法は、上述の第1の実施形態と同様である。

20

【0231】

具体的に図25において、メモリセルMC2₂が2値データを取り使うように割り当てられた場合、同一ビット線BL2(140)上で隣接するメモリセルMC2₁、MC2₃、及び同一ワード線WL2(130)上で隣接するメモリセルMC1₂、MC3₂は全て4値データを記憶するように割り当てられる。同様に、メモリセルMC3₂について見ると、該メモリセルMCは4値データを記憶するように割り当てられているが、隣接するメモリセルMC3₁、MC3₃、MC2₂及びMC4₂は、全て2値データを記憶するように割り当てられる。

30

【0232】

ここで、例えば図25のメモリセルMC2₂にデータが書き込まれる場合の隣接メモリセルとの容量結合について説明する。図25において、メモリセルMC2₂は、2値データを記憶するように割り当てられている。

【0233】

まず、ワード線WL2(130)が第1ロウデコーダ(図示せず)によって選択され、Vppが印加される。その他のワード線WL0、WL1、WL3乃至WL5は0Vである。また全てのセレクトゲート線SG0~SG5はVBB(-6V)である。その状態で、Evenビット線BL0、BL2、BL4の各々に、0VまたはVBBが印加される。すると、ワード線WL2に接続され、且つVBBが印加されているビット線に接続されているメモリセルMC0₂、MC2₂、MC4₂では、フローティングゲートへ電子が注入される。

40

【0234】

他方、ワード線WL0、WL1、WL3乃至WL5に接続されているメモリセルMCでは、ワード線WL0、WL1、WL3乃至WL5の電位が0Vであるので、ビット線BL0乃至BL5の電位に関わらず、フローティングゲートへの電子の注入は行われない。従って、ビット線方向でメモリセルMC2₂に隣接するメモリセルMC2₁及びMC2₃では書き込みは行われない。ここでメモリセルMC2-1及びMC2-3は、隣接するメモリセルMC2₂に書き込み電圧が印加されてMC2-2の閾値が変化することと容

50

量結合によって影響を受ける。ところが、メモリセルMC2 2は2値データの書き込みであるため閾値を高くする必要がなくメモリセルMC2 2の閾値変化は小さい。従って、メモリセルMC2 1及びMC2 3の容量結合による隣接メモリセル干渉の影響は少ない。

【0235】

次に、Oddビット線BL1、BL3、BL5が選択され、0VまたはVBBが印加される。すると、ワード線WL2に接続され、且つVBBが印加されているビット線に接続されているメモリセルMC1 2、MC3 2、MC5 2では、フローティングゲートへ電子が注入され、書き込まれる。前記メモリセルMC1 2、MC3 2、MC5 2は、4値データを記憶するように割り当てられているため、該メモリセルMCには、細かくステップアップされる電圧が印加される。従って、例えばメモリセルMC3 2にビット線方向で隣接するメモリセルMC3 1、MC3 3及びワード線方向で隣接するメモリセルMC2 2、MC4 2に容量結合による隣接セル干渉の影響が及ぶことになる。

10

【0236】

しかし、メモリセルMC3 1、及びメモリセルMC2 2、MC4 2は既に2値データの書き込みがされているため、かかる隣接セル干渉の影響を吸収することができる。また、メモリセルMC3 3については、まだデータの書き込みがされていないため、隣接セル干渉の影響を受けるが、この後ワード線WL3(130)が選択されて、改めて該メモリセルについて2値データの書き込みがされることとなるため影響はない。

【0237】

上述のように、2値以上の情報量データを記憶するメモリセルMCに対して、ワード線方向及びビット線方向で前記メモリセルMCに隣接するメモリセルMCを情報量の少ないデータを記憶するように割り当て、かつ、メモリセルMCへの書き込みを、ワード線ごとに、前記ワード線に接続するEven(偶数)ビット線に接続するメモリセルMCに書き込み、続いてOdd(奇数)ビット線に接続するメモリセルMCに書き込むように制御することにより、ワード線方向及びビット線方向に隣接するメモリセルMCとの容量結合の影響を最小限に抑制できる。一方、情報量の少ないデータを記憶するメモリセルMCは、先にデータ書き込みがされるため、容量結合の影響を吸収できる。従って、メモリ全体として容量結合の影響を抑制できる。なお、本実施例ではメモリセルMCへの書き込みについて情報量の少ないデータを記憶するメモリセルMCから書き込むように制御しているが、必ずしもこれに限定されるわけではない。

20

30

【0238】

また、メモリセルMCの半数が、4値データより書き込み回数の少ない2値データを記憶することから、メモリ全体の書き込みスピード低下を一定程度抑制できる効果がある。更に、2値データの取り扱い時に非選択ワード線の読み出し電圧を4値セルのときに比べて低く設定することができるため、Read Disturbを抑制し、信頼性を高く維持できる効果がある。これらの効果は、NAND型フラッシュメモリにおける効果と同様である。

【0239】

また、本発明の第10の実施形態に係る2トランジスタ型セルを備えるフラッシュメモリにおいては、一つのメモリセルに記憶するデータを、メモリセルMCのアドレスに基づくヒューズデータによる動作モード切替でおこなうため、簡易に行うことができ、使用目的に合わせて記憶するデータの情報量を切替えて使用できる効果がある。かかる効果は、更に、製造コスト削減ひいては販売価格の引き下げが可能で、安定的な製品供給が可能となるため高品質が維持できる効果をももたらす。これらの効果も、NAND型フラッシュメモリにおける効果と同様である。

40

【0240】

なお、本発明の第10の実施形態においては、記憶するデータを2値データと4値データとしているが、これに限定されるわけではなく、例えば3値データと6値データ、4値データと8値データ又は他の組合せであっても良い。同一ビット線上及び同一ワード線上で

50

隣接するメモリセルMCが異なる情報量のデータを記憶するように割り当て、書き込みを制御することにより、同様の効果を得ることができる。

【図面の簡単な説明】

【0241】

【図1】本発明の第1の実施形態に係る不揮発性半導体記憶装置の概略構成図である。

【図2】本発明の第1の実施形態に係る不揮発性半導体記憶装置のメモリセルアレイの概略構成図である。

【図3】本発明の第1の実施形態に係る不揮発性半導体記憶装置のメモリセルブロック内の概略構成図である。

【図4】本発明の第1の実施形態に係る不揮発性半導体記憶装置のNANDセルのレイアウトの模式図である。

【図5】図3に示したメモリセルブロックBLOCK*i*における書き込み時の電位関係を示す図である。

【図6】4値データと閾値電位との関係を示す図である。

【図7】本発明の一実施形態に係る不揮発性半導体記憶装置の書き込みシーケンスを示す図である。

【図8】NAND型セルの容量結合の影響を示す閾値分布の模式図である。

【図9】本発明の第1の実施形態に係る不揮発性半導体記憶装置のNAND型セルの容量結合の影響を示す模式図である。

【図10】本発明の第1の実施形態に係る不揮発性半導体記憶装置のメモリセルへの2値データ及び4値データの取り扱い割り当ての模式図である。

【図11】本発明の第2の実施形態に係る不揮発性半導体記憶装置のメモリセルへの2値データ及び8値データの取り扱い割り当ての模式図である。

【図12】本発明の第3の実施形態に係る不揮発性半導体記憶装置のメモリセルへの4値データ及び8値データの取り扱い割り当ての模式図である。

【図13】本発明の第4の実施形態に係る不揮発性半導体記憶装置のメモリセルへの2値データ、4値データおよび8値データの取り扱い割り当ての模式図である。

【図14】本発明の第5の実施形態に係る不揮発性半導体記憶装置のメモリセルへの2値データ及び5値データの取り扱い割り当ての模式図である。

【図15】本発明の第5の実施形態に係る不揮発性半導体記憶装置のメモリセルへの2値データ及び6値データの取り扱い割り当ての模式図である。

【図16】本発明の第5の実施形態に係る不揮発性半導体記憶装置のメモリセルへの2値データ及び7値データの取り扱い割り当ての模式図である。

【図17】本発明の第6の実施形態に係る不揮発性半導体記憶装置のメモリセルへの3値データ及び6値データの取り扱い割り当ての模式図である。

【図18】本発明の第6の実施形態に係る不揮発性半導体記憶装置のメモリセルへの5値データ及び7値データの取り扱い割り当ての模式図である。

【図19】本発明の第7の実施形態に係る不揮発性半導体記憶装置のメモリセルへの2値データ及び5値データの取り扱い割り当ての模式図である。

【図20】本発明の第8の実施形態に係る不揮発性半導体記憶装置のメモリセルへの2値データ及び5値データの取り扱い割り当ての第2の模式図である。

【図21】本発明の第8の実施形態に係る不揮発性半導体記憶装置のメモリセルへの3値データ及び6値データの取り扱い割り当ての模式図である。

【図22】本発明の第9の実施形態に係る不揮発性半導体記憶装置のメモリセルへの2値データ、3値データ、4値データ及び6値データの取り扱い割り当ての模式図である。

【図23】本発明の第9の実施形態に係る不揮発性半導体記憶装置のメモリセルへの2値データ、3値データ、6値データ及び8値データの取り扱い割り当ての模式図である。

【図24】本発明の第9の実施形態に係る不揮発性半導体記憶装置のメモリセルへの2値データ、4値データ、6値データ及び8値データの取り扱い割り当ての模式図である。

【図25】本発明の第10の実施形態に係る2トランジスタ型セルを備えるフラッシュメモ

10

20

30

40

50

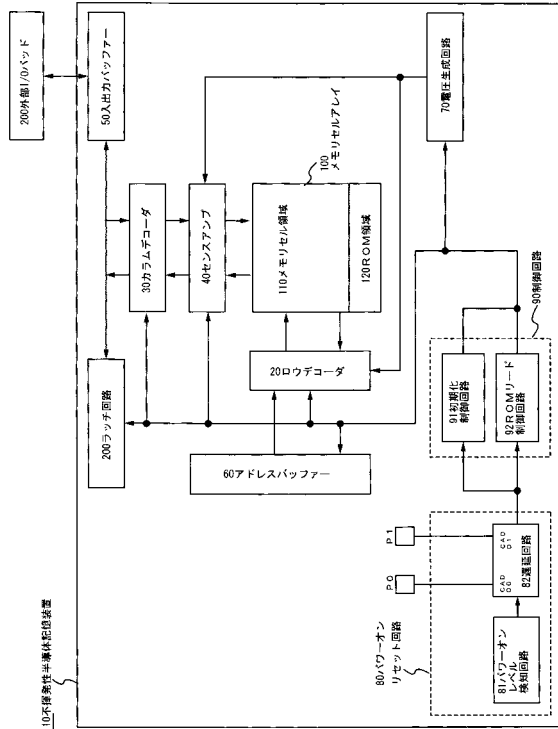
モリの概略構成図である。

【符号の説明】

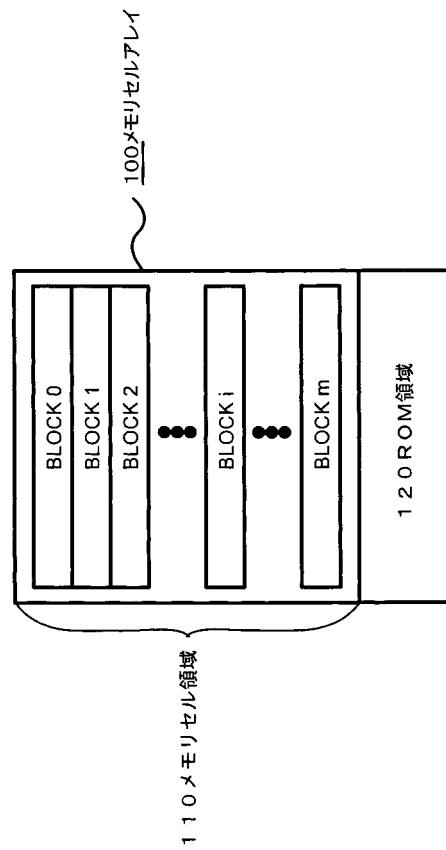
【 0 2 4 2 】

1 0 :	不揮発性半導体記憶装置	
1 0 0 :	メモリセルアレイ	
1 1 0 :	メモリセル領域	
1 1 1 :	メモリセル M C	
1 1 2 :	メモリセルトランジスタ M T	
1 1 3 :	選択トランジスタ S T	
1 2 0 :	R O M 領域	10
1 3 0 :	ワード線	
1 4 0 :	ビット線	
1 5 0 :	選択ゲート線	
1 5 0 a :	ソース側選択ゲート線 (S G S)	
1 5 0 b :	ドレイン側選択ゲート線 (S G D)	
1 6 0 :	ソース線 (C E L S R C)	
2 0 :	ロウデコーダ	
3 0 :	カラムデコーダ	
4 0 :	センスアンプ	
5 0 :	入出力バッファ	20
6 0 :	アドレスバッファ	
7 0 :	電圧生成回路	
8 0 :	パワーオンリセット回路	
8 1 :	パワーオンレベル感知回路	
8 2 :	遅延回路	
9 0 :	制御回路	
9 1 :	初期化制御回路	
9 2 :	R O M リード制御回路	
2 0 0 :	ラッチ回路	
2 1 0 :	外部 I / O パッド	30

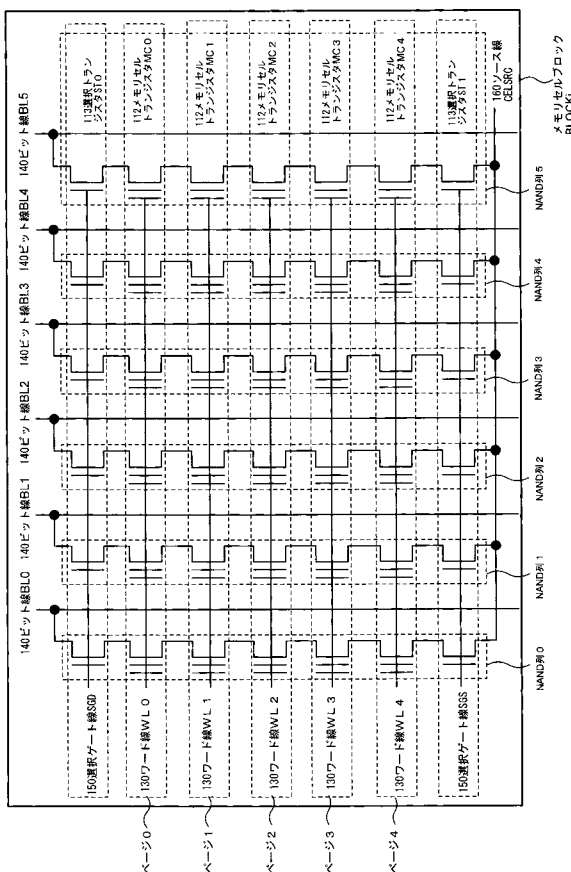
【図1】



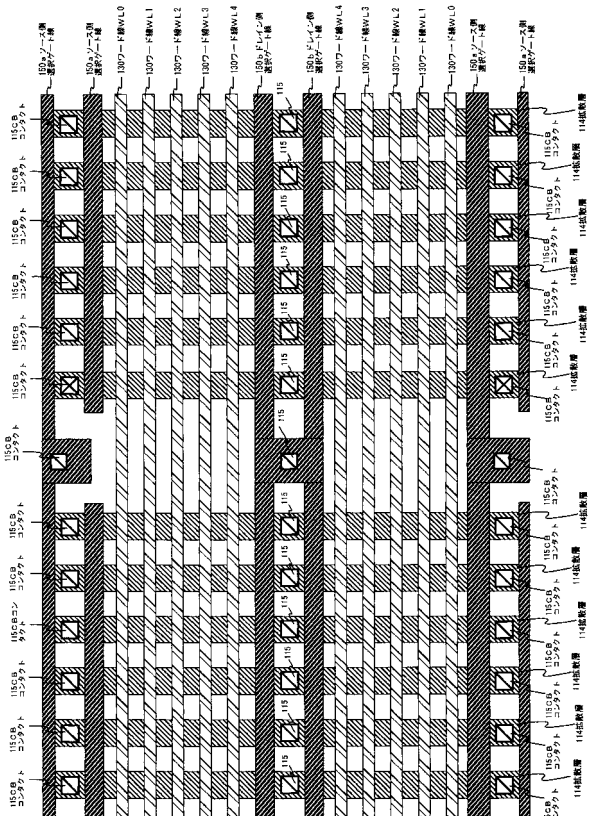
【図2】



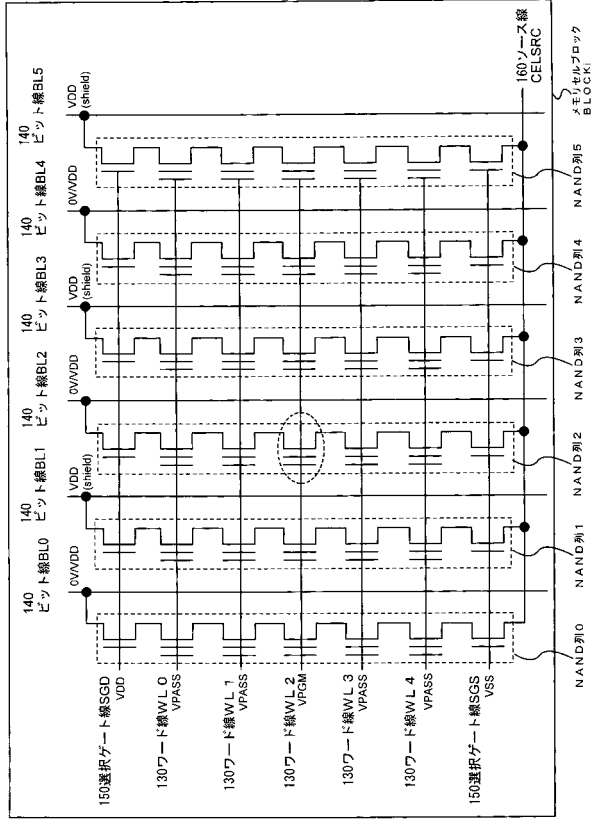
【図3】



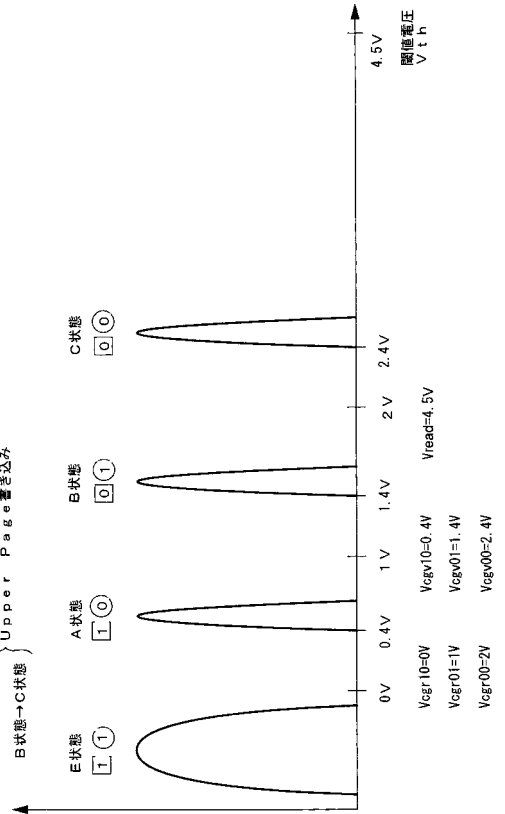
【図4】



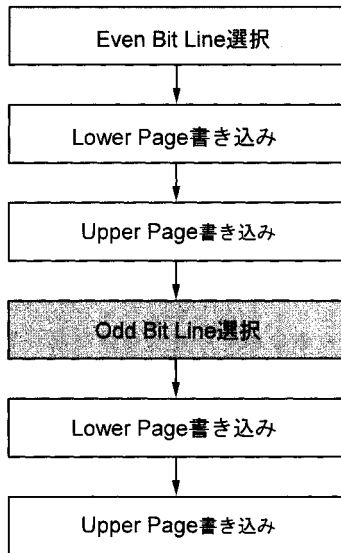
【 図 5 】



【 図 6 】

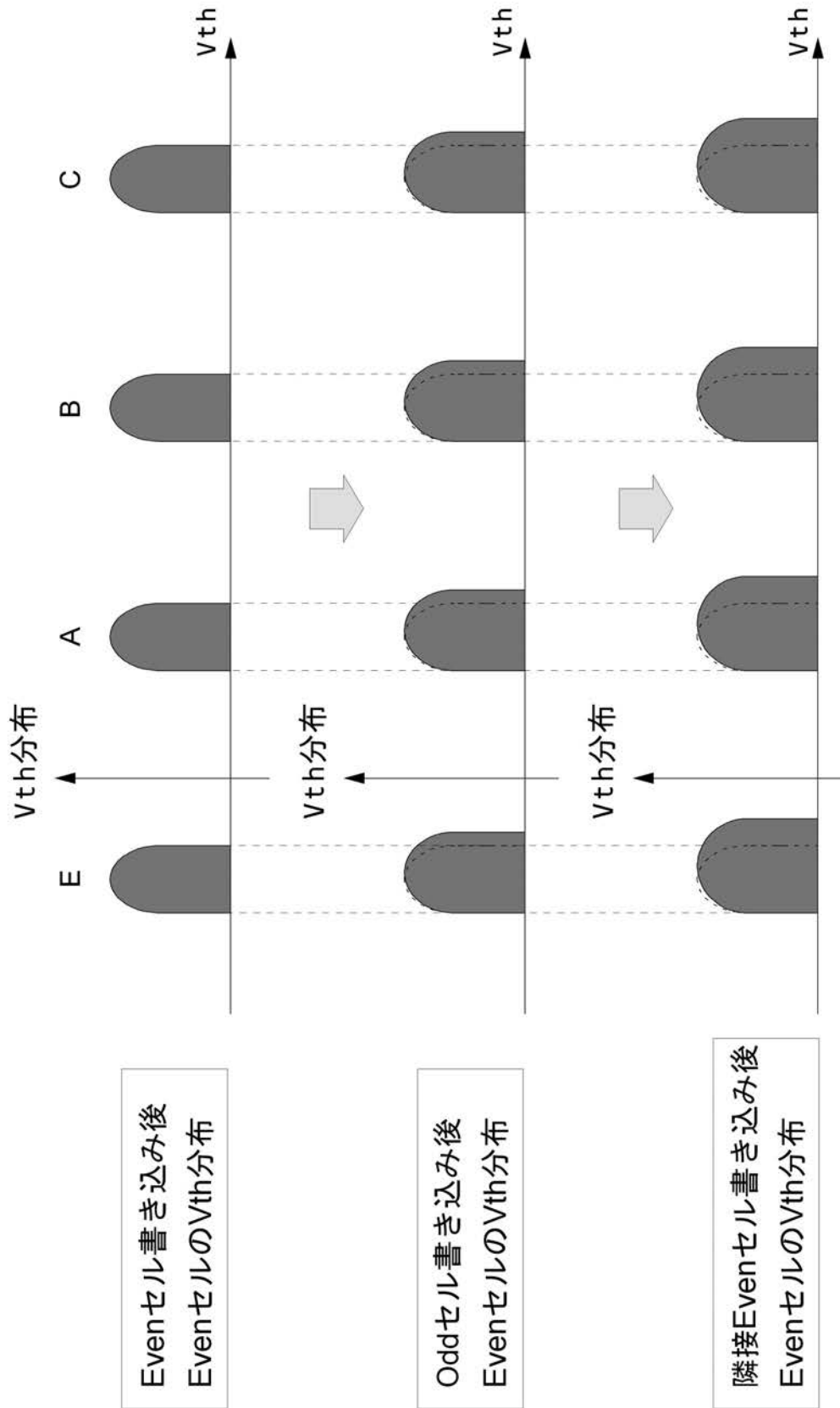


【 図 7 】

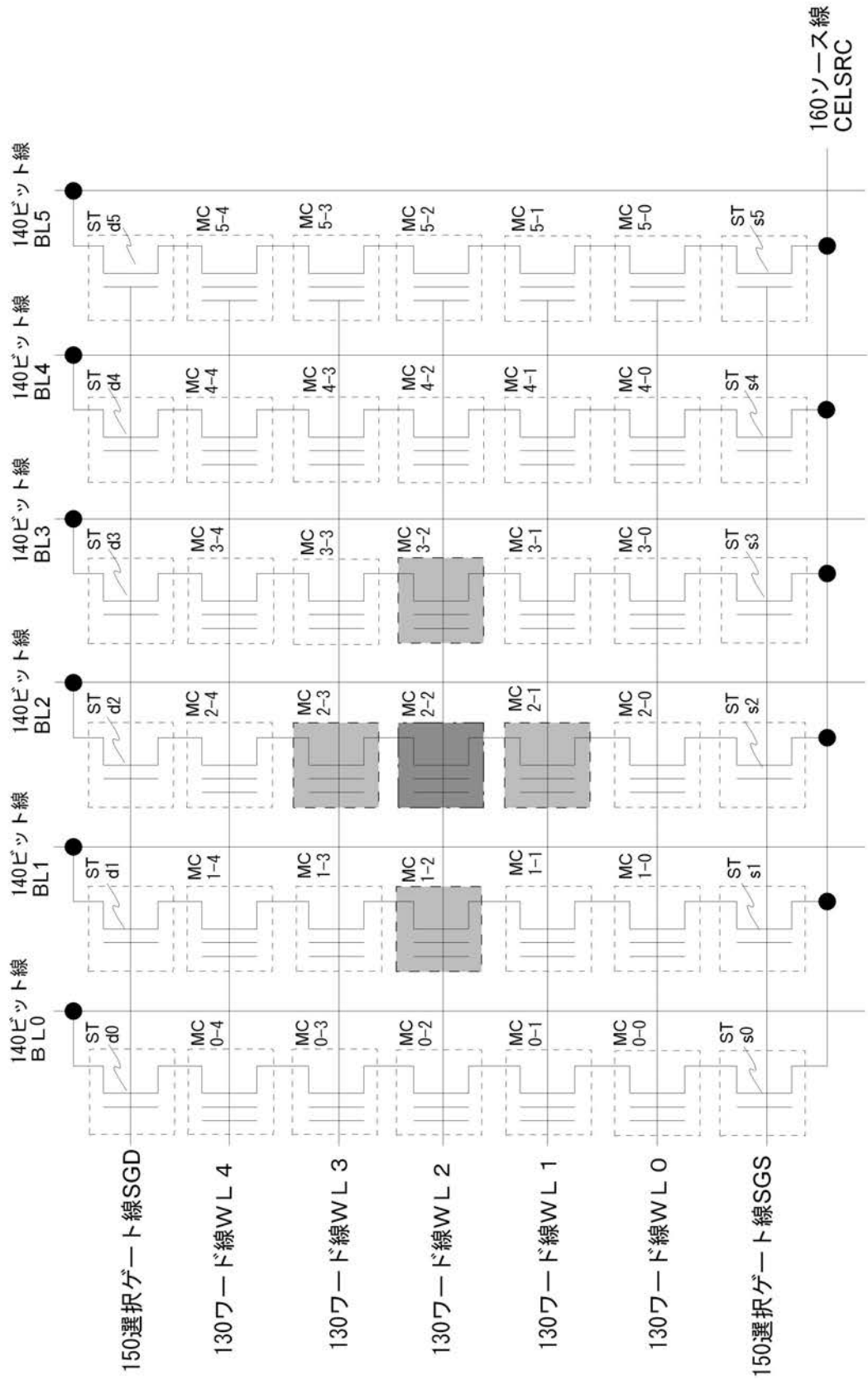


書き込みシーケンス

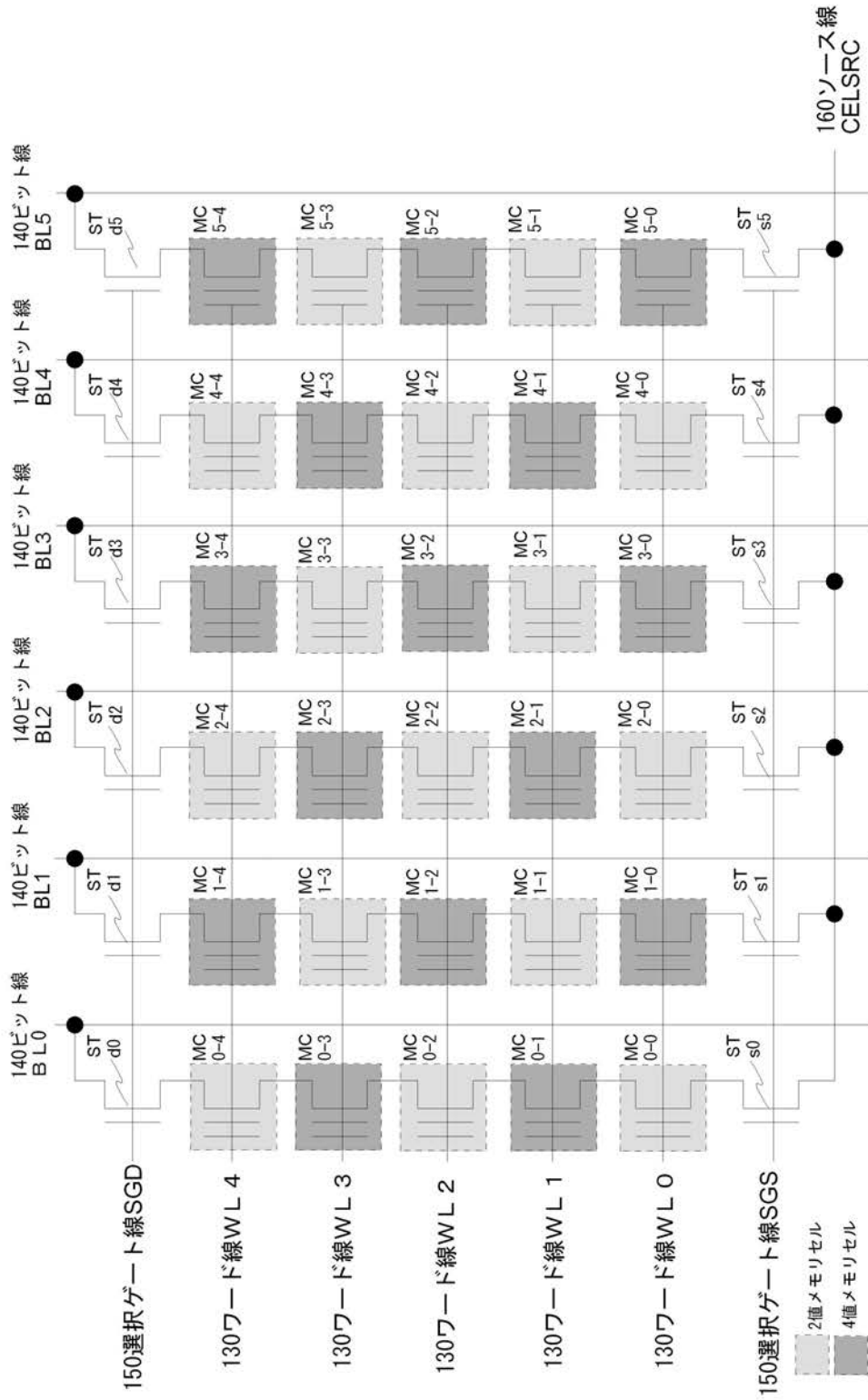
【 図 8 】



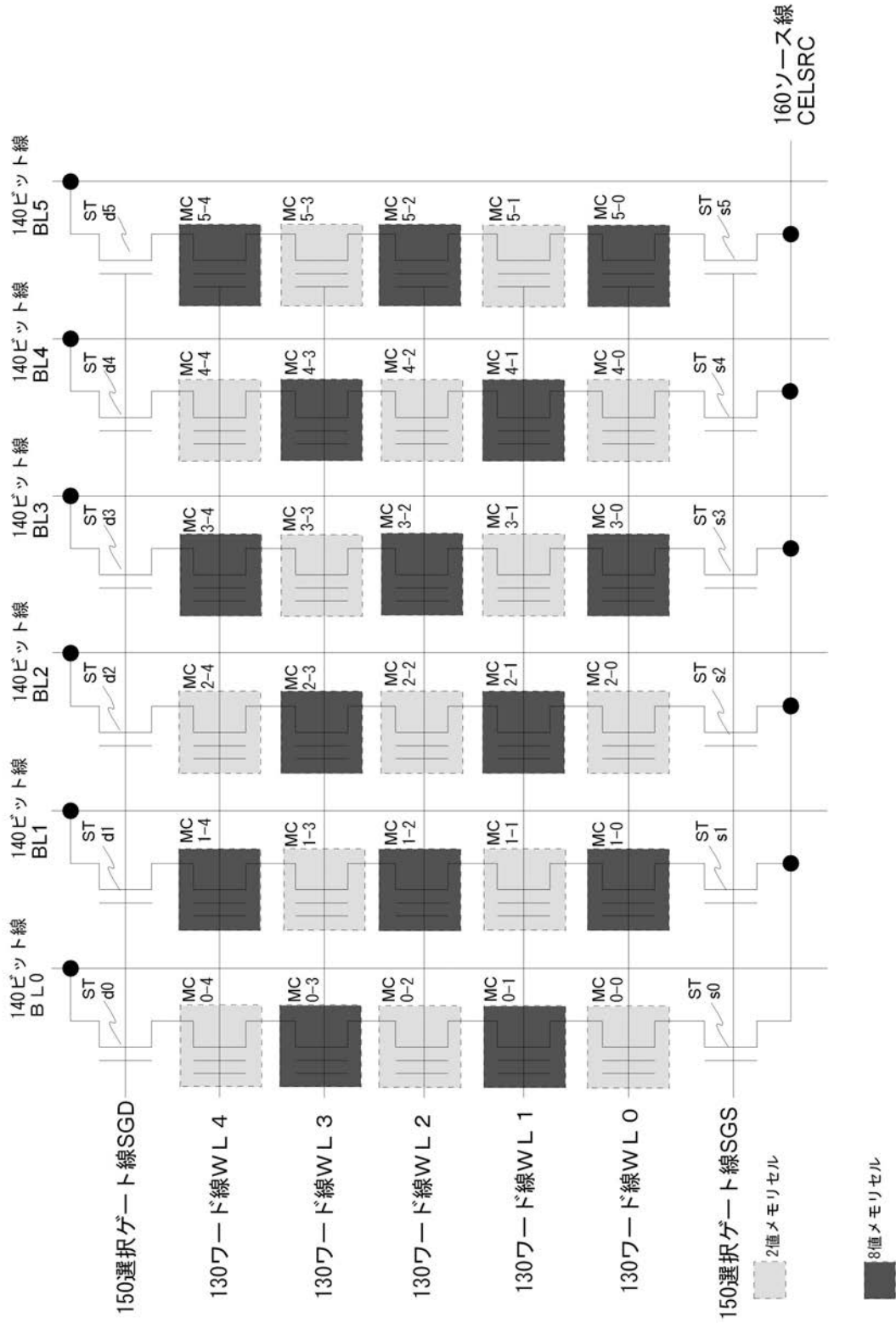
【 図 9 】



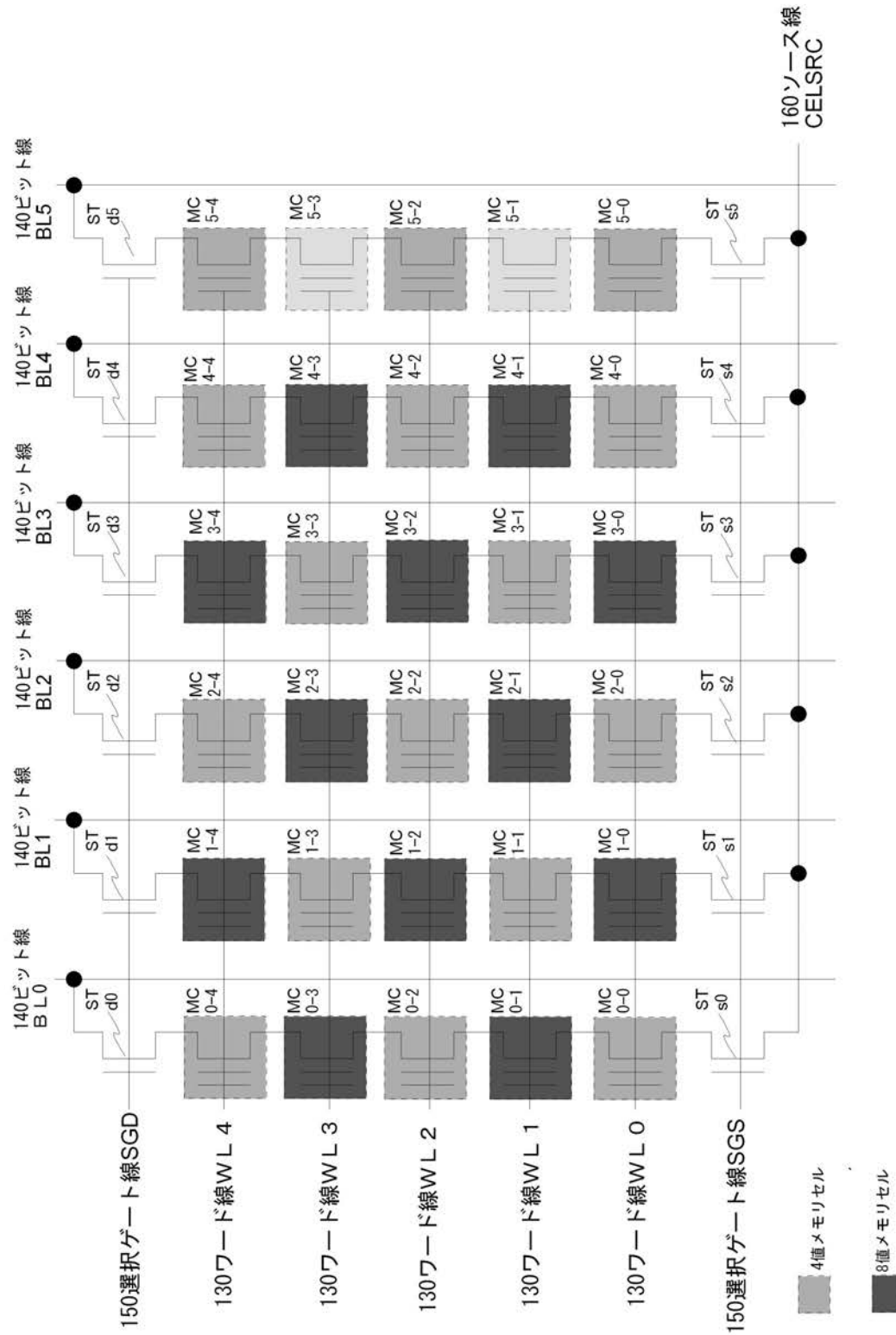
【図10】



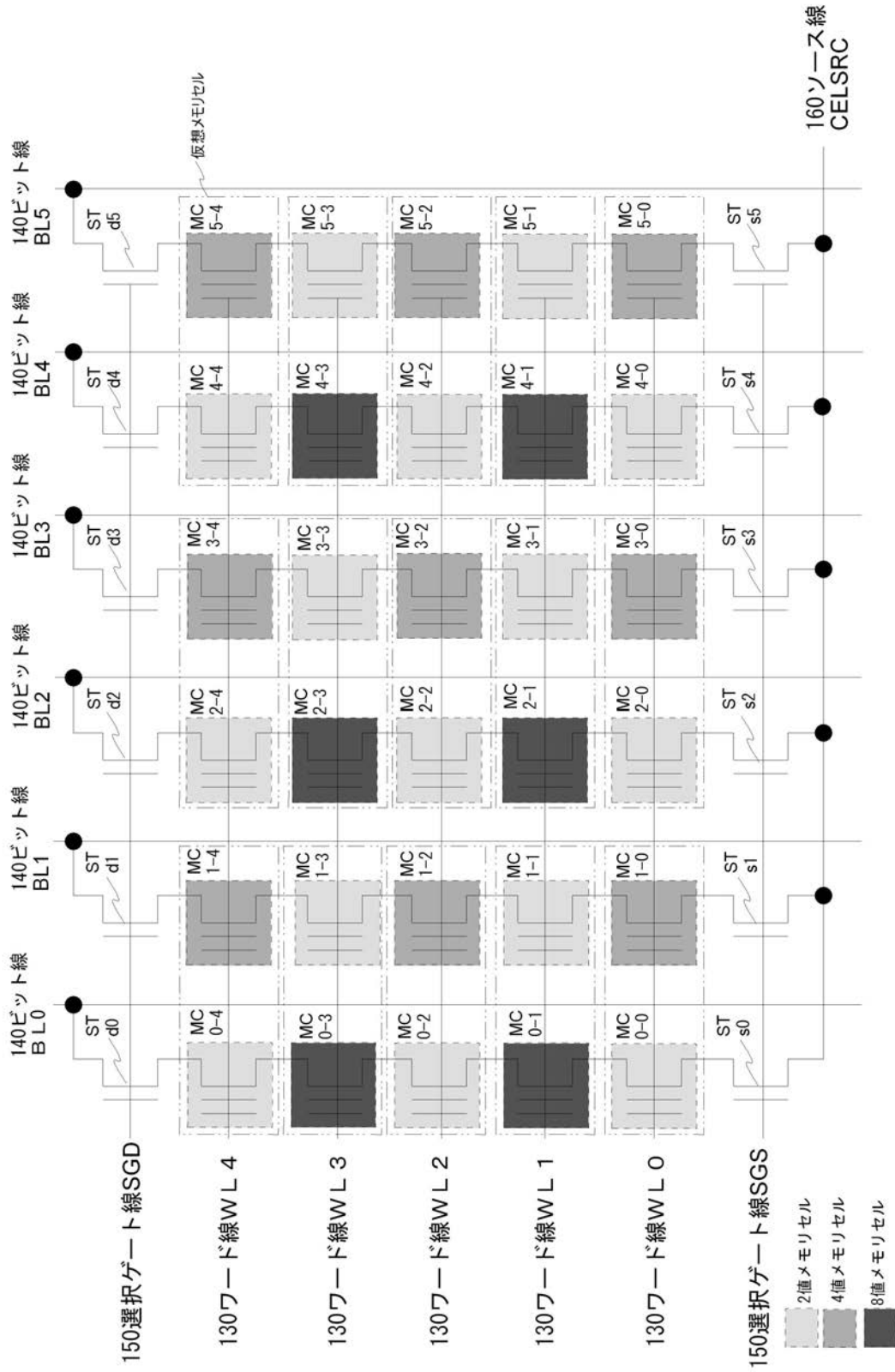
【 図 1 1 】



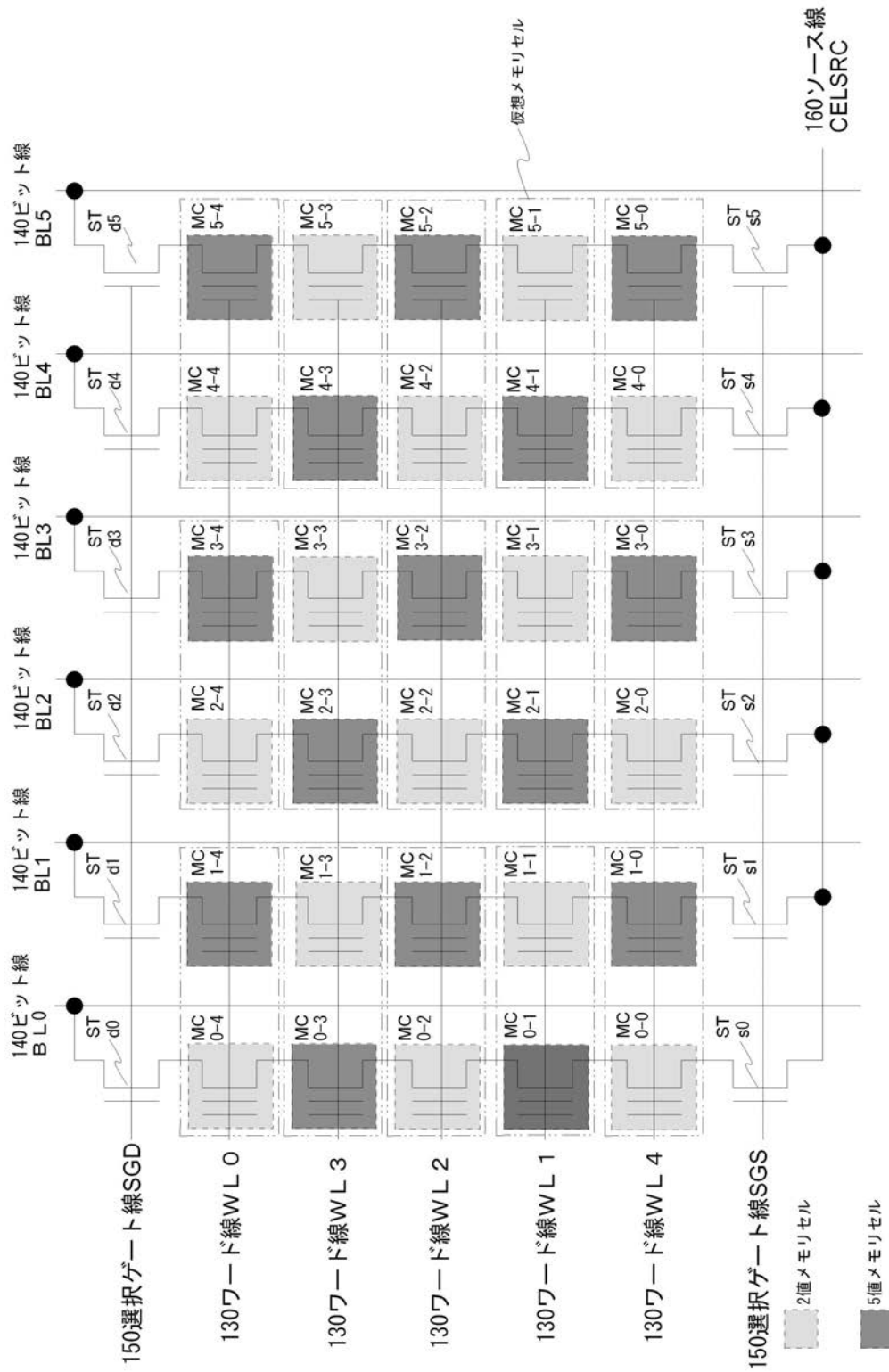
【 図 1 2 】



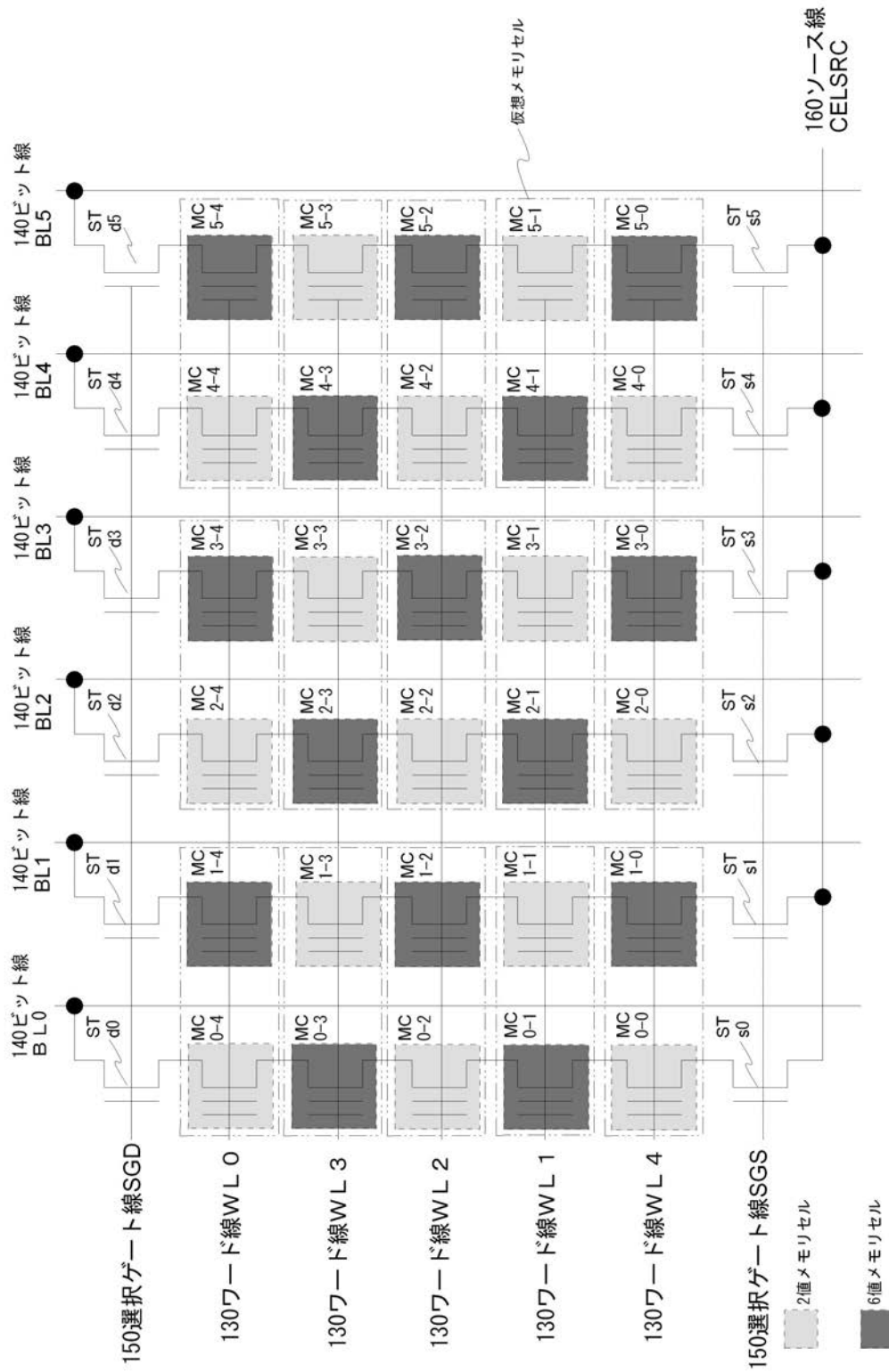
【 図 1 3 】



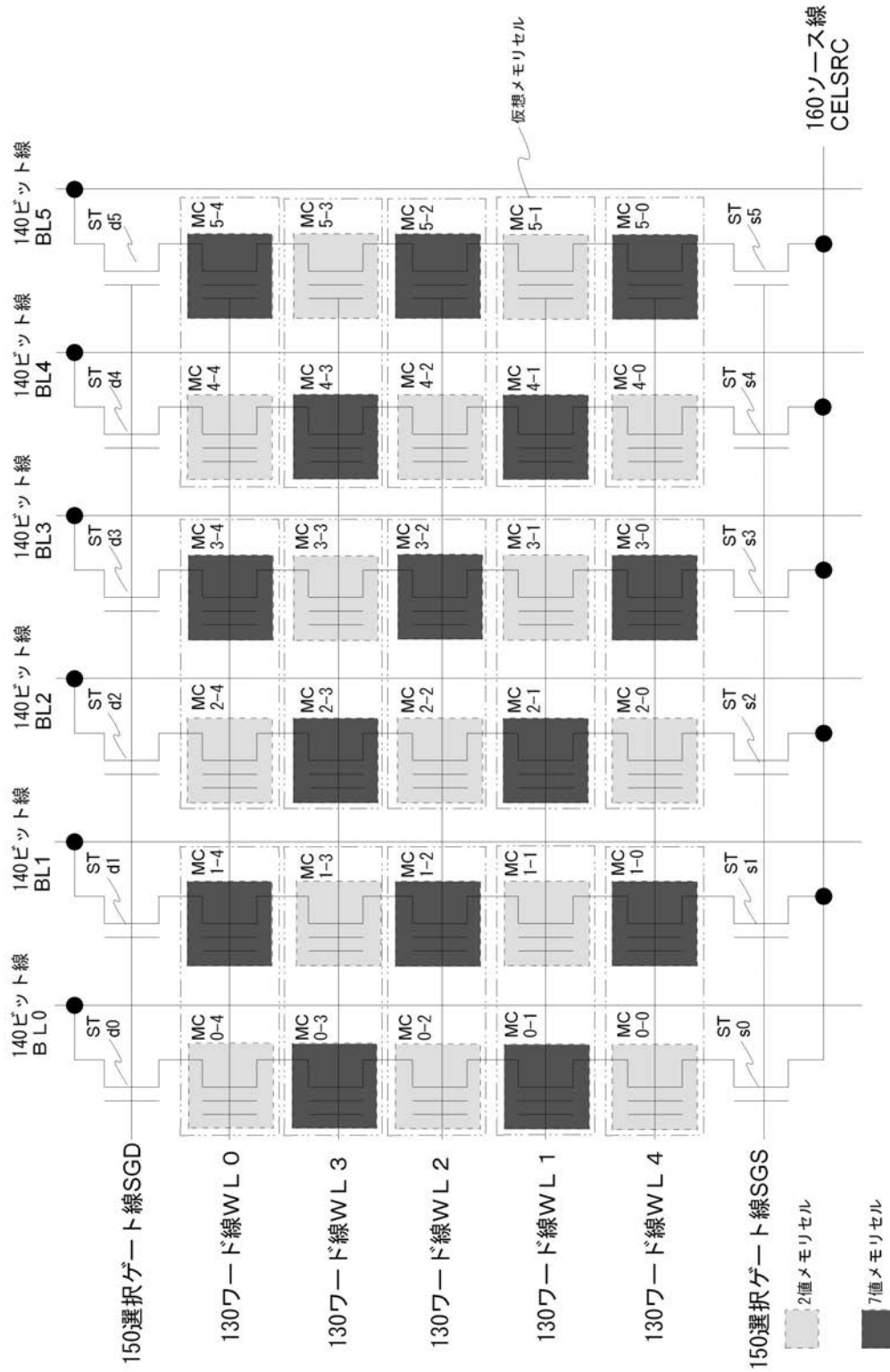
【 図 1 4 】



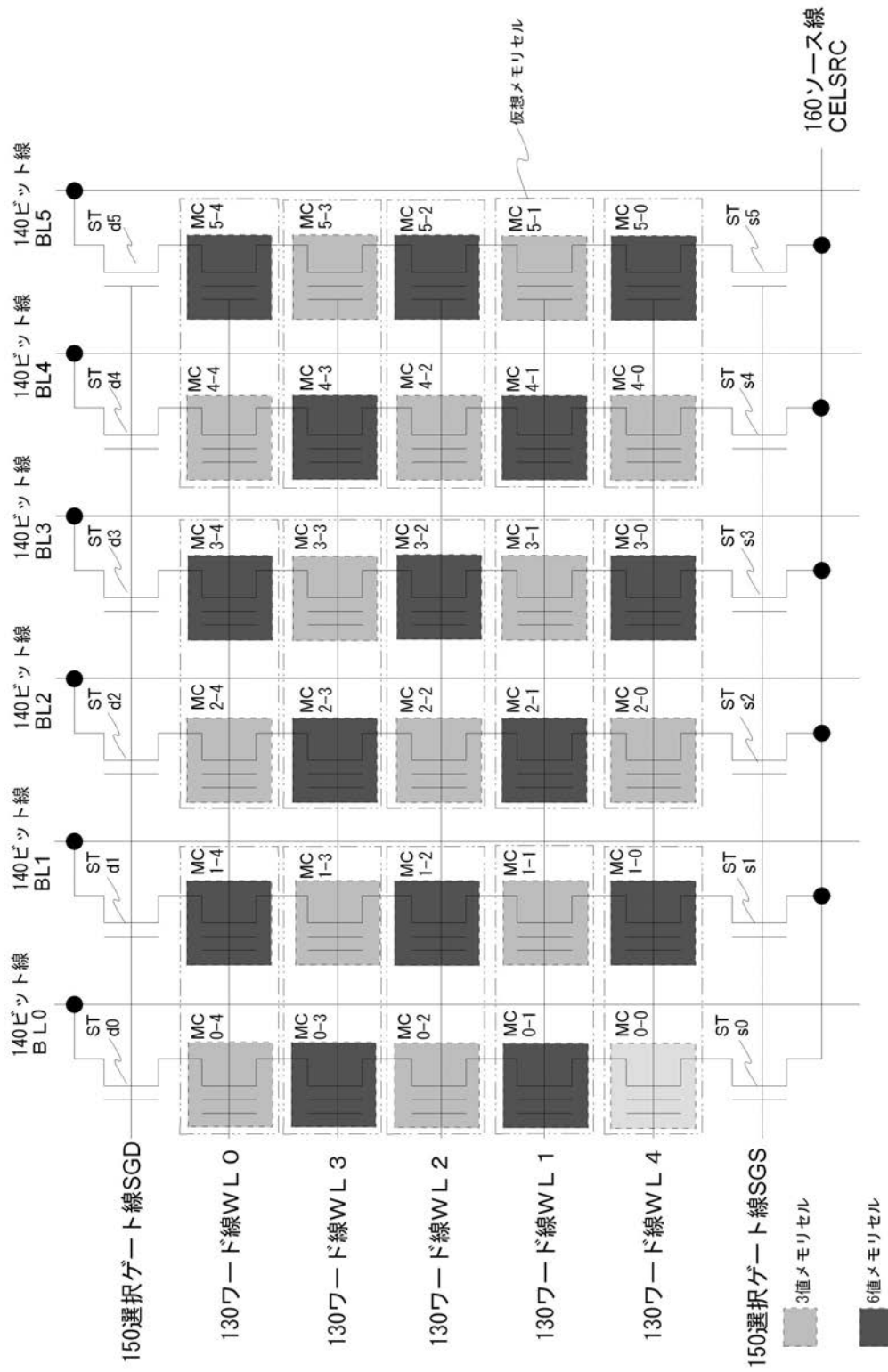
【 図 1 5 】



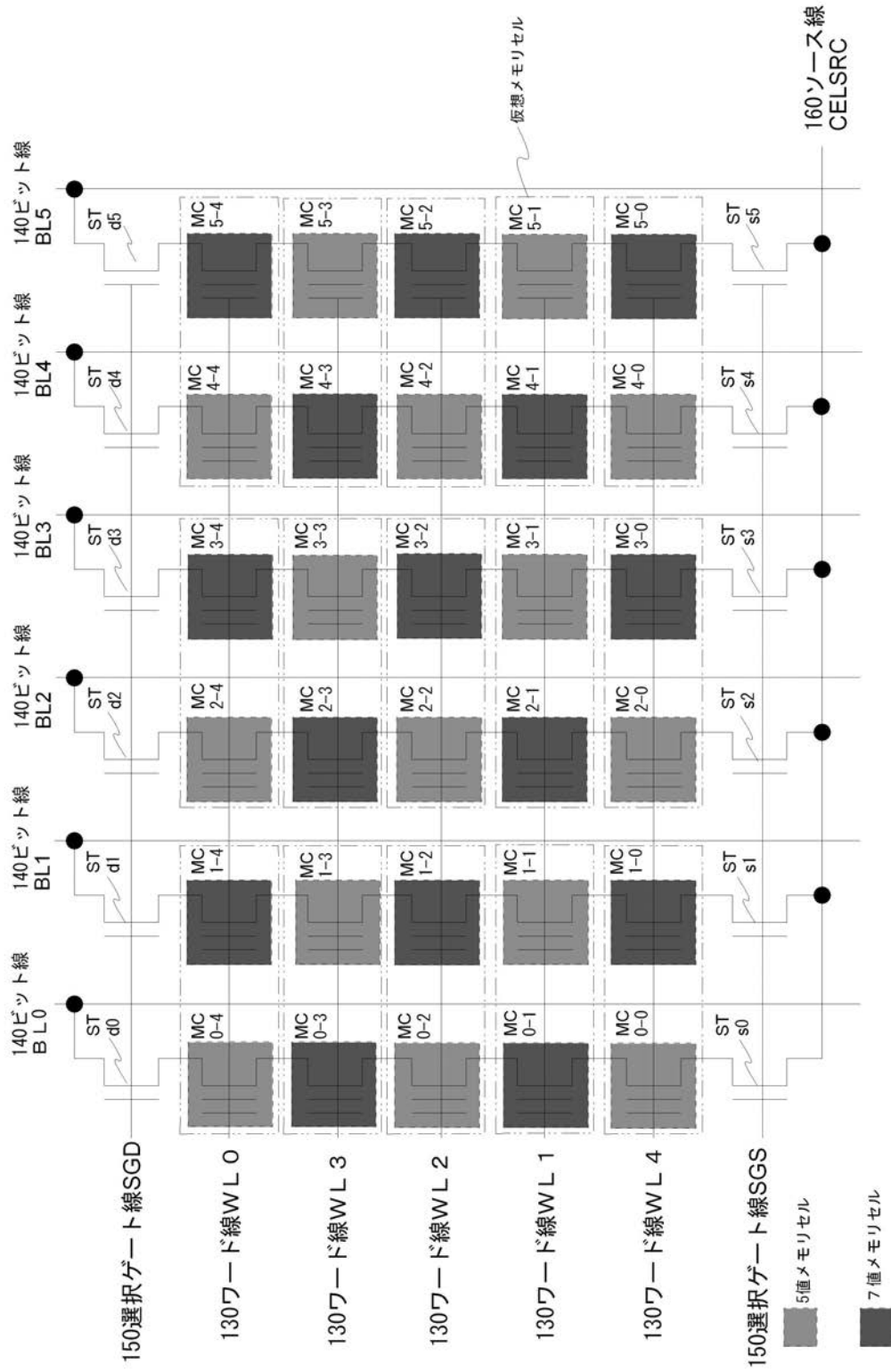
【 図 1 6 】



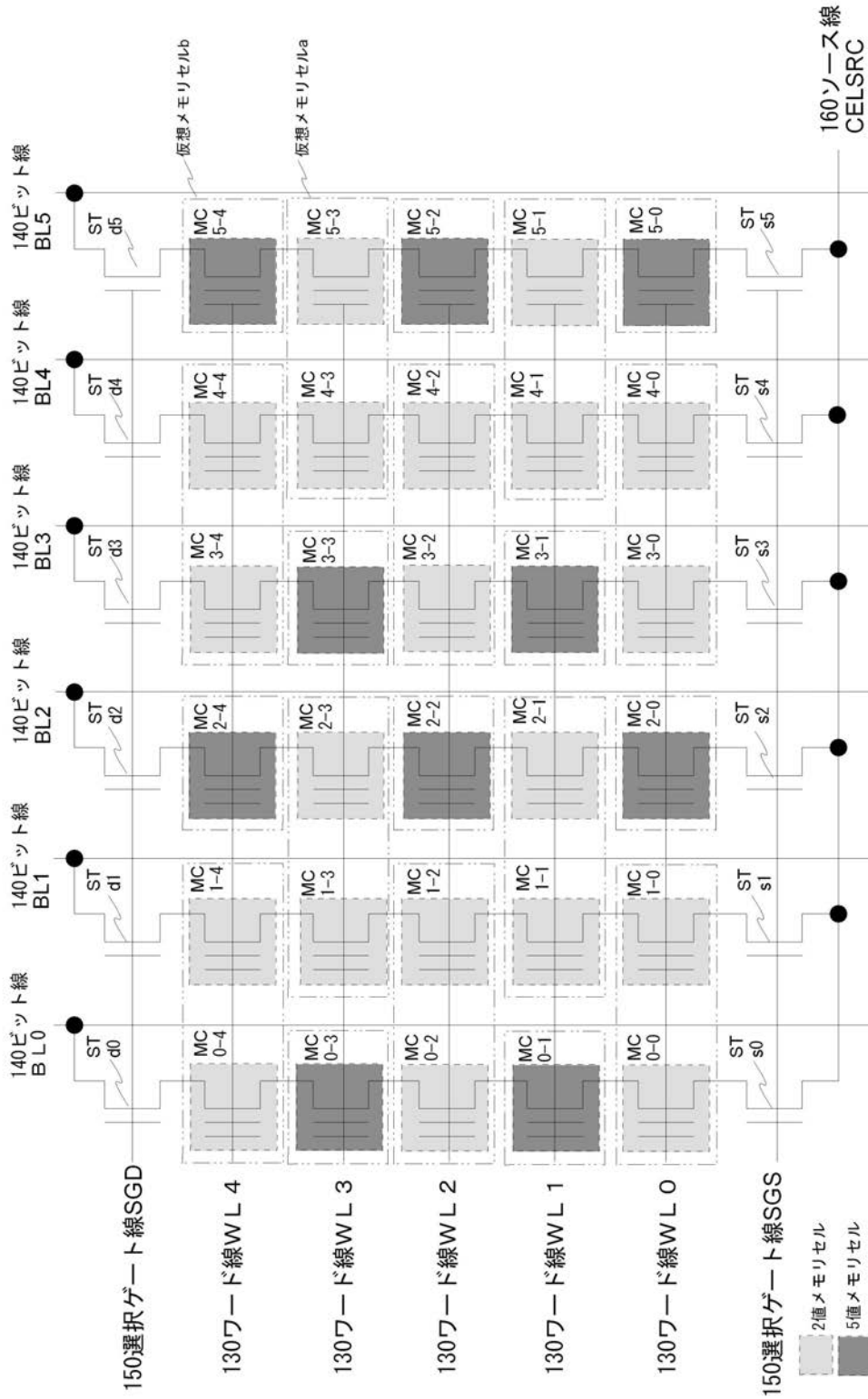
【 図 17 】



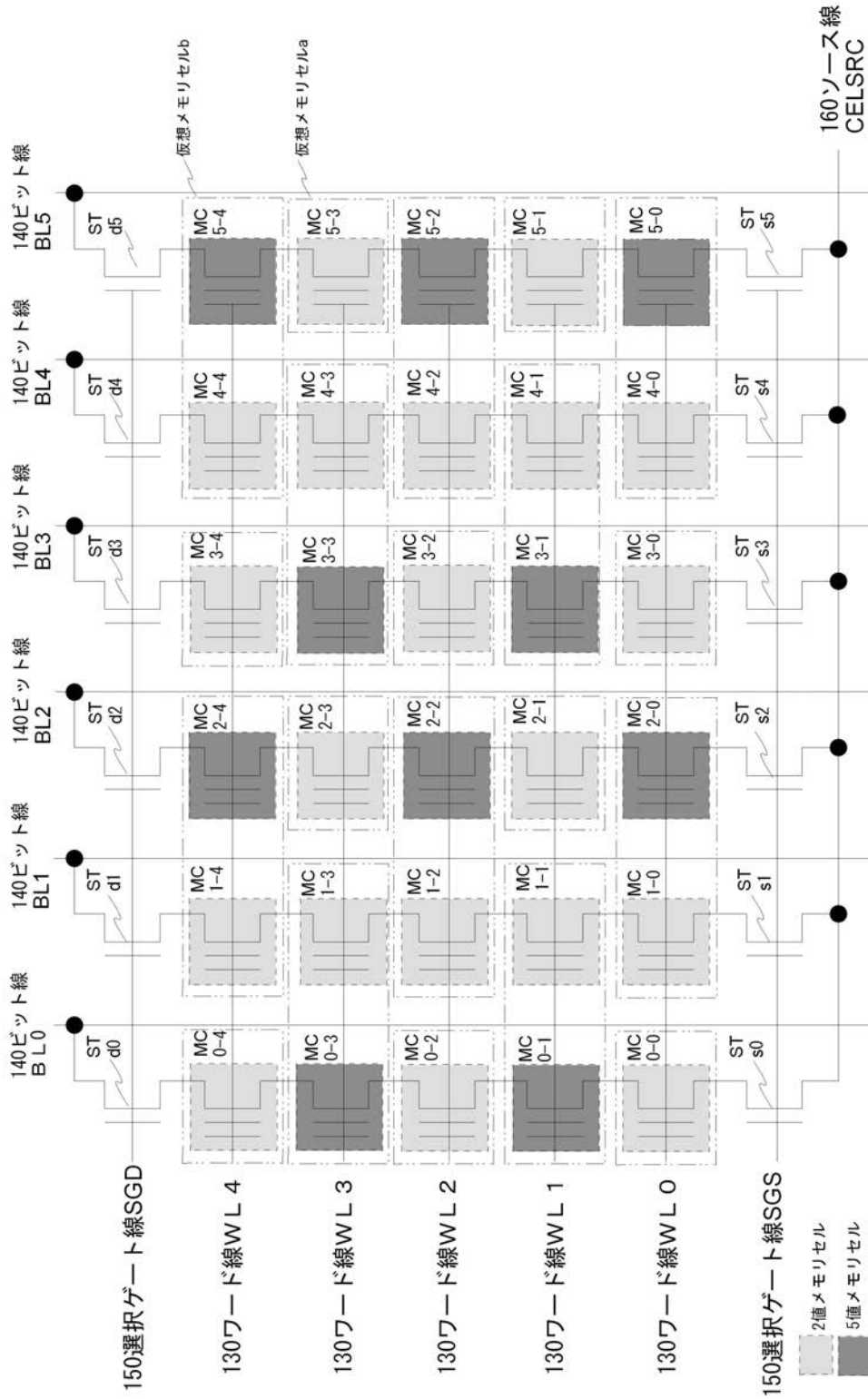
【 図 1 8 】



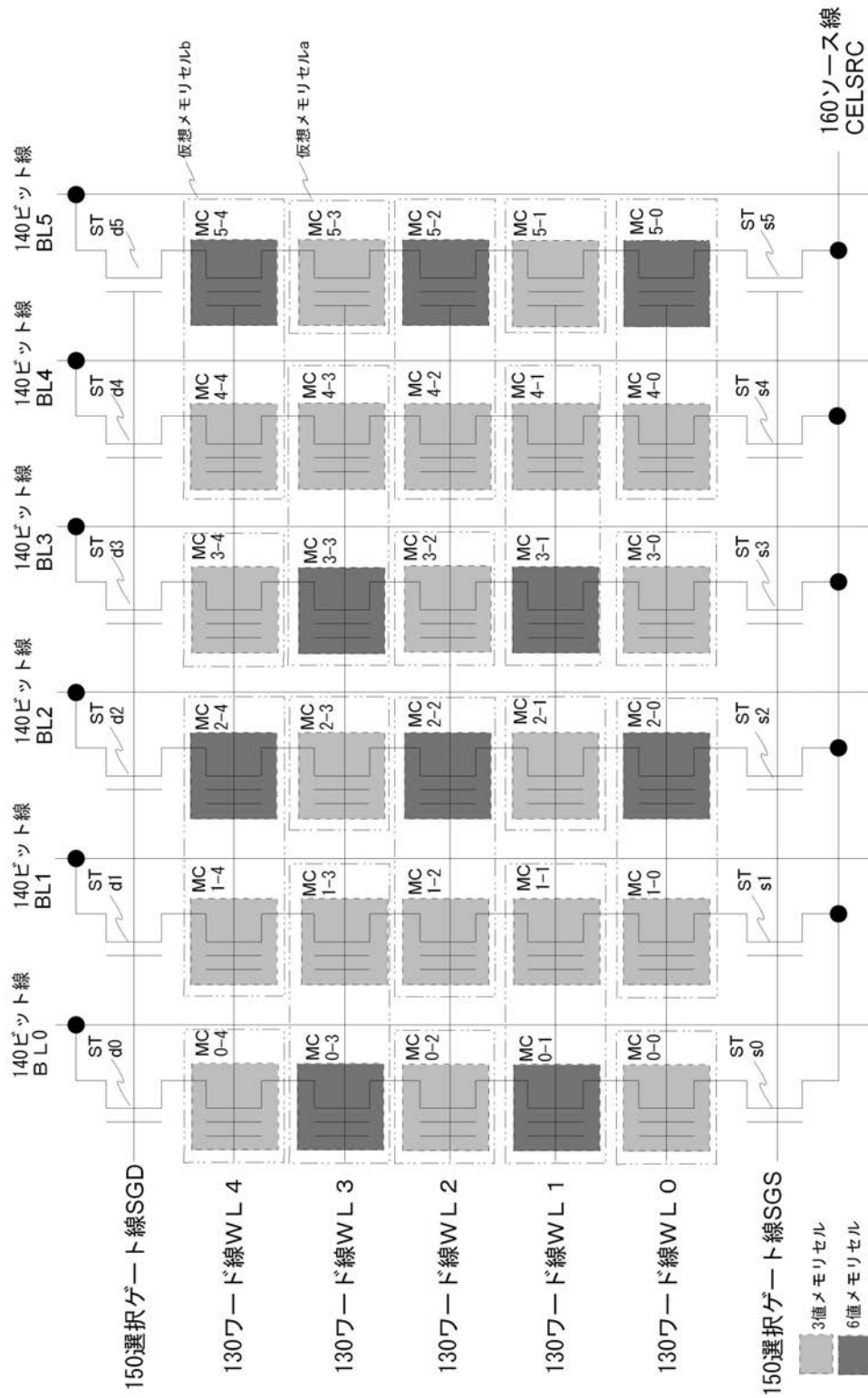
【 図 1 9 】



【図20】

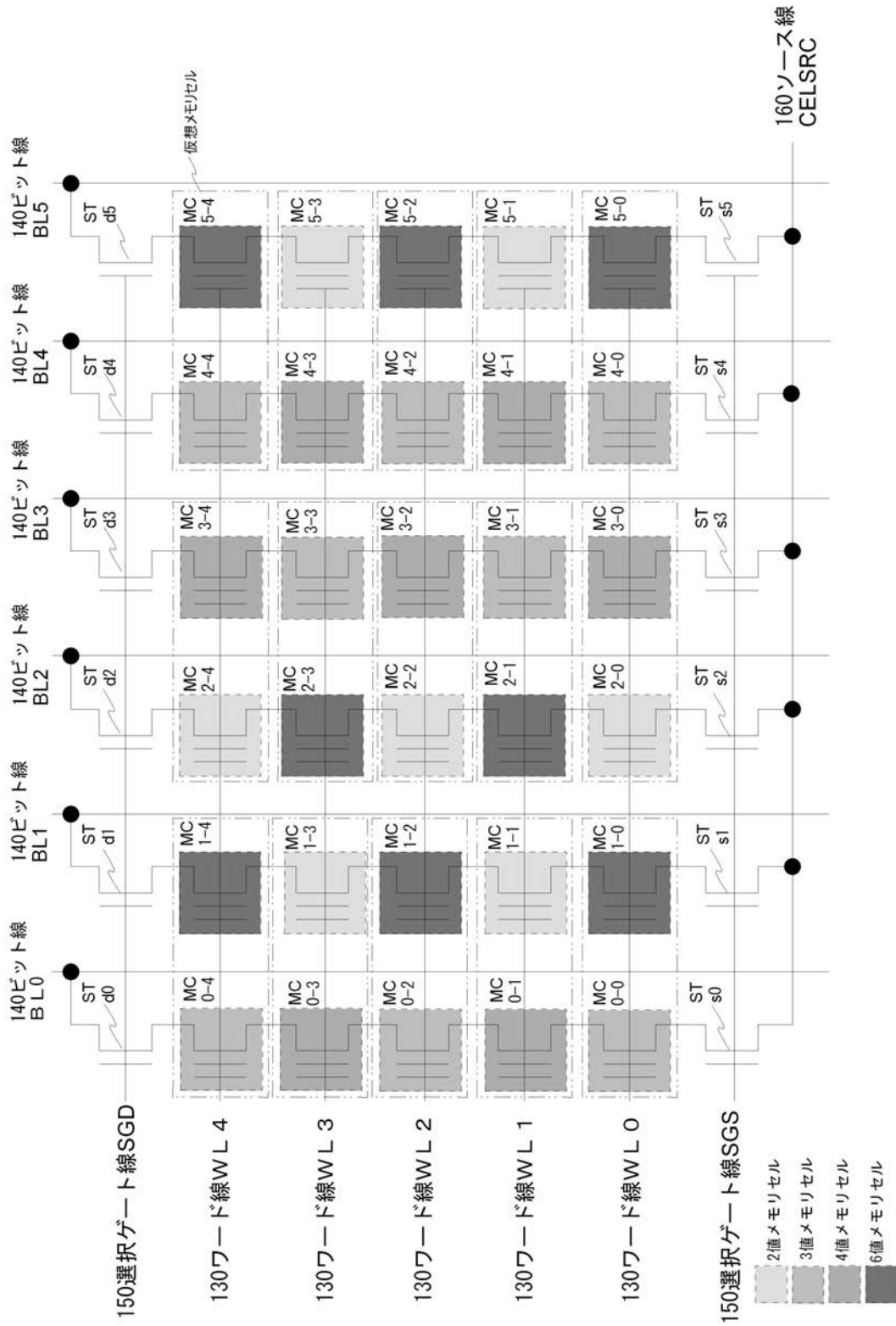


【 図 2 1 】

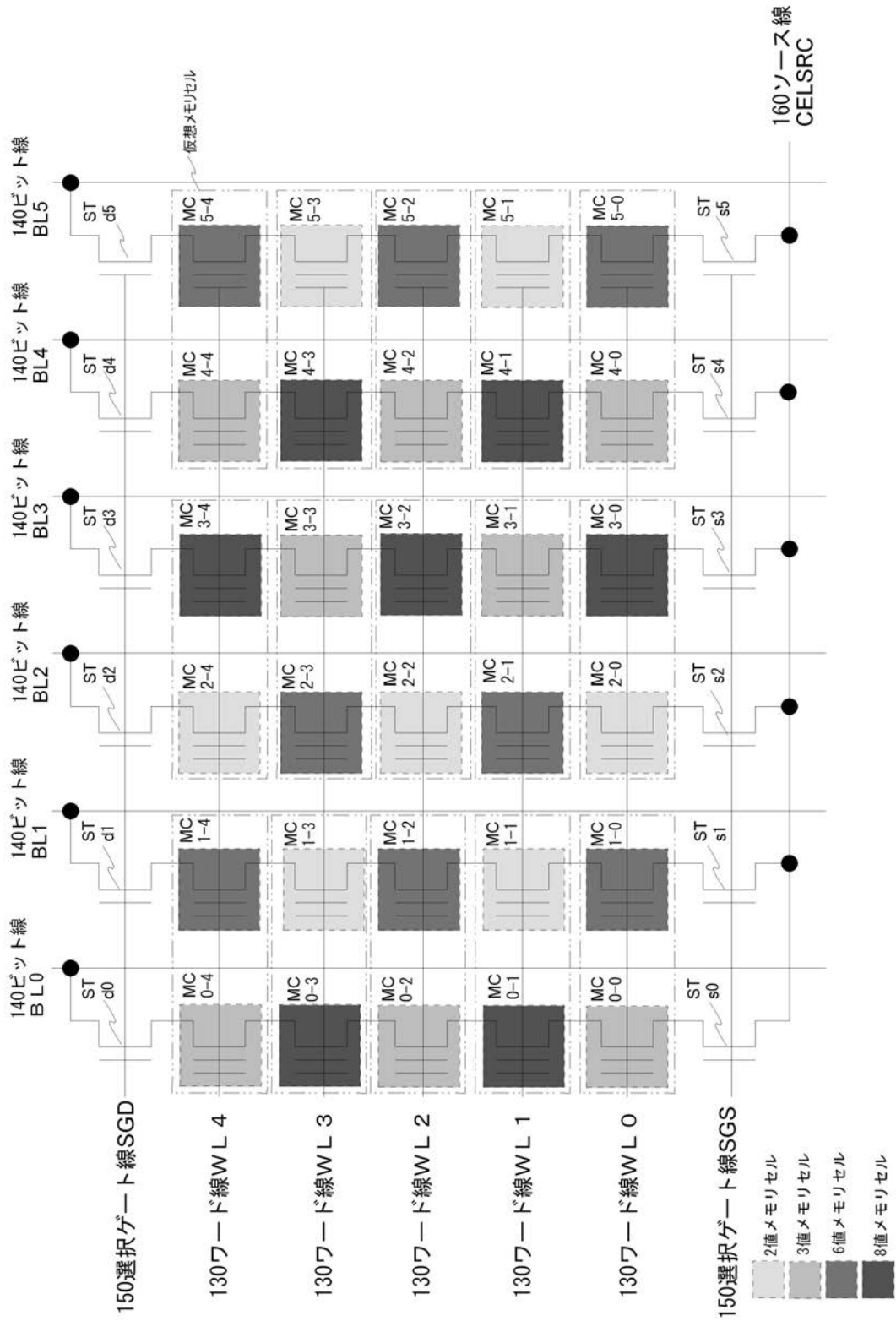


160ソース線
CELSRC

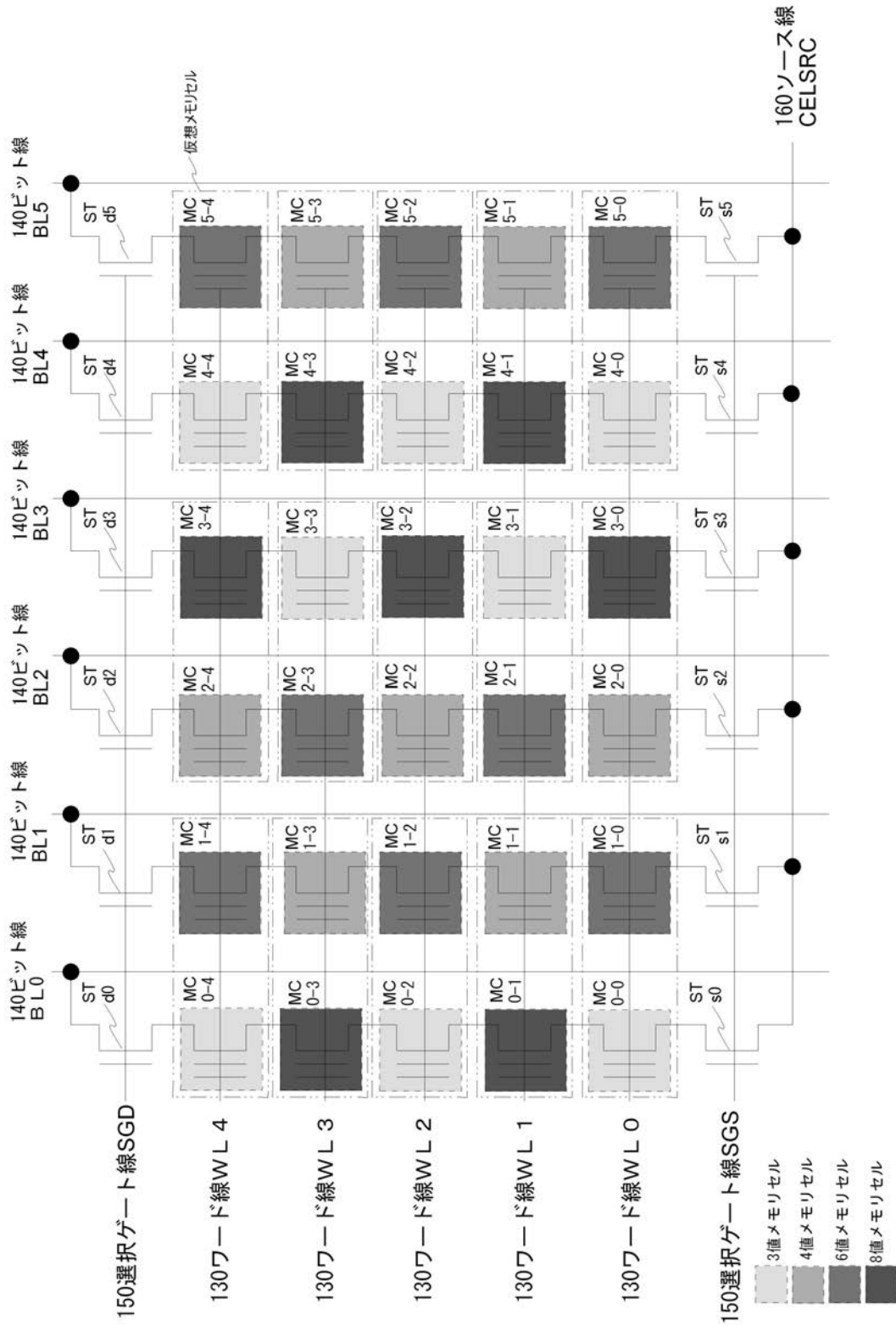
【 図 2 2 】



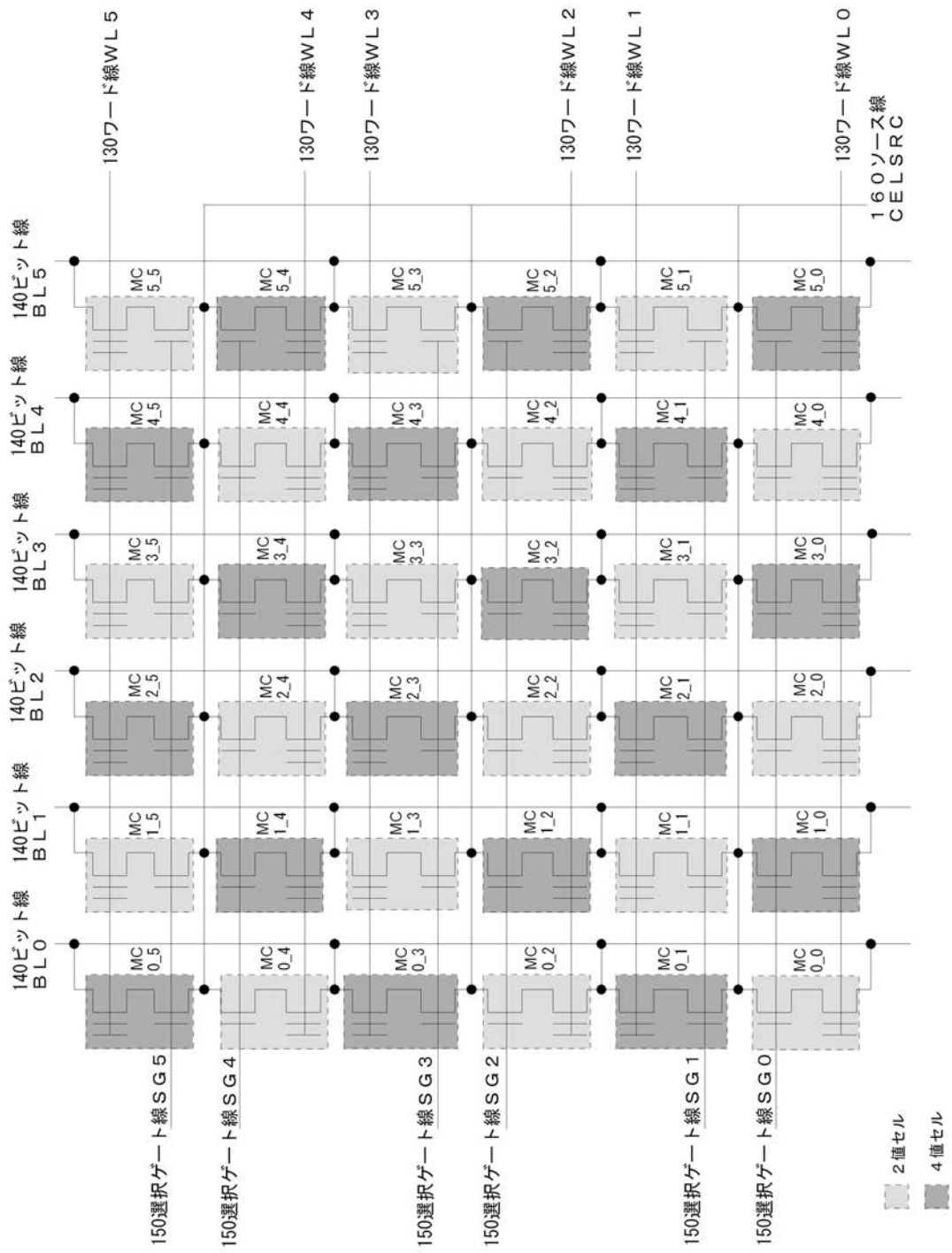
【 図 2 3 】



【 図 2 4 】



【 図 25 】



フロントページの続き

- (56)参考文献 特開2004-192789(JP,A)
特開2001-250386(JP,A)
特開2003-196988(JP,A)
特開2003-123486(JP,A)
特開2001-210082(JP,A)
特開2001-176290(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 16/00 - 16/34