



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년07월05일
(11) 등록번호 10-1046377
(24) 등록일자 2011년06월28일

(51) Int. Cl.

H01L 23/48 (2006.01) H05K 1/02 (2006.01)

H01L 21/60 (2006.01)

(21) 출원번호 10-2007-0088402

(22) 출원일자 2007년08월31일

심사청구일자 2008년12월29일

(65) 공개번호 10-2009-0022783

(43) 공개일자 2009년03월04일

(56) 선행기술조사문헌

KR100237329 B1*

KR1020060078110 A*

KR100722645 B1*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

박명근

서울 강동구 고덕동 162-4 다202

(74) 대리인

강성배

전체 청구항 수 : 총 1 항

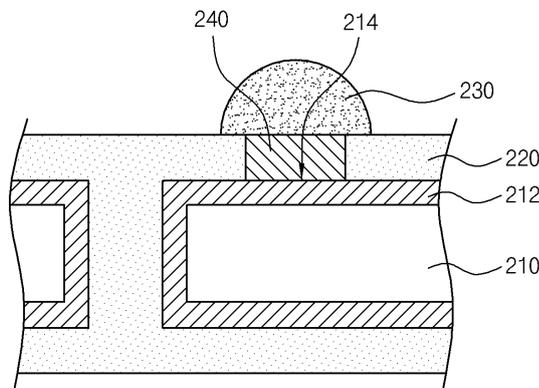
심사관 : 김재호

(54) 반도체 패키지용 인쇄회로기판 및 그의 제조 방법

(57) 요약

본 발명에 따른 반도체 패키지용 인쇄회로기판은, 절연층; 상기 절연층의 상면 및 하면과 내부에 형성된 회로 배선; 상기 회로 배선을 포함한 절연층의 상하면을 덮도록 형성됨과 아울러, 상기 절연층 상면의 회로 배선 일부가 노출되도록 패터닝되어 접속 패드 영역을 구획하는 솔더마스크; 및 상기 노출된 접속 패드 영역의 회로 배선 부분 상에 형성된 금속막을 포함한다.

대표도 - 도3



특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

반도체 패키지용 인쇄회로기판의 제조 방법으로서,

접속 패드 영역을 갖는 절연층의 상면 및 하면과 내부에 회로 배선을 형성하는 단계;

상기 절연층 상면에 형성된 회로 배선의 접속 패드 영역이 주위 회로 배선보다 돌출되도록 상기 주위 회로 배선을 식각하는 단계; 및

상기 접속 패드 영역 주위의 회로 배선 부분 및 절연층 상면과 하면의 회로 배선 부분 및 절연층 하면을 덮도록 솔더마스크를 형성하는 단계;를

포함하는 것을 특징으로 하는 반도체 패키지용 인쇄회로기판의 제조 방법.

청구항 14

청구항 14은(는) 설정등록료 납부시 포기되었습니다.

제 13 항에 있어서,

상기 접속 패드 영역의 회로 배선 상에 솔더를 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 패키지의 제조 방법.

청구항 15

청구항 15은(는) 설정등록료 납부시 포기되었습니다.

상기 솔더를 형성하는 단계 후, 상기 솔더에 대한 플럭스 크리닝 공정을 수행하는 단계를 더 포함하는 것을 특징으로 하는 반도체 패키지용 인쇄회로기판의 제조 방법.

청구항 16

청구항 16은(는) 설정등록료 납부시 포기되었습니다.

제 13 항에 있어서,

상기 솔더마스크는 접속 패드 영역의 회로 배선과 동일한 높이로 형성하거나 낮은 높이로 형성하는 것을 특징으로 하는 반도체 패키지용 인쇄회로기판의 제조 방법.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 반도체 패키지용 인쇄회로기판 및 그의 제조 방법에 관한 것으로서, 보다 상세하게는, 반도체 패키지의 신뢰성을 향상시킬 수 있는 반도체 패키지용 인쇄회로기판 및 그의 제조 방법에 관한 것이다.

배경기술

[0002] 전형적인 반도체 패키지는 물론 일부 패키지는 실장하는 방법으로 리드프레임에 솔더링(Soldering) 공정을 진행하는 방법을 이용하고 있다. 그러나, 상기 리드프레임에 솔더링 공정을 진행하는 방법은 공정 진행이 용이하고 신뢰성 측면에서 우수하다는 잇점이 있지만, 칩과 인쇄회로 기판 사이의 전기적 신호 전달 길이가 긴 것과 관련하여 전기적 특성 측면에서는 불리함이 있다.

[0003] 이와 같은 문제를 해결하기 위하여 제안된 플립 칩 패키지(Flip Chip Package)는 고밀도 패키징이 가능한 본딩 프로세스로, 반도체 칩 내부 회로에서 입출력 패드의 위치를 필요에 따라 결정할 수 있으므로 회로 설계를 단순화시킬 수 있다. 그리고, 회로선에 의한 저항이 감소하여 소요 전력을 줄일 수 있으며, 전기적 신호의 경로가 짧아져 반도체 패키지의 동작 속도를 향상시킬 수 있어 전기적 특성이 우수하다. 또한, 반도체 칩의 배면이 외부로 노출되어 있어 열적 특성이 우수하며, 작은 형태의 패키지를 구현할 수 있고, 솔더 자기정렬(Self-Alignment) 특성 때문에 본딩이 용이하다.

[0004] 상기 플립 칩 패키지에서 반도체 칩과 기판 사이의 전기적 연결은 반도체 칩의 입출력 패드 상에 형성된 솔더 범프(Solder Bump), 스투드 범프(Stud Bump) 등과 같은 돌출된 형태의 범프와 인쇄회로기판(Printed circuit board) 상에 형성되어 있는 솔더가 콘택함으로써 이루어진다. 상기 솔더는 인쇄회로기판의 접속 패드 상에 형성되며, 상기 구조를 SOP(Solder on pad)라고 한다.

[0005] 도 1은 종래 SOP 구조를 갖는 인쇄회로기판을 이용한 플립 칩 패키지를 설명하기 위하여 절연층을 기준으로 상면을 도시한 단면도이다.

[0006] 도시된 바와 같이, 상면에 본딩 패드(102)가 구비되고 상기 본딩 패드(102) 상에 범프(104)가 형성된 반도체 칩(100)이 절연층(110)의 상면에 회로 배선(112)이 형성되고 솔더마스크(120)에 의해 접속 패드(114)가 구획되며, 상기 접속 패드(114) 상에 솔더(130)가 형성된 인쇄회로기판(110)에 플립 칩 본딩된다.

- [0007] 한편, 상기 인쇄회로기판 상에 형성되는 솔더는 플럭스(Flux)에 전도성 파티클이 포함된 상태로 상기 접속 패드 상에 도포되며, 상기 솔더의 도포 후, 전기적 연결 특성을 향상시키고 충전재와 같은 이중막과의 계면 들뜸을 방지하기 위하여 상기 솔더 내부 및 외부에 함유된 플럭스를 제거하는 플럭스 세정 공정을 진행하게 된다.
- [0008] 그러나, 상기 솔더를 인쇄회로기판의 접속 패드 상에 도포하고 플럭스 세정 공정을 수행할 경우, 솔더마스크와 인쇄회로기판 접속 패드 간의 단차에 의해 솔더마스크 사이 공간에 도포된 솔더의 플럭스는 용이하게 제거되지 못한다.
- [0009] 이와 같이, 상기 제거되지 못한 솔더마스크 사이 공간의 플럭스는 반도체 패키지에 대한 신뢰성 평가시 계면 간의 들뜸현상과 같은 페일(fail)을 유발한다.
- [0010] 도 2는 종래 페일이 발생한 플립 칩 패키지를 설명하기 위하여 도시한 사진이다.
- [0011] 도시된 바와 같이, 반도체 패키지의 형성 후의 신뢰성 테스트에서, 인쇄회로기판의 구조적인 문제로 솔더마스크(120) 사이 공간에서 플럭스 세정 공정시 제거되지 못한 플럭스에 의해 솔더(130)와 솔더마스크(120) 및 회로 배선(112) 간에 들뜸 현상이 발생한다. 이로 인해, 반도체 패키지의 신뢰성이 감소한다.

발명의 내용

해결 하고자하는 과제

- [0012] 본 발명은 반도체 패키지의 신뢰성을 향상시킬 수 있는 반도체 패키지용 인쇄회로기판 및 그의 제조 방법을 제공한다.

과제 해결수단

- [0013] 본 발명에 따른 반도체 패키지용 인쇄회로기판은, 절연층; 상기 절연층의 상면 및 하면과 내부에 형성된 회로 배선; 상기 회로 배선을 포함한 절연층의 상하면을 덮도록 형성됨과 아울러, 상기 절연층 상면의 회로 배선 일부분이 노출되도록 패터닝되어 접속 패드 영역을 구획하는 솔더마스크; 및 상기 노출된 접속 패드 영역의 회로 배선 부분 상에 형성된 금속막을 포함하는 것을 특징으로 한다.
- [0014] 상기 접속 패드 영역의 금속막 상에 형성된 솔더를 더 포함하는 것을 특징으로 한다.
- [0015] 상기 금속막은 상기 솔더마스크와 동일한 높이를 갖거나 높은 높이를 갖는 것을 특징으로 한다.
- [0016] 상기 금속막은 니켈(Ni), 알루미늄(Al), 금(Au) 및 티타늄(Ti) 중 어느 하나로 형성하거나 또는 이들 중 어느 하나의 합금으로 형성된 것을 특징으로 한다.
- [0017] 또한, 본 발명에 따른 반도체 패키지용 인쇄회로기판은, 절연층; 상기 접속 패드 영역을 갖는 절연층의 상면 및 하면과 내부에 형성되고, 상기 절연층 상면의 접속 패드 영역이 주위 영역보다 돌출되도록 형성된 회로 배선; 및 상기 절연층 상면 접속 패드 영역 주위의 회로 배선 부분 및 절연층과 하면 회로 배선 및 절연층을 덮도록 형성된 솔더마스크를 포함하는 것을 특징으로 한다.
- [0018] 상기 접속 패드 영역의 회로 배선 상에 형성된 솔더를 더 포함하는 것을 특징으로 한다.
- [0019] 상기 솔더마스크는 접속 패드 영역의 회로 배선과 동일한 높이를 갖거나 낮은 높이를 갖는 것을 특징으로 한다.
- [0020] 아울러, 반도체 패키지용 인쇄회로기판의 제조 방법으로서, 접속 패드 영역을 갖는 절연층의 상면 및 하면과 내부에 회로 배선을 형성하는 단계; 상기 접속 패드 영역을 구획하기 위하여 상기 절연층 상면의 회로 배선 일부분이 노출되도록 상기 회로 배선을 포함한 절연층 상면 및 상기 회로 배선을 포함한 절연층 하면에 솔더마스크를 형성하는 단계; 및 상기 노출된 접속 패드 영역의 회로 배선 상에 금속막을 형성하는 단계를 포함하는 것을 특징으로 한다.
- [0021] 상기 접속 패드 영역의 금속막 상에 솔더를 형성하는 단계를 더 포함하는 것을 특징으로 한다.
- [0022] 상기 솔더를 형성하는 단계 후, 상기 솔더에 대한 플럭스 크리닝 공정을 수행하는 단계를 더 포함하는 것을 특징으로 한다.
- [0023] 상기 금속막은 도금 공정으로 형성하는 것을 특징으로 한다.
- [0024] 상기 금속막은 상기 솔더마스크와 동일한 높이로 형성하거나 높은 높이로 형성하는 것을 특징으로 한다.

- [0025] 게다가, 반도체 패키지용 인쇄회로기판의 제조 방법으로서, 접속 패드 영역을 갖는 절연층의 상면 및 하면과 내부에 회로 배선을 형성하는 단계; 상기 절연층 상면에 형성된 회로 배선의 접속 패드 영역이 주위 회로 배선보다 돌출되도록 상기 주위 회로 배선을 식각하는 단계; 및 상기 접속 패드 영역 주위의 회로 배선 부분 및 절연층 상면과 하면의 회로 배선 부분 및 절연층 하면을 덮도록 솔더마스크를 형성하는 단계를 포함하는 것을 특징으로 한다.
- [0026] 상기 접속 패드 영역의 회로 배선 상에 솔더를 형성하는 단계를 더 포함하는 것을 특징으로 한다.
- [0027] 상기 솔더를 형성하는 단계 후, 상기 솔더에 대한 플럭스 크리닝 공정을 수행하는 단계를 더 포함하는 것을 특징으로 한다.
- [0028] 상기 솔더마스크는 접속 패드 영역의 회로 배선과 동일한 높이로 형성하거나 낮은 높이로 형성하는 것을 특징으로 한다.

효 과

- [0029] 본 발명은 접속 패드를 한정하는 솔더마스크 사이의 상기 접속 패드 상에 금속막을 형성하거나 회로 배선을 잔류시키고 그 상부에 솔더를 형성함으로써 솔더가 솔더마스크 사이 공간에 형성되는 것을 방지하여 솔더마스크 및 접속 패드와의 계면에 솔더의 플럭스가 잔류하는 문제를 근본적으로 방지할 수 있어 반도체 패키지의 전기적 및 물리적 신뢰성을 향상시킬 수 있다.
- [0030] 또한, 솔더마스크 두께 및 회로 배선 노출 영역을 균일하게 형성할 수 있어 솔더의 균일성(Uiformity)을 향상시킬 수 있다.

발명의 실시를 위한 구체적인 내용

- [0031] 본 발명은 접속 패드 상에 솔더가 형성된 구조의 인쇄회로기판을 이용하여 반도체 패키지를 형성할 경우, 접속 패드를 한정하는 솔더마스크 사이의 상기 접속 패드 상에 금속막을 형성하거나, 또는, 회로 배선을 잔류시키고 그 상부에 솔더를 형성함으로써 솔더에 포함된 플럭스가 솔더와 솔더마스크 및 접속 패드와의 계면에 잔류하는 문제를 근본적으로 방지한다.
- [0032] 따라서, 종래 솔더마스크 및 접속 패드와 솔더 사이의 계면에 플럭스가 잔류하여 신뢰성 테스트 시 페일이 발생하는 문제를 방지할 수 있어, 반도체 패키지의 전기적 및 물리적 신뢰성을 향상시킬 수 있다.
- [0033] 또한, 솔더마스크를 형성한 후 금속막을 형성하거나 또는 회로 배선을 식각한 후, 그 주위로 솔더마스크를 형성함으로써 솔더마스크를 균일하게 형성할 수 있어 종래 솔더마스크의 두께와 회로 배선 노출 영역이 균일하지 못해 솔더의 형성시 솔더의 균일성(Uiformity)이 떨어지는 문제를 개선할 수 있다.
- [0034] 이하에서는 본 발명의 실시예에 따른 반도체 패키지 제조용 인쇄회로기판 및 그의 제조 방법을 상세히 설명하도록 한다.
- [0035] 도 3은 본 발명의 일 실시예에 따른 반도체 패키지 제조용 인쇄회로기판을 도시한 단면도이고, 도 4a 내지 도 4c는 본 발명의 일 실시예에 따른 반도체 패키지 제조용 인쇄회로기판의 제조 방법을 설명하기 위한 공정별 단면도이다.
- [0036] 도 3을 참조하면, 절연층(210)의 상면 및 하면과 내부에는 회로 배선(212)이 형성되고, 상기 회로 배선(212)을 포함한 절연층(210)의 상면 및 하면을 덮도록 솔더마스크(220)가 형성되어 있다. 상기 절연층(210) 상면의 솔더마스크(220)는 반도체 칩(미도시)과의 전기적인 연결을 위한 접속 패드 영역(214)을 구획하기 위하여 상기 회로 배선(212)의 일부분이 노출되도록 패터닝된다. 상기 패터닝된 솔더마스크(220) 사이의 상기 회로 배선(212) 상에는 금속막(240)이 형성되어 있으며, 상기 금속막(240)을 포함한 솔더마스크(220) 상에는 솔더(230)가 형성된다.
- [0037] 상기 금속막(240)은 상기 솔더마스크(220)와 동일한 높이로 형성하거나 상기 솔더마스크(220)보다 높은 높이로 형성되며, 상기 금속막(240)은 니켈(Ni), 알루미늄(Al), 금(Au) 및 티타늄(Ti) 중 어느 하나로 형성하거나 또는 이들 중 어느 하나의 합금으로 형성된다.
- [0038] 상기 본 발명의 일 실시예에 따른 반도체 기판의 제조 방법은, 우선, 도 4a를 참조하면, 접속 패드 영역을 갖는 절연층(210)의 상면 및 하면과 내부에 회로 배선(212)을 형성한다.

- [0039] 그런 다음, 상기 회로 배선(212)이 형성된 절연층(210)의 상면 및 하면과 내부에 상기 회로 배선(212)을 덮도록 솔더마스크(220)를 형성한다. 이어서, 상기 절연층(210) 상면의 접속 패드(214) 영역에 해당하는 부분의 솔더마스크(220) 패터닝하여 상기 회로 배선(212)의 일부분을 노출시킨다.
- [0040] 도 4b를 참조하면, 상기 접속 패드(214) 영역인 솔더마스크(220) 사이의 회로 배선(212) 상에 금속막(240)을 형성한다. 상기 금속막(240)은 도금 공정으로 형성하며, 상기 금속막(240)은 상기 솔더마스크(220)와 동일한 높이로 형성하거나 높은 높이로 형성한다.
- [0041] 도 4c를 참조하면, 상기 금속막(240)을 포함한 솔더마스크(220) 상에 솔더(230)를 형성한 후, 플럭스 세정 공정을 완료하여 반도체 패키지용 인쇄회로기판의 제조를 완료한다.
- [0042] 한편, 본 발명의 다른 실시예에 따른 반도체 패키지용 인쇄회로기판은 다음과 같다.
- [0043] 도 5는 본 발명의 다른 실시예에 따른 반도체 패키지용 인쇄회로기판을 도시한 단면도이고, 도 6a 내지 도 6c는 본 발명의 다른 실시예에 따른 반도체 패키지용 인쇄회로기판의 제조 방법을 설명하기 위한 공정별 단면도이다.
- [0044] 도 5를 참조하면, 접속 패드 영역을 갖는 절연층(310)의 상면 및 하면과 내부에 회로 배선(312)이 형성되어 있으며, 상기 절연층(310) 상면의 접속 패드(314) 영역에 해당하는 회로 배선(312) 부분이 주위 영역의 회로 배선(312) 부분보다 돌출되어 있다. 상기 절연층(310) 상면 회로 배선의 상기 접속 패드(314) 영역 주위의 회로 배선(312) 부분, 절연층(310)과 하면 회로 배선(312) 및 절연층(310) 및 내부에 솔더마스크(320)가 형성된다. 상기 절연층(310) 상면 접속 패드(314) 영역에 해당하는 회로 배선(312)을 포함한 솔더마스크(320) 상에는 솔더(330)가 형성된다.
- [0045] 상기 절연층(310) 상면에 형성된 솔더마스크(320)는 접속 패드 영역에 해당하는 회로 배선(312)과 동일한 높이로 형성하거나 낮은 높이로 형성된다.
- [0046] 상기 본 발명의 다른 실시예에 따른 반도체 패키지용 인쇄회로기판의 제조 방법은, 우선, 도 6a를 참조하면, 절연층(310)의 상면 및 하면과 내부에 회로 배선(312)을 형성한다. 이때, 상기 절연층(310) 상면에 형성되는 회로 배선(312)은 하면의 회로 배선(312)보다 접속 패드 영역 형성을 위하여 두껍게 형성할 수 있다.
- [0047] 그런 다음, 상기 절연층(310) 상면의 접속 패드 영역(314)에 해당하는 회로 배선(312) 부분이 주위 영역의 회로 배선(312)보다 돌출되도록, 즉, 높을 높이를 갖도록 주위 영역의 회로 배선(312)을 일부 두께로 식각한다.
- [0048] 도 6b를 참조하면, 상기 식각된 회로 배선(312) 부분과 절연층(310) 상면, 회로 배선(312)을 포함한 절연층(310) 하면을 덮음과 아울러 내부가 매립되도록 솔더마스크(320)를 형성한다. 상기 솔더마스크(320)는 접속 패드(314) 영역의 회로 배선(312)과 동일한 높이로 형성하거나 또는 낮은 높이로 형성한다.
- [0049] 도 6c를 참조하면, 상기 접속 패드(314) 영역의 회로 배선(312)을 포함한 솔더마스크(320) 상에 솔더(330)를 형성한 후, 플럭스 세정 공정을 완료하여 반도체 패키지용 인쇄회로기판의 제조를 완료한다.
- [0050] 이상에서와 같이, 본 발명은 접속 패드 상에 솔더가 형성된 구조의 인쇄회로기판을 이용하여 반도체 패키지를 형성할 경우, 접속 패드를 한정하는 솔더마스크 사이의 상기 접속 패드 상에 금속막을 형성하거나, 또는, 회로 배선을 잔류시키고 그 상부에 솔더를 형성함으로써 솔더에 포함된 플럭스가 솔더와 솔더마스크 및 접속 패드와의 계면에 잔류하는 문제를 근본적으로 방지한다.
- [0051] 따라서, 종래 솔더마스크 및 접속 패드와 솔더 사이의 계면에 플럭스가 잔류하여 신뢰성 테스트 시 페일이 발생하는 문제를 방지할 수 있어, 반도체 패키지의 전기적 및 물리적 신뢰성을 향상시킬 수 있다.
- [0052] 또한, 솔더마스크를 형성한 후 금속막을 형성하거나 또는 회로 배선을 식각한 후 그 주위로 솔더마스크를 형성함으로써 솔더마스크를 균일하게 형성할 수 있어 종래 솔더마스크의 두께와 회로 배선 노출 영역이 균일하지 못해 되어 SOP의 형성시 솔더의 균일성(Uiformity)이 떨어지는 문제를 개선할 수 있다.
- [0053] 이상, 여기에서는 본 발명을 특정 실시예에 관련하여 도시하고 설명하였지만, 본 발명이 그에 한정되는 것은 아니며, 이하의 특허청구의 범위는 본 발명의 정신과 분야를 이탈하지 않는 한도 내에서 본 발명이 다양하게 개조 및 변형될 수 있다는 것을 당업계에서 통상의 지식을 가진 자가 용이하게 알 수 있다.

도면의 간단한 설명

- [0054] 도 1은 종래 SOP 구조를 갖는 기판을 이용한 플립 칩 패키지를 설명하기 위하여 도시한 단면도.

[0055] 도 2는 종래 폐일이 발생한 플립 칩 패키지를 설명하기 위하여 도시한 사진.

[0056] 도 3은 본 발명의 일 실시예에 따른 반도체 기판을 도시한 단면도.

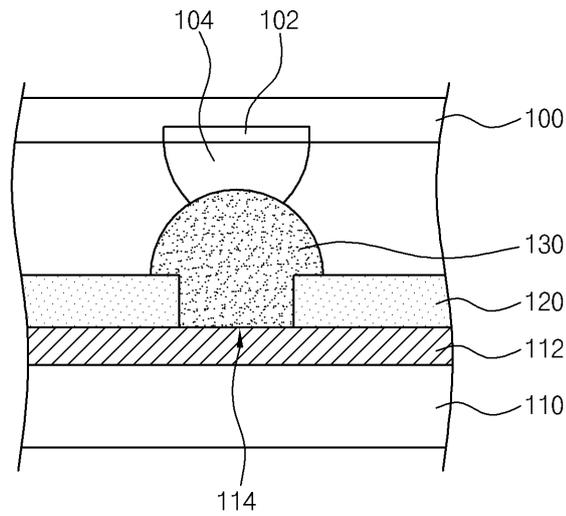
[0057] 도 4a 내지 도 4c는 본 발명의 일 실시예에 따른 반도체 기판의 제조 방법을 설명하기 위한 공정별 단면도이다.

[0058] 도 5은 본 발명의 다른 실시예에 따른 반도체 기판을 도시한 단면도.

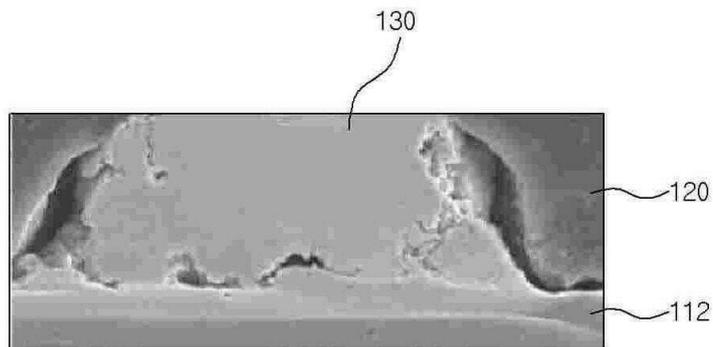
[0059] 도 6a 내지 도 6c는 본 발명의 다른 실시예에 따른 반도체 기판의 제조 방법을 설명하기 위한 공정별 단면도이다.

도면

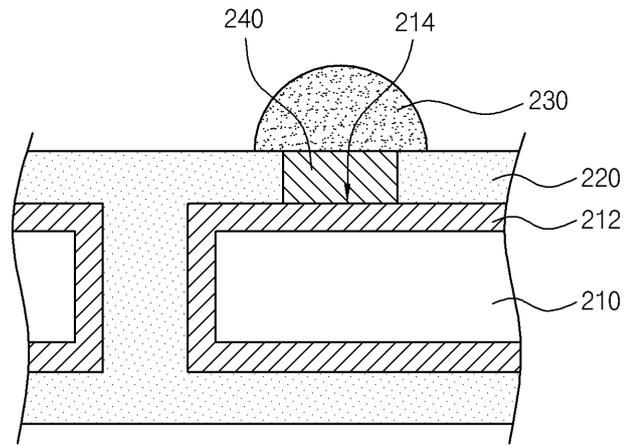
도면1



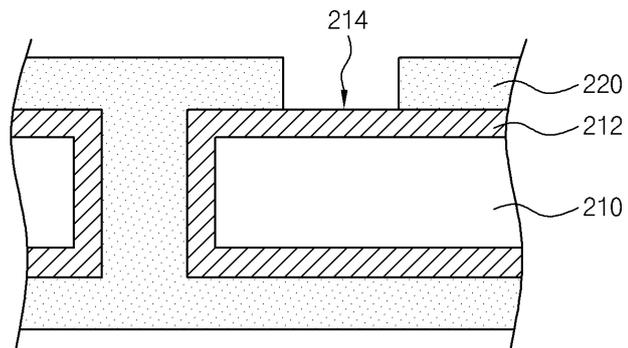
도면2



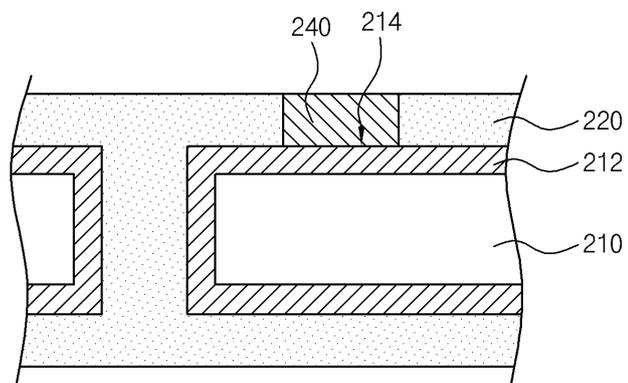
도면3



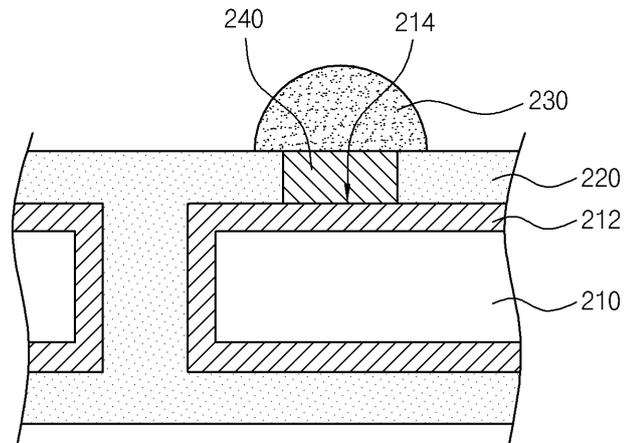
도면4a



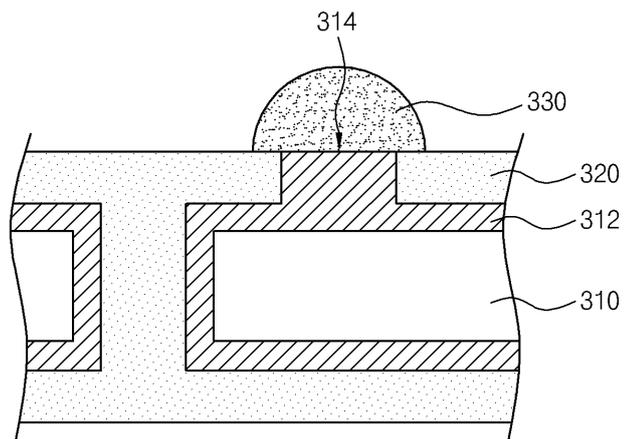
도면4b



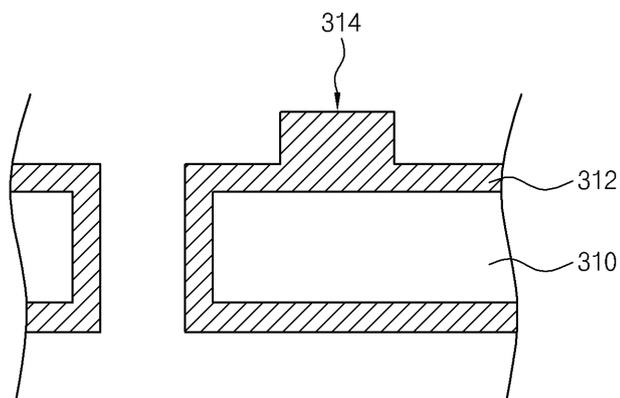
도면4c



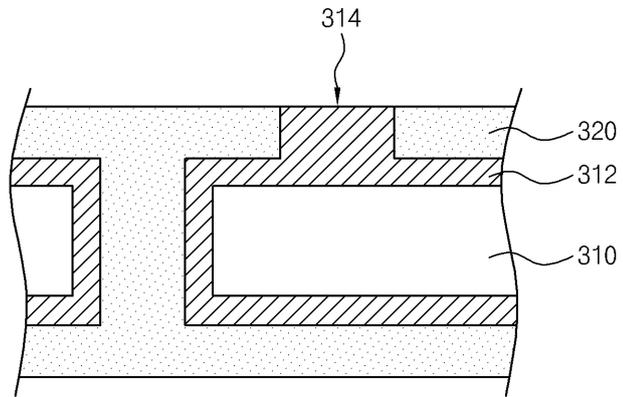
도면5



도면6a



도면6b



도면6c

