



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2015년08월25일  
(11) 등록번호 10-1547445  
(24) 등록일자 2015년08월19일

- (51) 국제특허분류(Int. Cl.)  
H01L 27/11 (2006.01) H01L 29/78 (2006.01)
- (52) CPC특허분류(Coo. Cl.)  
H01L 27/11 (2013.01)  
H01L 29/785 (2013.01)
- (21) 출원번호 10-2015-0063664(분할)
- (22) 출원일자 2015년05월07일  
심사청구일자 2015년05월07일
- (65) 공개번호 10-2015-0056518
- (43) 공개일자 2015년05월26일
- (62) 원출원 특허 10-2014-0050334  
원출원일자 2014년04월25일  
심사청구일자 2014년04월25일
- (30) 우선권주장  
13/349,349 2012년01월12일 미국(US)
- (56) 선행기술조사문헌  
US20070171700 A1  
US20070045736 A1  
US20080308848 A1  
JP2009514214 A

- (73) 특허권자  
타이완 세미컨덕터 매뉴팩처링 컴퍼니 리미티드  
중화민국, 타이완, 신추, 신추 사이언스 파크,  
리-신 로드 6, 넘버 8
- (72) 발명자  
라우 존 지  
대만 신추 카운티 310 주동 타운쉽 웨푸 이스트  
로드 447번 라인 15호
- (74) 대리인  
김태홍, 김진희

전체 청구항 수 : 총 8 항

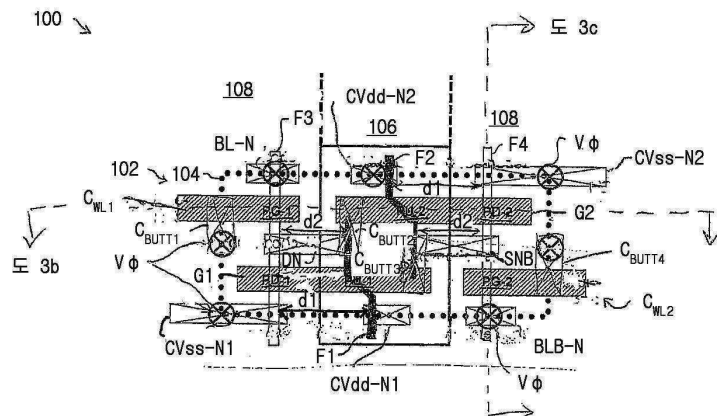
심사관 : 최정민

(54) 발명의 명칭 SRAM 셀과 어레이

(57) 요약

정적 랜덤 액세스 메모리(SRAM: static random access memory) 셀 및 SRAM 셀 어레이가 개시된다. 일 실시예에서, SRAM 셀은 풀업 트랜지스터를 포함한다. 풀업 트랜지스터는 전도 물질의 핀을 갖는 핀 전계 효과 트랜지스터(FinFET: Fin field effect transistor)를 포함한다. 능동 영역은 핀 내에 배치된다. 접촉부가 풀업 트랜지스터의 능동 영역 위에 배치된다, 접촉부는 제1 방향으로 배치된 슬롯 접촉부이다. 풀업 트랜지스터의 능동 영역은 제2 방향으로 배치된다. 제2 방향은 제1 방향에 대해 수직이 아니다.

대표도 - 도1



**특허청구의 범위**

**청구항 1**

정적 랜덤 액세스 메모리(SRAM: static random access memory) 셀에 있어서,

반도체 물질의 핀(fin)을 포함한 핀 전계 효과 트랜지스터(FinFET: Fin field effect transistor)를 포함하는 풀업 트랜지스터로서, 상기 핀은,

제1 방향으로 배치된 제1 일직선 부분 및 제2 일직선 부분; 및

상기 제1 일직선 부분 및 상기 제2 일직선 부분을 연결하는 제3 일직선 부분을 포함하되, 상기 FinFET의 소스 영역 및 드레인 영역은 각각 상기 핀의 제1 일직선 부분 및 제2 일직선 부분 내에 배치되고, 상기 제3 일직선 부분은 상기 제1 방향과 상이하되 상기 제1 방향에 수직하지 않은 제2 방향으로 배치되며, 상기 FinFET의 능동 영역은 상기 핀의 제3 일직선 부분 내에 배치되는 것인, 상기 풀업 트랜지스터; 및

상기 풀업 트랜지스터의 상기 능동 영역 위에 배치된 게이트 접촉부를

포함하고,

상기 게이트 접촉부는 제3 방향으로 배치된 슬롯 접촉부를 포함하고, 상기 제2 방향은 상기 제3 방향에 대해 수직이 아니고,

상기 핀 내에서 상기 풀업 트랜지스터의 상기 능동 영역을 제외한 부분은 상기 제3 방향에 대해 수직으로 배치되고, 상기 핀 내에서 상기 풀업 트랜지스터의 상기 능동 영역의 폭은, 상기 핀 내에서 상기 풀업 트랜지스터의 상기 능동 영역을 제외한 부분의 폭보다 좁으며, 상기 게이트 접촉부를 가로지르는 상기 소스 영역 및 상기 드레인 영역 사이의 최소 거리는 상기 게이트 접촉부의 폭보다 크고,

상기 게이트 접촉부는 상기 제3 일직선 부분 모두를 커버하는 것인, 정적 랜덤 액세스 메모리(SRAM) 셀.

**청구항 2**

제1항에 있어서, 상기 풀업 트랜지스터는 p 채널 금속 산화막 반도체(PMOS: p channel metal oxide semiconductor) 장치를 포함하고, 상기 풀업 트랜지스터는 제1 풀업 트랜지스터를 포함하고, 상기 게이트 접촉부는 제1 접촉부를 포함하고, 상기 정적 랜덤 액세스 메모리(SRAM) 셀은

FinFET를 포함하는 제2 풀업 트랜지스터; 및

상기 제2 풀업 트랜지스터의 능동 영역 위에 배치된 제2 접촉부를

또한 포함하고,

상기 제2 접촉부는 상기 제3 방향으로 배치된 슬롯 접촉부를 포함하고,

상기 제2 풀업 트랜지스터의 능동 영역은 제4 방향으로 배치되고, 상기 제4 방향은 상기 제3 방향에 대해 수직이 아닌 것인, 정적 랜덤 액세스 메모리(SRAM) 셀.

**청구항 3**

제2항에 있어서, 상기 제1 풀업 트랜지스터의 핀은 제1 핀을 포함하고, 상기 제2 풀업 트랜지스터의 핀은 제2 핀을 포함하고, 상기 제1 핀 및 제2 핀은 상기 능동 영역 내에 구부러진(bend) 형태를 포함하고, 상기 정적 랜덤 액세스 메모리(SRAM) 셀은

상기 제1 풀업 트랜지스터에 결합된 제1 풀다운 트랜지스터;

상기 제2 풀업 트랜지스터에 결합된 제2 풀다운 트랜지스터;

상기 제1 풀다운 트랜지스터에 결합된 제1 통과-게이트 트랜지스터; 및

상기 제2 풀다운 트랜지스터에 결합된 제2 통과-게이트 트랜지스터를

또한 포함하고,

상기 제1 통과-게이트 트랜지스터와 상기 제1 풀다운 트랜지스터의 능동 영역은 반도체 물질의 제3 핀을 포함하고, 상기 제2 통과-게이트 트랜지스터와 상기 제2 풀다운 트랜지스터의 능동 영역은 반도체 물질의 제4 핀을 포함하고, 상기 제3 핀과 제4 핀은 일직선이고, 상기 제1 핀과 상기 제2 핀 각각의 양쪽상에 배치되는 것인, 정적 랜덤 액세스 메모리(SRAM) 셀.

**청구항 4**

정적 랜덤 액세스 메모리(SRAM: static random access memory) 셀에 있어서,

핀형(fin-type) 금속 산화막 반도체 전계 효과 트랜지스터(MOSFET: metal oxide semiconductor field effect transistor)를 포함한 제1 p형 장치 및 제1 n형 장치를 포함하는 제1 인버터로서, 상기 제1 p형 장치는 핀의 능동 영역 내에 제1 구부러진 형태 배치를 포함하고, 상기 제1 p형 장치 내의 상기 핀의 상기 능동 영역은 소스 영역과 드레인 영역 사이에 배치되며, 상기 제1 구부러진 형태 배치는,

핀의 제1 일직선 부분;

상기 핀의 제2 일직선 부분; 및

상기 핀의 제1 일직선 부분 및 제2 일직선 부분을 연결하는 상기 핀의 제3 일직선 부분을 포함하되, 상기 핀의 제3 일직선 부분은, 상기 핀의 제1 일직선 부분 및 제2 일직선 부분에 대해 수직이 아니며 상이한 방향으로 배치되는 것인, 상기 제1 인버터;

상기 제1 p형 장치의 능동 영역 위에 배치된 제1 게이트 전극으로서, 상기 제1 게이트 전극은 상기 핀의 제3 일직선 부분의 모두를 커버하는 것인, 상기 제1 게이트 전극;

핀형 MOSFET를 포함한 제2 p형 장치 및 제2 n형 장치를 포함하는 제2 인버터 - 상기 제2 p형 장치는 핀의 능동 영역 내에 제2 구부러진 형태 배치를 포함하고, 상기 제2 p형 장치 내의 상기 핀의 상기 능동 영역은 소스 영역과 드레인 영역 사이에 배치됨 -; 및

상기 제2 p형 장치의 능동 영역 위에 배치된 제2 게이트 전극을

포함하고,

상기 제1 인버터의 출력은 상기 제2 인버터의 입력에 결합되고, 상기 제2 인버터의 출력은 상기 제1 인버터의 입력에 결합되고,

상기 제1 n형 장치는 드레인을 갖는 적어도 하나의 핀형 MOSFET를 포함하고, 상기 제2 n형 장치는 드레인을 갖는 적어도 하나의 핀형 MOSFET를 포함하며, 상기 제1 p형 장치 및 상기 제2 p형 장치 각각은 드레인을 포함하며, 상기 정적 랜덤 액세스 메모리(SRAM) 셀은

상기 제1 n형 장치의 드레인과 상기 제1 p형 장치의 드레인을 함께 결합시키는 제1 세장형(elongated) 접촉부; 및

상기 제2 n형 장치의 드레인과 상기 제2 p형 장치의 드레인을 함께 결합시키는 제2 세장형 접촉부를 더 포함하고,

상기 제1 세장형 접촉부는 상기 제1 n형 장치의 드레인 및 상기 제1 p형 장치의 드레인과 각각 직접 접촉하고, 상기 제2 세장형 접촉부는 상기 제2 n형 장치의 드레인 및 상기 제2 p형 장치의 드레인과 각각 직접 접촉하고,

상기 제1 p형 장치 내의 상기 핀의 상기 능동 영역의 폭은 상기 제1 p형 장치 내의 상기 핀의 상기 소스 영역 및 상기 드레인 영역의 폭보다 좁고, 상기 제2 p형 장치 내의 상기 핀의 상기 능동 영역의 폭은 상기 제2 p형 장치 내의 상기 핀의 상기 소스 영역 및 상기 드레인 영역의 폭보다 좁으며,

상기 제1 게이트 전극을 가로지르는, 상기 제1 p형 장치의 소스 영역 및 드레인 영역 사이의 최소 거리는, 상기 제1 게이트 전극보다 크고, 상기 제2 게이트 전극을 가로지르는, 상기 제2 p형 장치의 소스 영역 및 드레인 영역 사이의 최소 거리는 상기 제2 게이트 전극의 폭보다 큰 것인, 정적 랜덤 액세스 메모리(SRAM) 셀.

**청구항 5**

제4항에 있어서, 상기 제1 세장형 접촉부는 상기 제1 n형 장치의 드레인 노드와 상기 제1 p형 장치의 드레인 노드를 함께 결합시키고, 상기 제1 p형 장치의 소스는 Vdd 노드에 전기적으로 결합되고, 상기 제1 n형 장치의 소

스는 Vss 노드에 전기적으로 결합되고, 상기 Vdd 노드와 상기 Vss 노드 사이의 제1 거리는 상기 제1 n형 장치의 드레인 노드와 상기 제1 p형 장치의 드레인 노드 사이의 제2 거리보다 적어도 20%만큼 더 긴 것인, 정적 랜덤 액세스 메모리(SRAM) 셀.

**청구항 6**

제4항에 있어서, 상기 SRAM 셀은 x-피치 및 y-피치를 갖는 비트 셀을 포함하고, 상기 제1 p형 장치는 제1 핀 내의 핀형 능동 영역 위에 배치된 제1 게이트 전극을 포함한 제1 풀업 트랜지스터를 포함하고, 상기 제1 n형 장치는 제2 핀 내의 핀형 능동 영역 위에 배치된 상기 제1 게이트 전극을 포함한 제1 풀다운 트랜지스터를 포함하고, 상기 SRAM 셀은 상기 제2 핀 내의 핀형 능동 영역 위에 배치된 제2 게이트 전극을 포함한 제1 통과-게이트 트랜지스터를 또한 포함하고, 상기 제2 p형 장치는 제3 핀 내의 핀형 능동 영역 위에 배치된 제3 게이트 전극을 포함한 제2 풀업 트랜지스터를 포함하고, 상기 제2 n형 장치는 제4 핀 내의 핀형 능동 영역 위에 배치된 상기 제3 게이트 전극을 포함한 제2 풀다운 트랜지스터를 포함하고, 상기 SRAM 셀은 상기 제4 핀 내의 핀형 능동 영역 위에 배치된 제4 게이트 전극을 포함한 제2 통과-게이트 트랜지스터를 또한 포함하고, 상기 제1 게이트 전극, 상기 제2 게이트 전극, 상기 제3 게이트 전극, 및 상기 제4 게이트 전극의 경로지정 방향은 제1 방향을 포함하고, 상기 제1 게이트 전극 아래에 배치된 상기 제1 핀 내의 핀형 능동 영역의 경로지정 방향은 제2 방향을 포함하고, 상기 제2 방향은 상기 제1 방향과 상이하고, 상기 제2 방향은 상기 제1 방향에 대해 수직이 아닌 것인, 정적 랜덤 액세스 메모리(SRAM) 셀.

**청구항 7**

제6항에 있어서, 각 비트 셀은 비트-라인, 비트-라인 바, 워드-라인, CVdd 라인과 CVss 라인을 또한 포함하고, 상기 비트-라인과 비트-라인 바(bar)의 경로지정 방향은 제3 방향을 포함하고, 상기 워드-라인의 경로지정 방향은 제4 방향을 포함하고, 상기 제4 방향은 상기 제1 방향에 평행하고, 상기 제3 방향은 상기 제1 방향에 수직이고, 상기 제1 방향으로서의 상기 제2 방향의 교차 각도는 35도에서 80도의 범위 내의 각도를 포함하는 것인, 정적 랜덤 액세스 메모리(SRAM) 셀.

**청구항 8**

복수의 행 및 열로 배열된 복수의 SRAM 셀을 갖는 정적 랜덤 액세스 메모리(SRAM: static random access memory) 셀 어레이에 있어서,

전력을 상기 복수의 SRAM 셀에 제공하기 위한 Vdd 라인 및 Vss 라인;

상기 복수의 열 중 하나의 열에 액세스하기 위한 복수의 비트-라인 및 복수의 비트-라인 바; 및

상기 복수의 행 중 하나의 행에 액세스하기 위한 복수의 워드-라인을

포함하고,

상기 SRAM 셀 어레이 내의 각 SRAM 셀은

구부러진 형태의 핀을 포함한 능동 영역을 갖는 제1 p형 장치를 포함하는 제1 인버터,

상기 제1 인버터와 교차-결합된 제2 인버터 - 상기 제2 인버터는 구부러진 형태의 핀을 포함한 능동 영역을 갖는 제2 p형 장치를 포함함 -,

상기 제1 인버터에 결합된 제1 통과-게이트 트랜지스터와,

상기 제2 인버터에 결합된 제2 통과-게이트 트랜지스터를

포함하고,

상기 복수의 SRAM 셀 각각은 x-피치 및 y-피치를 가지며, 제1 Vss(CVss) 노드, 제2 CVss 노드, 제1 Vdd(CVdd) 노드, 제2 CVdd 노드, 제1 N 데이터-노드, 제1 P 데이터-노드, 제1 N 데이터-노드-바, 제1 P 데이터-노드-바, 복수의 셀 접촉부, 및 복수의 셀 장치를 포함하는 비트 셀을 포함하고, 상기 복수의 셀 접촉부는 비아 홀과 제1 경로지정 방향을 따르는 능동 영역 사이의 연결 경로로서 기능하고, 상기 복수의 셀 접촉부는: 상기 제1 CVdd 노드에 결합된 제1 세장형 접촉부; 상기 제2 CVdd 노드에 결합된 제2 세장형 접촉부; 상기 제1 CVss 노드에 결합된 제3 세장형 접촉부; 상기 제2 CVss 노드에 결합된 제4 세장형 접촉부; 상기 제1 P 데이터-노드와 상기 제1 N 데이터-노드 모두에 결합된 제5 세장형 접촉부와; 제2 P 데이터-노드-바와 제2 N 데이터-노드-바 모두에 결합

된 제6 세장형 접촉부를 포함하고, 상기 제1 세장형 접촉부 및 상기 제3 세장형 접촉부는 x-피치 방향으로 돌출 오버레이(projection overlay)를 가지고, 상기 제2 세장형 접촉부 및 상기 제4 세장형 접촉부는 상기 x-피치 방향으로 돌출 오버레이를 가지고, 상기 제3 세장형 접촉부 및 상기 제5 세장형 접촉부는 상기 y-피치 방향으로 부분적 돌출 오버레이를 가지고, 상기 제4 세장형 접촉부 및 상기 제6 세장형 접촉부는 상기 y-피치 방향으로 부분적 돌출 오버레이를 가지고, 상기 y-피치 방향으로 상기 제1 세장형 접촉부와 상기 제5 세장형 접촉부를 위해 어떠한 오버레이도 없으며, 상기 y-피치 방향으로 상기 제2 세장형 접촉부 및 제6 세장형 접촉부를 위해 어떠한 돌출 오버레이도 없으며, 상기 제1 인버터는 제1 풀다운 장치에 결합된 제1 풀업 장치를 포함하고, 상기 제2 인버터는 제2 풀다운 장치에 결합된 제2 풀업 장치를 포함하고, 상기 제1 풀업 장치는 제1 핀의 구부러진 부분인 능동 영역 위에 배치된 제1 게이트 전극을 포함하고, 상기 제1 풀다운 장치는 제2 핀의 일부분인 능동 영역 위에 배치된 상기 제1 게이트 전극을 포함하고, 상기 제1 통과-게이트 트랜지스터는 상기 제2 핀의 일부분인 능동 영역 위에 배치된 제2 게이트 전극을 포함하고, 상기 제2 풀업 장치는 제3 핀의 구부러진 부분인 능동 영역 위에 배치된 제3 게이트 전극을 포함하고, 상기 제2 풀다운 장치는 제4 핀의 일부분인 능동 영역 위에 배치된 상기 제3 게이트 전극을 포함하고, 상기 제2 통과-게이트 트랜지스터는 상기 제4 핀의 일부분인 능동 영역 위에 배치된 제4 게이트 전극을 포함하고, 상기 제1 게이트 전극, 상기 제2 게이트 전극, 상기 제3 게이트 전극, 및 상기 제4 게이트 전극의 경로지정 방향은 제1 방향을 포함하고, 상기 제1 게이트 전극 아래에 배치된 제1 능동 영역의 경로지정 방향은 제2 방향을 포함하고, 상기 제2 방향은 상기 제1 방향과 상이하고, 각 비트 셀은 비트-라인, 비트-라인 바, 워드-라인, CVdd 라인과, CVss 라인을 또한 포함하고, 상기 비트-라인 및 비트-라인 바의 경로지정 방향은 제3 방향을 포함하고, 상기 워드-라인의 경로지정 방향은 제4 방향을 포함하고, 상기 제4 방향은 상기 제1 방향과 평행하고, 상기 제3 방향은 상기 제1 방향에 수직이고, 각 비트 셀은 상기 제3 게이트 전극에 결합된 제1 버트(butt) 접촉부와, 상기 제5 세장형 접촉부와, 상기 제1 게이트 전극에 결합된 제2 버트 접촉부와, 상기 제6 세장형 접촉부를 또한 포함하는 것인, 정적 랜덤 액세스 메모리(SRAM) 셀 어레이.

**명세서**

**기술분야**

[0001] 본 발명은 SRAM 셀과 어레이에 대한 것이다.

**배경기술**

[0002] 반도체 장치는 예를 들면, 개인용 컴퓨터, 휴대폰, 디지털 카메라, 및 다른 전자 장치와 같은 다양한 전자 응용에서 사용된다. 반도체 장치는 반도체 기판 위에 물질의 절연 또는 유전층, 전도층, 및 반도체층을 순차적으로 증착시키고, 그 위에 회로 컴포넌트와 소자를 형성하도록 리소그래피를 사용해서 다양한 물질층을 패터닝함으로써 통상적으로 제조된다.

[0003] 메모리 장치는 디지털 정보를 저장하도록 사용되는 반도체 장치이다. 메모리 장치의 한 유형은 정적 랜덤 액세스 메모리(SRAM: static random access memory) 장치인데, 이 장치는 동적 랜덤 액세스 메모리(DRAM: dynamic random access memory) 장치가 하는 것과 같이, 정보를 저장하도록 주기적 리프레싱을 요구하지 않는 메모리 장치이다. SRAM 장치는 데이터 비트를 저장하도록 쌍안정 래칭(bi-stable latching) 회로를 사용한다. SRAM 장치를 위한 일부 최근 설계는 SRAM 셀의 트랜지스터 장치로서 핀 전계 효과 트랜지스터(FinFET: Fin Field Effect Transistor)를 활용한다. FinFET는 집적회로의 반도체 표면으로부터 수직으로 융기되는 핀과 유사한(fin-like) 반도체 채널을 갖는 트랜지스터 구조이다.

**발명의 내용**

**해결하려는 과제**

[0004] 반도체 산업은 주어진 영역에 더 많은 컴포넌트가 집적되게 하도록 최소의 특징부(feature) 크기에서의 계속된 감소에 의해 다양한 전자 컴포넌트의 집적 밀도를 계속 향상시켜 왔다. 장치 성능을 향상시키고, 전력 요구를 감소시키며, 집적회로 다이상의 표면적의 주어진 분량 내에 더 많은 SRAM 셀이 배치되게 하도록 SRAM 셀의 크기를 감소시키는 것이 바람직하다.

**과제의 해결 수단**

[0005] 본 발명은 반도체 물질의 핀(fin)을 포함한 핀 전계 효과 트랜지스터(FinFET: Fin field effect transistor)를

포함하는 풀업 트랜지스터 - 능동 영역은 상기 핀 내에 배치됨 -; 및 상기 풀업 트랜지스터의 능동 영역 위에 배치된 접촉부를 포함하고, 상기 접촉부는 제1 방향으로 배치된 슬롯 접촉부를 포함하고, 상기 풀업 트랜지스터의 능동 영역은 제2 방향으로 배치되고, 상기 제2 방향은 상기 제1 방향에 대해 수직이 아닌 것인, 정적 랜덤 액세스 메모리(SRAM: static random access memory) 셀을 제공한다.

[0006]

또한, 본 발명은 핀형(fin-type) 금속 산화막 반도체 전계 효과 트랜지스터(MOSFET: metal oxide semiconductor field effect transistor)를 포함한 제1 p형 장치 및 제1 n형 장치를 포함하는 제1 인버터 - 상기 제1 p형 장치는 능동 영역 내에 구부러진 형태 배치를 포함함 -; 상기 제1 p형 장치의 능동 영역 위에 배치된 제1 게이트 전극; 핀형 MOSFET를 포함한 제2 p형 장치 및 제2 n형 장치를 포함하는 제2 인버터 - 상기 제2 p형 장치는 능동 영역 내에 구부러진 형태 배치를 포함함 -; 및 상기 제2 p형 장치의 능동 영역 위에 배치된 제2 게이트 전극을 포함하고, 상기 제1 인버터의 출력은 상기 제2 인버터의 입력에 결합되고, 상기 제2 인버터의 출력은 상기 제1 인버터의 입력에 결합되는 것인, 정적 랜덤 액세스 메모리(SRAM) 셀을 제공한다.

[0007]

또한, 본 발명은 복수의 행 및 열로 배열된 복수의 SRAM 셀을 갖는 정적 랜덤 액세스 메모리(SRAM) 셀 어레이를 제공하며, 정적 랜덤 액세스 메모리(SRAM) 셀 어레이는 전력을 상기 복수의 SRAM 셀에 제공하기 위한 Vdd 라인 및 Vss 라인; 상기 복수의 열 중 하나의 열에 액세스하기 위한 복수의 비트-라인 및 복수의 비트-라인 바; 및 상기 복수의 행 중 하나의 행에 액세스하기 위한 복수의 워드-라인을 포함하고, 상기 SRAM 셀 어레이 내의 각 SRAM 셀은 구부러진 형태의 핀을 포함한 능동 영역을 갖는 제1 p형 장치를 포함하는 제1 인버터, 상기 제1 인버터와 교차-결합된 제2 인버터 - 상기 제2 인버터는 구부러진 형태의 핀을 포함한 능동 영역을 갖는 제2 p형 장치를 포함함 -, 상기 제1 인버터에 결합된 제1 통과-게이트 트랜지스터와, 상기 제2 인버터에 결합된 제2 통과-게이트 트랜지스터를 포함한다.

### 발명의 효과

[0008]

본 발명은 면적상 효율적이고, 크기가 감소된 더 작은 SRAM 셀을 제공하는 진보적인 SRAM 셀 배치를 제공하며, 집적회로 다이상에서 차지하는 영역(real estate)을 절약하는 효과가 있다.

### 도면의 간단한 설명

[0009]

본 발명 개시 및 그 이점의 보다 완전한 이해를 위해, 첨부된 도면들과 결합해서 이하의 설명이 이제 참조된다.

도 1은 본 발명 개시의 실시예에 따른 진보적인 SRAM 셀 배치의 일부분의 평면도이다.

도 2는 SRAM 셀 배치의 다른 부분의 평면도이다.

도 3a, 3b, 및 3c는 도 1 및 2에 도시된 배치의 부분의 단면도이다.

도 4는 도 1의 배치의 방위 방향을 예증한다.

도 5는 도 1의 배치의 각도 및 치수를 예증한다.

도 6은 도 1 및 2에 도시된 SRAM 셀 배치의 개략도이다.

도 7은 도 1 및 2의 SRAM 셀 배치의 다른 개략도이다.

도 8은 본 명세서에서 설명된 실시예의 다양한 물질층의 오버레이(overlay) 오정렬의 효과를 예증한다.

도 9는 본 발명 개시에 따른 SRAM 셀 배치의 다른 실시예의 평면도를 도시한다.

도 10 내지 도 13은 본 명세서에서 설명된 진보적인 SRAM 셀의 트랜지스터의 FinFET의 핀의 단면도를 도시한다.

상기한 도면들에 표기된 대응하는 참조번호들과 기호들은 만약 다르게 지정되지 않으면 대응 부분들을 일반적으로 지칭한다. 도면들은 실시예의 관련 양상을 명확히 예증하기 위해 도시된 것이며, 반드시 실제 크기대로 도시되지는 않았다.

### 발명을 실시하기 위한 구체적인 내용

[0010]

본 발명 개시(disclosure)의 실시예의 제조 및 사용이 이하에서 상세히 논의된다. 하지만, 본 발명개시는 폭넓은 다양한 특정 상황에서 구현될 수 있는 다수의 적용가능한 발명 사상을 제공한다라는 점을 이해해야 한다. 논의된 특정 실시예들은 본 발명의 개시를 제조하고 이용하는 특정한 방식들에 대한 단순한 예시에 불과하며, 본

발명의 개시의 범위를 제한하지 않는다.

- [0011] 본 발명 개시의 실시예는 SRAM 셀 및 어레이에 관련된다. SRAM 셀 및 SRAM 셀 어레이를 위한 진보적 배치가 본 명세서에서 설명될 것이다.
- [0012] 먼저 도 1을 참조하면, 본 발명 개시의 실시예에 따른 SRAM 셀 배치의 평면도가 도시된다. 도 1은 6개의 트랜지스터(6T: 6 transistor) SRAM 셀을 포함하는 반도체 장치(100)의 일부분을 위한 FEOL(front-end-of-line) 배치(102)를 도시하며, SRAM 셀의 2개의 풀업 트랜지스터들(PU-1 및 PU-2)의 능동 영역은 핀(F1 및 F2) 위에 배치된, 게이트 전극들(G1 및 G2) 각각에 대해 수직이 아닌 각도로 배치된 반도체 물질의 핀(F1 및 F2)을 포함한다. 도 2는 도 1에 도시된 6T SRAM 셀 배치의 다른 평면도이다. 도 1에 도시된 6T SRAM 셀의 FEOL 배치(102)의 위에 놓이게 될 금속화층의 BEOL(back-end-of-line) 배치(110)가 도시된다.
- [0013] 도 3a, 3b, 및 3c는 도 1 및 2에 도시된 배치의 일부분의 단면도이고, SRAM 셀의 FEOL 장치 및 BEOL 금속화층의 일부를 예증한다. 도 3a는 금속층(M1, M2, 및 M3) 내에 형성된 접촉부 및 전도 세그먼트와, 전도 세그먼트를 하부 컴포넌트에 연결시키는 비아층(V0, V1, 및 V2) 내에 형성된 전도 비아를 예증한다. 유전 물질(미도시)은 각 비아층(V0, V1, 및 V2) 내의 비아들 사이에, 그리고, 각 금속층(M1, M2, 및 M3) 내의 접촉부와 전도 세그먼트 사이에 형성된다. 도 3b는 핀(F2, F3, 및 F4)의 단면과, 상부의 금속층(M2)을 도시한다. 도 3c는 금속층(M2) 내의 핀(F4)과 비트-라인 바(BLB: bit-line bar)를 따라 도 3b에 도시된 뷰(view)에 수직인 단면을 도시한다. SRAM 셀의 개략도(130 및 140)는 도 6 및 7에 도시된다.
- [0014] 도 1을 다시 참조하면, 진보적인 SRAM 셀을 위한 FEOL 배치(102)가 더 자세히 다음에 설명될 것이다. 단일 SRAM 셀을 위한 배치(102)는 104에서 도시된 SRAM 유닛 셀의 경계선을 가지고 도시된다. 각 셀은 4개의 핀(F1, F2, F3, 및 F4)을 포함한다. 핀(F1, F2, F3, 및 F4)은 SRAM 셀이 위에 형성되는 소재 또는 기판(도 3a의 소재(112)를 참조함)으로부터 수직으로 융기된 반도체 물질의 핀을 포함한다. 핀(F1, F2, F3, 및 F4)은 FinFET 장치의 핀을 포함한다. 핀(F1, F2, F3, 및 F4)은 게이트 전극(G1, G2, C<sub>WL1</sub> and C<sub>WL2</sub>) 아래의 트랜지스터(PU-1, PU-2, PD-1, PD-2, PG-1, 및 PG-2)의 능동 영역을 포함한다. 게이트 전극(G1, G2, C<sub>WL1</sub> and C<sub>WL2</sub>)은 슬롯 접촉부를 포함하고, 본 명세서에서 게이트 접촉부라고 또한 참조된다. 게이트 전극(C<sub>WL1</sub> 및 C<sub>WL2</sub>)은 BEOL 내의 워드-라인(WL)으로의 접촉부로서 또한 기능하고, 따라서, 본 명세서에서 워드-라인 접촉부로서 또한 지칭된다. 핀(F1, F2, F3, 및 F4)은 트랜지스터(PU-1, PU-2, PD-1, PD-2, PG-1, and PG-2)의 능동 영역 양쪽에 소스 및 드레인 영역을 또한 형성한다.
- [0015] 핀(F1 및 F2)은 도시된 대로 핀(F1 및 F2)의 능동 영역 내의 게이트 전극(G1 및 G2) 아래에서 구부러지며, 반면에, 핀(F3 및 F4)은 게이트 전극(C<sub>WL1</sub> and C<sub>WL2</sub>) 아래에서는 일직선이다. 핀(F1 및 F2)은 SRAM 셀 내에서 불연속적이고, SRAM 셀 경계(104)를 가로질러서 완전히 연장되지 않는다. 대조적으로, 핀(F3 및 F4)은 SRAM 셀 경계선(104)의 하나의 에지로부터 반대쪽 에지로 연장된다. 핀(F3 및 F4)은 자신의 전체 길이를 따라 실질적으로 일직선이고, 핀(F1)과 핀(F2) 각각의 양쪽에 배치된다.
- [0016] SRAM 셀은 두 개의 풀업 트랜지스터(PU-1 및 PU-2), 두 개의 풀다운 트랜지스터(PD-1 및 PD-2)와, 두 개의 통과-게이트 트랜지스터(PG-1 및 PG-2)를 포함한다. 트랜지스터(PU-1, PD-1, 및 PG-1)는 트랜지스터(PU-1, PD-2, 및 PG-2)에 상보적인 배열 내에 형성된다. 제1 풀다운 트랜지스터(PD-1)는 제1 풀업 트랜지스터(PU-1)에 결합되고, 제2 풀다운 트랜지스터(PD-2)는 제2 풀업 트랜지스터(PU-2)에 결합된다. 제1 통과-게이트 트랜지스터(PG-1)는 제1 풀다운 트랜지스터(PD-1)에 결합되고, 제2 통과-게이트 트랜지스터(PG-2)는 제2 풀다운 트랜지스터(PD-2)에 결합된다.
- [0017] V<sub>ss</sub>-노드1을 위한 접촉부인 CV<sub>ss</sub>-N1; V<sub>dd</sub>-노드1을 위한 접촉부인 CV<sub>dd</sub>-N1; V<sub>ss</sub>-노드2를 위한 접촉부인 CV<sub>ss</sub>-N2; V<sub>dd</sub>-노드2를 위한 접촉부인 CV<sub>dd</sub>-N2; 비트-라인 노드 접촉부인 BL-N; 비트-라인바 노드 접촉부인 BLB-N; 데이터-노드 접촉부인 DN; 저장 노드 바 접촉부인 SNB; 및 버트(butt) 접촉부인 C<sub>BUTT1</sub>, C<sub>BUTT2</sub>, C<sub>BUTT3</sub>, 및 C<sub>BUTT4</sub>가 도 1에 또한 도시되었고, 트랜지스터, 다른 컴포넌트, 및 SRAM 셀의 배선 사이에 상호연결을 제공한다. 접촉부(CV<sub>ss</sub>-N1, CV<sub>dd</sub>-N1, CV<sub>ss</sub>-N2, CV<sub>dd</sub>-N2, BL-N, BLB-N, DN, 및 SNB)는 일부 실시예에 따라 길게 되고 (elongated), 슬롯 접촉부를 포함한다.
- [0018] 예를 들면, 긴 접촉 데이터-노드(DN)는 제1 풀다운 트랜지스터(PD-1)의 드레인과 제1 풀업 트랜지스터(PU-1)의 드레인을 함께 결합시킨다. 긴 접촉 데이터-노드(DN)는 예를 들면 제1 풀다운 트랜지스터(PD-1)의 드레인 노드(미도시)와 제1 풀업 트랜지스터(PU-1)의 드레인 노드(또한 미도시)를 함께 결합시킨다. 마찬가지로, 긴 접촉

저장-노드 바(SNB)는 제2 풀다운 트랜지스터(PD-2)의 드레인과 제2 풀업 트랜지스터(PU-2)의 드레인을 함께 결합시킨다. 제1 풀업 트랜지스터(PU-1)의 소스는 접촉부(CVdd-N1)를 사용해서 Vdd 노드에 전기적으로 결합되고, 제1 풀다운 트랜지스터(PD-1)의 소스는 접촉부(CVss-N1)를 사용해서 Vss 노드에 전기적으로 결합된다. 유사한 연결이 CVdd-N2와 CVss-N2 각각을 사용해서 제2 풀업 및 풀다운 트랜지스터들(PU-2 및 PD-2)을 위해 Vdd 및 Vss 노드에 이루어진다.

[0019] 핀(F1 및 F2)의 구부러진 형태의 배치는 Vdd 노드와 Vss 노드 사이의 치수  $d_1$ 를 포함하는 제1 능동 영역 거리와, 풀업 및 풀다운 트랜지스터들(PU-1 and PD-1)(그리고 또한 PU-2 및 PD-2)의 드레인 노드들 사이의 치수  $d_2$ 를 포함하는 제2 능동 영역 거리를 초래한다. 치수  $d_1$ 는 예를 들면, 일부 실시예에서 적어도 약 20%만큼 치수  $d_2$ 보다 클 수 있다.

[0020] 도 3a에서 비아층(V0)의 단면도에서 도시된 바와 같이, 비아(V0)는 층들 사이를 연결하도록 비아층 내에 형성된다. 게이트 접촉부와 워드-라인 접촉부(G1, G2,  $C_{WL1}$  and  $C_{WL2}$ )는 접촉부(118)를 포함하는 접촉층(C0) 내에 형성될 수 있다. 다른 접촉부(116)는 기관(112) 및 다른 영역으로의 연결을 제공하도록 또한 형성될 수 있다. 접촉부(116)는 단일 단계에서 형성될 수 있다. 대안적으로, 접촉부(116)는 도 3a에 환영(phantom)으로 도시된 바와 같이 두 단계에서 형성될 수 있고, 접촉부(116)의 하부 부분은 제1 접촉 그룹층에서 형성될 수 있으며, 접촉부(116)의 상부 부분은 제2 접촉 그룹층에서{예를 들면, 접촉부(118)가 형성되는 동일층(C0)에서} 형성될 수 있다. 얇은 트랜치 분리(shallow trench isolation) 또는 다른 절연 영역을 포함할 수 있는 분리 영역(114)은 예를 들면 장치들 또는 메모리 셀들 사이에서 소재(112) 내에 형성될 수 있다.

[0021] 도 2는 도 3a, 3b, 및 3c에 도시된 금속층(M1, V1, 및 M2)의 BEOL 배치(110)의 평면도를 예증한다. 비아(V1)는 금속층들(M1과 M2) 사이의 연결을 제공한다. 워드-라인(WL)과 랜딩 패드는 제1 금속층(M1) 내에 형성된다. Vdd 라인을 위한 접촉부(CVdd-라인), Vss-라인을 위한 접촉부(CVss-라인), 비트-라인(BL)과, 비트-라인 바(BB)는 제2 금속층(M2)에서 형성된다. 유전 물질(미도시)은 금속층들(M1과 M2) 사이에서 배치되고, 비아(V1)는 유전물질에서 형성된다.

[0022] 도 1을 다시 참조하면, 풀업 트랜지스터(PU-1 및 PU-2)는 본 발명 개시의 실시예에 따라 핀형(fin-type) 금속 산화막 반도체 전계 효과 트랜지스터(MOSFET: metal oxide semiconductor field effect transistor)를 포함한다. 풀다운 트랜지스터(PD-1 및 PD-2)는 일부 실시예에서 핀형 MOSFET를 또한 포함할 수 있다. 통과-게이트 트랜지스터(PG-1 및 PG-2)는 예를 들면, 핀형 MOSFET를 또한 포함할 수 있다. 풀업 트랜지스터(PU-1 및 PU-2)는 소재(112)에서 형성된 N-웰(106) 위에 형성되고, p형 장치를 포함한다. 트랜지스터(PU-1 및 PU-2)는 예를 들면, p 채널 금속 산화막 반도체(PMOS: p channel metal oxide semiconductor) 장치를 포함할 수 있다. 풀다운 트랜지스터(PD-1 및 PD-2)는 P-웰(108) 위에 형성되고, n형 장치를 포함한다. 통과-게이트 트랜지스터(PG-1 및 PG-2)는 P-웰(108) 위에 또한 형성되고, n형 장치를 포함한다.

[0023] 풀업 트랜지스터(PU-1) 및 풀다운 트랜지스터(PD-1)는 제1 인버터(132)를 형성하도록 연결되고(도 6 및 7의 개략도를 참조), 풀업 트랜지스터(PU-2)와 풀다운 트랜지스터(PD-2)는 제1 인버터(134)를 형성하도록 연결된다. 인버터(132 및 134)는 교차-결합되는데, 예를 들면, 제1 인버터(132)의 출력은 제2 인버터(134)의 입력에 결합되고, 제2 인버터(134)의 출력은 제1 인버터(132)의 입력에 결합된다.

[0024] 진보적인 SRAM 셀 배치는 각 셀 내에서 일직선의 핀(F3 및 F4)과 구부러진 핀(F1 및 F2) 모두를 활용하고, 셀의 국부적인 상호연결을 위해 슬롯 접촉부를 사용한다. 이 배치는 풀업 트랜지스터(PU-1 및 PU-2)의 핀(F1 및 F2)의 구부러진 형태와, 배치 때문에 감소된 전체 셀 크기를 제공한다. 예를 들면, 풀업 트랜지스터(PU-1 및 PU-2)를 위한 능동 영역의 배치 형태는 평면도에서 구부러진 라인을 포함한다. 핀(F1 및 F2)과, 따라서, 트랜지스터(PU-1 및 PU-2)의 능동 영역은 게이트 전극(G1 및 G2) 아래에 수직이 아닌 각도로 배치된다. 핀(F1 및 F2)의 나머지 부분은 게이트 전극(G1 및 G2) 각각에 인접하여 실질적으로 수직인 방향으로 형성된다. 예를 들면, 풀업 트랜지스터(PU-1 및 PU-2)의 반도체 물질의 핀(F1 및 F2)은 풀업 트랜지스터(PU-1 및 PU-2)의 능동 영역이 아닌 영역에서, 즉, 능동 영역에 인접한 핀(F1 및 F2)에서 형성된 트랜지스터(PU-1 및 PU-2)의 소스 및 드레인 영역에서 게이트 접촉부(G1 및 G2)에 실질적으로 수직이다.

[0025] 풀업 트랜지스터(PU-1 및 PU-2)의 구부러진 핀(F1 및 F2)은 집적 회로 다이상의 공간을 효율적으로 사용한다. 또한, 반도체 물질의 핀(F3 및 F4)과 게이트 접촉부(G1 및 G2)는 트랜지스터(PU-1, PU-2, PD-1, PD-2, PG-1, 및 PG-2)에 의해 공유되어, 면적 효율성을 더 증가시킨다. 예를 들면, 핀(F3)의 일부는 트랜지스터(PD-1 및 PG-1) 모두를 위해 능동 영역으로서 기능하고, 핀(F4)의 일부는 트랜지스터(PD-2 및 PG-2) 모두를 위해 능동



영역으로서 기능한다. 게이트 접촉부(또는 게이트 전극)(G1)의 일부분은 트랜지스터(PU-1 및 PD-1)을 위해 게이트 접촉부로서 기능하고, 게이트 접촉부(G2)의 일부분은 트랜지스터(PU-2 및 PD-2)를 위해 게이트 접촉부로서 기능한다.

[0026] 도 1 및 도 2 모두를 참조하면, 비트-라인(BL)(도 2)은 비트-라인 노드(BL-N)(도 1)을 사용해서 제1 통과-게이트 트랜지스터(PG-1)에 결합되고, 워드-라인(WL)은 제1 통과-게이트 트랜지스터(PG-1)를 위해 게이트 전극으로서 또한 기능하는 워드-라인 접촉부(C<sub>WL1</sub>)를 사용해서 제1 통과-게이트 트랜지스터(PG-1)에 결합된다. 비트-라인 바(BLB)와 워드-라인(WL)은 비트-라인 바 노드(BLB-N)와 워드-라인 접촉부(C<sub>WL2</sub>)(또한 게이트 전극임) 각각을 사용해서 제2 통과-게이트 트랜지스터(PG-2)에 결합된다. V<sub>ss</sub>-라인은 접촉부(CV<sub>ss</sub>-N1)를 사용해서 제1 풀다운 트랜지스터(PD-1)에 결합되고, V<sub>ss</sub>-라인은 접촉부(CV<sub>ss</sub>-N2)를 사용해서 제2 풀다운 트랜지스터(PD-2)에 결합된다. V<sub>dd</sub>-라인은 접촉부(CV<sub>dd</sub>-N1)를 사용해서 제1 풀업 트랜지스터(PU-1)에 결합되고, V<sub>dd</sub>-라인은 접촉부(CV<sub>dd</sub>-N2)를 사용해서 제2 풀업 트랜지스터(PU-2)에 결합된다.

[0027] 도 4는 도 1에 도시된 배치의 일부분의 방위 방향을 예증한다. SRAM 셀은 x-피치와 -y 피치상에 배열된다. 접촉부(CV<sub>ss</sub>-N1, CV<sub>dd</sub>-N1, CV<sub>ss</sub>-N2, CV<sub>dd</sub>-N2, BL-N, BLB-N, DN, 및 SNB)는 x 방향 또는 x-피치를 포함하는 제1 방향(120)으로 배열된다. 핀(F3 및 F4)은 y 방향 또는 y-피치를 포함하는 제2 방향으로 배열되거나 지향된다. 핀(F1 및 F2)의 구부러지지 않은 부분은 제2 방향(122)으로 또한 지향된다. 제2 방향은 제1 방향(120)에 실질적으로 수직이다.

[0028] 도 5는 실시예에 따라 진보적인 SRAM 셀의 일부분의 각도, 방향, 및 치수를 예증한다. 핀(F1 및 F2)의 구부러진 부분은 제1 방향(120)과 제2 방향(122)과는 다른, 방향(124 및 125)으로 각각 지향된다. 트랜지스터(PU-1 및 PU-2) 각각의 능동 영역을 포함하는 핀(F1 및 F2)의 구부러진 부분은 제1 방향(120)에 수직이 아닌 각도(126)로 지향된다. 능동 영역은 예를 들면, 일부 실시예에서 제1 방향(120)에 대해 약 35도 내지 80도에 배치될 수 있다.

[0029] 용어 "제1 방향, 제2 방향, 및 제3 방향"(및 추가적인 방향)은 청구항들에서와 같은 본 발명 개시의 특정 섹션 안으로 도입되도록, 본 명세서에서 상호교환되게 사용될 수 있다.

[0030] 예를 들면, 게이트 접촉부(G1)는 제1 방향(120)으로 배치된 슬롯 접촉부를 포함할 수 있고, 풀업 트랜지스터(PU-1)의 능동 영역은 제2 방향(124)으로 배치될 수 있으며, 제2 방향(124)은 제1 방향(120)과는 다르다. 제2 방향(124)은 제1 방향(120)에 대해 수직이 아니다. 게이트 접촉부(G2)는 제1 방향(120)으로 배치될 수 있고, 풀업 트랜지스터(PU-2)의 능동 영역은 제3 방향(125)으로 배치될 수 있으며, 제3 방향(125)은 제1 방향(120)과는 다르다. 제3 방향(125)은 제1 방향(120)에 대해 또한 수직이 아니다. 제3 방향(125)은 제2 방향(124)과는 다를 수 있거나, 제3 방향(125)은 예를 들면 제2 방향(124)과 실질적으로 동일한 방향을 포함할 수 있다.

[0031] 용어 "제1 핀, 제2 핀, 제3 핀"과, 추가적인 핀 번호, 그리고 또한 용어 "제1 게이트 전극, 제2 게이트 전극, 제3 게이트 전극", 그리고 추가적인 게이트 전극 번호는 청구들에서와 같은, 본 발명 개시의 특정 섹션안으로 도입되도록 본 명세서에서 상호교환적으로 또한 사용될 수 있다. 예를 들면, 일 실시예에서, SRAM 셀은 x-피치 및 y-피치를 갖는 비트 셀을 포함한다. SRAM 셀은 제1 핀(F1) 내에 핀형 능동 영역 위에 배치된 제1 게이트 전극(G1)을 포함하는 제1 풀업 트랜지스터(PU-1)를 포함하는 제1 p형 장치를 포함한다. SRAM 셀은 제2 핀(F3) 내에 핀형 능동 영역 위에 배치된 제1 게이트 전극(G1)을 포함하는 제1 풀다운 트랜지스터(PD-1)를 포함하는 제1 n형 장치를 포함한다. SRAM 셀은 제2 핀(F3) 내에 핀형 능동 영역 위에 배치된 제2 게이트 전극(C<sub>WL1</sub>)을 포함하는 제1 통과-게이트 트랜지스터(PG-1)를 포함한다. 유사한 배열이 트랜지스터(PU-2, PD-2, 및 PG-2)에 적용된다. SRAM 셀은 제3 핀(F2) 내에 핀형 능동 영역 위에 배치된 제3 게이트 전극(G2)을 포함하는 제2 풀업 트랜지스터 장치(PU-2)를 포함하는 제2 p형 장치를 포함한다. SRAM 셀은 제4 핀(F4) 내에 핀형 능동 영역 위에 배치된 제3 게이트 전극(G2)을 포함하는 제2 풀다운 장치(PD-2)를 포함하는 제2 n형 장치를 포함한다. SRAM 셀은 제4 핀(F4) 내에 핀형 능동 영역 위에 배치된 제4 게이트 전극(C<sub>WL2</sub>)을 포함하는 제2 통과-게이트 트랜지스터(PG-2)를 포함한다. 제1 게이트 전극(G1), 제2 게이트 전극(C<sub>WL1</sub>), 제3 게이트 전극(G2), 및 제4 게이트 전극(C<sub>WL2</sub>)의 경로지정 방향은 제1 방향을 포함한다. 제1 게이트 전극(G1) 아래에 배치된 제1 핀(F1) 내의 핀형 능동 영역의 경로지정 방향은 제2 방향을 포함하고, 제2 방향은 제1 방향과는 다르고, 제2 방향은 제1 방향에 비해 수직이 아니다. 각 SRAM 셀은 비트 셀을 포함하고, 비트 셀은 비트-라인(BL), 비트-라인 바(BLB), 워드-라인(WL), CV<sub>dd</sub> 라인과, CV<sub>ss</sub> 라인을 더 포함하고, 비트-라인(BL)과 비트-라인 바(BLB)의 경로지정 방향은 제3 방향을 포함하고, 워드-라인(WL)의 경로지정 방향은 제4 방향을 포함한다. 제4 방향은 제1 방향에 대해 실질적으로

로 평행하고, 제3 방향은 제1 방향에 대해 실질적으로 수직이다. 제1 방향에 대한 제2 방향의 교차 각도는 약 35도 내지 80도의 범위 내의 각도를 포함한다.

[0032] 도 5는 구부러진 핀(F1 및 F2)이 능동 영역 내의 구부러진 부분상에서와 비교해, y-피치상에 정렬된 일직선 부분상에서 상이한 폭을 포함할 수 있다. 예를 들면, 핀(F1)은 평면도로 소스 및 드레인 영역에서 제1 폭( $w_1$ )과, 구부러진 형태 배치를 갖는 능동 영역에서 제2 폭( $w_2$ )을 가진다. 제2 폭( $w_2$ )은 일부 실시예에서 적어도 약 10% 만큼 제1 폭( $w_1$ )보다 좁을 수 있다.

[0033] 도 6은 도 1 및 2에 도시된 SRAM 셀 배치의 개략도이며, 단일 포트 SRAM 회로의 전기적 연결을 예증한다. 도 7은 도 1 및 2의 SRAM 셀 배치의 다른 개략도이며, 인버터(132 및 134)를 기능적으로 예증한다. 통과-게이트 트랜지스터(PG-1 및 PG-2)의 게이트는 현재 SRAM 셀이 선택되는지 여부를 결정하는 워드-라인(WL)에 의해 제어된다. 풀업 트랜지스터(PU-1 및 PU-2)와 풀다운 트랜지스터(PD-1 및 PD-2)로부터 형성되는 래치는 "0" 또는 "1"로서 데이터 비트를 저장한다. 저장된 비트는 비트-라인(BL)과 비트-라인 바(BLB)를 통해 SRAM 셀에 기록되거나 이 셀로부터 판독될 수 있다. SRAM 셀은 전기 접지 또는 전원 복귀(return)일 수 있는, 전원 노드( $V_{ss}$ )와 포지티브 전원 노드( $V_{dd}$ )를 통해 구동된다.

[0034] 도 8은 본 명세서에서 설명된 실시예의 핀(F1 및 F2)의 능동 영역에 대한 게이트 전극(G1 및 G2)의 오정렬 효과를 예증한다. 이롭게, 핀(F1 및 F2)의 구부러진 부분은 트랜지스터(PU-1 및 PU-2)를 위해 능동 영역의 추가적인 분량 또는 길이를 제공한다. 게이트 전극(G1 및 G2) 아래에 있는 핀(F1 및 F2)의 길이는 예를 들면, 핀(F1 및 F2)가 구부러지지 않았고, 수직 각도로 게이트 전극(G1 및 G2) 아래에서 일직선인 경우보다 길다. 만약 게이트 전극(G1 및 G2)에 대해 핀(F1 및 F2)의 오정렬이 "오프", 즉, 오정렬되어, 핀(F1 및 F2)의 구부러진 부분이 게이트 전극(G1 및 G2) 아래에 배치되지 않는 오정렬(144)과, 핀(F1 및 F2)의 일직선 부분이 게이트 전극(G1 및 G2) 아래에 배치되는 오정렬(146)을 초래하면, 이롭게, 장치 성능은 핀(F1 및 F2)의 각이지거나 구부러진 부분에 의해 생성되는 더 긴 능동 영역 때문에 악영향을 받지 않는다.

[0035] 단지 하나의 핀(F1, F2, F3, 및 F4)만이 도 1의 각 트랜지스터(PU-1, PU-2, PD-1, PD-2, PG-1, 및 PG-2)를 위해 도시되고, 대안적으로 트랜지스터(PU-1, PU-2, PD-1, PD-2, PG-1, 및 PG-2)는 두 개 이상의 핀을 포함할 수 있다. 예를 들면, 도 9는 본 발명 개시에 따른 SRAM 셀 배치의 다른 실시예의 평면도를 도시하며, 트랜지스터(PD-1 및 PG-1, PD-2 및 PG-2) 각각은 두 개의 핀(F3 및 F5, F4 및 F6)을 각각 포함한다. 트랜지스터(PU-1, PU-2, PD-1, PD-2, PG-1, 및 PG-2)는 실시예에 따라 하나의 핀 또는 다수의 핀을 포함할 수 있다. 일부 실시예에서, 트랜지스터(PU-1, PU-2, PD-1, PD-2, PG-1, 및 PG-2)는 하나의 예시로서 약 1 내지 16개의 핀을 포함할 수 있다. 대안적으로, 17개 이상의 핀이 각 트랜지스터를 위해 사용될 수 있다.

[0036] 도 10 내지 13은 본 명세서에서 설명된 실시예의 일부분의 단면도를 도시하며, 진보적인 SRAM 셀의 트랜지스터(PU-1, PU-2, PD-1, PD-2, PG-1, 및 PG-2)의 FinFET의 핀(F1, F2, F3, F4, F5, 또는 F6){도 10 내지 13에서 참조번호 150으로 도시됨}을 예증한다. 핀(F1, F2, F3, F4, F5, 및 F6)은 다수의 방법 및 유형의 소재(112)를 사용해서 제조될 수 있다. 일부 실시예에서, 소재(112)는 단면도로 도 10에 도시된 바와 같이, 벌크 기판을 포함하는 기판을 포함한다. 기판(112)은 예를 들면, 벌크 Si, 벌크 SiP, 벌크 SiGe, 벌크 SiC, 벌크 Ge, 또는 이것들의 조합을 포함할 수 있다. 핀(150)은 벌크 기판을 포함하는 소재(112)로부터 형성되고, 전계 산화물을 포함할 수 있는 절연 물질(152) 또는 다른 절연 물질이 핀들(150) 사이에 배치된다. 게이트 유전체 및 게이트{게이트 스택(154)으로서 총괄적으로 도시됨}는 핀(150) 위에 형성되고, 절연 물질(156)은 게이트 스택(154) 위에 형성된다. 핀(150)의 능동 영역은 참조번호 160에서 도시된다.

[0037] 다른 실시예에서, 핀(150)은 도 11에 도시된 바와 같이, SOI(semiconductor-on-insulator) 기판을 포함하는 소재(112)로부터 형성될 수 있다. SOI 기판은 절연 물질(152)의 양측상에 배치된 반도체 물질의 두 개의 층(112a 및 112b)을 포함한다. 반도체 물질(112b)의 하나의 층은 이 실시예에서 핀(150)을 형성하도록 패터닝된다. 소재(112)는 예를 들면, 도 10을 위해 설명된 바와 같이 벌크 기판을 갖는 SOI-Si 소재, SOI-SiGe 소재, 또는 이것들의 조합을 포함할 수 있다.

[0038] 게이트 스택(154)은 예시로서 산화물, 산화질화물, 고 유전상수(k) 물질, 또는 다중층, 또는 이것들의 조합을 포함할 수 있다. 게이트 스택(154)의 게이트는 예시로서, 폴리실리콘, 규화물 또는 금속층을 갖는 폴리실리콘, 또는 다중 층, 또는 이것들의 조합을 포함할 수 있다. 만약 포함한다면, 규화물층은 예를 들면 난용 금속, 니켈, 코발트, Pt, Ti, 또는 이것들의 조합을 포함할 수 있다. 트랜지스터(PU-1, PU-2, PD-1, PD-2, PG-1, 및 PG-2)의 게이트 구조{예, 게이트 스택(154)}는 폴리실리콘 게이트/SiON 구조, 금속 게이트/고 k 유전 구조, 규

화물/금속/고-k 유전 구조, 또는 이것들의 조합을 포함할 수 있다. 대안적으로, 게이트 구조는 다른 물질을 포함할 수 있다.

[0039] 일부 실시예에서, 핀(150)은 도 12 및 13에서 도시된 바와 같이, 핀(150)의 상단면 위에서 성장한 에피택살층(158)을 포함할 수 있다. 에피택살층은 예를 들면 이동도를 강화시키기 위해 적용된 하나 이상의 도펀트를 포함할 수 있다. 에피택살층(158)은 도 12에 도시된 바와 같이 넓게 이격된 핀(150)을 위해 합쳐지지 않을 수 있거나, 에피택살층(158)은 도 13에 도시된 바와 같이, 밀접하게 배치된 핀(150)을 위해 합쳐진 영역(162)을 포함할 수 있다. 편형 능동 영역(160)은 핀(150)의 강단에 인접하게 배치된다. 소스 및 드레인 영역은 예를 들면 능동 영역(160)의 양쪽의(예를 들면 도 10 내지 13의 종이 안과 바깥에) 핀(150)상에 형성된다.

[0040] 일부 실시예에서, 트랜지스터(PG-1, PG-2, PD-1, 및 PD-2)의 소스 영역 및 드레인 영역은 예를 들면 탄소(C) 함유 에피택살층, 인(P) 함유 에피택살층, SiP 에피택살층, SiC 에피택살층, 또는 이것들의 조합을 포함할 수 있다. 다른 실시예에서, 트랜지스터(PU-1 및 PU-2)의 소스 영역 및 드레인 영역은 다른 예시로서 Ge-함유 에피택살층, SiGe 에피택살층, 또는 이것들의 조합을 포함할 수 있다. 또 다른 실시예에서, 트랜지스터(PU-1, PU-2, PD-1, PD-2, PG-1, 및 PG-2)의 소스 영역 및 드레인 영역은 소스 및 드레인 영역 위에 배치된 Si-함유 에피택살층과, Si-함유 에피택살층 위에 완전히 또는 부분적으로 형성된 규화물을 포함할 수 있다. 대안적으로, 소스 및 드레인 영역 위에 배치된 선택적 에피택살층은 다른 물질을 포함할 수 있다.

[0041] SRAM 셀은 베타 비율 1 셀 설계를 포함할 수 있고, 풀다운 트랜지스터(PD-1 및 PD-2)와 통과-게이트 트랜지스터(PG-1 및 PG-2)는 예를 들면 동일 유형의 FinFET 트랜지스터를 포함한다. 본 명세서에서 설명된 트랜지스터(PU-1, PU-2, PD-1, PD-2, PG-1, 및 PG-2)는 2D-FinFET 구조, 3D-FinFET 구조, 또는 이것들의 조합을 포함할 수 있다.

[0042] 본 발명 개시의 실시예는 본 명세서에서 설명된 진보적인 SRAM 셀을 포함한다. 실시예는 SRAM 셀을 포함하는 SRAM 셀 어레이를 또한 포함한다. 본 명세서에서 설명된 다수의 SRAM 셀은 행 및 열로 배열될 수 있고, 예를 들면, 워드-라인(WL)과 비트-라인(BL)과 BLB를 사용해서 주소 지정될 수 있다. SRAM 셀 어레이는 전력을 SRAM 셀에 제공하기 위해 Vdd 라인과 Vss 라인을 포함한다. SRAM 셀은 본 명세서에서 설명된 구부러진 형태의 핀(F1 및 F2)을 포함하는 능동 영역을 갖는 진보적인 트랜지스터(PU-1 및 PU-2)를 포함한다. 어레이 내의 각 SRAM 셀은 제1 인버터(132)와, 제1 인버터(132)와 교차 결합된 제2 인버터(134)를 포함한다. 각 인버터(132 및 134)의 적어도 하나의 트랜지스터는 본 명세서에서 설명된 구부러진 형태의 핀(F1 또는 F2)을 갖는 풀업 트랜지스터(PU-1 및 PU-2)를 포함한다. 각 인버터(132 및 134)의 적어도 하나의 트랜지스터는 일직선의 핀(F3 또는 F4)을 포함하는 능동 영역을 갖는 풀다운 트랜지스터(PD-1 및 PD-2)를 또한 포함한다. 어레이 내의 각 SRAM 셀은 두 개의 통과-게이트 트랜지스터(PG-1 및 PG-2)를 또한 포함한다.

[0043] 제1 인버터(132)의 게이트 전극(예를 들면, 풀업 트랜지스터(PU-1)와 풀다운 트랜지스터(PU-2)를 위한 게이트 전극(G1)), 제2 인버터(134)의 게이트 전극(G2)과, 통과-게이트 트랜지스터(PG-1 및 PG-2)의 게이트 전극(C<sub>WL1</sub> 및 C<sub>WL2</sub>) 각각은 SRAM 셀의 각각을 위해 도 1 및 2에서 볼 수 있는 것처럼, 복수의 워드-라인(WL)의 경로 지정 방향에 평행하게 배치된다.

[0044] 일 실시예에 따라, SRAM 셀은 본 명세서에서 설명된 복수의 SRAM 셀을 포함하고, 각 SRAM 셀은 x-피치 및 y-피치를 갖는 비트 셀을 포함한다. 각 SRAM 셀은 제1 Vss(CVss) 노드, 제2 CVss 노드, 제1 Vdd(CVdd) 노드, 제2 CVdd 노드, 제1 N 데이터-노드, 접촉 DN에 의해 연결된 트랜지스터(PU-1 및 PU-1)의 드레인 영역을 포함하는 제1 P 데이터-노드 바, 제1 N 데이터-노드-바, 접촉 SNB에 의해 연결된 트랜지스터(PU-2 및 PD-2)의 드레인 영역을 포함하는 제1 P 데이터-노드 바, 복수의 셀 접촉부와, 트랜지스터(PU-1, PU-2, PD-1, PD-2, PG-1, 및 PG-2)를 포함하는 복수의 셀 장치를 포함한다. 복수의 셀 접촉부는 비아 홀과, 제1 경로 지정 방향을 실질적으로 따르는 능동 영역 사이의 연결 경로로서 기능한다. 복수의 셀 접촉부는: 제1 CVdd 노드에 결합된 제1 긴 접촉부(CVdd-N1); 제2 CVdd 노드에 결합된 제2 긴 접촉부(CVdd-N2); 제1 CVss 노드에 결합된 제3 긴 접촉부(CVss-N1); 제2 CVss 노드에 결합된 제4 긴 접촉부(CVss-N2); 제1 P 데이터-노드와 제1 N 데이터-노드 모두에 결합된 제5 긴 접촉부(DN)와; 제2 P 데이터-노드-바와 제2 N 데이터-노드-바 모두에 결합된 제6 긴 접촉부(SNB)를 포함한다. 제1 긴 접촉부(CVdd-N1)와 제3 긴 접촉부(CVss-N1)는 x-피치 방향으로 돌출 오버레이(projection overlay)를 가지고, 제2 긴 접촉부(CVdd-N2)와 제4 긴 접촉부(CVss-N2)는 x-피치 방향으로 돌출 오버레이를 가진다(x 및 y 방향으로의 돌출 오버레이의 예증을 위해 도 4를 참조). 제3 긴 접촉부(CVss-N1)와 제5 긴 접촉부(DN)는 y-피치 방향으로 부분적 돌출 오버레이를 가지며, 제4 긴 접촉부(CVss-N2)와 제6 긴 접촉부(SNB)는 y-방향으로 부분적 돌출 오버레이를 가진다. y-피치 방향으로 제1 긴 접촉부(CVdd-N1)와 제5 긴 접촉부(DN)를 위해

서는 어떠한 오버레이도 없으며, y-피치 방향으로 제1 긴 접촉부(CVdd-N1)와 제6 긴 접촉부(SNB)를 위해서는 어떠한 오버레이도 돌출도 없다. 제1 인버터(132)는 제1 풀다운 장치(PD-1)에 결합된 제1 풀업 장치(PU-1)를 포함하고, 제2 인버터(134)는 제2 풀다운 장치(PD-2)에 결합된 제2 풀업 장치(PU-2)를 포함한다. 제1 풀업 장치(PU-1)는 제1 핀(F1)의 구부러진 부분인 능동 영역 위에 배치된 제1 게이트 전극(G1)을 포함하고, 제1 풀다운 장치(PD-1)는 일직선의 제2 핀(F3)의 일부분인 능동 영역 위에 배치된 제1 게이트 전극(G1)을 포함한다. 제1 통과-게이트 트랜지스터(PG-1)는 일직선의 제2 핀(F3)의 일부분인 제2 능동 영역 위에 배치된 제2 게이트 전극(C<sub>WL1</sub>)을 포함한다. 제2 풀업 장치(PU-2)는 제3 핀(F2)의 구부러진 부분인 능동 영역 위에 배치된 제3 게이트 전극(G2)을 포함한다. 제2 풀다운 장치(PD-2)는 일직선의 제4 핀(F4)의 일부분인 능동 영역 위에 배치된 제3 게이트 전극(G2)을 포함한다. 제2 통과-게이트 트랜지스터(PG-2)는 일직선의 제4 핀(F4)의 일부분인 제4 능동 영역 위에 배치된 제4 게이트 전극(C<sub>WL2</sub>)을 포함한다. 제1 게이트 전극(G1), 제2 게이트 전극(C<sub>WL1</sub>), 제3 게이트 전극(G2), 및 제4 게이트 전극(C<sub>WL2</sub>)의 경로지정 방향은 x 피치로 지향된 제1 방향을 포함한다(도 5 참조). 제1 게이트 전극(G1) 아래에 배치된 제1 능동 영역의 경로 지정 방향은 제 1 방향(120)과는 다른 제2 방향(124)을 포함한다. 각 비트 셀은 비트-라인(BL), 비트-라인 바(BLB), 워드-라인(WL), CVdd 라인과 CVss 라인을 더 포함한다. 비트-라인(BL) 및 비트-라인 바(BLB)의 경로지정 방향은 제3 방향(예, y 피치로 지향됨: 도 2 참조)을 포함하고, 워드-라인(WL)의 경로지정 방향은 제4 방향(예, x 피치로 지향됨)을 포함하고, 제4 방향은 제1 방향(120)과 실질적으로 평행하고, 제3 방향은 제1 방향(120)에 실질적으로 수직이다. 각 비트 셀은 제3 게이트 전극(G2) 및 제5 긴 접촉부(DN)에 결합된 제1 버트(butt) 접촉부(C<sub>BUTT2</sub>)와, 제1 게이트 전극(G1) 및 제6 긴 접촉부(SNB)에 결합된 제2 버트 접촉부(C<sub>BUTT3</sub>)를 더 포함한다.

[0045] 각 비트 셀은 비트-라인 노드, 비-라인 바 노드, 비트-라인 노드와 상부의 비트-라인(BL) 사이에 결합된 제7 접촉부, 비트-라인 바 노드와 상부의 비트-라인 바(BLB) 사이에 결합된 제8 접촉부를 포함하고, 제7 접촉부와 제8 접촉부는 제1 접촉 그룹층 내에(예, 도 3a의 접촉층(CO) 아래에) 위치한 비아이다. 각 비트 셀은 제1 접촉 그룹층 위에(예, 접촉부(118)가 도 3a에서 형성된 동일 접촉층(CO) 내에) 접촉부 배치된 제2 접촉 그룹층을 더 포함하고, 제2 접촉부 그룹층은 제1 긴 접촉부(CVdd-N1)에 결합된 제9 접촉부와, 제2 긴 접촉부(CVdd-N2)에 결합된 제10 접촉부와, 제3 긴 접촉부(CVss-N1)에 결합된 제11 접촉부와, 제4 긴 접촉부(CVss-N2)에 결합된 제12 접촉부와, 제7 접촉부에 결합된 제13 접촉부와, 제8 접촉부에 결합된 제14 접촉부를 포함한다.

[0046] 본 발명 개시의 실시예의 이점은 면적상 효율적이고, 크기가 감소된 더 작은 SRAM 셀을 제공하는 진보적인 SRAM 셀 배치를 제공하는 것과, 집적회로 다이상에서 차지하는 영역(real estate)을 절약하는 것이다. 더 많은 SRAM 셀은 본 명세서에서 설명된 실시예에 따라 칩상에 배치될 수 있다. 넓은 공정 마진(margin)이 진보적인 SRAM 셀의 긴접촉부에 기인해서 달성된다. 핀 능동 영역 랜딩 영역으로의 접촉 라인 종단이 증가되고, 접촉 라인 종단 공정 마진이 또한 증가된다. 진보적 SRAM 셀은 낮은 접촉 저항과, 증가된 안정성을 갖는다. 접촉층과 능동층 사이에 넓은 오정렬이 또한 달성된다. 능동 영역으로의 라인 종단 연장과, 라인 종단간 공간에 대해 적극적(aggressive) 배치 규칙이 달성된다. 진보적 SRAM 셀 구조와 설계는 제조 공정 흐름에서 쉽게 구현가능하다.

[0047] 본 발명 개시의 일 실시예에 따라, SRAM 셀은 풀업 트랜지스터를 포함한다. 풀업 트랜지스터는 전도 물질의 핀을 갖는 FinFET을 포함한다. 능동 영역은 핀 내에 배치된다. 접촉부가 풀업 트랜지스터의 능동 영역 위에 배치된다. 접촉부는 제1 방향으로 배치된 슬롯 접촉부이다. 풀업 트랜지스터의 능동 영역은 제2 방향으로 배치된다. 제2 방향은 제1 방향에 대해 수직이 아니다.

[0048] 다른 실시예에 따라, SRAM 셀은 제1 n형 장치 및 제1 p형 장치를 포함하는 제1 인버터를 포함한다. 제1 p형 장치는 편형 MOSFET를 포함하고, 능동 영역 내에 구부러진 형태의 배치를 갖는다. SRAM 셀은 제1 p형 장치의 능동 영역 위에 배치된 제1 게이트 전극을 포함한다. SRAM 셀은 제2 n형 장치 및 제2 p형 장치를 포함하는 제2 인버터를 또한 포함한다. 제2 p형 장치는 편형 MOSFET를 포함하고, 능동 영역 내에 구부러진 형태의 배치를 갖는다. 제2 게이트 전극은 제2 p형 장치의 능동 영역 위에 배치된다. 제1 인버터의 출력은 제2 인버터의 입력에 결합되고, 제2 인버터의 출력은 제1 인버터의 입력에 결합된다.

[0049] 또 다른 실시예에 따라, SRAM 셀 어레이가 개시된다. SRAM 셀 어레이는 복수의 행 및 열로 배열된 복수의 SRAM 셀을 갖는다. SRAM 셀 어레이는 전력을 복수의 SRAM 셀에 제공하기 위해 Vdd 라인과 Vss 라인을 포함한다. SRAM 셀은 복수의 열들 중 하나의 열에 액세스하기 위해 복수의 비트-라인 및 복수의 비트-라인 바와, 복수의 행들 중 하나의 행에 액세스하기 위해 복수의 워드-라인을 포함한다. SRAM 셀 어레이 내의 각 SRAM 셀은 구부러진 형태의 핀을 포함하는 능동 영역을 갖는 제1 p형 장치를 포함하는 제1 인버터와, 제1 인버터에 교차 결합

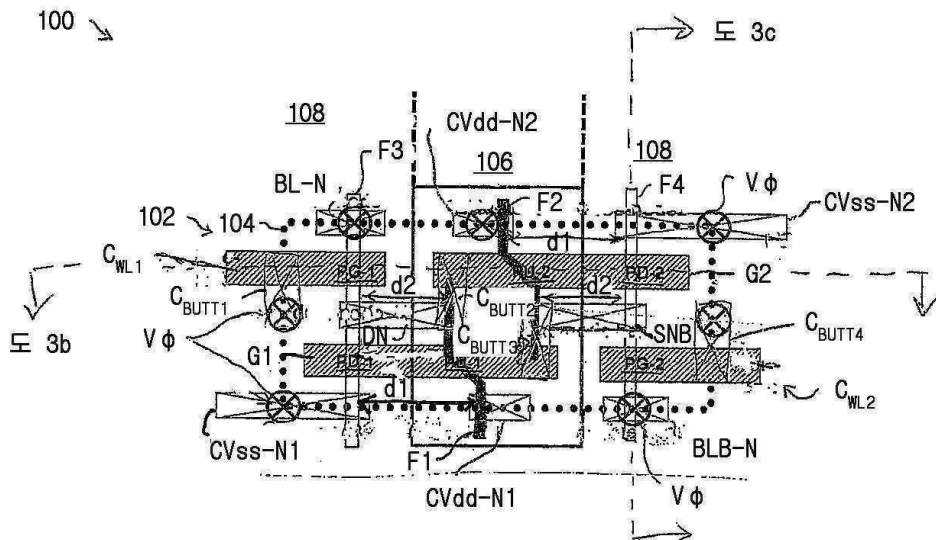
된 제2 인버터를 포함하고, 제2 인버터는 구부러진 형태의 핀을 포함하는 능동 영역을 갖는 제2 p형 장치를 포함한다. 각 SRAM 셀은 제1 인버터에 결합된 제1 통과-게이트 트랜지스터와, 제2 인버터에 결합된 제2 통과-게이트 트랜지스터를 또한 포함한다.

[0050]

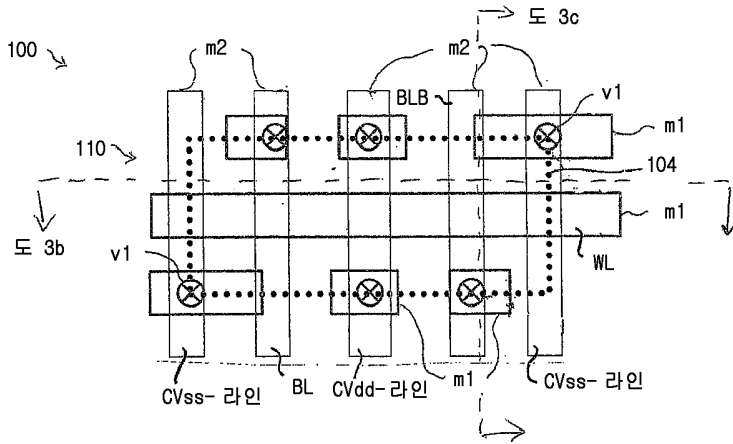
본 발명 개시의 실시예 및 이에 관한 이점을 자세하게 설명하였지만, 본 발명에 대한 다양한 변경, 대체, 및 변동이 첨부된 청구범위들에 의해 정의된 개시의 정신 및 범위로부터 이탈하지 않고서 행해질 수 있다는 것을 이해해야 한다. 예를 들면, 본 명세서에서 설명된 다수의 특징, 기능, 공정, 및 물질은 본 발명 개시의 범위 내에 있으면서 변경될 수 있다는 것을 당업자가 쉽게 이해할 것이다. 또한, 본 출원의 범위는 상세한 설명에서 설명된 물질, 수단, 방법, 및 단계의 프로세스, 머신, 제품, 구성의 특정한 실시예들로 한정되는 것을 의도하지 않는다. 본 명세서에서 설명된 대응하는 실시예들과 실질적으로 동일한 기능을 수행하거나 이와 실질적으로 동일한 결과를 달성하는, 현존하거나 후에 개발될 물질, 수단, 방법, 또는 단계의 공정, 머신, 제품, 구성을 본 발명개시에 따라 활용할 수 있다는 것을 본 발명분야의 당업자라면 본 발명 개시로부터 손쉽게 알 수 있을 것이다. 따라서, 첨부된 청구항들은 이와 같은 물질, 수단, 방법, 또는 단계의 프로세스, 머신, 제조품, 구성을 청구항의 범위 내에 포함하는 것으로 한다.

도면

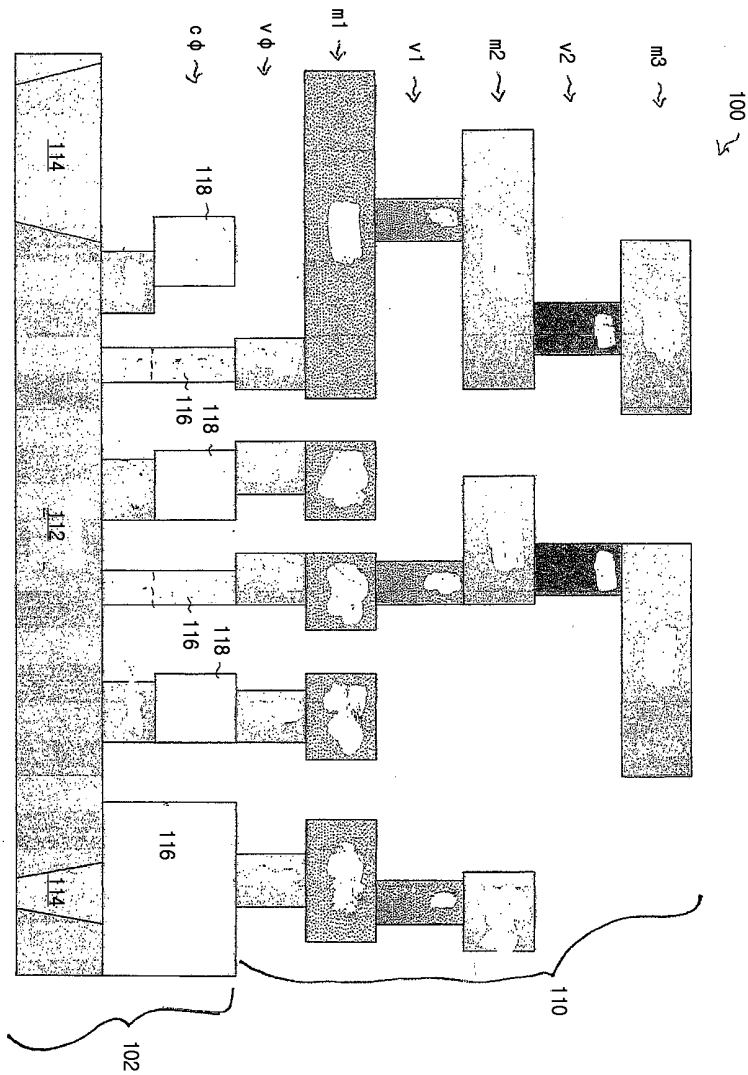
도면1



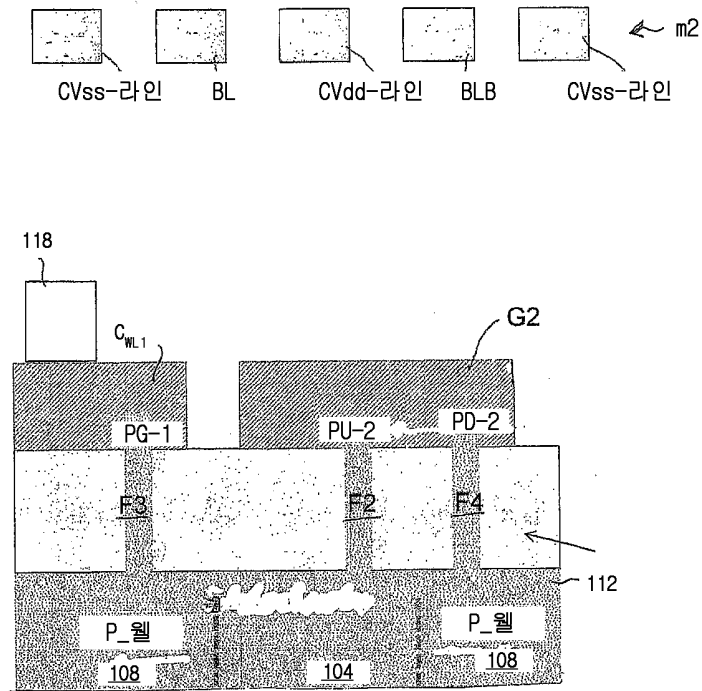
도면2



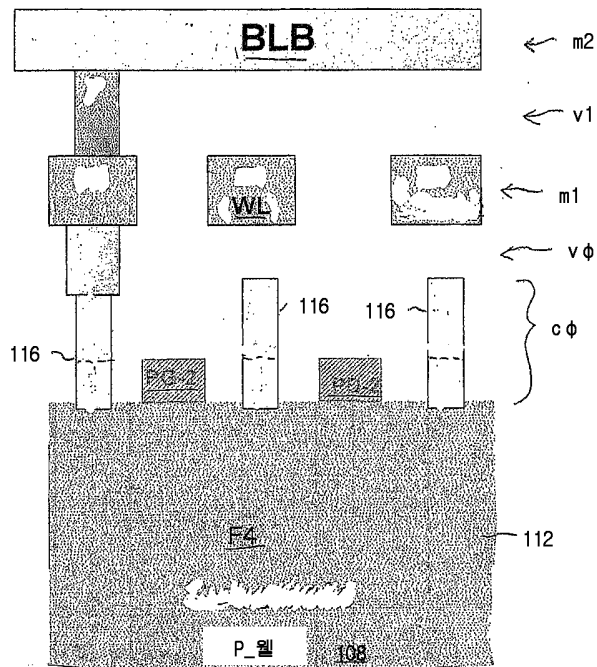
도면3a



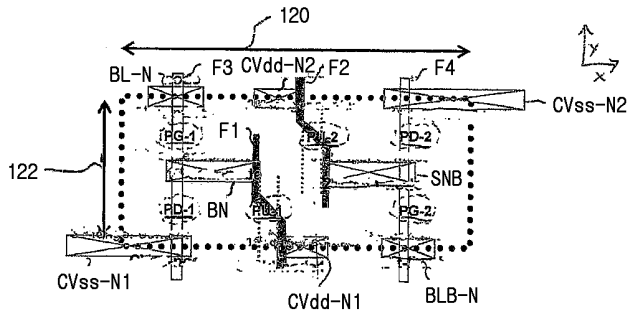
도면3b



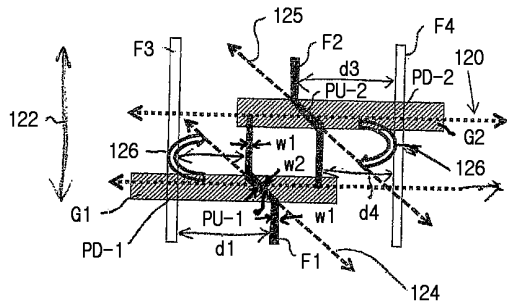
도면3c



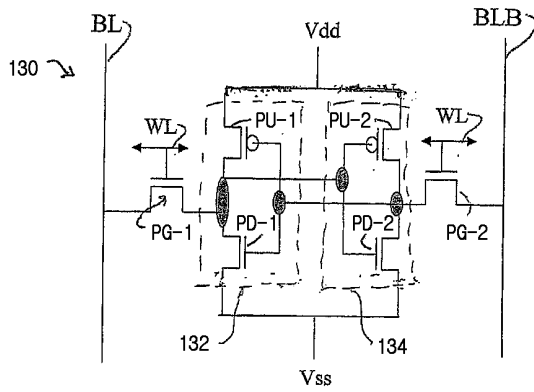
도면4



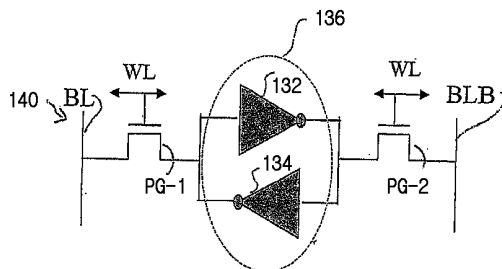
도면5



도면6

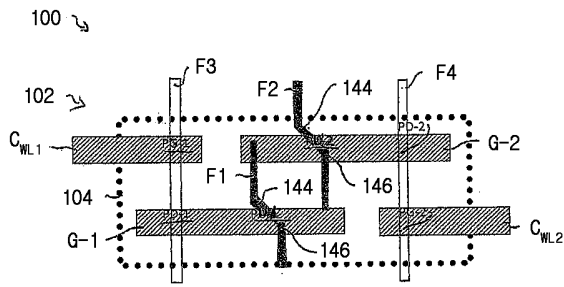


도면7

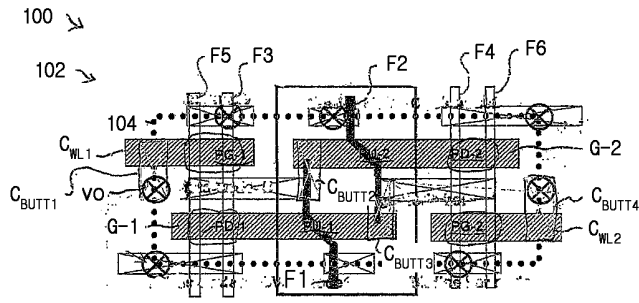




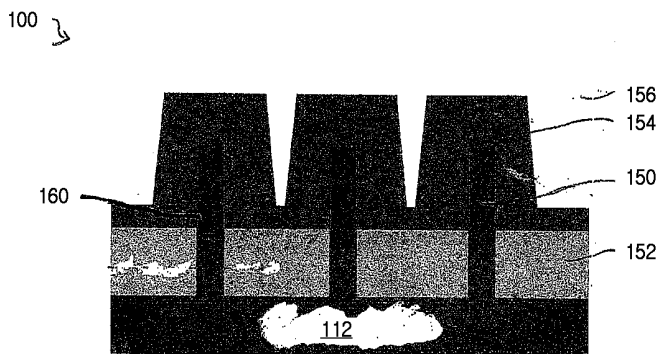
도면8



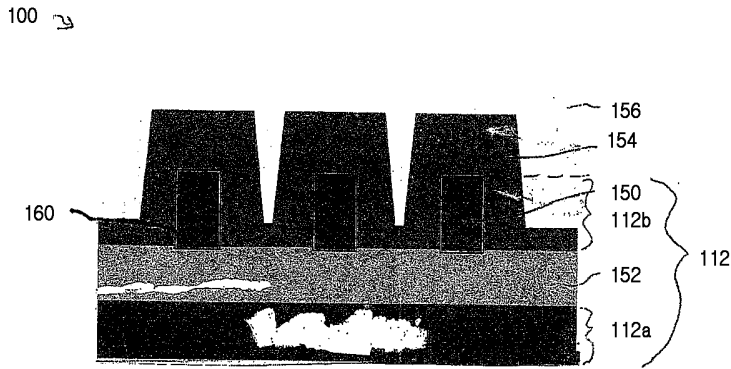
도면9



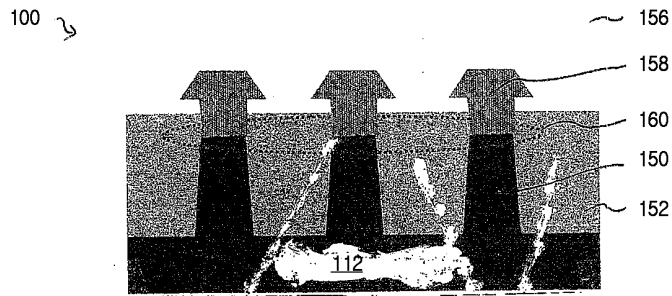
도면10



도면11



도면12



도면13

