



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I775534 B

(45)公告日：中華民國 111 (2022) 年 08 月 21 日

(21)申請案號：110126169

(22)申請日：中華民國 110 (2021) 年 07 月 16 日

(51)Int. Cl. : H01L27/11521 (2017.01) G11C16/02 (2006.01)

(71)申請人：旺宏電子股份有限公司 (中華民國) MACRONIX INTERNATIONAL CO., LTD.
(TW)

新竹科學工業園區力行路 16 號

(72)發明人：黃珈擇 HUANG, CHIA-TZE (TW)

(74)代理人：葉璟宗

(56)參考文獻：

TW	201926643A	TW	202002251A
TW	202111918A	TW	202111925A
TW	202111925A	US	2019/0013328A1
US	2021/0118901A1	US	2021/0134831A1
US	2021/0217856A1		

審查人員：陳憶緣

申請專利範圍項數：8 項 圖式數：6 共 34 頁

(54)名稱

三維及式快閃記憶體及其形成方法

(57)摘要

一種三維及式快閃記憶體 (3D AND Flash Memory) 包括：基底、堆疊結構、多晶矽層、垂直通道結構、電荷儲存結構以及空氣間隙。堆疊結構配置在基底上。堆疊結構包括交替堆疊的多個介電層與多個導體層。多晶矽層配置在基底與堆疊結構之間。垂直通道結構貫穿堆疊結構，以與多晶矽層接觸。電荷儲存結構至少配置在垂直通道結構與多個導體層之間。空氣間隙貫穿堆疊結構且配置在垂直通道結構中。

Provided is a three-dimensional AND flash memory including a substrate, a stack structure, a polysilicon layer, a vertical channel structure, a charge storage structure, and an air gap. The stack structure is disposed on the substrate. The stack structure includes a plurality of dielectric layers and a plurality of conductive layers stacked alternately. The polysilicon layer is disposed between the substrate and the stack structure. The vertical channel structure penetrates through the stack structure to contact the polysilicon layer. The charge storage structure is at least disposed between the vertical channel structure and the plurality of conductive layers. The air gap penetrates through the stack structure and disposed in the vertical channel structure.

指定代表圖：

符號簡單說明：

118:電荷儲存層

120:通道層

123:絕緣柱

125:空氣間隙

130:垂直通道結構

134:第一源極/汲極柱

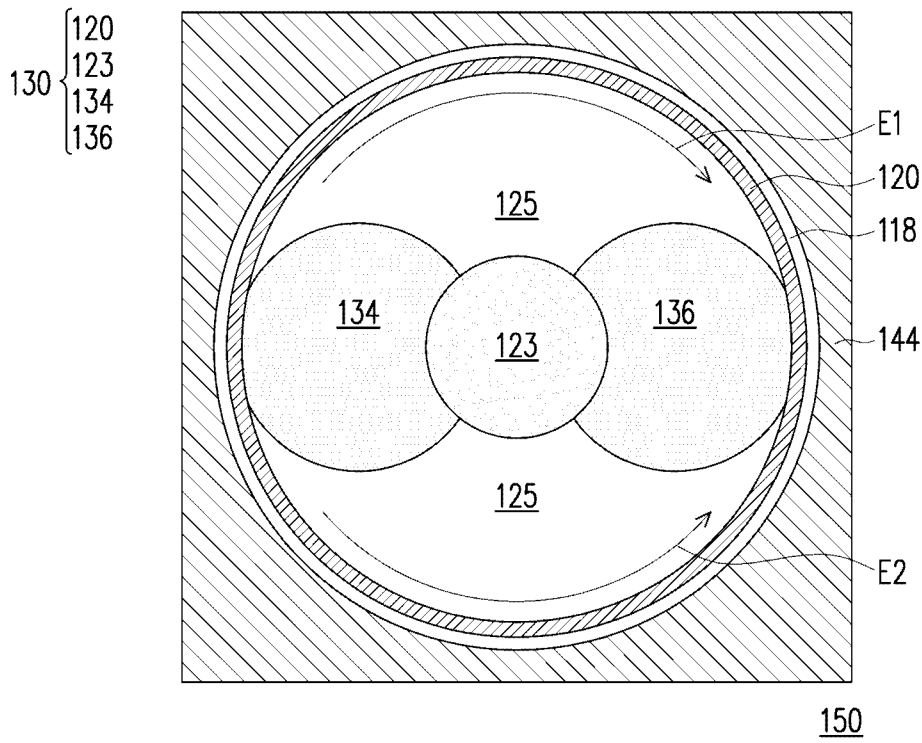
136:第二源極/汲極柱

144:導體層

150:記憶胞

E1:第一電路徑

E2:第二電路徑



【圖5C】



I775534

【發明摘要】

【中文發明名稱】三維及式快閃記憶體及其形成方法

【英文發明名稱】THREE-DIMENSIONAL AND FLASH MEMORY
AND METHOD OF FORMING THE SAME

【中文】一種三維及式快閃記憶體(3D AND Flash Memory)包括：基底、堆疊結構、多晶矽層、垂直通道結構、電荷儲存結構以及空氣間隙。堆疊結構配置在基底上。堆疊結構包括交替堆疊的多個介電層與多個導體層。多晶矽層配置在基底與堆疊結構之間。垂直通道結構貫穿堆疊結構，以與多晶矽層接觸。電荷儲存結構至少配置在垂直通道結構與多個導體層之間。空氣間隙貫穿堆疊結構且配置在垂直通道結構中。

【英文】 Provided is a three-dimensional AND flash memory including a substrate, a stack structure, a polysilicon layer, a vertical channel structure, a charge storage structure, and an air gap. The stack structure is disposed on the substrate. The stack structure includes a plurality of dielectric layers and a plurality of conductive layers stacked alternately. The polysilicon layer is disposed between the substrate and the stack structure. The vertical channel structure penetrates through the stack structure to contact the polysilicon layer. The charge storage structure is at least disposed between the vertical channel structure and the plurality of conductive

layers. The air gap penetrates through the stack structure and disposed in the vertical channel structure.

【指定代表圖】圖5C。

【代表圖之符號簡單說明】

118：電荷儲存層

120：通道層

123：絕緣柱

125：空氣間隙

130：垂直通道結構

134：第一源極/汲極柱

136：第二源極/汲極柱

144：導體層

150：記憶胞

E1：第一電路徑

E2：第二電路徑

【特徵化學式】

無

【發明說明書】

【中文發明名稱】三維及式快閃記憶體及其形成方法

【英文發明名稱】THREE-DIMENSIONAL AND FLASH MEMORY
AND METHOD OF FORMING THE SAME

【技術領域】

【0001】本發明是有關於一種記憶體及其形成方法，且特別是有關於一種三維及式快閃記憶體（3D AND Flash Memory）及其形成方法。

【先前技術】

【0002】非揮發性記憶體（例如快閃記憶體）由於具有使存入的資料在斷電後也不會消失的優點，因此成為個人電腦和其他電子設備所廣泛採用的一種記憶體。

【0003】目前業界較常使用的三維快閃記憶體包括反或式（NOR）快閃記憶體以及反及式（NAND）快閃記憶體。此外，另一種三維快閃記憶體為及式（AND）快閃記憶體，其可應用在多維度的快閃記憶體陣列中而具有高積集度與高面積利用率，且具有操作速度快的優點。因此，三維快閃記憶體的發展已逐漸成為目前的趨勢。

【0004】然而，隨著關鍵尺寸（critical dimension）的漸縮，記憶胞之間的平均距離愈來愈近，其導致記憶胞之間的串擾（cross

talk) 增加，進而影響記憶體的操作。

【發明內容】

【0005】 本發明提供一種三維及式 (AND) 快閃記憶體包括：基底、堆疊結構、兩個源極/汲極柱、絕緣柱、通道層、電荷儲存結構以及空氣間隙。堆疊結構配置在基底上。堆疊結構包括交替堆疊的多個介電層與多個導體層。兩個源極/汲極柱貫穿堆疊結構。絕緣柱配置在兩個源極/汲極柱之間，以分隔兩個源極/汲極柱。通道層貫穿堆疊結構，環繞兩個源極/汲極柱與絕緣柱，且通道層與兩個源極/汲極柱接觸。電荷儲存結構至少配置在通道層與多個導體層之間。空氣間隙貫穿堆疊結構且配置在兩個源極/汲極柱及絕緣柱旁邊，且被通道層所環繞。

【0006】 本發明提供一種三維及式 (AND) 快閃記憶體包括：基底、堆疊結構、兩個源極/汲極柱、絕緣柱、通道層、電荷儲存結構以及空氣間隙。堆疊結構配置在基底上。堆疊結構包括交替堆疊的多個介電層與多個導體層。兩個源極/汲極柱貫穿堆疊結構。絕緣柱配置在兩個源極/汲極柱之間，以分隔兩個源極/汲極柱。通道層貫穿堆疊結構，環繞兩個源極/汲極柱與絕緣柱，且通道層與兩個源極/汲極柱接觸。電荷儲存層環繞包覆通道結構。電荷儲存層配置在堆疊結構與通道層之間。空氣間隙貫穿堆疊結構且配置在兩個源極/汲極柱及絕緣柱旁邊，且被通道層所環繞。

【0007】 基於上述，本發明實施例將具有低介電常數的空氣間隙

形成在垂直通道結構中，以降低兩個源極/汲極柱之間的電容耦合，進而減少記憶胞之間的串擾（cross talk）。

【圖式簡單說明】

【0008】

圖 1A 至圖 1F 是依照本發明一實施例的一種三維及式(AND)快閃記憶體的製造流程的剖面示意圖。

圖 2A 至圖 2C 分別是沿著圖 1D 至圖 1F 的 I-I 切線的平面示意圖。

圖 2D 是依照本發明另一實施例的一種三維及式(AND)快閃記憶體的平面示意圖。

圖 3A 與圖 4A 是沿著圖 2D 的 A-A 切線的製造流程的剖面示意圖。

圖 3B 與圖 4B 是沿著圖 2D 的 B-B 切線的製造流程的剖面示意圖。

圖 5A、圖 5B 以及圖 5C 分別是依照本發明替代實施例的一種三維及式(AND)快閃記憶體的剖面示意圖、立體示意圖以及平面示意圖。

圖 5D 是依照本發明替代實施例的一種三維及式(AND)快閃記憶體陣列的電路示意圖。

圖 6 是依照本發明其他實施例的一種三維及式(AND)快閃記憶體的剖面示意圖。

【實施方式】

【0009】 參照本實施例之圖式以更全面地闡述本發明。然而，本發明亦可以各種不同的形式體現，而不應限於本文中所述之實施例。圖式中的層與區域的厚度會為了清楚起見而放大。相同或相似之元件標號表示相同或相似之元件，以下段落將不再一一贅述。

【0010】 圖 1A 至圖 1F 是依照本發明一實施例的一種三維及式 (AND) 快閃記憶體之製造流程的剖面示意圖。圖 2A 至圖 2C 分別是沿著圖 1D 至圖 1F 的 I-I 切線的平面示意圖。

【0011】 請參照圖 1A 與圖 2A，首先，提供基底 100。在一實施例中，基底 100 包括半導體基底，例如是矽基底。

【0012】 接著，在基底 100 上形成多晶矽層 104、106。在一實施例中，多晶矽層 104、106 的形成方法包括：在基底 100 上形成介電層 102，在介電層 102 中形成開口；在開口中形成多晶矽材料；以及對多晶矽材料進行平坦化製程（例如 CMP 製程）。在一實施例中，介電層 102 包括氧化矽、氮化矽、氮氧化矽或其組合。在一實施例中，多晶矽層 104、106 可具有相同材料，例如是摻雜多晶矽材料。舉例來說，多晶矽層 104、106 可以是 N 型摻雜 (N+) 多晶矽層。

【0013】 之後，在基底 100 上形成堆疊結構 110，使得多晶矽層 104、106 配置在基底 100 與堆疊結構 110 之間。具體來說，堆疊結構 110 包括交替堆疊的多個介電層 112 與多個犧牲層 114。在一

實施例中，介電層 112 與犧牲層 114 可以是不同的介電材料。舉例來說，介電層 112 可以是氧化矽層；犧牲層 114 可以是氮化矽層。在替代實施例中，介電層 112 與犧牲層 114 可以是具有不同蝕刻選擇性的不同材料。舉例來說，介電層 112 可以是氧化矽層；犧牲層 114 可以是多晶矽層。雖然圖 1A 繪示出 6 層介電層 112 以及 5 層犧牲層 114，但本發明不以此為限。在其他實施例中，介電層 112 與犧牲層 114 的數量可依設計需求來調整。

【0014】 請參照圖 1A 與圖 1B，堆疊結構 110 上形成保護層 116。在一實施例中，保護層 116 的材料包括介電材料，例如是氧化矽、氮化矽、氮氧化矽或其組合。在本實施例中，保護層 116 與介電層 112 可以是不同的介電材料；而保護層 116 與犧牲層 114 可以是相同的介電材料。舉例來說，介電層 112 可以是氧化矽層；而犧牲層 114 與保護層 116 可以是氮化矽層。

【0015】 請參照圖 1B 與圖 1C，在保護層 116 與堆疊結構 110 中形成開口 10（亦可稱為第一開口）。如圖 1C 所示，開口 10 貫穿保護層 116 與堆疊結構 110，並且停止在最底介電層 112bm 上。在此實施例中，開口 10 可視為垂直通道開孔。在一實施例中，以上視角度來看，開口 10 可具有圓形的輪廓，但本發明不限於此。在其他實施例中，開口 10 可具有其他形狀的輪廓，例如橢圓形、矩形、多邊形或其組合。

【0016】 在形成開口 10 之後，在開口 10 的側壁上依序形成電荷儲存層 118 以及通道層 120。具體來說，如圖 1C 所示，電荷儲存

層 118 的形成方法可包括：形成電荷儲存材料以共形地覆蓋堆疊結構 110 的頂面以及開口 10 的底表面；以及進行第一非等向性蝕刻製程，以移除堆疊結構 110 的頂面上以及開口 10 的底面上的電荷儲存材料，進而形成電荷儲存層 118。相似地，通道層 120 的形成方法可包括：形成通道材料以共形地覆蓋堆疊結構 110 的頂面、電荷儲存層 118 的表面以及開口 10 的底面；以及進行第二非等向性蝕刻製程，以移除堆疊結構 110 的頂面上以及開口 10 的底面上的通道材料，進而形成通道層 120。在此實施例中，電荷儲存層 118 與通道層 120 是形成在開口 10 的側壁上。在一實施例中，第一非等向性蝕刻製程與第二非等向性蝕刻製程可以是反應性離子蝕刻（RIE）製程。

【0017】 在一實施例中，電荷儲存層 118 可以是氧化物/氮化物/氧化物（ONO）的複合層、氧化物/氮化物/氧化物/氮化物/氧化物（ONONO）的複合層、矽/氧化物/氮化物/氧化物/矽（SONOS）的複合層或是其他合適的材料。也就是說，雖然圖 1C 繪示出單層結構的電荷儲存層 118，但電荷儲存層 118 可以是雙層結構或是多層結構。另外，通道層 120 的材料可包括未經摻雜的多晶矽材料或是本徵（intrinsic）多晶矽材料。

【0018】 請參照圖 1C 與圖 1D，在開口 10 中形成介電材料 122，並在介電材料 122 中形成絕緣柱 123。具體來說，藉由化學氣相沉積法（CVD）在開口 10 中形成介電材料 122。值得注意的是，介電材料 122 並未將開口 10 填滿，而是保留開口 10 的中央部分。

之後，在開口 10 中形成絕緣柱 123，以將開口 10 的中央部分填滿。然後，進行平坦化製程以使介電材料 122 的頂面與絕緣柱 123 的頂面實質上齊平。在一實施例中，絕緣柱 123 與介電材料 122 可具有不同介電材料。舉例來說，絕緣柱 123 可以是氮化矽，而介電材料 122 可以是氧化矽。在其他實施例中，亦可以是先以介電材料 122 將開口 10 填滿，然後圖案化介電材料 122，以在介電材料 122 中形成中央開口，並以絕緣柱 123 填滿此中央開口。在此實施例中，絕緣柱 123 可貫穿至最底介電層 112bm 的頂表面，，或者是更進一步接觸基底 100。在一實施例中，以平面圖 2A 的角度來看，絕緣柱 123 具有圓形的輪廓，但本發明不限於此。在其他實施例中，絕緣柱 123 可具有其他形狀的輪廓，例如橢圓形、矩形、多邊形或其組合。

【0019】 請參照圖 1D 與圖 1E，在介電材料 122 中形成兩個開口 14、16（亦可稱為第二開口）。具體來說，開口 14 貫穿介電材料 122 與最底介電層 112bm，以暴露出多晶矽層 104；而開口 16 貫穿介電材料 122 與最底介電層 112bm，以暴露出多晶矽層 106。在此情況下，開口 14、16 可視為源極/汲極開孔，而多晶矽層 104、106 可視為形成開口 14、16 的停止層。在一實施例中，以平面圖 2B 的角度來看，開口 14、16 具有圓形的輪廓，但本發明不限於此。在其他實施例中，開口 14、16 可具有其他形狀的輪廓，例如橢圓形、矩形、多邊形或其組合。在本實施例中，開口 14、16 分別形成在絕緣柱 123 的相對兩側，且不與絕緣柱 123 以及通道層

120 接觸，但本發明不限於此。在其他實施例中，開口 14、16 亦可與絕緣柱 123 及/或通道層 120 接觸。開口 14、16 可用以界定本實施例的記憶元件的源極/汲極的位置。在本實施例中，形成開口 14、16 的布局與形成多晶矽層 104、106 的布局相同。也就是說，上述兩道製程可適用於同一光罩，以減少製造成本。

【0020】請參照圖 1E 與圖 1F，可加寬開口 14、16 的橫截面積，以使加寬後的開口 24、26 各自與絕緣柱 123 以及/或通道層 120 接觸。在一實施例中，加寬開口 14、16 的方法例如是對開口 14、16 進行等向性蝕刻製程。詳細地說，在進行等向性蝕刻製程時，利用絕緣柱 123（例如是氮化矽）、通道層 120（例如是多晶矽）以及多晶矽層 104、106 作為蝕刻停止層以移除開口 14、16 周圍的介電材料 122（例如是氧化矽）。在此情況下，加寬後的開口 24、26 便可與絕緣柱 123 以及/或通道層 120 接觸，如圖 2C 所示。

【0021】然後，在拓寬後的開口 24、26 中分別填入多晶矽材料 124、126，以與多晶矽層 104、106 接觸，進而形成本實施例的記憶元件的第一源極/汲極柱 134 與第二源極/汲極柱 136，如圖 1F 所示。在一實施例中，多晶矽材料 124、126 與多晶矽層 104、106 具有相同的材料，例如是 N 型摻雜（N⁺）多晶矽材料。在此情況下，第一源極/汲極柱 134 可包括多晶矽層 104 以及配置在多晶矽層 104 上的多晶矽材料 124。另外，第二源極/汲極柱 136 亦可包括多晶矽層 106 以及配置在多晶矽層 106 上的多晶矽材料 126。。如圖 1F 所示，垂直通道結構 130 由貫穿保護層 116 以及堆疊結構

110，以接觸介電層 102 的通道層 120 所構成。垂直通道結構 130 被電荷儲存層 118 所環繞包覆，電荷儲存層 118 配置在堆疊結構 110 與通道層 120 之間。另外，如平面圖 2C 所示，通道層 120 橫向環繞絕緣柱 123、介電材料 122、第一源極/汲極柱 134 以及第二源極/汲極柱 136。第一源極/汲極柱 134 與第二源極/汲極柱 136 貫穿介電材料 122，並部分延伸至介電層 102 中。絕緣柱 123 配置在第一源極/汲極柱 134 與第二源極/汲極柱 136 之間，以分隔第一源極/汲極柱 134 與第二源極/汲極柱 136。

【0022】圖 2D 是依照本發明另一實施例的一種三維及式 (AND) 快閃記憶體之平面示意圖。圖 3A 與圖 4A 是沿著圖 2D 的 A-A 切線的製造流程的剖面示意圖。圖 3B 與圖 4B 是沿著圖 2D 的 B-B 切線的製造流程的剖面示意圖。

【0023】請參照圖 2D、圖 3A 以及圖 3B，形成記憶元件的第一源極/汲極柱 134 與第二源極/汲極柱 136，如圖 1F 所示之後，移除介電材料 122，以形成空氣間隙 125。具體來說，可以保護層 116 當作停止層，進行蝕刻製程 121，移除保護層 116 上的介電材料 122 以及絕緣柱 123 兩側的介電材料 122，以形成暴露出通道層 120、絕緣柱 123、第一源極/汲極柱 134 以及第二源極/汲極柱 136 的空氣間隙 125。也就是說，空氣間隙 125 是由通道層 120、絕緣柱 123、第一源極/汲極柱 134 以及第二源極/汲極柱 136 所定義的，如圖 2D 所示。在此實施例中，空氣間隙 125 可貫穿堆疊結構 110 且配置在第一源極/汲極柱 134、第二源極/汲極柱 136 以及絕緣柱

123 旁邊，且被通道層 120 所環繞。更進一步地說，通道層 120 可橫向環繞絕緣柱 123、空氣間隙 125、第一源極/汲極柱 134 以及第二源極/汲極柱 136。值得注意的是，保護層 116 可視為蝕刻製程 121 的蝕刻停止層，以避免進一步向下移除堆疊結構 110 中的最頂介電層 112tm。在一實施例中，蝕刻製程 121 可以是等向性蝕刻製程或是濕式蝕刻製程。保護層 116 與介電材料 122 可以是具有不同蝕刻選擇性的不同材料。舉例來說，當介電材料 122 為氧化矽且保護層 116 為氮化矽時，蝕刻製程 121 可以是使用具有氫氟酸類的蝕刻劑的濕式蝕刻製程，但本發明不以此為限。在一實施例中，具有氫氟酸類的蝕刻劑包括氫氟酸（HF）、稀釋氫氟酸（DHF）、緩衝氧化物蝕刻液（BOE）等合適蝕刻劑。由於所述蝕刻劑對於介電材料 122 具有高蝕刻選擇性，因此，介電材料 122 可被完全移除，而保護層 116、絕緣柱 123、第一源極/汲極柱 134 以及第二源極/汲極柱 136 未被移除或僅少量移除。在一實施例中，蝕刻製程 121 可與上述加寬開口 14、16 的等向性蝕刻製程相同。

【0024】 在本實施例中，由於移除介電材料 122 以形成空氣間隙 125 的步驟是在絕緣柱 123、第一源極/汲極柱 134 以及第二源極/汲極柱 136 形成之後所進行的，因此，絕緣柱 123、第一源極/汲極柱 134 以及第二源極/汲極柱 136 與其橫向連接的堆疊結構 110 仍可支撐整個結構而不至於在移除介電材料 122 時倒塌。在此情況下，介電材料 122 可被完全移除，以使形成在垂直通道結構 130

(通道層 120) 中的空氣間隙 125 的空間最大化。

【0025】 請參照圖 4A 與圖 4B，在保護層 116 上形成頂蓋材料 128，以密封空氣間隙 125。在一實施例中，頂蓋材料 128 包括氧化矽、氮化矽、氮氧化矽或其組合。值得注意的是，在本實施例中，頂蓋材料 128 的形成方法包括低階梯覆蓋能力的沉積方法，例如是高密度電漿化學氣相沉積法 (HDP-CVD)、電漿增強化學氣相沉積法 (PECVD) 等類似沉積法。在此情況下，頂蓋材料 128 可密封空氣間隙 125 的頂部，而不會填充至空氣間隙 125 中，以使空氣間隙 125 直接接觸絕緣柱 123 的表面、第一源極/汲極柱 134 的表面、第二源極/汲極柱 136 的表面以及通道層 120 的表面，如圖 2D 所示。

【0026】 值得注意的是，在本實施例中，由於空氣間隙 125 的介電常數趨近於 1，因此空氣間隙 125 可有效地降低第一源極/汲極柱 134 與第二源極/汲極柱 136 之間的電容耦合。

【0027】 在替代實施例中，頂蓋材料 128 亦可延伸覆蓋垂直通道結構 130 的表面，以與空氣間隙 125 接觸。具體來說，頂蓋材料 128 可連續或是不連續地覆蓋通道層 120 的表面、絕緣柱 123 的表面、第一源極/汲極柱 134 的表面以及第二源極/汲極柱 136 的表面，但不會完全填滿空氣間隙 125。在此實施例中，由於第一源極/汲極柱 134 與第二源極/汲極柱 136 之間仍存在有較大體積的空氣間隙 125，因此空氣間隙 125 亦可有效地降低第一源極/汲極柱 134 與第二源極/汲極柱 136 之間的電容耦合。

【0028】 另外，雖然圖 4B 所繪示的頂蓋材料 128 的底面 128bt 與保護層 116 的頂面 116t 齊平，但本發明不以此為限。在其他實施例中，頂蓋材料 128 可進一步延伸至空氣間隙 125 中，以使頂蓋材料 128 與空氣間隙 125 之間的接觸界面 127 低於保護層 116 的頂面 116t。

【0029】 圖 5A、圖 5B 以及圖 5C 分別是依照本發明替代實施例的一種三維及式 (AND) 快閃記憶體的剖面示意圖、立體示意圖以及平面示意圖。

【0030】 請參照圖 4A 與圖 5A，在形成空氣間隙 125 之後，可進行閘極替換製程，以將堆疊結構 110 中的犧牲層 114 替換成導體層 144，如圖 5A 所示。

【0031】 在一實施例中，上述的閘極替換製程包括：在垂直通道結構 130 旁的堆疊結構 110 中形成狹縫（未繪示）。此狹縫至少貫穿保護層 116 與堆疊結構 110，以暴露出保護層 116 與堆疊結構 110 中的犧牲層 114。接著，移除犧牲層 114，以在介電層 112 之間形成多個第一空隙（未繪示）。此第一空隙可橫向暴露出電荷儲存層 118。也就是說，此第一空隙是由介電層 112 與電荷儲存層 118 所定義的。在本實施例中，在移除犧牲層 114 的同時，可進一步地移除保護層 116，以在最頂介電層 112tm 與頂蓋材料 128 之間形成第二空隙（未繪示）。值得注意的是，電荷儲存層 118 可視為上述的蝕刻製程的蝕刻停止層，以避免過度蝕刻進而損壞通道層 120。在一實施例中，所述蝕刻製程可以是濕式蝕刻製程。舉例來

說，當犧牲層 114 與保護層 116 為氮化矽時，所述蝕刻製程可以是使用含有磷酸的蝕刻液，並將所述蝕刻液倒入狹縫中，藉此移除犧牲層 114 與保護層 116。由於所述蝕刻液對於犧牲層 114 與保護層 116 具有高蝕刻選擇性，因此，犧牲層 114 與保護層 116 可被完全移除，而介電層 112 與頂蓋材料 128 未被移除或僅少量移除。

【0032】 然後，在第一空隙與第二空隙中形成導體層 144，由此完成了本發明的 3D AND 快閃記憶體 1。在一實施例中，導體層 144 的材料包括多晶矽、非晶矽、鎢 (W)、鈷 (Co)、鋁 (Al)、矽化鎢 (WSi_x) 或矽化鈷 ($CoSi_x$)。此外，在形成導體層 144 之前，可在電荷儲存層 118 與導體層 144 之間依序形成緩衝層以及阻障層。緩衝層的材料例如為介電常數大於 7 的高介電常數的材料，例如氧化鋁 (Al_2O_3)、氧化鈣 (HfO_2)、氧化釧 (La_2O_5)、過渡金屬氧化物、釧系元素氧化物或其組合。阻障層的材料例如為鈦 (Ti)、氮化鈦 (TiN)、鉭 (Ta)、氮化鉭 (TaN) 或其組合。

【0033】 在本實施例中，3D AND 快閃記憶體 1 具有多個記憶胞 150。詳細地說，如圖 5A 所示，每一個導體層 144 環繞源極/汲極柱 134、136，垂直通道結構 130 及電荷儲存層 118 的一部分可構成一個記憶胞 150。在本實施例中，單一個垂直通道結構 130 可定義有彼此堆疊的 6 個記憶胞 150。但本發明不以此為限，在其他實施例中，記憶胞 150 的數量可隨著堆疊結構 210 中的導體層 144 的數量來調整。另外，雖然圖 5A 僅繪示出兩個垂直通道結構 130，

但本發明不以此為限。在替代實施例中，3D AND 快閃記憶體 1 可包括多個垂直通道結構 130，且這些垂直通道結構 130 可在上視角度中以陣列的方式排列。

【0034】 為了對 3D AND 快閃記憶體 1 進行操作，在製造 3D AND 快閃記憶體 1 之後，會在 3D AND 快閃記憶體 1 上方形成導電線以電性連接至 3D AND 快閃記憶體 1。在本實施例中，如圖 5B 所示，在作為源極的第一源極/汲極柱 134 上方形成一些導電線以作為源極線 SL，在作為汲極的第二源極/汲極柱 136 上方形成其他導電線以作為位元線 BL，且這些源極線 SL 與位元線 BL 彼此平行排列而彼此不接觸。

【0035】 以下對 3D AND 快閃記憶體 1 中的記憶胞 150 的操作進行說明。

【0036】 如圖 5C 所示，對於 3D AND 快閃記憶體 1 來說，可個別地對每一個記憶胞 150 進行操作。可對記憶胞 150 的第一源極/汲極柱 134、第二源極/汲極柱 136 與對應的導體層 144（可視為閘極或字元線）施加操作電壓，來進行寫入（程式化）操作、讀取操作或抹除操作。在對第一源極/汲極柱 134 與第二源極/汲極柱 136 施加寫入電壓時，由於第一源極/汲極柱 134 與第二源極/汲極柱 136 與通道層 120 連接，因此電子可沿著第一電路徑 E1 與第二電路徑 E2（例如是雙面（double sides）電路徑）傳送並儲存在整個電荷儲存層 118 中。值得注意的是，本實施例可利用空氣間隙 125 來降低第一源極/汲極柱 134 與第二源極/汲極柱 136 之間的電容耦

合，進而減少記憶胞 150 之間的串擾並改善 3D AND 快閃記憶體 1 的操作。

【0037】 圖 5D 是依照本發明替代實施例的一種三維及式（AND）快閃記憶體陣列的電路示意圖。

【0038】 請參照圖 5D，本實施例之 3D AND 快閃記憶體陣列可包括排列成多個行與多個列的多個記憶胞 150。每一個記憶胞 150 可包括電性連接至字元線 WL（即 WL_m 、 WL_{m+1} ）的閘極 G、電性連接至源極線 SL（即 SL_n 、 SL_{n+1} ）的源極 S 以及電性連接至位元線 BL（即 BL_n 、 BL_{n+1} ）的汲極 D。值得注意的是，在本實施例之 3D AND 快閃記憶體陣列中，沿著源極/汲極柱 134、136 的延伸方向 D1 的多個記憶胞 150 可彼此並聯連接。具體來說，如圖 5D 所示，上記憶胞 150a 與下記憶胞 150b 通過共同源極/汲極柱 134、136 以共享同一源極線 SL_{n+1} 以及同一位元線 BL_{n+1} ，上記憶胞 150a 的閘極電性連接至上字元線 WL_{m+1} ，且下記憶胞 150b 的閘極電性連接至下字元線 WL_m 。在此情況下，本實施例之 3D AND 快閃記憶體陣列的架構與操作方法是不同於習知的三維反及式（3D NAND）快閃記憶體陣列的架構與操作方法，其中習知的 3D NAND 快閃記憶體陣列包括彼此串聯連接的多個記憶胞。

【0039】 上述的 3D AND 快閃記憶體 1 是以氧化物/氮化物/氧化物優先（ONO first）製程來形成電荷儲存層 118。但本發明不以此為限，其他實施例亦可以 ONO 最後（ONO last）製程來形成電荷儲存層，詳細結構請參照以下段落。

【0040】 圖 6 是依照本發明其他實施例的一種三維及式（AND）快閃記憶體的剖面示意圖。

【0041】 請參照圖 6，本實施例之 3D AND 快閃記憶體 2 與上述的 3D AND 快閃記憶體 1 相似，相同或相似的構件則以相同或相似的元件標號來表示，於此便不再贅述。上述兩者主要不同之處在於：3D AND 快閃記憶體 2 的通道層 120 環繞絕緣柱 123、第一源極/汲極柱 134、第二源極/汲極柱 136 以及空氣間隙（未繪示），電荷儲存層 218 環繞導體層 144，且部分的電荷儲存層 218 與通道層 120 直接接觸。具體來說，電荷儲存層 218 的形成方法可包括：在進行閘極替換製程中的移除犧牲層 114 與保護層 116 之後，將電荷儲存層 218 共形覆蓋第一空隙與第二空隙；接著形成導體層 144，以使電荷儲存層 218 環繞導體層 144，如圖 6 所示。雖然剖面圖 6 未繪示出空氣間隙，但在其他剖面視角下，空氣間隙是存在於通道層 120、絕緣柱 123、第一源極/汲極柱 134 以及第二源極/汲極柱 136 之間，如圖 5C 所示。

【0042】 綜上所述，本發明實施例將具有低介電常數的空氣間隙形成在垂直通道結構中，以降低兩個源極/汲極柱之間的電容耦合，進而減少記憶胞之間的串擾並改善 3D AND 快閃記憶體的操作。

【符號說明】

【0043】

1、2：3D AND 快閃記憶體
10、14、16、24、26：開口
100：基底
102、112：介電層
104、106：多晶矽層
110、210：堆疊結構
112bm：最底介電層
112tm：最頂介電層
114：犧牲層
116：保護層
116t：頂面
118、218：電荷儲存層
120：通道層
121：蝕刻製程
122：介電材料
123：絕緣柱
124、126：多晶矽材料
125：空氣間隙
127：接觸界面
128：頂蓋材料
128bt：底面
130：垂直通道結構

134：第一源極/汲極柱

136：第二源極/汲極柱

144：導體層

150、150a、150b：記憶胞

BL、BL_n、BL_{n+1}：位元線

D：汲極

D1：方向

E1：第一電路徑

E2：第二電路徑

G：閘極

S：源極

SL、SL_n、SL_{n+1}：源極線

WL、WL_m、WL_{m+1}：字元線

【發明申請專利範圍】

【請求項1】 一種三維及式（AND）快閃記憶體，包括：

基底；

堆疊結構，配置在所述基底上，其中所述堆疊結構包括交替堆疊的多個介電層與多個導體層；

兩個源極/汲極柱，貫穿所述堆疊結構；

絕緣柱，配置在所述兩個源極/汲極柱之間，以分隔所述兩個源極/汲極柱；

通道層，貫穿所述堆疊結構，環繞所述兩個源極/汲極柱與所述絕緣柱，且所述通道層與所述兩個源極/汲極柱接觸；

電荷儲存層，至少配置在所述通道層與所述多個導體層之間；以及

空氣間隙，貫穿所述堆疊結構且配置在所述兩個源極/汲極柱及所述絕緣柱旁邊，且被所述通道層所環繞，

其中所述空氣間隙直接接觸所述絕緣柱的表面、所述兩個源極/汲極柱的表面以及所述通道層的表面。

【請求項2】 如請求項1所述的三維及式快閃記憶體，更包括頂蓋材料配置在所述堆疊結構上以密封所述空氣間隙。

【請求項3】 如請求項1所述的三維及式快閃記憶體，更包括一源極線與一位元線分別與所述兩個源極/汲極柱電性連接。

【請求項4】 如請求項1所述的三維及式快閃記憶體，更包括一頂蓋材料延伸覆蓋所述兩個源極/汲極柱的表面、所述絕緣柱的表面以及所述通道層的表面，以與所述空氣間隙接觸。

【請求項5】 如請求項1所述的三維及式快閃記憶體，其中每一個導體層環繞所述兩個源極/汲極柱的一部分以構成記憶胞，且沿著所述兩個源極/汲極柱的延伸方向的多個記憶胞彼此並聯連接。

【請求項6】 一種三維及式（AND）快閃記憶體，包括：

基底；

堆疊結構，配置在所述基底上，其中所述堆疊結構包括交替堆疊的多個介電層與多個導體層；

兩個源極/汲極柱，貫穿所述堆疊結構；

絕緣柱，配置在所述兩個源極/汲極柱之間，以分隔所述兩個源極/汲極柱；

通道層，貫穿所述堆疊結構，環繞所述兩個源極/汲極柱與所述絕緣柱，且所述通道層與所述兩個源極/汲極柱接觸；

電荷儲存層環繞包覆所述通道層，其中所述電荷儲存層配置在所述堆疊結構與所述通道層之間；以及

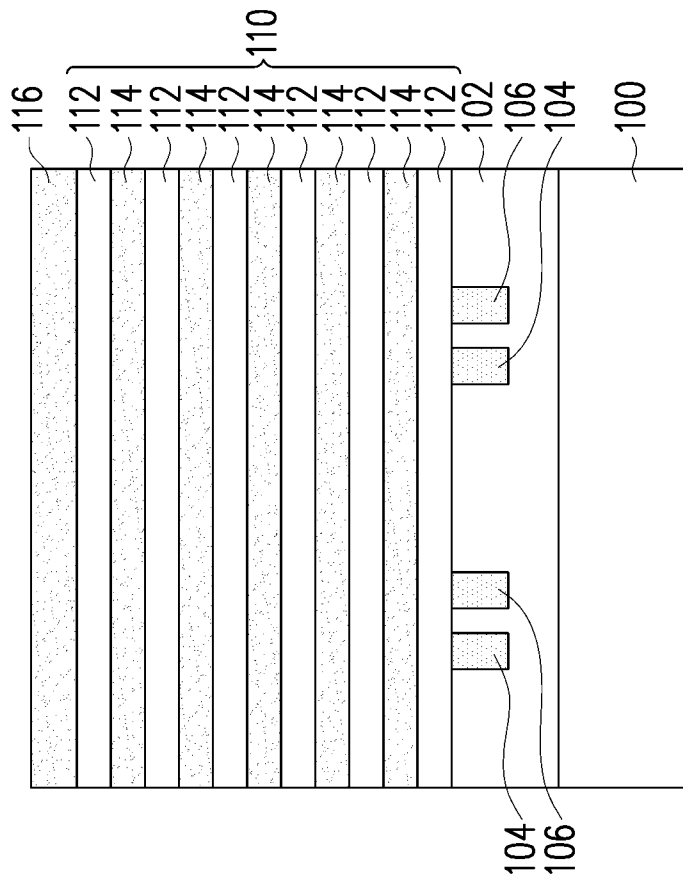
空氣間隙，貫穿所述堆疊結構且配置在所述兩個源極/汲極柱及所述絕緣柱旁邊，且被所述通道層所環繞，

其中所述空氣間隙直接接觸所述絕緣柱的表面、所述兩個源極/汲極柱的表面以及所述通道層的表面。

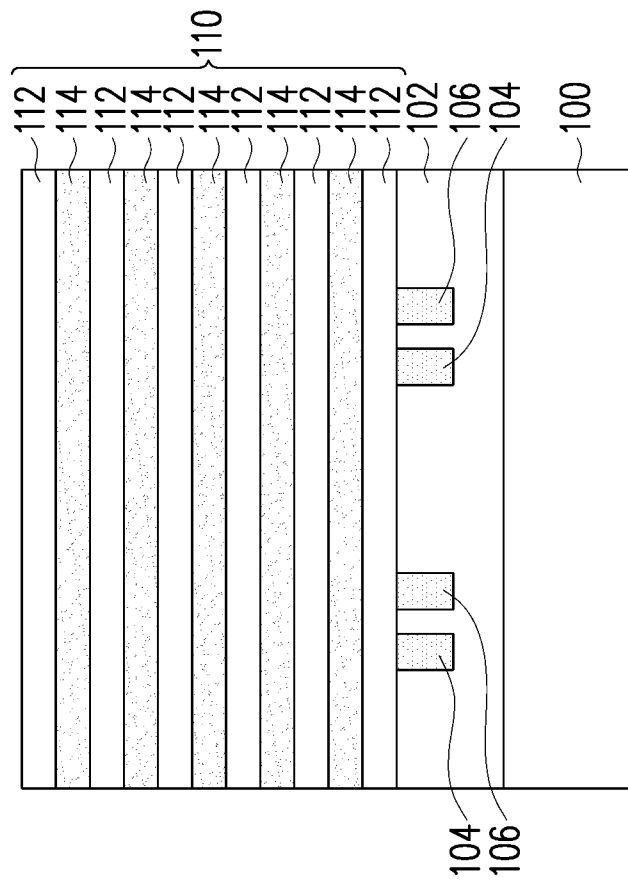
【請求項7】 如請求項6所述的三維及式快閃記憶體，更包括一源極線與一位元線分別與所述兩個源極/汲極柱電性連接。

【請求項8】 如請求項6所述的三維及式快閃記憶體，其中每一個導體層環繞所述兩個源極/汲極柱的一部分以構成記憶胞，且沿著所述兩個源極/汲極柱的延伸方向的多個記憶胞彼此並聯連接。

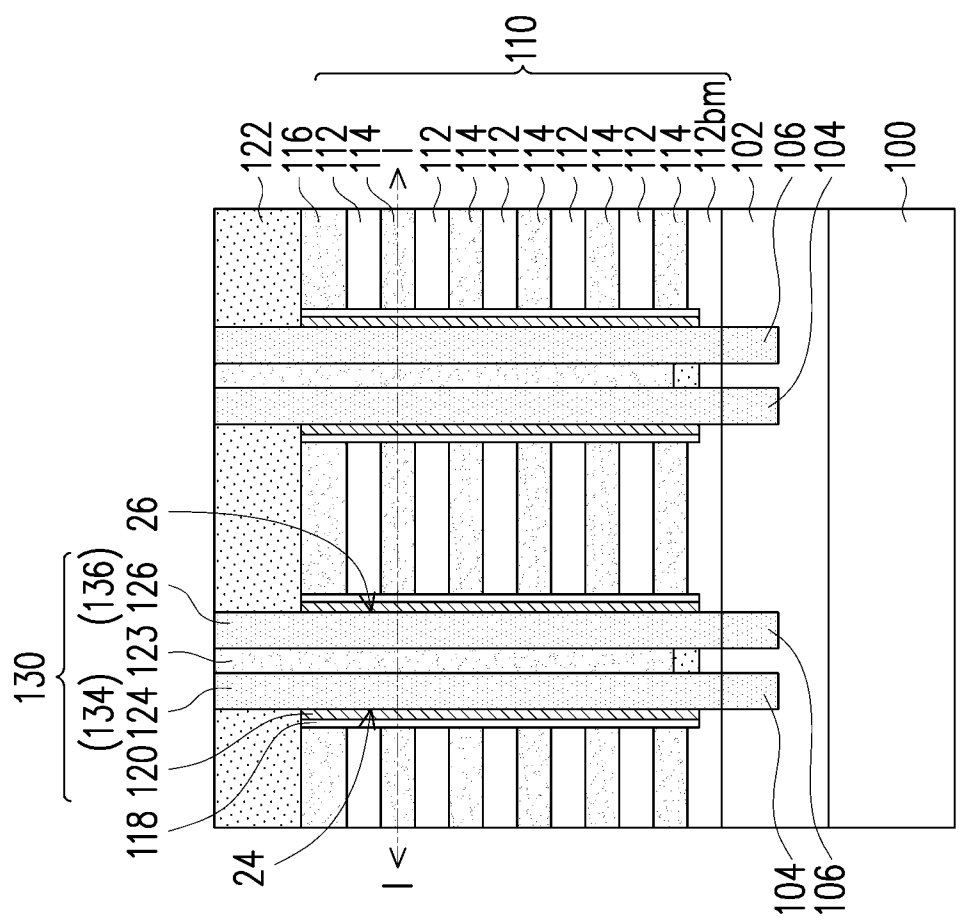
【發明圖式】



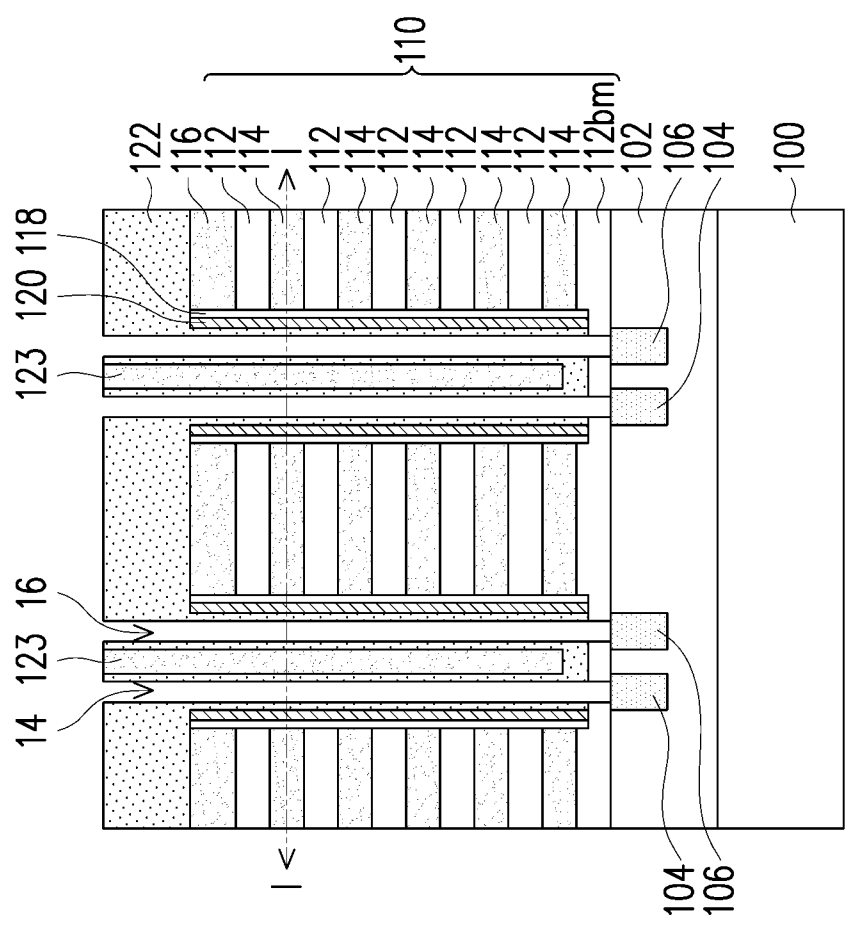
【圖1B】



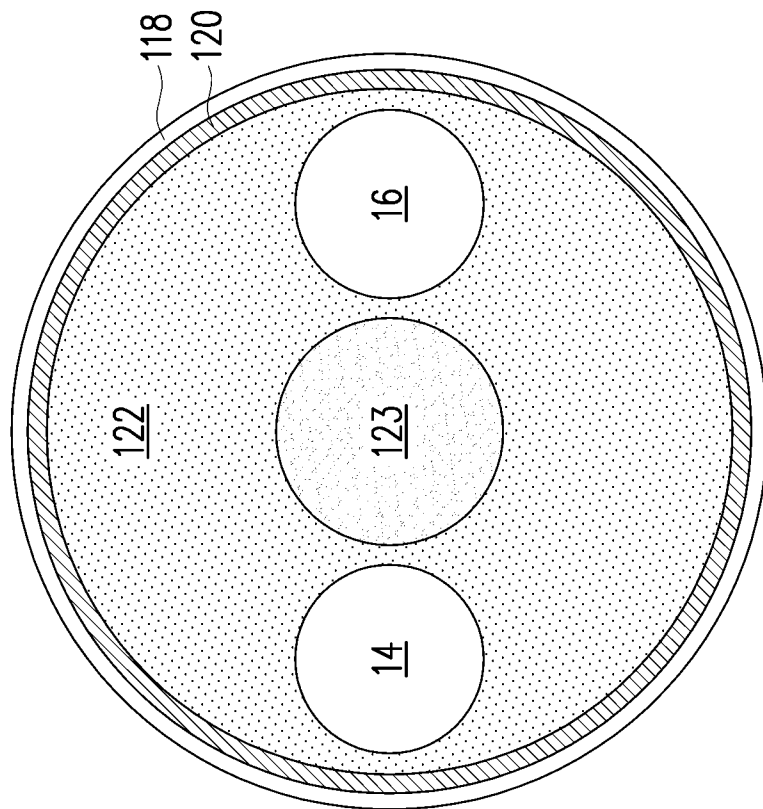
【圖1A】



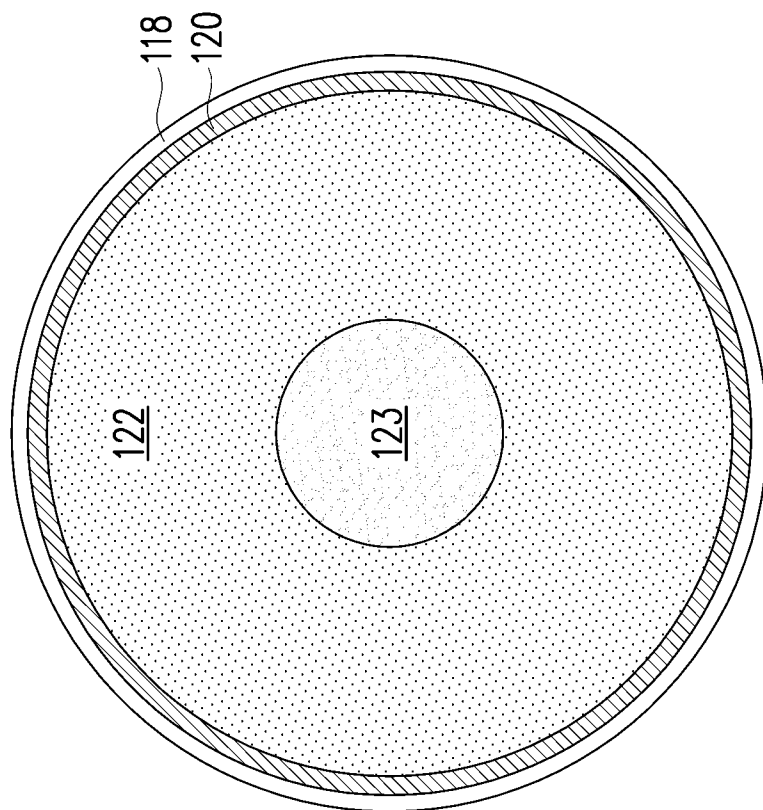
【圖1F】



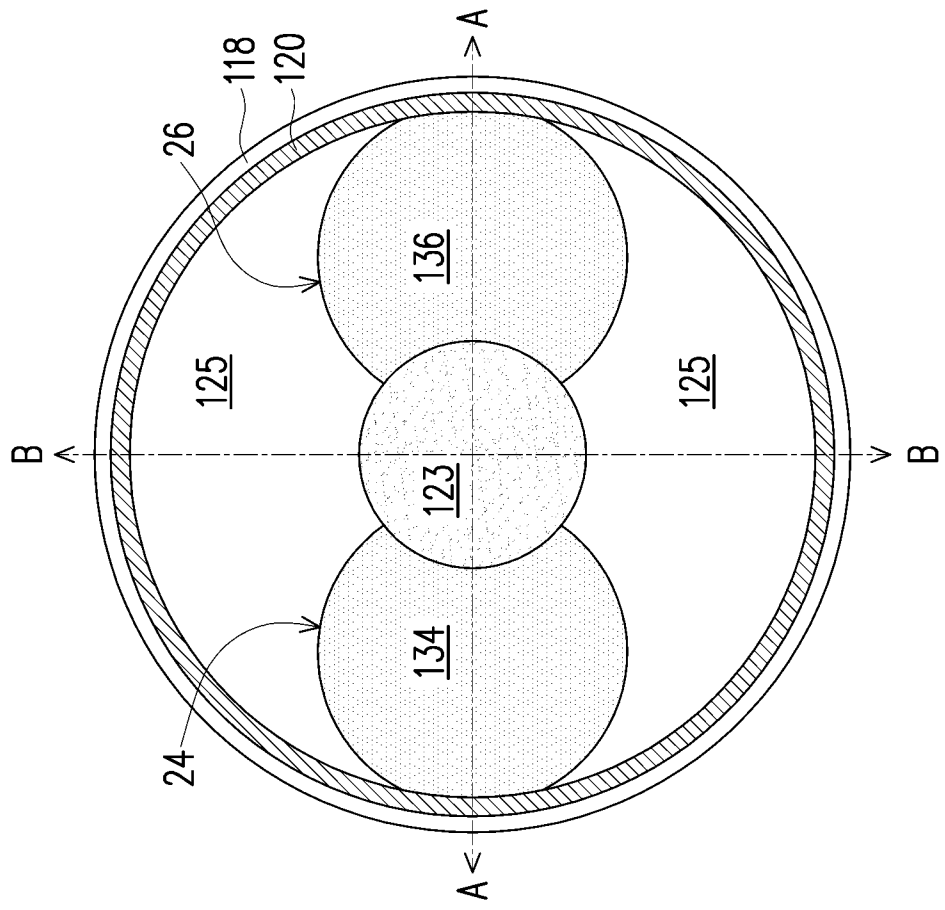
【圖1E】



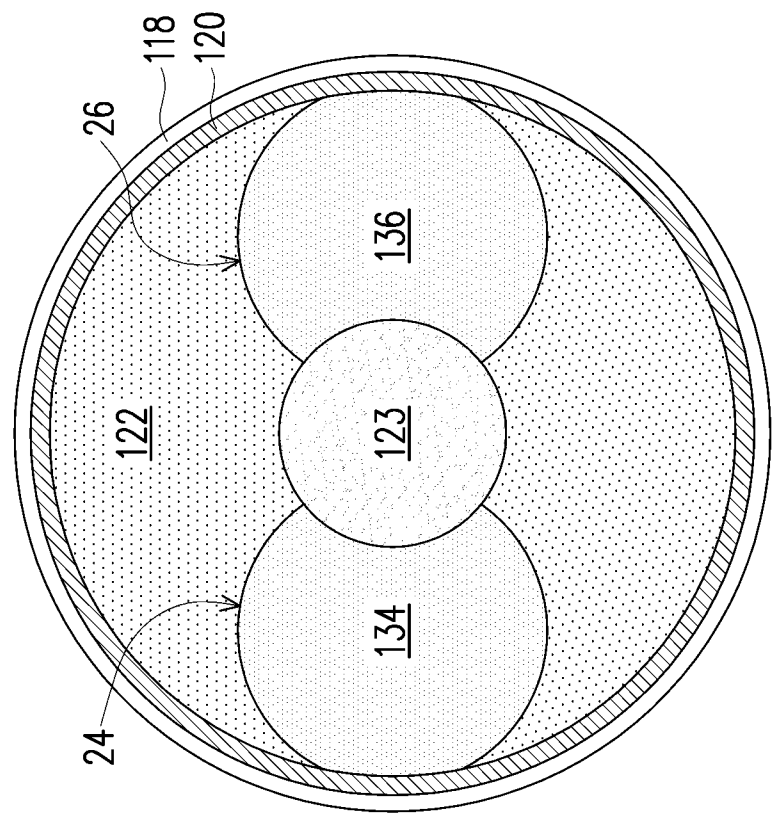
【圖2B】



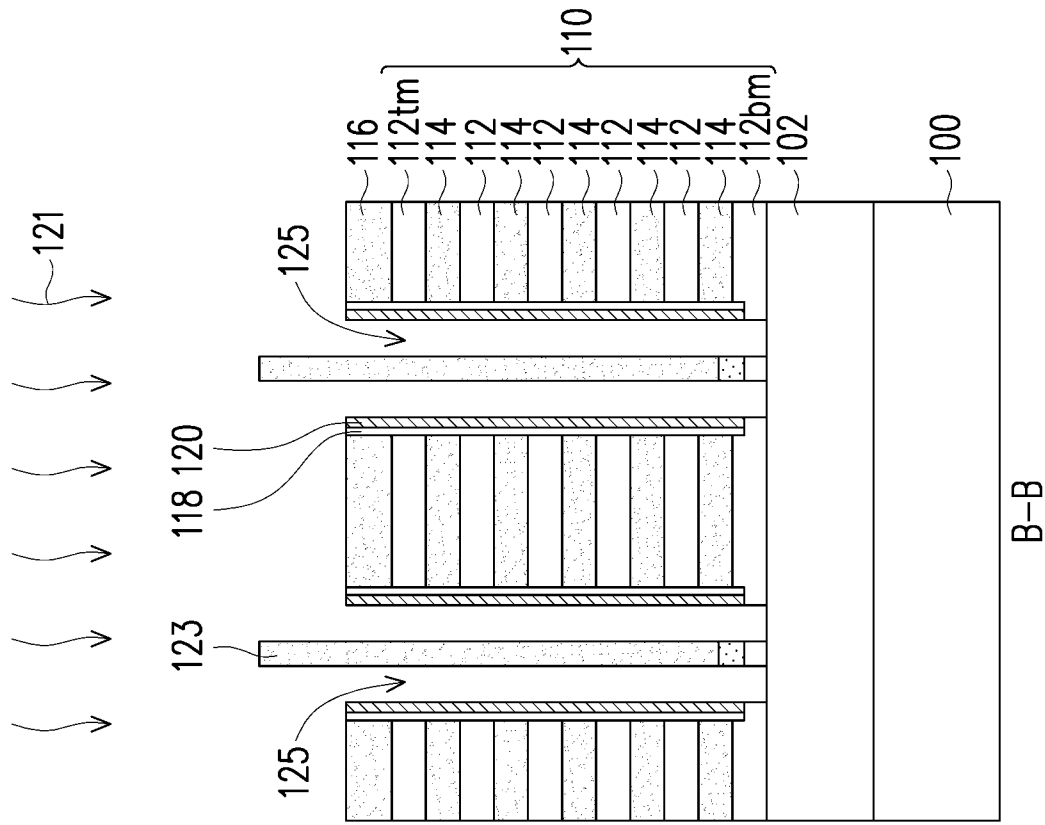
【圖2A】



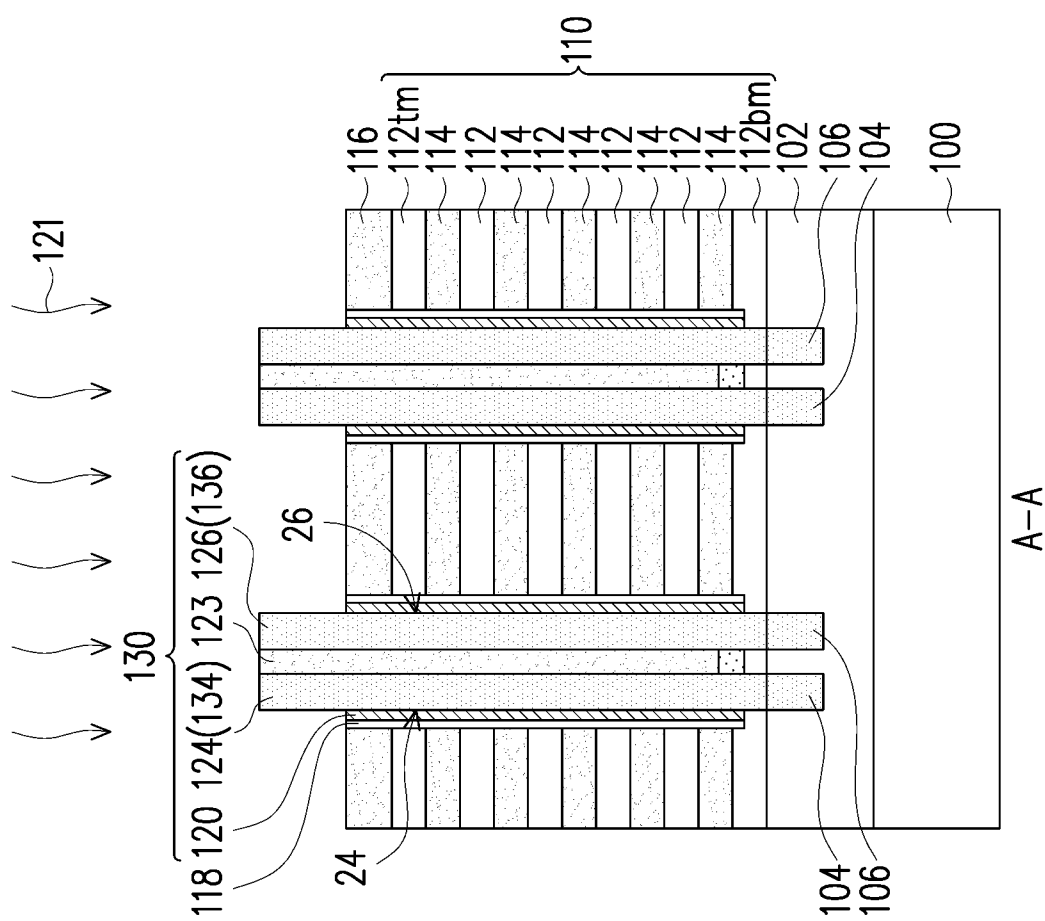
【圖2D】



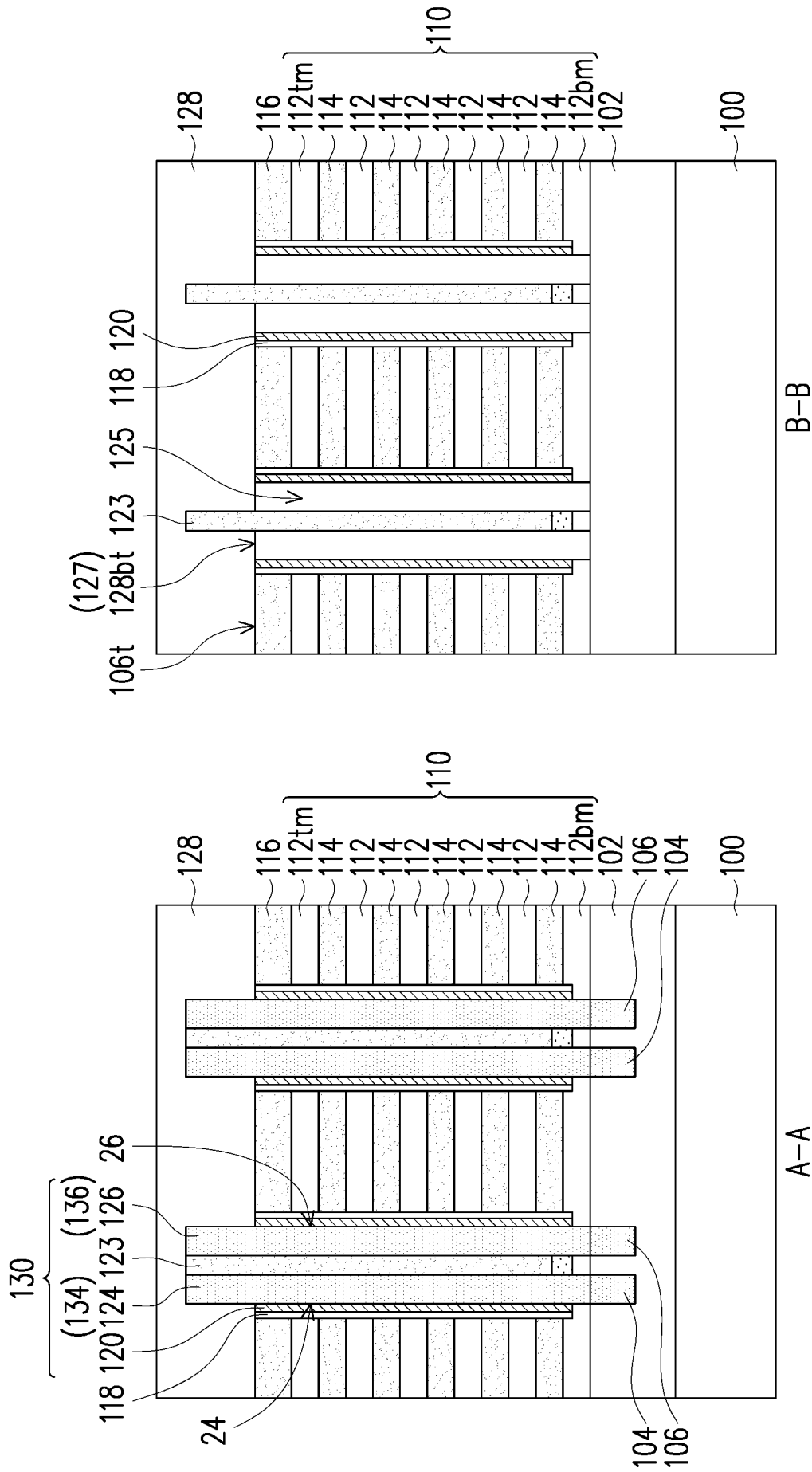
【圖2C】



【圖3B】

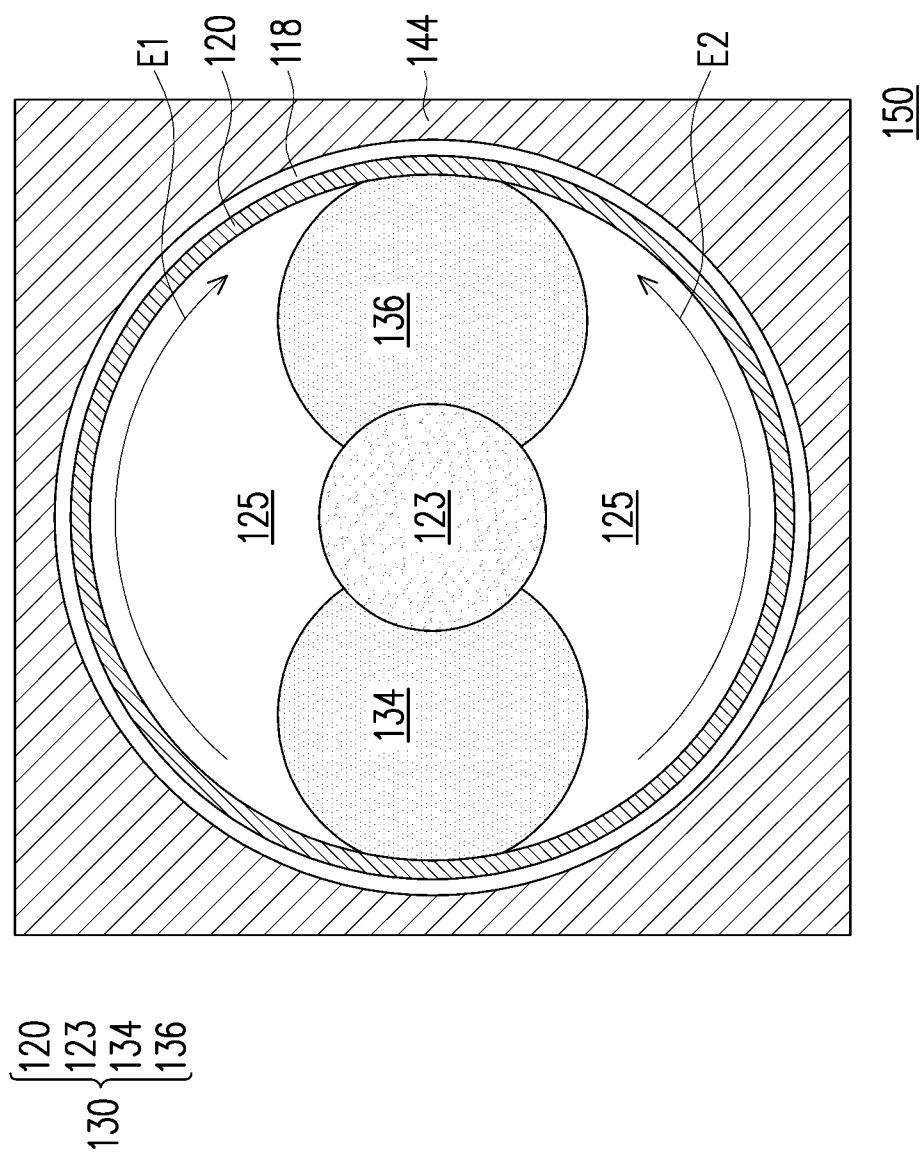


【圖3A】

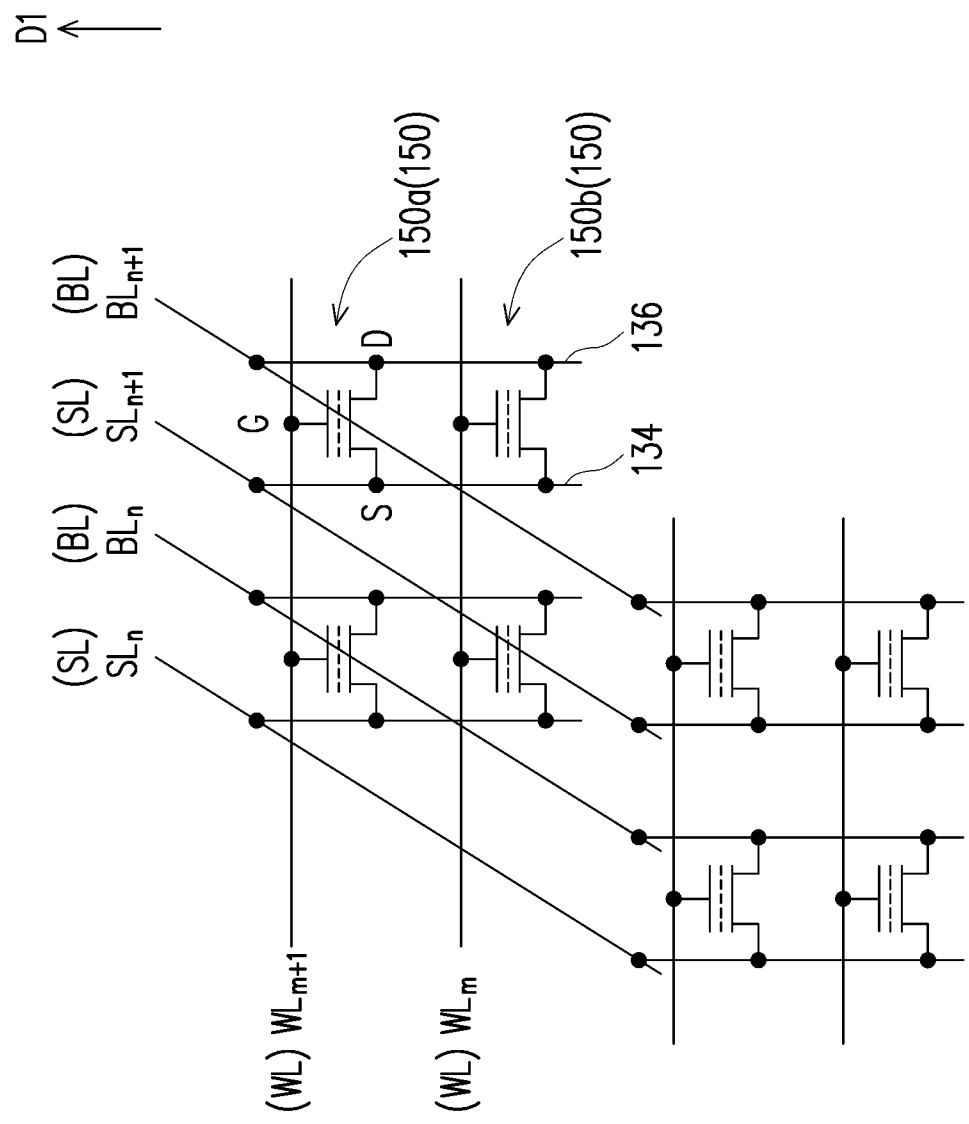


【圖4B】

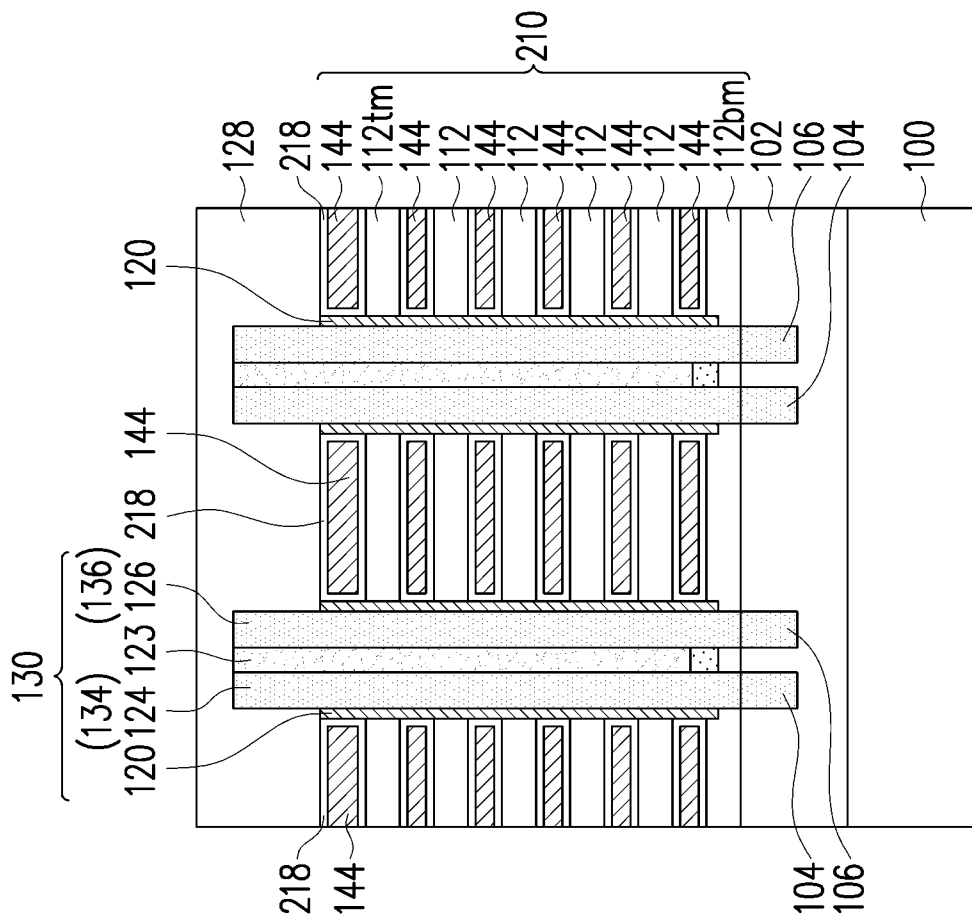
【圖4A】



【圖5C】



【圖5D】



2

【圖6】