



(12) 发明专利申请

(10) 申请公布号 CN 112713754 A

(43) 申请公布日 2021.04.27

(21) 申请号 202011155642.0

H02H 1/00 (2006.01)

(22) 申请日 2020.10.26

(30) 优先权数据

102019128849.5 2019.10.25 DE

(71) 申请人 英飞凌科技股份有限公司

地址 德国诺伊比贝尔格

(72) 发明人 R·伊林 C·德耶拉希-切克

C·格兰策

(74) 专利代理机构 北京市金杜律师事务所

11256

代理人 闫昊

(51) Int. Cl.

H02M 1/08 (2006.01)

H02M 1/088 (2006.01)

H02H 7/12 (2006.01)

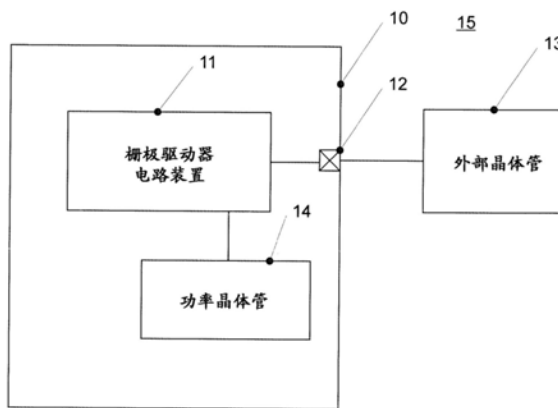
权利要求书3页 说明书14页 附图13页

(54) 发明名称

驱动电路、具有驱动电路的系统和校准程序

(57) 摘要

在此公开了驱动电路、具有驱动电路的系统和校准程序。在此提供了一种驱动器电路(10)。驱动器电路(10)具有功率晶体管(14)和栅极驱动器电路装置(11)。驱动器电路(10)被集成在封装中。另外,驱动器电路(10)具有用于外部晶体管(13)的接头(12)。外部晶体管(13)和功率晶体管(14)由栅极驱动器电路装置(11)彼此对应地驱控。



1. 一种驱动器电路(10;20;30;40;50;60;70;80;90;231;531;1000)包括:
栅极驱动器电路装置(11),
功率晶体管(14;25),与所述栅极驱动器电路装置(11)耦合,以及
至少一个连接端(12;GATE1,GATE2,GATE3),与所述栅极驱动器电路装置(11)耦合,
其中所述栅极驱动器电路装置(11)被设置为,彼此对应地驱控所述功率晶体管(14;
25)和至少一个外部晶体管(13;25),所述至少一个外部晶体管在所述至少一个连接端(12;
GATE1,GATE2,GATE3)处耦合至所述驱动器电路(10;20;30;40;50;60;60;70;80;90;231;
531;1000),
其中所述驱动器电路(10;20;30;40;50;60;70;80;90;231;531;1000)集成在一个封装
中。
2. 根据权利要求1所述的驱动器电路(10;20;30;40;50;60;70;80;90;231;531;1000),
还包括电流监测电路,所述电流监测电路被设置为监测通过所述功率晶体管(14;25)的电
流。
3. 根据权利要求2所述的驱动器电路(10;20;30;40;50;60;70;80;90;231;531;1000),
其中所述电流监测电路包括相对于所述功率晶体管(14;25)缩放的检测晶体管(31;44,
45),并且所述电流监测电路被配置为,基于通过所述检测晶体管(31;44,45)的电流来监测
通过所述功率晶体管(14;25)的电流。
4. 根据权利要求2或3所述的驱动器电路(10;20;30;40;50;60;70;80;90;231;531;
1000),还包括校准存储器(52),在所述校准存储器中存储有关于所述至少一个外部晶体管
(13;25)与所述功率晶体管(14;25)相比的性能的信息,其中所述电流监测电路被设置为,
基于通过所述功率晶体管(14;25)的电流和所述信息来监测通过所述至少一个外部晶体管
(13;25)的电流流动。
5. 根据权利要求2至4中任一项所述的驱动器电路(10;20;30;40;50;60;70;80;90;
231;531;1000),其中所述驱动器电路(10;20;30;40;50;60;70;80;90;231;531;1000)被设
置为,当通过所述功率晶体管(14;25)的电流显示过电流事件时,关断所述功率晶体管(14;
25)和所述至少一个外部晶体管(13;25)。
6. 根据权利要求1至5中任一项所述的驱动器电路(10;20;30;40;50;60;70;80;90;
231;531;1000),其中能够可选地停用所述至少一个连接端(12;GATE1,GATE2,GATE3)。
7. 根据权利要求6所述的驱动器电路(10;20;30;40;50;60;70;80;90;231;531;1000),
其中所述至少一个连接端(12;GATE1,GATE2,GATE3)包括多个连接端,其中能够可选地停用
所述多个连接端中的每个连接端。
8. 根据权利要求6或7所述的驱动器电路(10;20;30;40;50;60;70;80;90;231;531;
1000),还包括可用性检查器,所述可用性检查器被设置为,探测在所述至少一个连接端
(12;GATE1,GATE2,GATE3)处是否有外部晶体管(13;25)可用,并且根据所述探测来可选地
停用所述至少一个连接端(12;GATE1,GATE2,GATE3)。
9. 根据权利要求1至8中任一项所述的驱动器电路(10;20;30;40;50;60;70;80;90;
231;531;1000;1000),其中所述栅极驱动器电路装置(11)具有用于驱控所述功率晶体管
(14;25)和所述至少外部晶体管(13;25)的单个栅极驱动器(42;61)。
10. 根据权利要求1至8中任一项所述的驱动器电路(10;20;30;40;50;60;70;80;90;

231;531;1000),其中所述栅极驱动器电路装置(11)具有用于驱控所述功率晶体管(14;25)的第一栅极驱动器(61)和用于驱控所述至少一个外部晶体管(13;25)的至少一个第二栅极驱动器(71,72,73)。

11.根据权利要求10以及根据权利要求6至8中任一项所述的驱动器电路(10;20;30;40;50;60;70;80;90;231;531;1000;1000),其中所述可选地停用包括以可选的方式将与所述至少一个连接端(12;GATE1,GATE2,GATE3)相关联的所述至少一个第二栅极驱动器(71,72,73)停用。

12.根据权利要求1至11中任一项所述的驱动器电路(10;20;30;40;50;60;70;80;90;231;531;1000;1000),其中所述驱动器电路(10;20;30;40;50;60;70;80;90;231;531;1000;1000)单片集成在芯片上,或者其中所述驱动器电路(10;20;30;40;50;60;70;80;90;231;531;1000)集成在被布置在所述封装中的两个或更多个芯片上。

13.一种系统,包括:

至少一个外部晶体管(13;25),以及

驱动器电路,包括:

栅极驱动器电路装置(11),

功率晶体管(14;25),与所述栅极驱动器电路装置(11)耦合,以及

至少一个连接端(12;GATE1,GATE2,GATE3),与所述栅极驱动器电路装置(11)耦合,

其中所述驱动器电路(10;20;30;40;50;60;70;80;90;231;531;1000)集成在一个封装中,

其中所述至少一个外部晶体管(13;25)与所述至少一个连接端(12;GATE1,GATE2,GATE3)耦合,并且

其中所述栅极驱动器电路装置(11)被设置为,彼此对应地驱控所述功率晶体管(14;25)和所述至少一个外部晶体管(13;25)。

14.根据权利要求13所述的系统,其中所述驱动器电路(10;20;30;40;50;60;70;80;90;231;531;1000)根据权利要求1至13中任一项设计而成。

15.根据权利要求13或14所述的系统,其中所述至少一个外部晶体管(13;25)和所述功率晶体管(14;25)具有相似的参数。

16.根据权利要求15所述的系统,其中所述参数包括以下参数中的一个或多个参数:

所述至少一个外部晶体管(13;25)在接通状态中的电阻,

所述至少一个外部晶体管(13;25)的启动电压,

所述至少一个外部晶体管(13;25)的击穿电压,

所述至少一个外部晶体管(13;25)的特征曲线的陡度,

所述至少一个外部晶体管(13;25)的类型,或者

所述至少一个外部晶体管(13;25)的过电流稳定性。

17.根据权利要求13至16中任一项所述的系统,其中,所述至少一个外部晶体管(13;25)包括多个外部晶体管(13;25),并且其中所述至少一个连接端(12;GATE1,GATE2,GATE3)包括单个连接端(12;GATE1,GATE2,GATE3),所述单个连接端与所述多个晶体管(13;25)耦合,或者

其中所述至少一个晶体管(13;25)包括多个外部晶体管(13;25),并且其中所述至少一

个连接端(12;GATE1,GATE2,GATE3)包括多个连接端,其中所述多个连接端中的每个连接端(12;GATE1,GATE2,GATE3)与所述多个晶体管(13;25)中的一个晶体管(13;25)耦合。

18.一种用于校准驱动器电路的方法,其中所述驱动器电路(10;20;30;40;50;60;70;80;90;231;531;1000)包括:

栅极驱动器电路装置(11),

功率晶体管(14;25),与所述栅极驱动器电路装置(11)耦合,以及

至少一个连接端(12;GATE1,GATE2,GATE3),与所述栅极驱动器电路装置(11)耦合,以及

校准存储器(52),

其中所述驱动器电路(10;20;30;40;50;60;70;80;90;231;531;1000)集成在一个封装中,并且

其中所述栅极驱动器电路装置(11)被设置为,彼此对应地驱控所述功率晶体管(14;25)和至少一个外部晶体管(13;25),所述至少一个外部晶体管在所述至少一个连接端(12;GATE1,GATE2,GATE3)处耦合至所述驱动器电路(10;20;30;40;50;60;60;70;80;90;231;531;1000),

其中所述方法包括:

提供用于所述至少一个外部晶体管(13;25)的校准数据,以及

将所述校准数据存储于所述校准存储器(52)中。

19.根据权利要求18所述的方法,其中所述方法在以下一种或多种情况下进行:

制造所述驱动电路,

制造包括所述驱动电路的系统,或者

所述驱动器电路的使用寿命内反复进行。

20.根据权利要求18或19所述的方法,其中所述校准数据基于以下参数中的一个或多个参数:

所述至少一个外部晶体管(13;25)在接通状态中的电阻,

所述至少一个外部晶体管(13;25)的启动电压,

所述至少一个外部晶体管(13;25)的击穿电压,

所述至少一个外部晶体管(13;25)的特征曲线的陡度,或者

所述至少一个外部晶体管(13;25)的过电流稳定性。

驱动电路、具有驱动电路的系统 and 校准程序

技术领域

[0001] 本申请涉及驱动器电路、具有这种驱动器电路的系统以及用于校准驱动器电路的方法。

背景技术

[0002] 驱动器电路用于驱动晶体管，例如功率晶体管。这种功率晶体管在各种应用中用于转换高电流和/或高电压。这样的驱动器电路通常包含用于驱控晶体管栅极连接端的栅极驱动器以及各种诊断功能和保护功能。在驱动器电路用于驱控外部晶体管、即在驱动器电路外部的晶体管时，外部晶体管通过驱动器电路的相应引脚进行控制被驱控。也可以将多个同时被驱控的晶体管与该引脚连接。

[0003] 为了测量流过这个外部晶体管或流过这些外部晶体管的电流，通常使用外部测量电阻，该电阻与外部晶体管串联连接。然后通过电阻上的压降来测量电流。在过电流的情况下，这个或这些外部晶体管被关断。这样的外部电阻导致额外的成本，并且需要驱动器电路上的相应引脚，以便将被分接的电压提供给驱动器电路。

发明内容

[0004] 在此提供一种根据本发明的驱动器电路、系统和用于校准驱动器电路的方法。

[0005] 根据一个实施例，提供了一种驱动器电路，该驱动器电路包括：栅极驱动器电路装置、与该栅极驱动器电路装置耦合的功率晶体管、以及与该栅极驱动器电路装置耦合的至少一个连接端。驱动器电路集成在一个封装中。栅极驱动器电路装置被设置为，彼此对应地驱控功率晶体管和在至少一个连接端处耦合至驱动器电路的至少一个外部晶体管。

[0006] 根据另一实施例，提供一种系统，该系统具有这样的驱动器电路和与至少一个输出耦合的至少一个外部晶体管。

[0007] 最后，提供一种用于校准这种驱动器电路的方法，该方法包括：提供用于外部晶体管的校准数据，以及将校准数据存储于驱动器电路中。

[0008] 校准数据可以说明外部晶体管的参数。

[0009] 上面的概述仅用作一些实施例的简要概述，并且不应解释为限制性的，因为其他实施例可以具有除上述特征之外的特征。

附图说明

[0010] 图1示出了根据一个实施例的系统的框图。

[0011] 图2A示出了根据一个实施例的系统的框图。

[0012] 图2B示出了根据一个实施例的系统的详细框图。

[0013] 图3示出了根据一个实施例的系统的电路图。

[0014] 图4示出了根据一个实施例的系统的电路图。

[0015] 图5A示出了根据一个实施例的系统的框图。

- [0016] 图5B示出了根据一个实施例的系统的详细框图。
- [0017] 图6示出了根据一个实施例的系统的电路图。
- [0018] 图7示出了根据一个实施例的系统的电路图。
- [0019] 图8示出了根据一个实施例的系统的电路图。
- [0020] 图9示出了根据一个实施例的系统的电路图。
- [0021] 图10示出了根据一些实施例的电路图,用于说明对所连接的晶体管进行的探测。
- [0022] 图11示出了流程图,用于说明根据各种实施例的方法。

具体实施方式

[0023] 下面参考附图详细解释各种实施例。这些实施例仅用作示例,并且不应解释为限制性的。在其他实施例中,示出或描述的一些特征或组件可以被省略或由替代性特征和组件代替。除了明确描述的特征和组件之外,还可以提供其他特征或组件,例如也用于常规驱动器电路和相应系统中的特征和组件。

[0024] 不同实施例的特征可以彼此组合。例如,针对实施例之一描述的变化或变型也可以应用于其他实施例,因此不再重复说明。

[0025] 为了简化描述并更好地理解,在不同附图中彼此对应的部件或元件具有相同的附图标记并且不再重复说明。

[0026] 图1示出了根据一个实施例的系统15的框图。系统15具有驱动器电路10。驱动器电路10包括栅极驱动器电路装置11、功率晶体管14和连接端12。连接端在此意义上是驱动器电路10的元件,驱动器电路10外部的元件可以利用该元件与驱动器电路10通信。在系统15的情况下,外部晶体管13与连接端12连接,以便与驱动器电路10通信。

[0027] 驱动器电路10集成在单个封装中。然后,取决于封装的实施方式和类型,连接端12是该封装的引脚、焊盘或类似的连接端。驱动器电路10的组件、特别是栅极驱动器电路装置11和功率晶体管14,可以单片集成在单个芯片上。在其他实施例中,驱动器电路10的组件也可以在分离的芯片上实现,然后它们被一起布置在一个封装中。

[0028] 栅极驱动器电路装置11驱控功率晶体管14和外部晶体管13,以便控制功率晶体管14和外部晶体管13、例如接通和关断。驱控在此是彼此对应的,即外部晶体管13和功率晶体管14被一起切换,以使得它们具有相同的开关特性,例如同时接通和关断。这在下列极限内适用:例如由于从栅极驱动器电路装置11到外部晶体管13和功率晶体管14的信号传播时间不同、由于外部晶体管13和功率晶体管14之间的实现上的差异和/或由其他公差或波动所决定的极限。

[0029] 外部晶体管13同样可以是功率晶体管。功率晶体管被理解为设计用于转换高电压和/或高电流的晶体管。功率晶体管在芯片上的尺寸可以具有大于 0.5mm^2 的大小,以便能够传导这种大电流,并且可以具有大于 10mm^2 的大小。接通时的电阻 R_{on} 可以在 $20\text{m}\Omega/\text{mm}^2$ 的范围内,其中总电阻 R_{on} 可以小于 $100\text{m}\Omega$ 。功率晶体管可以例如传导大于 10A 的电流、例如在直至 40A 的范围内,和/或转换大于 10V 、例如几百伏的电压。

[0030] 应当注意,图1仅示出了系统15的一些可能的组件。因此可以使用多个外部晶体管代替单个外部晶体管。另外,驱动器电路10可以具有诊断和/或测量功能器。在一些实施例中,可以在功率晶体管14上执行测量,例如,对通过功率晶体管14的电流的测量,并且可以

基于此来推导通过外部晶体管13的电流。现在将参考另外的附图详细解释对此的示例。

[0031] 图2A示出了根据一个实施例的系统的框图。图2A的系统包括驱动器电路231。驱动器电路231具有内部功率晶体管25。功率晶体管25例如可以是DMOS晶体管。驱动器电路231还具有控制功能器232、保护功能器234和诊断功能器235。控制功能器232尤其用于驱动功率晶体管25和驱动由驱动器电路231驱控的外部晶体管。作为示例,在图2A中示出了三个外部晶体管215A、215B、215C,它们通过驱动器电路231的单个连接端GATE1经由栅极电阻被驱控。在下面将外部晶体管215A,215B和215C统称为外部晶体管215。三个外部晶体管215的数量仅应被理解为说明性示例,并且也可以提供更少的外部晶体管215,例如一个或两个外部晶体管215、或三个以上的外部晶体管215。

[0032] 外部晶体管215在正电源电压217和负载218之间与功率晶体管25并联连接,以便将负载218选择性地与正电源电压217耦合。

[0033] 驱动器电路231通过微控制器(微控器)230控制。微控制器可以与驱动器电路231交换各种控制和诊断信号。稍后参考图2B更详细地解释对此的示例。驱动器电路231彼此对应地驱控功率晶体管25和外部晶体管215,使得它们具有基本相同的开关特性。另外,在图2A的实施例中,外部晶体管215和功率晶体管25具有类似的参数,诸如在接通状态中的电阻、击穿电压、启动电压、陡度、过电流稳定性等。由此,保护功能器234和诊断功能器235可以通过测量功率晶体管25处的电流、电压等来得出关于外部晶体管215处的电流、电压等的结论,而为此无需例如用于测量通过外部晶体管215的电流的外部测量电阻。后面还将对此进行更详细的说明。通过功率晶体管25的电流的电流测量结果可以由驱动器电路231在输出IS上输出,并输送到微控制器230的模拟/数字转换器输入,这也将后面进行更详细的说明。

[0034] 驱动器电路231的外部布线也可以如图2A所示。

[0035] 现在将参照图2B更详细地说明这种驱动器电路231的可能的细节。图2B示出了根据一个实施例的系统的详细框图。可以将图2B的驱动器电路20视为图2A的驱动器电路231的实现示例。

[0036] 图2B的系统包括驱动器电路20和一个或多个外部晶体管215,在所示示例中示出了三个外部晶体管215A、215B、215C。三个外部晶体管的数量再次仅用作示例,并且根据实施方式也可以提供不同数量的外部晶体管。

[0037] 在所示的实施例中,外部晶体管215是被实现为MOSFET的功率晶体管。

[0038] 类似于图1的驱动器电路10,驱动器电路20集成在一个封装中,并且还可以单片集成到单个芯片中,或被提供在封装内的多个芯片上。驱动器电路20具有与晶体管215的栅极连接端耦合的连接端GATE1。

[0039] 驱动器电路20又具有功率晶体管25,该功率晶体管也被实现为MOSFET。在图2B的实施例中,功率晶体管25和外部晶体管215具有相似的参数。例如,这些晶体管关于其尺寸和构造可以名义上以相同的方式实现,使得只能由于工艺波动、制造公差等而出现参数的差异。类似的参数意味着诸如启动电压、击穿电压、陡度和精确状态下的电阻 R_{on} 等参数大致相同,即相差最大10%、例如最大5%或最大1%。在其他实施例中,晶体管215的尺寸可以与驱动器电路20的功率晶体管25不同。这种情况将在后面详细说明。

[0040] 在所示的实施例中,功率晶体管25和外部晶体管215以其漏极-源极路径在正电源

电压217和负载218之间并联连接,以便可选地向负载218提供电能。为此,功率晶体管25和外部晶体管215被彼此对应地驱控,尤其是一起接通和关断,使得功率晶体管25和外部晶体管215被共同地打开以将负载218与正电源电压217分开,或者这两个晶体管被共同地闭合以将负载218与正电源电压217连接从而向负载218提供能量。

[0041] 为此,驱动器电路20的电源电压217被传输给连接端VS。如图所示,连接端VS与功率晶体管25的漏极连接端连接。功率晶体管25的源极连接端与驱动器电路20的连接端AUS0连接。负载218连接与晶体管215的源极连接端和连接端OUT0连接,如图2B所示。

[0042] 连接端VS还与电路块21连接。电路块21具有电源电压监测器,该电源电压监测器监测电源电压217是否在可接受的范围内。此外,电路块21具有过电压保护器,其在电压过高时是保护机构。在电压217短暂失效的情况下,也可以提供自动重启控制。另外,在块21中,从电源电压217产生内部电源电压,该内部电源电压向驱动器电路20的各个部件提供电能。最后,通过电路块21操作感测输出IS,如后所述,在该感测输出处可以输出检测到的电流。电路块21可以如在常规驱动器电路中那样设计,并且还具除所示组件之外的组件。

[0043] 电路块22与连接端UV_SD、IN0、IN1、DEN、DSEL、IOC连接,驱动器电路20可以通过这些连接端与诸如微控制器的外部组件通信。在欠压的情况下,电路块22可以通过连接端UV_SD启动关断。连接端IN0、IN1、DEN、DSEL用于操作和诊断,并首先与用于防静电放电保护(ESD保护)的保护电路和输入逻辑器,该逻辑器有可能将这些连接端处的电平转变为内部电平和/或具有在这些连接端上的信号。此外,电路块22经由连接端GND接地,并且相应的电路部分(GND电路)处理并连接驱动器电路20内的接地。

[0044] 另外,电路块22具有极性反转保护,如果正电源电压217和地线颠倒连接,即正电源电压连接至连接端GND并且地连接至连接端VS,则极性反转保护保护驱动器电路20。这种保护也称为反极性保护。电路块22也可以如在常规驱动器电路中那样设计。

[0045] 连接端IN0、IN1、DEN、DSEL上的信号可以例如由外部微控制器提供,以便控制和监测功率晶体管25和外部晶体管215的开关。连接端IN0上的信号用于控制功率晶体管25和外部晶体管215A至215C。形成第一信道,在图2B中由信道0表示。在一些实施例中,可以提供另一信道并且经过在连接端IN1上的信号被控制,该信道具有驱动器电路20内部的另一功率晶体管和另一外部晶体管,这些晶体管通过另一个连接端GATE1耦合。这在图1中没有明确显示,并且可以像下面描述的第一个信道(信道0)那样设计。在其他实施例中,仅存在单个信道或存在两个以上信道。可以通过连接端DEN和DSEL上的信号触发诊断功能,其中通过连接端DEN上的信号激活诊断,并通过连接端DSEL上的信号选择用于诊断的信道。

[0046] 在包括功率晶体管25的电路块23中执行对第一信道的诊断和监测以及驱控。该电路块23在下面更详细地描述。首先讨论该控制,然后再讨论各种诊断可能性。

[0047] 为了控制功率晶体管25和晶体管215,来自从连接端IN0的信号被输送给驱动器逻辑器28,驱动器逻辑器相应于该信号驱控栅极控制器连同电荷泵210,其产生相应的电压来驱控晶体管25和215。在所示的实施例中,栅极控制器和电荷泵210的输出信号被输送给功率晶体管25的栅极连接端。此外,该信号通过栅极控制器24和连接端GATE1输送到外部晶体管215的栅极连接端。以这种方式,功率晶体管25和外部晶体管215彼此对应地被驱控。在一些实施例中,栅极控制24可以可选地将来自栅极控制器和电荷泵210的信号与连接端GATE1解耦,使得在没有外部晶体管215的情况下也可以进行操作,和/或如果晶体管的电压要求

不同于功率晶体管25的电压要求,则可以将该信号放大、缓冲或电位转换以使匹配于晶体管215。这种电路的细节将在后面更详细地说明。此外,栅极控制器24可以为连接端GATE1提供防静电放电保护(ESD保护)。

[0048] 接下来,将描述电路块23的诊断和保护功能。

[0049] 为了诊断而提供有负载电流检测器212,该负载电流检测器检测流过功率晶体管的电流(即漏极-源极电流),或者换句话说,从正电源电压217经由功率晶体管25流向负载218的电流。被检测的电流可以通过驱动器逻辑器被转发,并且例如在输出IS上被输出,特别是当连接端DEN上存在相应的诊断请求时。此外可以由过电流限制器213监测负载电流,该过电流限制器在发生过电流的情况下,即在电流高于预定阈值的情况下关断晶体管25并且经由栅极控制器24关断外部晶体管215。以此方式,在一些实施例中,可以避免由于电流过高对功率晶体管25和外部晶体管215的损坏。

[0050] 在图2B的实施例中,利用如下事实:外部晶体管215如上所述地具有与功率晶体管25类似的参数。因此,在接通状态下,近似相同的电流将流过每个外部晶体管215和功率晶体管25。在这种情况下,在功率晶体管25处的过电流因此意味着在外部晶体管215处也存在过电流,因为晶体管具有恰好近似相同的参数,包括它们的过电流特性。因此,在图2B的实施例中,不需要外部测量电阻或其他外部测量装置来监测通过外部晶体管215的电流,但是这可以通过测量通过功率晶体管25的电流来完成。

[0051] 任何用于电流检测的常规电路都可以用于负载电流检测器212,例如驱动器电路20内的内部测量电阻或测量晶体管。稍后将更详细地说明测量晶体管的使用。

[0052] 如果诊断功能需要总电流,则通过负载的总电流等于通过功率晶体管的检测到的电流乘以晶体管的总数,即在图2B的示例中,乘以4(功率晶体管25+三个外部晶体管215)。这也可以用来为负载218提供过电流监测,因为以此方式也已知了通过负载的电流。

[0053] 此外,在图2B的实施例中,温度传感器26被分配给功率晶体管25。过温度检测器29检查由这个温度传感器26检测到的温度是否高于阈值。如果是这种情况,则可以输出警告和/或可以将功率晶体管25与外部晶体管215一起关断。最后,提供了一个电压传感器27,其用于测量功率晶体管25上的电压。另外,提供了钳位装置214,该钳位装置将漏极-源极电压限制为最大值,以避免雪崩击穿。在图2A的情况下,钳位装置既用于功率晶体管25,又用于外部晶体管215。钳位装置可以例如借助于齐纳二极管单独设计为无源钳位装置,或者与由齐纳二极管驱控的晶体管一起设计为有源钳位装置(在后一种情况下,也称为“有源齐纳”)。

[0054] 最后,驱动器电路20包括电路211,该电路在处于反相状态的情况下接通功率晶体管25和外部晶体管215。当连接端OUT0上的电压高于连接端VS上的电压时,就会出现这种相反状态。在这种情况下,在常规的功率晶体管实现中,功率晶体管25的体二极管和外部晶体管215将变为导通的,这可能导致相对较高的功率损耗。可以通过接通晶体管来限制该功率损耗。

[0055] 应该注意的是,各种诊断功能可以以本身已知的方式实现。但是,也只能提供某些诊断功能或其他常规诊断功能。区别于常规方法,通过提供诊断功能首先为功率晶体管25也提供了对外部晶体管215的监测。

[0056] 现在参考图3说明负载电流测量和过电流探测的示例。图3示出了驱动器电路30的

一部分,特别是电流检测和过电流探测,例如可以在上面讨论的图1、2A和2B的驱动器电路或下面讨论的驱动器电路之一中使用。

[0057] 驱动器电路30具有已经讨论过的功率晶体管25。作为示例,还示出了两个外部晶体管215,标记为215A和215B。功率晶体管25和外部晶体管215在已经讨论的电源电压217和也已经讨论的负载218之间彼此并联连接。在图3中,再次假设外部晶体管215具有与功率晶体管25相似的参数。

[0058] 此外,驱动器电路30具有检测晶体管31,该检测晶体管与功率晶体管25并联连接并且相对于功率晶体管按比例缩放。检测晶体管31可以特别地以电流镜配置与功率晶体管25连接。检测晶体管31与功率晶体管25之间的比例因子由k表示,并且也称为 k_{ILIS} 因子。

[0059] 通过负载218的电流由通过功率晶体管25的电流 I_{DMOS} 、通过外部晶体管215A的电流 I_{ext_1} 和通过外部晶体管215B的电流 I_{ext_2} 组成。通过检测晶体管31的电流 I_{sense} 相对于通过功率晶体管25的电流以比例因子k进行缩放。通过负载218的总电流 I_{load} 相对于电流 I_{sense} 以因子K缩放,因子为 $n*k$,其中n是晶体管(功率晶体管25+外部晶体管)的数量,在图3的示例中因此是 $3*k$ 。电流 I_{sense} 通过电阻32流到连接端OUT。电阻32用作测量电阻用于 I_{sense} 电流。为此,在电阻32上分接相应的电压,并将其输送到给比较器33的第一输入。

[0060] 此外,参考电流源35生成参考电流 I_{ref} ,该参考电流借助测量电阻34被测量。测量电阻34处的电压被输送给比较器的第二输入。

[0061] 如果电流 I_{sense} 超过电流 I_{ref} ,则基于比较器33的输出断开功率晶体管25和外部晶体管215,并且在图3的示例中另外地断开检测晶体管31。可以通过这种方式实现过电流保护。

[0062] 应该注意的是,对于仅仅检测电流以及对于过电流监测也可以提供两个分开的检测晶体管。在图4中示出了相应的实施例,其中示出了电流检测和过电流监测的更多细节。

[0063] 图4示出了根据另一实施例的系统。依照图4的系统,下面将更详细地解释过电流探测和电流测量的可能实现方式。

[0064] 图4的系统示出了具有栅极驱动器42和功率晶体管25的驱动器电路40。如对于上述驱动器电路所说明的,驱动器电路40也可以布置在封装中,特别是单片集成在单个芯片上也或者以分布方式集成在布置在封装内部的多个芯片上。栅极驱动器42驱动功率晶体管25,并经过连接端GATE1驱动一个或多个外部晶体管215,在此又示出这些外部晶体管中的三个外部晶体管215A至215C。如上述实施例中那样,功率晶体管25和外部晶体管215在正电源电压217和负载218之间并联连接,以便可选地为负载供电。栅极驱动器42所具有强度足以驱动功率晶体管25以及设计用于驱动器电路40的多个外部晶体管,并且特别是通过相应栅极-源极电压的相对应的上升速率或下降速率来保证足够快地切换。

[0065] 在图4的实施例中,驱动器电路40具有与连接端GATE1耦合的ESD保护电路43。

[0066] 栅极驱动器42包含逻辑器,并且可以经过接口41、例如SPI(串行外围接口)接口由例如在如图2A中所示的微控制器进行控制。驱动器电路40还具有用于过电流探测的第一检测晶体管装置44和用于电流测量的第二检测晶体管装置45。如图所示,检测晶体管装置44和45分别具有两个晶体管,如已经参照图3针对检测晶体管31所解释的,该两个晶体管相对于功率晶体管25按比例缩放,尤其是具有较小的尺寸。

[0067] 在图4的实施例中,每个检测晶体管装置44、45的各一个第一检测晶体管始终是有

源的,并且对于检测晶体管装置44而言第二晶体管可以经由开关46接通,并且对于检测晶体管装置45而言第二晶体管可以经由开关47接通。在实施例中,当外部晶体管215与驱动器电路40的连接端GATE0连接时,开关46、47可以闭合。

[0068] 如果未连接外部晶体管,则可以断开开关。这改变了检测晶体管装置44、45和功率晶体管25之间的有效缩放比例,并且可以用于提供与相应于通过晶体管25、215的总电流的电流测量。参考图3,这意味着通过接通一个或多个晶体管k而有效地改变,使得提供图3中的K产生的电流通过检测晶体管装置44或45来设置。是否提供外部晶体管215可以通过驱动器电路中的电路来探测,这将在后面进行详细说明,或者也可以通过接口41进行通信。

[0069] 检测晶体管装置44用于过电流检测探测。为此,测量电阻48与检测晶体管装置44串联连接。测量电阻48上的电压由差分放大器49测量并且输送给栅极驱动器42的逻辑器,该电压是衡量用于通过检测晶体管装置44的电流的度量、并且因此是用于通过功率晶体管25、215的总电流的度量。栅极驱动器42的逻辑器可以将如此提供的值与阈值进行比较,并且在发生过电流的情况下,即当测得的电流超过阈值时。

[0070] 检测晶体管装置45还用于提供电流测量。功率晶体管的源极连接端和检测晶体管装置45的源极连接端与差分放大器410连接,差分放大器的输出与晶体管411的栅极连接端连接。通过组件410、411将检测晶体管装置45的源极电压调节到功率晶体管25的源极电压。由于漏极连接端分别与电源电压217连接,这意味着经过检测晶体管装置45的电压降与经过功率晶体管25的电压降完全相同(在调节精度范围内),这在某些实施例中可以提高电流测量的精度。如图所示,晶体管411与驱动器电路40的输出IS连接,从而在这种情况下,流过检测晶体管装置45的电流可以在输出IS处分流。应该注意的是,在检测晶体管装置44的情况下,不需要这样的部件410、411,因为这里检测晶体管装置44的漏极连接端和功率晶体管25的漏极连接端也彼此连接。

[0071] 还应当注意,在其他实施例中,也可以省略检测晶体管布置45,并且还可以在诸如输出IS之类的输出处输出差分放大器49的输出,作为用于流动电流的度量。

[0072] 在以上讨论的实施例中,相应驱动器电路具有单个的连接端(GATE1),一个或多个外部晶体管与该连接端耦合。下面被更详细解释的其他实施例具有用于多个外部晶体管的一些单独的连接端这样的第一实施例在图5A中示出。除了下面解释的变化之外,图5A中的实施例对应于图2A中的实施例,并且彼此对应的元件具有相同的附图标记。因此,下面仅对变化进行说明。

[0073] 代替图2A的驱动器电路231,图5A的系统具有驱动器电路531,该驱动器电路具有三个连接端GATE1、GATE2、GATE3。相应的外部晶体管215A、215B和215C分别与连接端GATE1, GATE2, GATE3中的每个连接。晶体管215相应于功率晶体管25的驱控通过驱动器电路531来驱控,如已经在图2中针对功率晶体管25和外部晶体管215所解释的那样。提供三个连接端又仅作为示例,并且也可以提供两个连接端或三个以上的连接端,以驱控相应数量的外部晶体管215。

[0074] 在一些实施方式中,连接端GATE1、GATE2、GATE3可以可选地被停用。例如也可以仅提供外部晶体管215A,并且驱动器电路531的连接端GATE1和GATE2被停用。控制器232、特别是其驱动器然后仅将控制信号输出到功率晶体管25和连接端GATE0,以驱动外部晶体管215A。为此,还可以将驱动器电路531设置为自动识别外部晶体管是否连接到连接端GATE1、

GATE2和GATE3以及连接到哪个连接端。稍后将对此进行详细说明。

[0075] 图5B示出了更详细的框图。图5B的系统是图2B的系统的变型,并且相同的元件又具有相同的附图标记并且不再赘述。

[0076] 图5B的系统具有驱动器电路50。下面说明与图2B的驱动器电路20的区别。

[0077] 类似于图5A的驱动器电路531,图5B的驱动器电路50具有三个分离的栅极连接端GATE1、GATE2和GATE3,其中晶体管215A、215B、215C之一与这些连接端中的每一个连接。连接端GATE1、GATE2和GATE3中的每一个与一个相应的栅极控制器53A、53B、53C耦合,该栅极控制器针对连接端GATE1、GATE2、GATE3中的每一个分别提供图2B的栅极控制器24的功能。为了可选地停用连接端GATE1、GATE2、GATE3,栅极控制器53A、53B、53C可以被可选地停用、例如关断并且分别-类似于图2B的栅极控制器24-由栅极控制器和电荷泵210驱控。

[0078] 接下来讨论驱动器电路50的电路块51与图2B的驱动器电路20的相应电路块23之间的差异。除了电路块23之外,电路块51还包括可用性检查电路54,其检查外部晶体管215与连接端GATE1、GATE2和GATE3中的哪一个连接。稍后将对此实现示例进行说明。连接端GATE1至GATE3中没有外部晶体管与其连接的那些连接端可以随后被停用。另外,负载电流检测可以相应地调整,例如,如参考图4所解释的那样借助开关46、47来实现。

[0079] 可用性检查器54的结果也可以通过连接端传输到另一个单元,例如微控制器230(见图5A),这可以用来影响各种功能。例如,实际上应该存在的外部晶体管215的缺失也可以指示有缺陷的晶体管。在这种情况下,例如,可以关断系统中的某些功能。作为示例,负载218可以包括汽车中的各种负载,其中一些负载可能比其他负载更重要。如果外部晶体管215之一不可用,则次要功能、特别是与安全性无关的功能(例如座椅加热)可以被关断,以限制通过负载218的最大电流消耗。

[0080] 应当注意,可用性检查器54可以在系统启动时工作,而且也可以在系统运行期间工作,以例如避免故障。如果一些或所有外部晶体管215不可用,则栅极控制器和电荷泵210的强度也可以被调节。

[0081] 提供多个外部晶体管215还可包括冗余。例如,总是仅仅可激活外部晶体管215之一,并且如果发现晶体管之一不可用,则激活外部晶体管215中的另一个。

[0082] 另外,电路块51具有校准存储器52。与上述实施例相比,如果外部晶体管215不具有类似于功率晶体管25的任何参数,则可以使用该校准存储器。在这种情况下,例如,通过每个外部晶体管215的电流流动可以与通过功率晶体管25的电流流动不同,和/或击穿和/或击穿条件或过电流条件可以不同。可以将这种不同的特性存储在校准存储器52中,并且然后由驱动器逻辑器来考虑。例如,可以从外部晶体管215的导通状态下的电阻(通常称为 R_{on})与功率晶体管215的关系由负载电流检测器212检测到的电流来推断出通过外部晶体管215的电流,并在相应的过电流的情况下可以启动关断行为。

[0083] 稍后参考图11更详细地解释该校准的一些细节。

[0084] 图6示出了根据一个实施例的系统的电路图,其示出了图5A和5B的系统的可能的实施细节。图6的系统具有驱动器电路60,已经讨论的三个外部晶体管215A、215B和215C在三个连接端GATE1、GATE2和GATE3处于驱动器电路连接,其中三个外部晶体管的数量再次用作示例。图6的驱动器电路示出了已经参考图4讨论的检测晶体管装置44、45以及相应的布线。另外,驱动器电路具有带有逻辑器的驱动器61,该驱动器驱动检测晶体管装置44、45和

功率晶体管25。可以通过已经描述的接口41来驱控驱动器61。

[0085] 此外,驱动器61可以经过栅极控制器62、63和64来驱控外部晶体管215。为了清楚起见,未示出从驱动器61到栅极控制器62、63和64的连接。连接端GATE1、GATE2和GATE3尤其可以可选地通过栅极控制器62、63、64被停用,或者外部晶体管215A、215B、215C可以可选地被驱控。

[0086] 此外,驱动器电路16包括可用性检查电路65,其被设置为检查哪个外部晶体管215可用,即检查哪个外部晶体管与相应的连接端GATE1、GATE2、GATE3连接且可操作,例如是无故障的。

[0087] 为此,如图所示,一方面将可用性检查器65与连接端GATE1、GATE2、GATE3中的每一个连接,并且另一方面将其通过电阻66与连接端OUT连接。通过与连接端GATE1、GATE2、GATE3的连接,可用性检查电路65“知道”哪个外部晶体管215应该被接通。例如,为了测试可用性,驱动器61可以顺序地驱控将相应的晶体管215A、215B、215C接通的栅极控制器62、63、64。然后通过电阻器66来检测该接通是否引起在连接端OUT上的相应电压变化。如果是这种情况,则相应的晶体管可用。

[0088] 这样的测试可以在驱动器电路60启动时和运行期间进行,例如在负载218不需要供电的阶段中进行。

[0089] 图7示出了系统的另一实施例,其是对图6的系统的变型。

[0090] 图7的系统包括驱动器电路70。区别于图6中的驱动器电路60,驱动器电路70对于每个连接端GATE1、GATE2、GATE3均具有单独的栅极驱动器71、72、73。这些单独的栅极驱动器可以由栅极驱动器61的逻辑器控制,也可以直接由微控制器通过接口41控制。在操作期间以这样的方式控制栅极驱动器61和栅极驱动器71至73,使得功率晶体管25和外部晶体管215彼此对应地被驱控,如已经说明的那样。如果可用性检查电路65显示一个或多个外部晶体管215不可用,则相应的栅极驱动器71、72、73被停用,从而相应的输出GATE1、GATE2或GATE3被停用。

[0091] 在图8中示出了这种栅极驱动器的实现示例。图8示出了具有驱动器电路80的一部分的系统,驱动器电路示例性地又与三个外部晶体管215在相应的连接端GATE1、GATE2和GATE3处连接。驱动器电路80的其他部分可以如上述实施例中那样实现。

[0092] 在框82中,驱动器电路80具有已经讨论过的功率晶体管25连同检测晶体管装置44和45。功率晶体管25和检测晶体管装置44、45由第一驱动器86驱控。如图所示,第一驱动器86主要具有高侧开关和低侧开关,利用该高侧开关和低侧开关,驱动器的输出节点可以可选地连接至高侧电流源或低侧电流源。第一驱动器连接在由电荷泵提供的电源电压VCP 85和-经由电阻83的-输出OUT之间。

[0093] 为了驱控外部晶体管215A、215B、215C,提供了相应的第二驱动器81A、81B和81C,其类似于第一驱动器86地构造。为了接通功率晶体管25和外部晶体管215,第一驱动器86和第二驱动器81A至81C以信号ON驱控,以便在低侧开关断开时闭合高侧开关。为了关断晶体管,驱动器86、81A、81B和81C相应地以信号OFF驱控,以便在高侧开关断开时闭合低侧开关。在实施例中,对于所有驱动器86、81A、81B、81C共同进行该驱控,从而可以彼此对应地驱控晶体管。如果如上所述提供可用性检查器,则可以停用驱动器81A至81C中的一些驱动器(在这些驱动器的相关联的连接端GATE1至GATE2处没有外部晶体管215可用),例如在该驱动器

中高侧开关以及低侧开关均打开。

[0094] 在图9中示出了另一个系统。图9的系统具有带有已经讨论过的功率晶体管25的驱动器电路90,该功率晶体管在两个连接端GATE1、GATE2处作为示例连接两个外部晶体管215A、215B。同样,两个外部晶体管的数量仅是示例。

[0095] 可以如前面的实施例中所述实现驱动器电路90的其他部分,特别是用于电流检测的部分。图9的主要目的是给出用于实现栅极驱动器的另一示例。

[0096] 驱动器电路90具有电荷泵91,其为下面描述的所有栅极驱动器提供电压。在所示的示例中,电荷泵91是迪克森(Dickson)电荷泵。也可以使用其他类型的电荷泵。

[0097] 为了驱控功率晶体管25而提供有驱动器电路94,并且提供了驱动器电路96A、96B用于驱控外部晶体管215A、215B。类似于参照图8讨论的驱动器电路86、81A至81C,驱动器电路94、96A、96B具有高侧开关、低侧开关、高侧电流源和低侧开关。在如已经参考图8所讨论的实施例中,驱动器电路的高侧开关和低侧开关由公共控制信号(图8中的ON和OFF)驱控,使得功率晶体管25和外部晶体管215被彼此对应地驱控。驱控驱动器电路94、96A和96B的至少高侧电流源,以提供相同的电流或彼此间具有预定关系的电流。这在图9中由此实现,即,所有的驱动器电路94、96A、96B被提供有相同的参考电流 i_{Ref} ,在其基础上调节电流源。基准电流 i_{Ref} 可以由基准电流源生成。在其他实施例中,驱动器电路之一(例如驱动器电路94)的高侧电流源的电流可以借助于电流镜被输送给其他驱动器电路(例如96A、96B)作为参考电流。

[0098] 另外,将钳位装置95分配给驱动器94,并且将相应的钳位装置97A、97B分配给驱动器96A、96B。这些钳位器件如已经参考图2B说明的钳位装置214那样,用于将相应晶体管的漏极-源极电压限制为最大值,以防止雪崩击穿。如对于钳位装置214所描述的,其可以借助于齐纳二极管来实现。区别于图2B,在图9中为每个晶体管(功率晶体管25和外部晶体管215)提供了单个的钳位装置。

[0099] 图10示出了如在各种实施例中使用的可用性检查电路的更详细的实施例。在利用驱动器1003A驱控的外部晶体管215的示例中说明该电路。可以为其他外部晶体管提供其他驱动器(如通过1003B标明)。

[0100] 图10的电路基于以下事实:在监测晶体管的充电时,栅极-源极电压(或栅极电压)应上升到外部晶体管215(在图10的示例中为MOSFET)的Miller平稳段。在没有外部晶体管215可用的情况下,可以利用电流源将栅极-源极电压或栅极电压拉至0V。

[0101] 为了检查可用性,提供了与相应电流源连接的高侧开关1001或低侧开关1002,可以尝试以例如1kHz范围内的频率对该开关进行切换,以尝试拉低栅极-源极电压。例如,这可以在外部晶体管215被驱动器1003A接通的状态下完成。如果外部晶体管215可用且栅极已充满电,则几乎不可能在此频率下将栅极电压拉至0V,即栅极电压仅略有变化,例如在100mV的范围内。相反,如果外部晶体管215不可用,例如没有连接或有故障,则可以将电压下拉至大约0V。可以使用比较器来对此进行探测。

[0102] 驱动器1003A、1003B经由电荷泵96供给。作为比较器,例如可以使用置位复位触发器1005连同前置(vorgehalten)的施密特触发器,该比较器经由开关1007可选地经由电阻1008连接至输出OUT。

[0103] 如已经说明的那样,可以根据可用性设置当前的阈值,或者可以相应地设置驱动

器强度。

[0104] 如已经参考图5B所解释的,在其中外部晶体管的参数与驱动器电路的功率晶体管的参数不同的实施例中,可以将校准数据存储在校准存储器中。现在参考图11说明用于该目的的相应方法。

[0105] 在1100处,图11的方法包括提供校准数据。如果该驱动器的制造商还提供特定的晶体管作为用于驱动器电路的外部晶体管,则该提供可以在相应驱动器电路(参见上述驱动器电路)的制造商方面实现。但是,这也可以由系统制造商(具有驱动器电路和外部晶体管的系统)实现,例如,将一个制造商的外部晶体管与另一制造商的驱动器电路组合在一起以生产系统。校准数据可以包括外部晶体管的参数,例如在接通状态下的电阻 R_{on} 、击穿电压、过电流源、用途等,或者这些参数与驱动器电路的功率晶体管(例如25)的参数之比。这些参数可以由外部晶体管的制造商提供。它们也可以在运行期间通过相应的测量重复地、例如以预定的时间间隔来确定,以便使校准适应于外部晶体管的老化。

[0106] 在1101,该方法包括将校准数据存储在驱动器电路中。

[0107] 在1102处,然后在驱动器电路的运行中使用校准数据,以便能够如在图5B中已经简要描述地根据来自电流测量的校准数据得出关于通过外部晶体管的电流的结论和/或借助校准数据提供用于外部晶体管的过电流监测,该电路测量基于通过驱动器电路的功率晶体管的电流来实现。

[0108] 以下实施例定义了一些实施方案:

[0109] 示例1.驱动器电路包括:

[0110] 栅极驱动器电路装置,

[0111] 功率晶体管,与栅极驱动器电路装置耦合,以及

[0112] 至少一个连接端,与栅极驱动器电路装置耦合,

[0113] 其中栅极驱动器电路装置被设置为,彼此对应地驱控功率晶体管和至少一个外部晶体管,该至少一个外部晶体管在所述至少一个连接端处耦合至驱动器电路,

[0114] 其中驱动器电路集成在一个封装中。

[0115] 示例2.根据示例1的驱动器电路,还包括电流监测电路,该电流监测电路被设置为监测通过功率晶体管的电流。

[0116] 示例3.根据示例1或2的驱动器电路,其中电流监测电路包括相对于所述功率晶体管成比例缩放的检测晶体管,并且被配置为,基于通过检测晶体管的电流来监测通过功率晶体管的电流。

[0117] 示例4.根据示例2或3的驱动器电路,还包括校准存储器,在校准存储器中存储有关于至少一个外部晶体管与功率晶体管相比的性能的信息,其中该电流监测电路被设置为,基于通过功率晶体管的电流和所述信息监测通过所述至少一个外部晶体管的电流流动。

[0118] 示例5.根据示例2至4中任一个的驱动器电路,其中,所述驱动器电路被配置为,当通过所述功率晶体管的电流指示过电流事件时,关断所述功率晶体管和所述至少一个外部晶体管。

[0119] 示例6.根据示例1到5中任一个的驱动器电路,其中能够可选地停用至少一个连接端。

[0120] 示例7.根据示例6的驱动器电路,其中至少一个连接端包括多个连接端,其中能够可选地停用所述多个连接端中的每个连接端。

[0121] 示例8.根据示例6或7的驱动器电路,还包括可用性检查器,所述可用性检查器被设置为,探测在至少一个连接端处是否有外部晶体管可用,并且根据探测可选地停用至少一个连接端。

[0122] 示例9.根据示例1至8中任一个的驱动器电路,该栅极驱动器电路装置具有用于驱控功率晶体管和至少外部晶体管的单个的栅极驱动器。

[0123] 示例10.根据示例1至8中任一个的驱动器电路,其中,所述栅极驱动器电路装置具有用于驱控所述功率晶体管的第一栅极驱动器和用于驱控所述至少一个外部晶体管的至少一个第二栅极驱动器。

[0124] 示例11.根据示例10和示例6至8中任一个的驱动器电路,其中可选地停用包括以可选的方式将与所述至少一个连接端相关联的至少一个第二栅极驱动器停用。

[0125] 示例12.根据示例1至11中任一个的驱动器电路,该驱动器电路单片集成在芯片上。

[0126] 示例13.根据示例1至11中任一个的驱动器电路,其中,所述驱动器电路集成在被布置在封装中的两个或更多个芯片上。

[0127] 示例14.一种系统,包括:

[0128] 至少一个外部晶体管,以及

[0129] 驱动器电路,包括:

[0130] 栅极驱动器电路装置,

[0131] 功率晶体管,与栅极驱动器电路装置耦合,以及

[0132] 至少一个连接端,与栅极驱动器电路装置耦合,

[0133] 其中驱动电路集成在一个封装中,

[0134] 其中至少一个外部晶体管与至少一个连接端耦合,以及

[0135] 其中栅极驱动器电路被设置为,彼此对应地驱控功率晶体管和至少一个外部晶体管。

[0136] 示例15.根据示例14的系统,驱动器电路根据示例1至13中任一个设计而成。

[0137] 示例16.根据示例14或15的系统,其中驱动器电路包括电流监测电路,该电流监测电路被设置为监测通过功率晶体管的电流。

[0138] 示例17.根据示例16的系统,其中电流监测电路包括检测晶体管,检测晶体管相对于所述功率晶体管成比例缩放,并且电流监测电路被配置为,基于通过检测晶体管的电流来监测通过功率晶体管的电流。

[0139] 示例18.根据示例16或17的系统,其中驱动器电路还包括校准存储器,在校准存储器中存储有关于至少一个外部晶体管与功率晶体管相比的性能的信息,其中该电流监测电路被设置为,基于通过功率晶体管的电流和该信息监测通过至少一个外部晶体管的电流流动。

[0140] 示例19.根据示例16至18中任一个的系统,其中驱动器电路被设置为,当通过功率晶体管的电流指示过电流事件时,关断功率晶体管和至少一个外部晶体管。

[0141] 示例20.根据示例14到19中任一个的系统,其中能够可选地停用至少一个连接端。

[0142] 示例21.根据示例20的系统,其中至少一个连接端包括多个连接端,其中能够可选地停用所述多个连接端中的每个连接端。

[0143] 示例22.根据示例20或21所述的系统,其中驱动器电路还包括可用性检查器,可用性检查器被设置为,探测是否外部晶体管在至少一个连接端处可用,并且根据该探测可选地停用至少一个连接端。

[0144] 示例23.根据示例14至22中任一个的系统,其中栅极驱动器电路装置具有用于驱控功率晶体管和至少外部晶体管的单个的栅极驱动器。

[0145] 示例24.根据示例14至23中任一个的系统,其中栅极驱动器电路装置具有用于驱控功率晶体管的第一栅极驱动器和用于驱控至少一个外部晶体管的至少一个第二栅极驱动器。

[0146] 示例25.根据示例24和示例20至22中任一个的系统,其中可选地停用包括将与所述至少一个连接端相关联的至少一个第二栅极驱动器停用。

[0147] 示例26.根据示例14至25中任一个的系统,其中驱动器电路单片集成在芯片上。

[0148] 示例27.根据示例14至25中任一个的系统,其中驱动器电路集成在两个或更多个布置在封装中的芯片上。

[0149] 示例28.根据示例14至27中任一个的系统,其中至少一个外部晶体管和功率晶体管具有相似的参数。

[0150] 示例29.根据示例28所述的系统,其中参数包括以下参数中的一个或多个参数:

[0151] 至少一个外部晶体管在接通状态中的电阻,

[0152] 至少一个外部晶体管的启动电压,

[0153] 至少一个外部晶体管的击穿电压,

[0154] 至少一个外部晶体管的特征曲线的陡度,

[0155] 至少一个外部晶体管的类型,或者

[0156] 至少一个外部晶体管的过电流稳定性。

[0157] 示例30.根据示例14至29中任一个的系统,其中至少一个外部晶体管包括多个外部晶体管,并且其中至少一个连接端包括与多个晶体管耦合的单个连接端。

[0158] 示例31.根据示例14至29中任一个的系统,其中至少一个晶体管包括多个外部晶体管,并且其中至少一个连接端包括多个连接端,多个连接端中的每个连接端与多个晶体管中的一个晶体管耦合。

[0159] 示例32.一种校准驱动器电路的方法,该驱动器电路包括:

[0160] 栅极驱动器电路装置,

[0161] 功率晶体管,与栅极驱动器电路装置耦合,以及

[0162] 至少一个连接端,与栅极驱动器电路装置耦合,以及

[0163] 校准存储器,

[0164] 其中驱动器电路集成在一个封装中,以及

[0165] 其中栅极驱动器电路布置被设置为,彼此对应地驱控功率晶体管和至少一个外部晶体管,至少一个外部晶体管在所述至少一个连接端处连接至驱动器电路,

[0166] 其中该方法包括:

[0167] 提供用于至少一个外部晶体管的校准数据,以及

- [0168] 将校准数据存储在校准存储器中。
- [0169] 示例33. 根据示例32的方法, 其中该方法在以下一种或多种情况下进行:
- [0170] 制造驱动电路,
- [0171] 制造包括驱动电路的系统, 或者
- [0172] 驱动器电路的使用寿命内反复进行。
- [0173] 示例34. 根据示例32或33的方法, 其中, 所述校准数据基于以下参数中的一个或多个:
- [0174] 至少一个外部晶体管在接通状态中的电阻,
- [0175] 至少一个外部晶体管的启动电压,
- [0176] 至少一个外部晶体管的击穿电压,
- [0177] 至少一个外部晶体管的特征曲线的陡度, 或者
- [0178] 至少一个外部晶体管的过电流稳定性。
- [0179] 示例35. 根据示例32至34中任一个的方法, 其中驱动器电路根据示例1至13中任一个设计而成, 和/或该系统的驱动器电路根据示例1至31中任一个设计而成。
- [0180] 尽管已经在本说明书中示出和描述了特定的实施例, 但是本领域的普通技术人员将认识到, 在不脱离所示出的发明的范围的情况下, 可以选择各种替代和/或等效的实现方式来代替在本说明书中示出和描述的特定的实施例。本申请旨在涵盖本文所讨论的特定实施例的任何改编或变型。因此希望本发明仅由权利要求书和权利要求书的等同物限制。

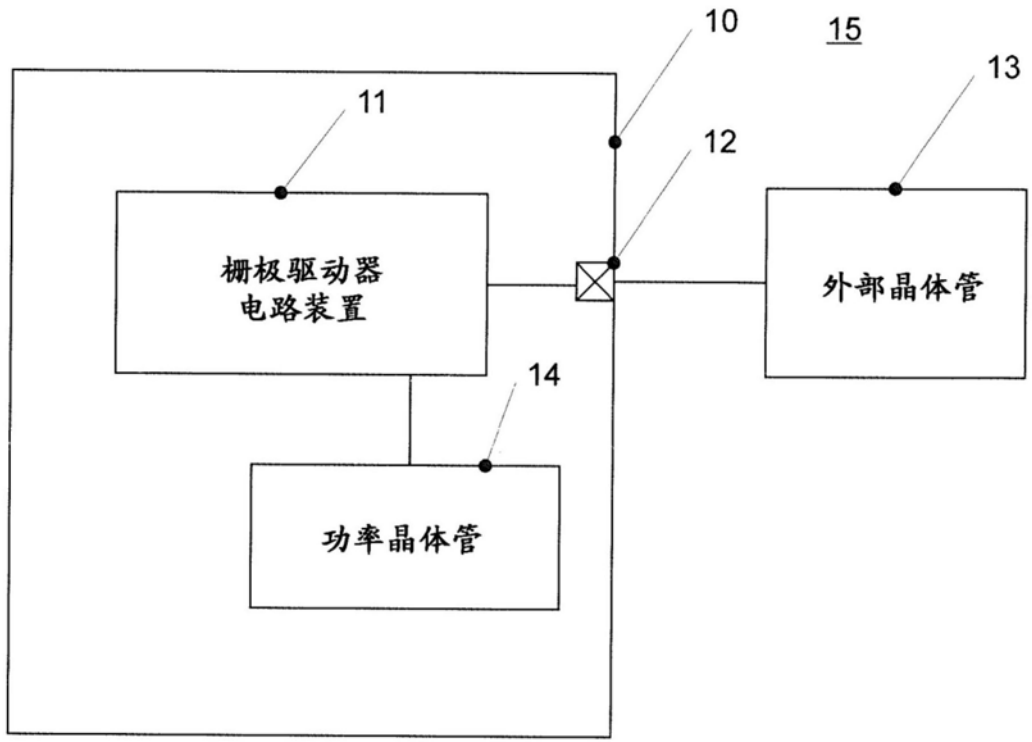


图1

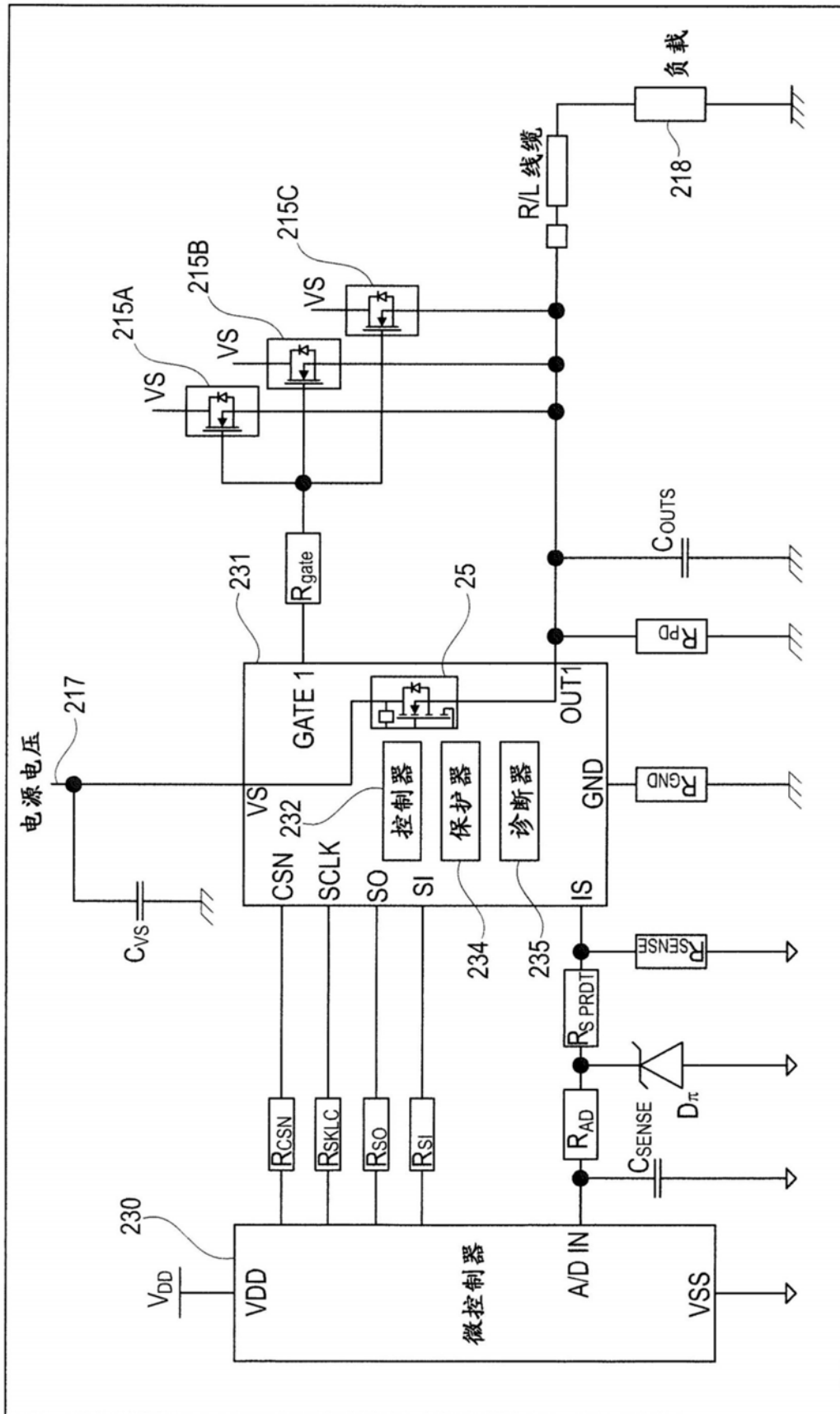


图2A

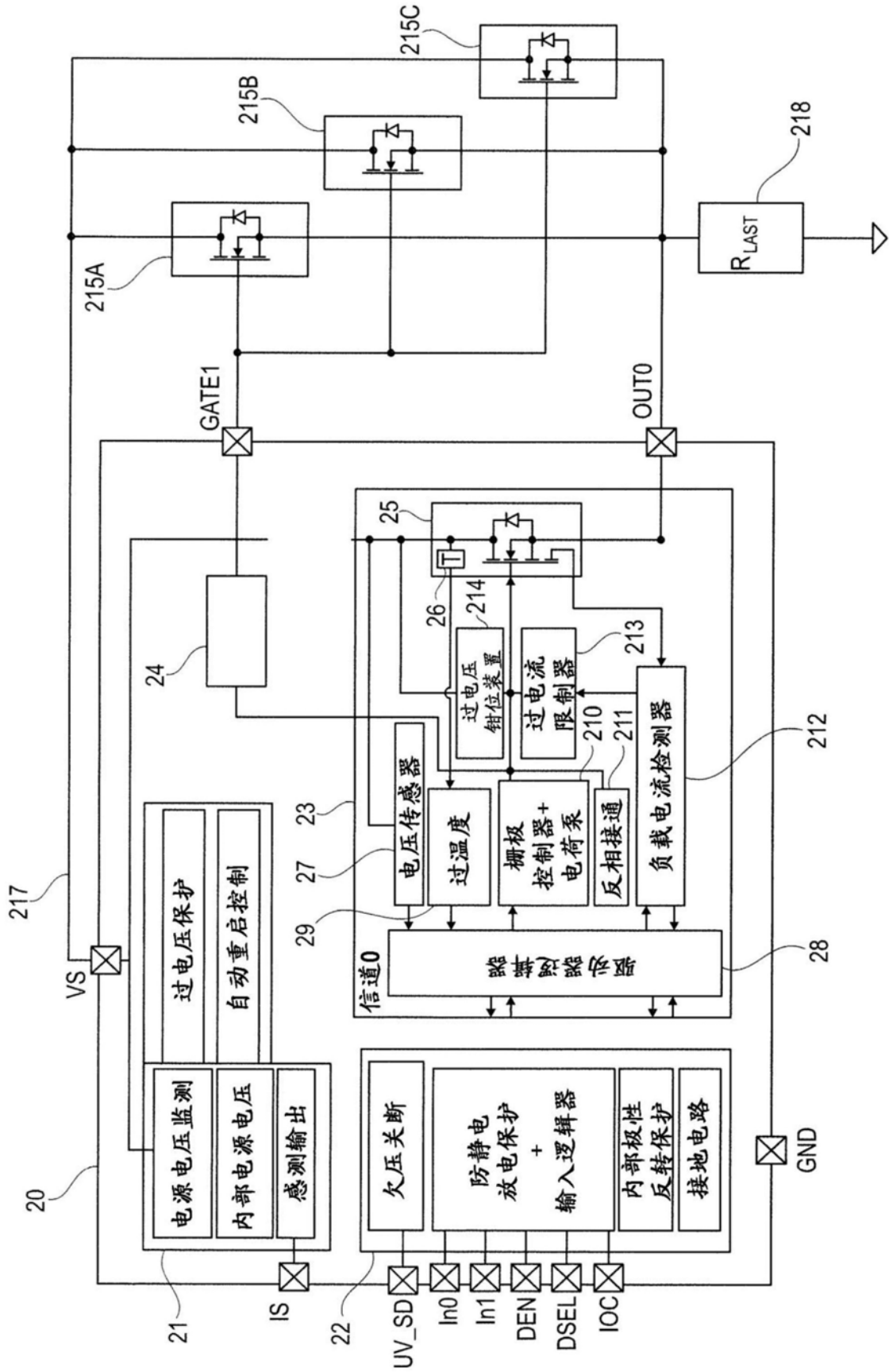


图2B

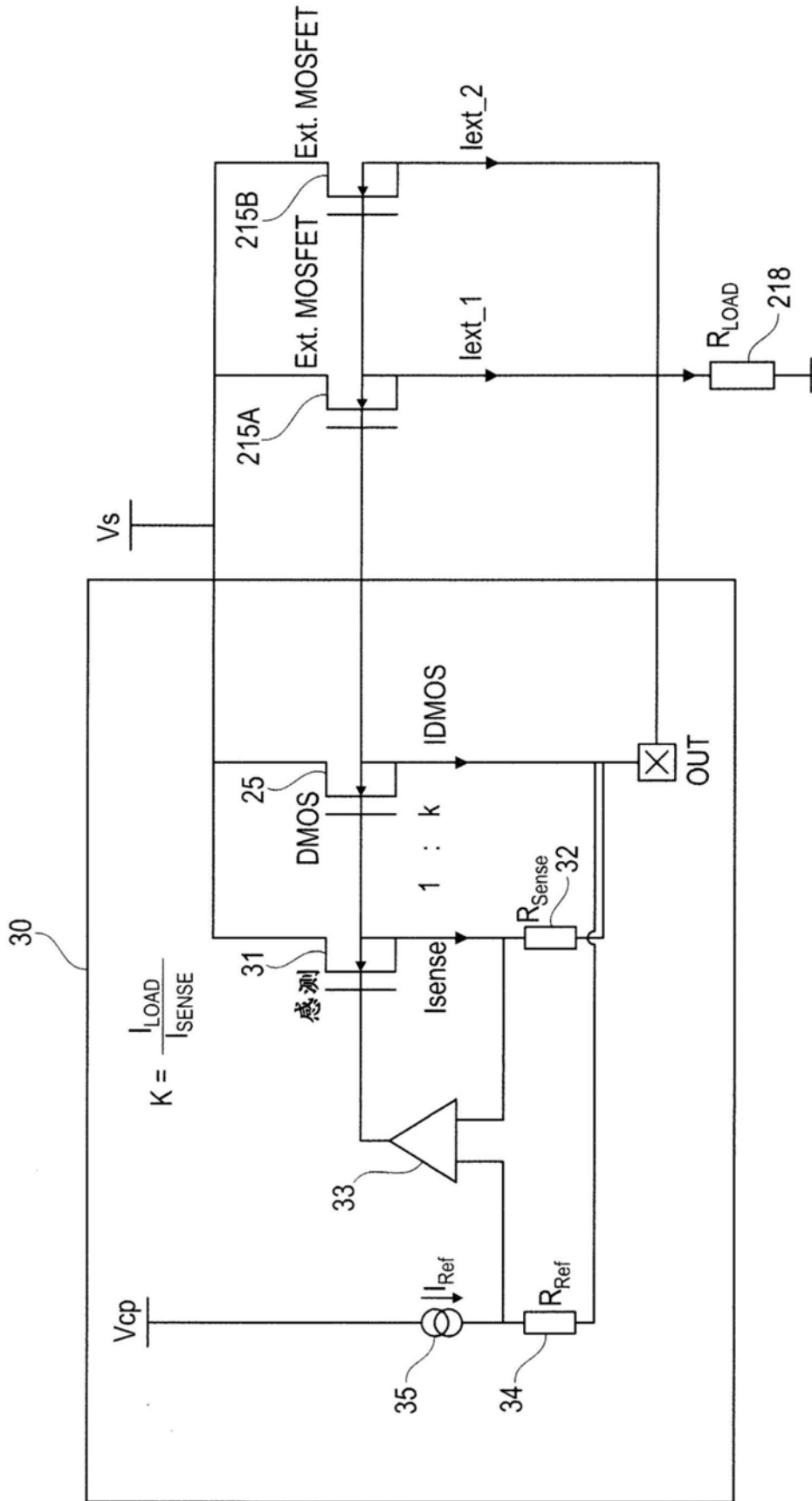


图3

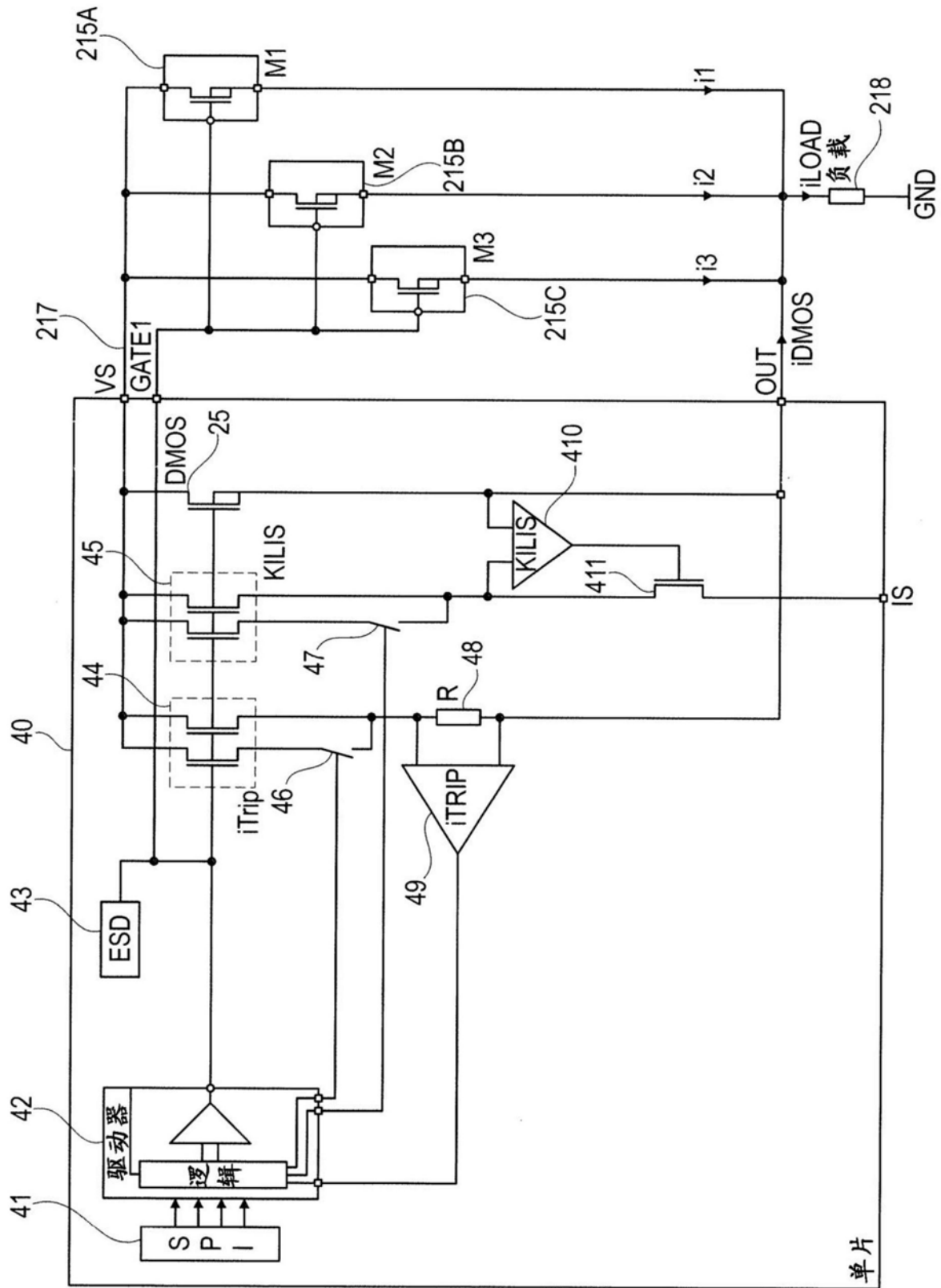


图4

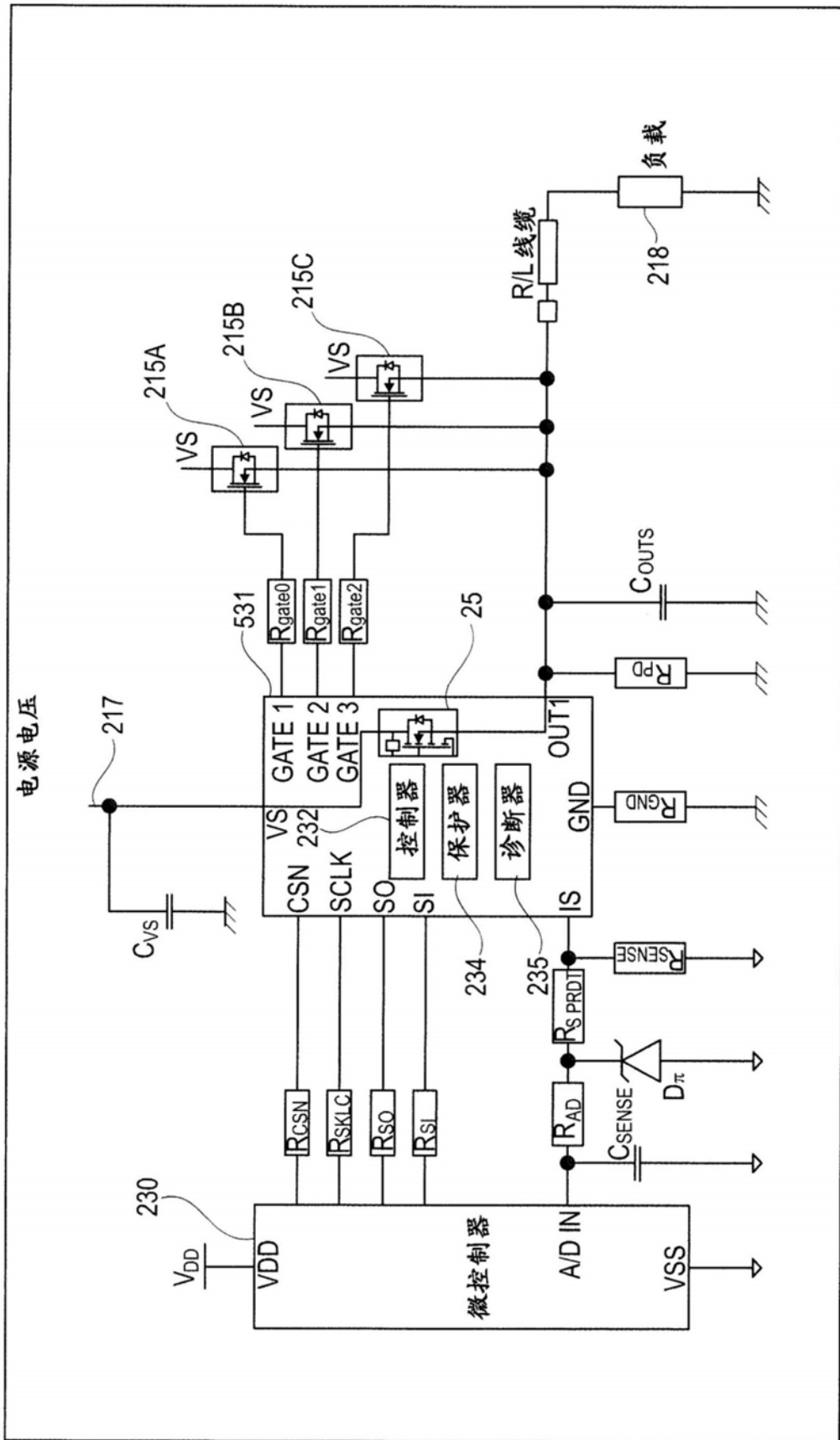


图5A

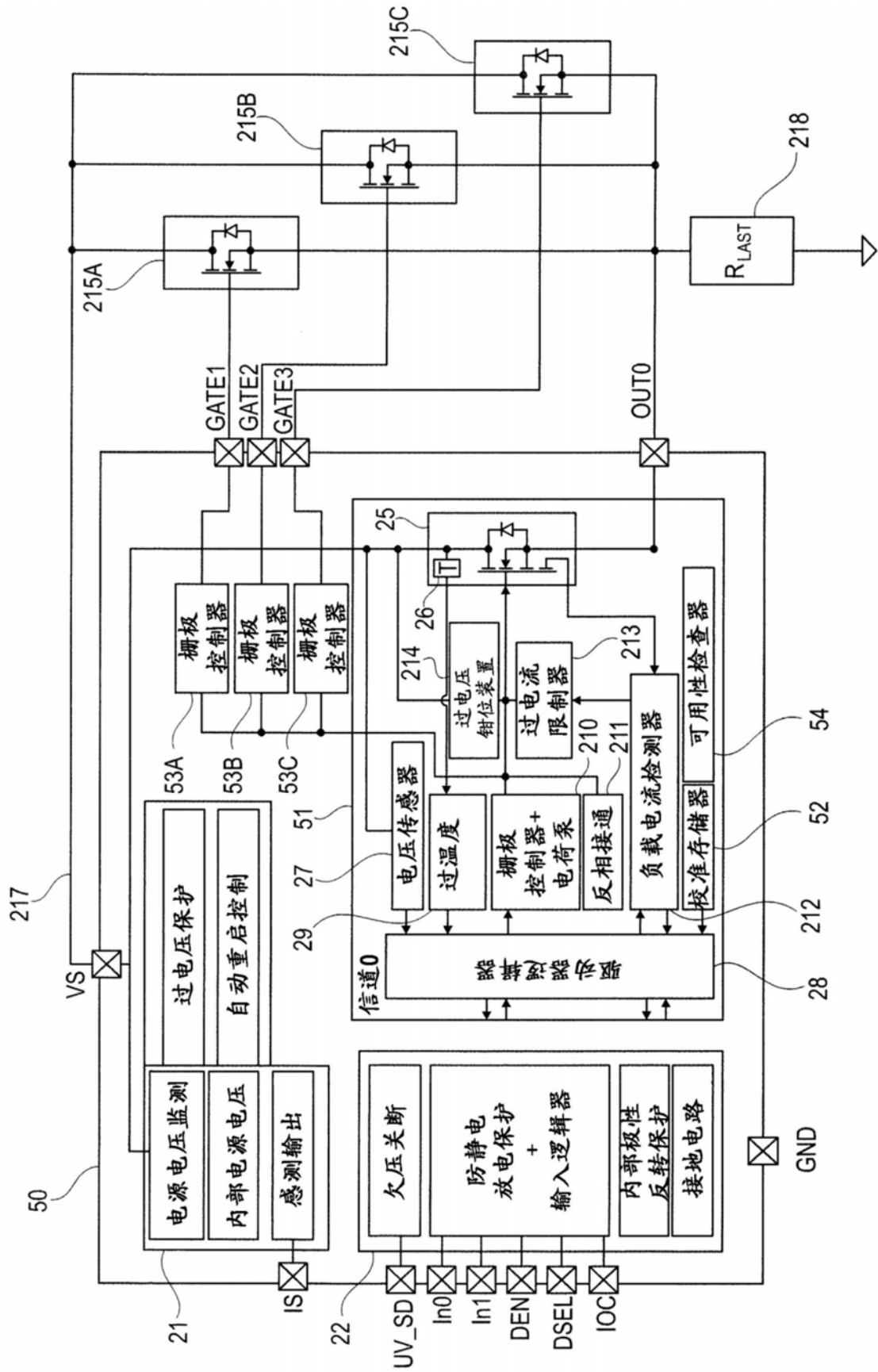


图5B

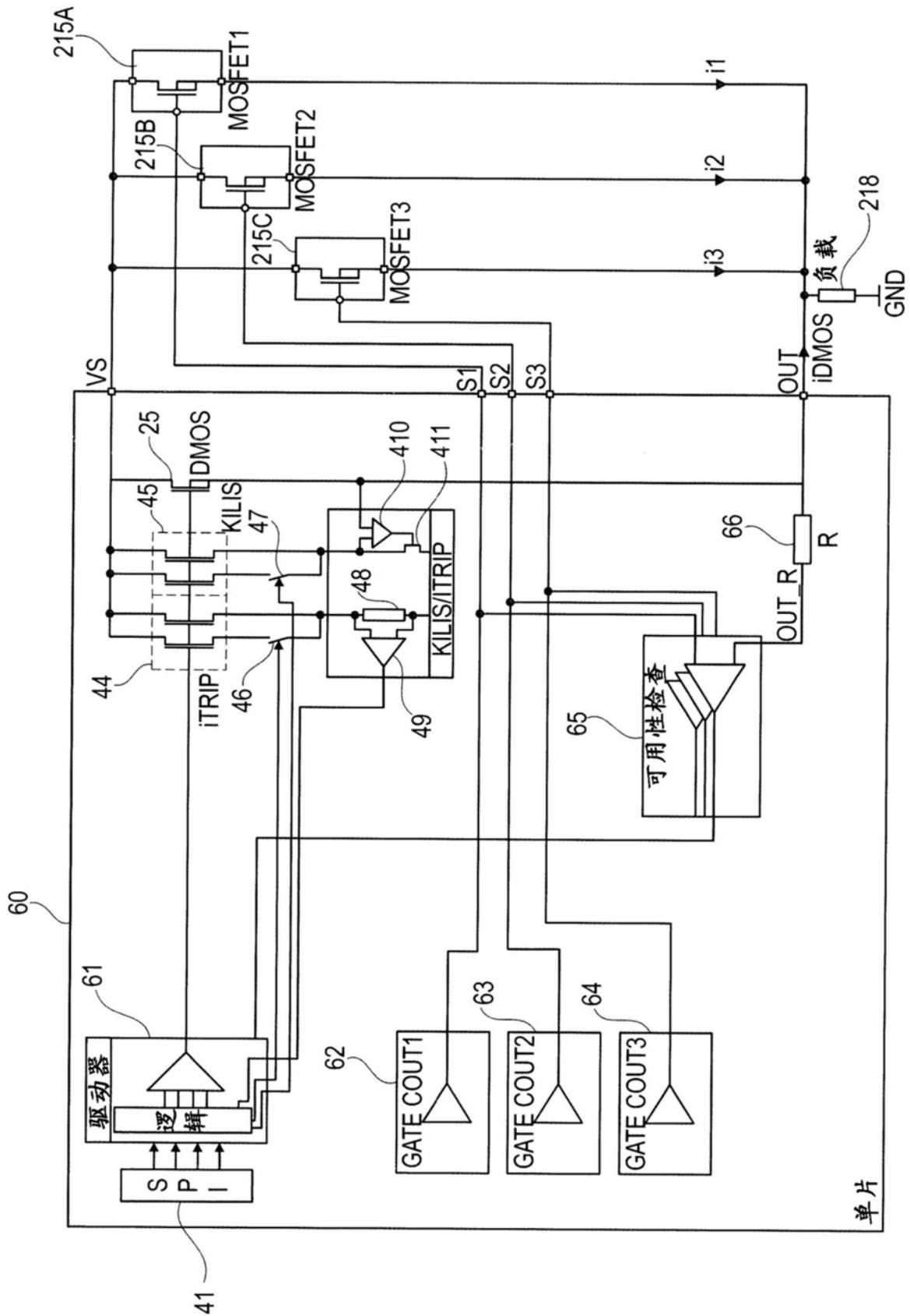


图6

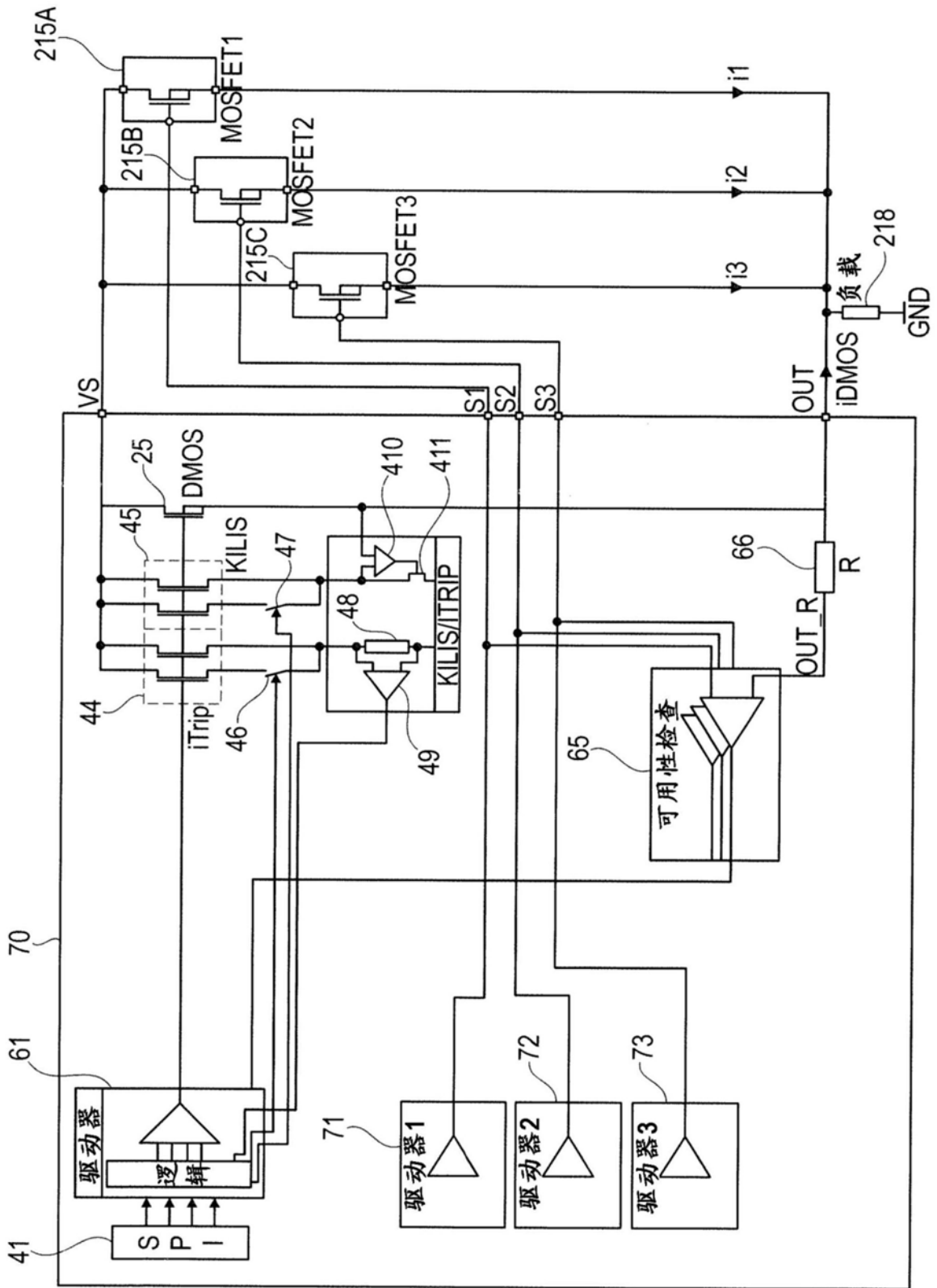


图7

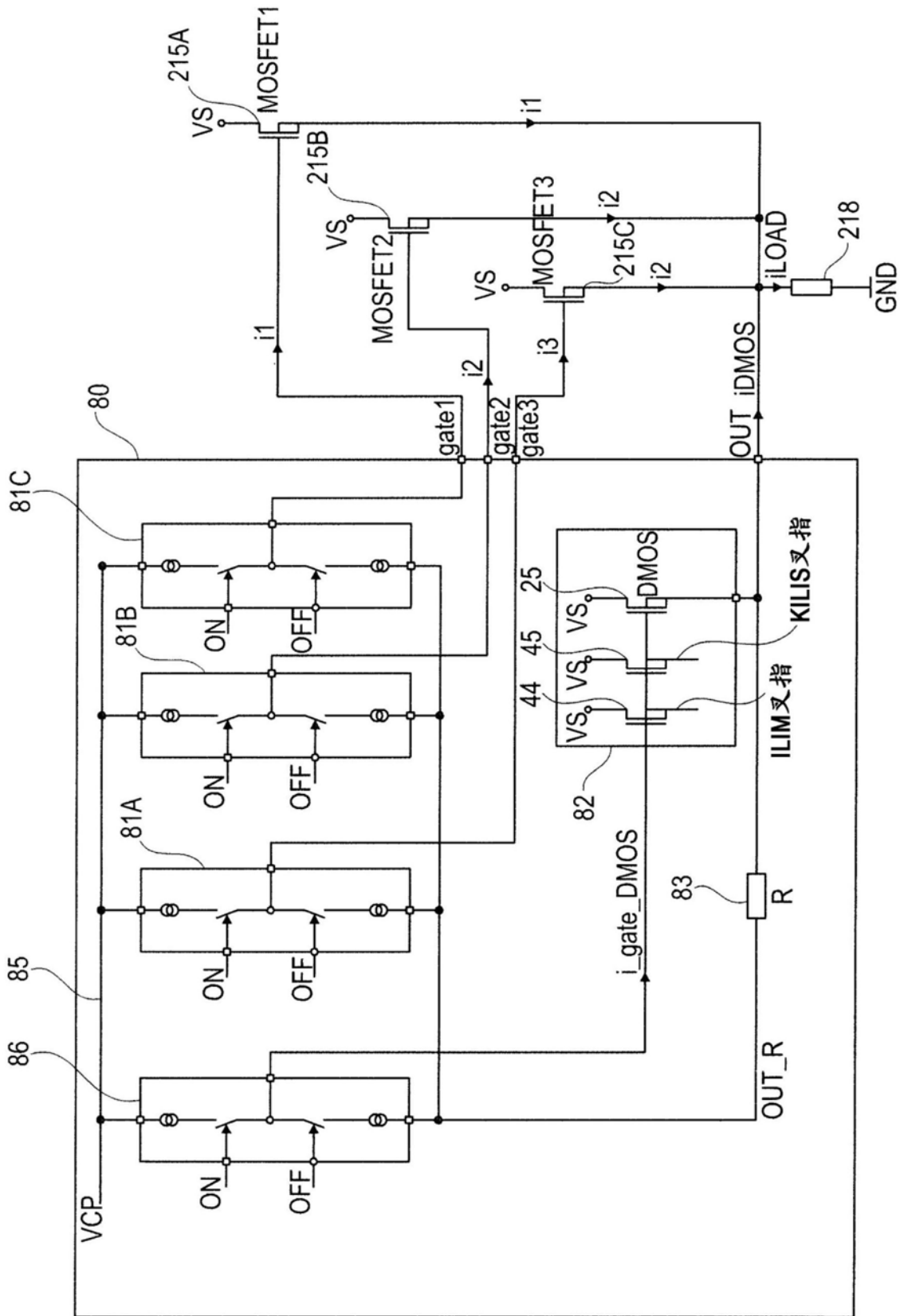


图8

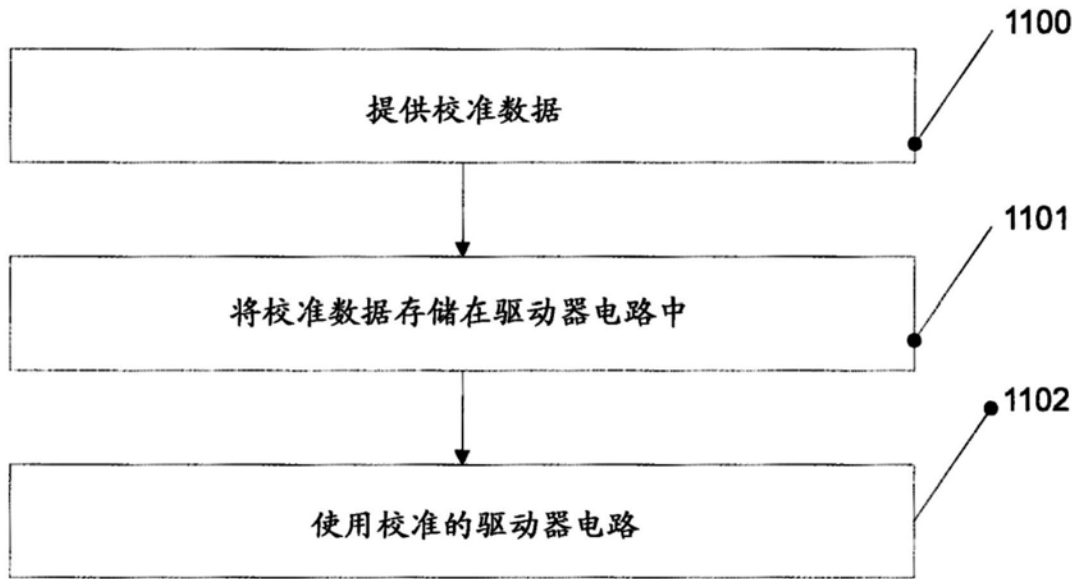


图11