



(12) 实用新型专利

(10) 授权公告号 CN 213845268 U

(45) 授权公告日 2021.07.30

(21) 申请号 202022829352.1

H01L 33/48 (2010.01)

(22) 申请日 2020.11.30

(30) 优先权数据

62/945,572 2019.12.09 US

17/106,150 2020.11.29 US

(73) 专利权人 首尔伟傲世有限公司

地址 韩国京畿道安山市

(72) 发明人 蔡钟炫 李剡劬 张成逵

(74) 专利代理机构 北京铭硕知识产权代理有限公司

11286

代理人 李盛泉 孙昌浩

(51) Int. Cl.

H01L 25/075 (2006.01)

H01L 33/44 (2010.01)

H01L 33/62 (2010.01)

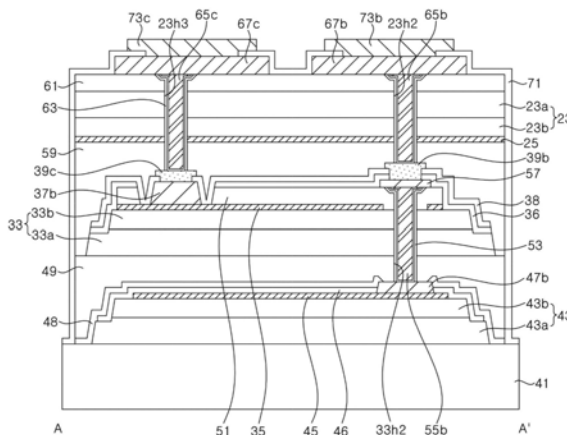
权利要求书2页 说明书23页 附图53页

(54) 实用新型名称

显示器用发光元件

(57) 摘要

本实用新型涉及一种显示器用发光元件。根据一实施例的显示器用发光元件包括：第一LED叠层；第二LED叠层，位于所述第一LED叠层之下；第三LED叠层，位于所述第二LED叠层之下；表面保护层，至少局部地覆盖所述第一LED叠层、所述第二LED叠层或者所述第三LED叠层的侧表面；第一接合层，夹设于所述第二LED叠层与所述第三LED叠层之间；第二接合层，夹设于所述第一LED叠层与所述第二LED叠层之间；下部掩埋过孔，贯通所述第二LED叠层及第一接合层而分别电连接于所述第三LED叠层的第一导电型半导体层及第二导电型半导体层；以及上部掩埋过孔，贯通所述第一LED叠层。



1. 一种显示器用发光元件,其特征在于,包括:
 - 第一LED叠层;
 - 第二LED叠层,位于所述第一LED叠层之下;
 - 第三LED叠层,位于所述第二LED叠层之下;
 - 表面保护层,至少局部地覆盖所述第一LED叠层、所述第二LED叠层或者所述第三LED叠层的侧表面;
 - 第一接合层,夹设于所述第二LED叠层与所述第三LED叠层之间;
 - 第二接合层,夹设于所述第一LED叠层与所述第二LED叠层之间;
 - 下部掩埋过孔,贯通所述第二LED叠层及第一接合层而分别电连接于所述第三LED叠层的第一导电型半导体层及第二导电型半导体层;以及
 - 上部掩埋过孔,贯通所述第一LED叠层。
2. 根据权利要求1所述的显示器用发光元件,其特征在于,
 - 所述第一LED叠层的侧表面、所述第二LED叠层的侧表面或所述第三LED叠层的侧表面包括硫钝化表面。
3. 根据权利要求1所述的显示器用发光元件,其特征在于,
 - 所述表面保护层包括:
 - 第一表面保护层,至少局部地覆盖所述第三LED叠层的侧表面;
 - 第二表面保护层,至少局部地覆盖所述第二LED叠层的侧表面;以及
 - 第三表面保护层,至少局部地覆盖所述第一LED叠层的侧表面。
4. 根据权利要求3所述的显示器用发光元件,其特征在于,还包括:
 - 第一平坦化层,夹设于所述第二接合层与所述第二LED叠层之间;以及
 - 第二平坦化层,布置于所述第一LED叠层上,其中,所述下部掩埋过孔可以贯通所述第一平坦化层,
所述上部掩埋过孔可以贯通所述第二平坦化层。
5. 根据权利要求4所述的显示器用发光元件,其特征在于,
 - 所述第二LED叠层包括布置于第一导电型半导体层上的第一台面,
 - 所述第三LED叠层包括布置于第一导电型半导体层上的第二台面,
 - 所述第一台面及第二台面分别位于由第一导电型半导体层的边缘位置围绕的区域内,
 - 所述第一表面保护层覆盖所述第二台面的侧表面,
 - 所述第二表面保护层覆盖所述第一台面的侧表面。
6. 根据权利要求5所述的显示器用发光元件,其特征在于,
 - 所述第一台面及第二台面分别包括第一导电型半导体层的一部分厚度、活性层及第二导电型半导体层,
 - 所述第一表面保护层及第二表面保护层分别全部覆盖对应的台面的侧表面。
7. 根据权利要求3所述的显示器用发光元件,其特征在于,
 - 所述第一表面保护层、所述第二表面保护层及所述第三表面保护层利用 Al_2O_3 、 HfO_2 、 SiN_x 或 SiO_2 形成。
8. 根据权利要求1所述的显示器用发光元件,其特征在于,
 - 所述第一LED叠层、所述第二LED叠层及所述第三LED叠层分别发出红色光、蓝色光及绿

色光。

9. 根据权利要求1所述的显示器用发光元件,其特征在于,还包括:

下部连接器,覆盖所述下部掩埋过孔,

其中,所述上部掩埋过孔中的一部分电连接于所述下部连接器。

10. 根据权利要求9所述的显示器用发光元件,其特征在于,还包括:

第三下部连接器,与所述下部掩埋过孔隔开,并且电连接于所述第二LED叠层的第二导电型半导体层,

其中,所述上部掩埋过孔中的一个电连接于所述第三下部连接器。

11. 根据权利要求5所述的显示器用发光元件,其特征在于,还包括:

第二透明电极,布置于所述第一台面上;以及

第三透明电极,布置于所述第二台面上,

其中,所述第一表面保护层覆盖所述第三透明电极,

所述第一平坦化层覆盖所述第二透明电极,

所述第二表面保护层覆盖所述第一平坦化层。

12. 根据权利要求11所述的显示器用发光元件,其特征在于,还包括:

下部绝缘层,覆盖所述第一表面保护层;以及

中间绝缘层,覆盖所述第二表面保护层。

13. 根据权利要求11所述的显示器用发光元件,其特征在于,

所述第二透明电极具有暴露所述第二LED叠层的第二导电型半导体层的开口部,并且所述下部掩埋过孔穿过所述第二透明电极的开口部的内部区域。

14. 根据权利要求1所述的显示器用发光元件,其特征在于,

所述下部掩埋过孔及所述上部掩埋过孔分别在对应的贯通孔内被侧壁绝缘层围绕。

15. 根据权利要求14所述的显示器用发光元件,其特征在于,

所述侧壁绝缘层越接近贯通孔的底部越薄。

16. 根据权利要求1所述的显示器用发光元件,其特征在于,还包括:

多个上部连接器,布置于所述第一LED叠层上,

其中,所述上部连接器覆盖所述上部掩埋过孔而分别电连接于所述上部掩埋过孔。

17. 根据权利要求16所述的显示器用发光元件,其特征在于,还包括:

凸起垫,分别布置于所述上部连接器上。

18. 根据权利要求17所述的显示器用发光元件,其特征在于,

所述凸起垫包括:第一凸起垫,共同地电连接于所述第一LED叠层至第三LED叠层;第二凸起垫至第四凸起垫,分别电连接于所述第一LED叠层至第三LED叠层的第二导电型半导体层。

显示器用发光元件

技术领域

[0001] 本实用新型涉及一种显示器用发光元件及显示装置,尤其涉及一种具有LED的堆叠结构的显示器用发光元件及具有其的显示装置。

背景技术

[0002] 发光二极管作为无机光源,被多样地用于诸如显示装置、车辆用灯具、一般照明等的多种领域。发光二极管具有寿命长、功耗低且响应速度快的优点,因此正快速地替代现有光源。

[0003] 另外,现有的发光二极管在显示器装置中主要用作背光源。但是,最近正在开发利用发光二极管直接实现图像的LED显示器。

[0004] 显示器装置通常利用蓝色、绿色及红色的混合色实现多样的颜色。显示器装置为了实现多样的图像而包括多个像素,各个像素配备蓝色、绿色及红色的子像素,并且通过这些子像素的颜色来确定特定像素的颜色,通过这些像素的组合来实现图像。

[0005] LED可以根据其材料发出多样颜色的光,从而可以通过将发出蓝色、绿色及红色的单个LED芯片排列于二维平面上来提供显示器装置。但是当在各个子像素中排列一个LED芯片时,LED芯片的数量增加,从而在贴装工艺中花费很多时间。

[0006] 并且,由于将子像素排列在二维平面上,因此包括蓝色子像素、绿色子像素及红色子像素的一个像素所占据的面积也相对变宽。因此,为了在有限的面积内排列子像素,应减小每个LED芯片的面积。但是减小LED芯片的大小会使LED芯片的贴装变得困难,进一步导致发光面积的减小。

[0007] 此外,减小LED芯片的大小会增加表面非发光复合的影响,从而降低发光二极管的外部量子效率。

实用新型内容

[0008] 本实用新型期望解决的技术问题在于提供一种能够在有限的像素面积内增加各个子像素的面积 of 的显示器用发光元件及显示装置。

[0009] 本实用新型期望解决的又一技术问题在于提供一种能够缩短贴装工艺时间的显示器用发光元件及显示装置。

[0010] 本实用新型期望解决的又一技术问题在于提供一种适于防止因表面复合而引起的电流泄漏的显示器用发光元件及显示装置。

[0011] 根据本实用新型的一实施例的显示器用发光元件包括:第一LED叠层;第二LED叠层,位于所述第一LED叠层之下;第三LED叠层,位于所述第二LED叠层之下;表面保护层,至少局部地覆盖所述第一LED叠层、所述第二LED叠层或者所述第三LED叠层的侧表面;第一接合(bonding)层,夹设于所述第二LED叠层与所述第三LED叠层之间;第二接合层,夹设于所述第一LED叠层与所述第二LED叠层之间;下部掩埋过孔,贯通所述第二LED叠层及第一接合层而分别电连接于所述第三LED叠层的第一导电型半导体层及第二导电型半导体层;以及

上部掩埋过孔,贯通所述第一LED叠层。

[0012] 所述第一LED叠层的侧表面、所述第二LED叠层的侧表面或所述第三LED叠层的侧表面可以包括硫钝化表面。

[0013] 所述表面保护层可以包括:第一表面保护层,至少局部地覆盖所述第三LED叠层的侧表面;第二表面保护层,至少局部地覆盖所述第二LED叠层的侧表面;以及第三表面保护层,至少局部地覆盖所述第一LED叠层的侧表面。

[0014] 并且,所述发光元件还可以包括:第一平坦化层,夹设于所述第二接合层与所述第二LED叠层之间;以及第二平坦化层,布置于所述第一LED叠层上,其中,所述下部掩埋过孔可以贯通所述第一平坦化层,所述上部掩埋过孔可以贯通所述第二平坦化层。

[0015] 在一实施例中,所述第二LED叠层可以包括布置于第一导电型半导体层上的第一台面,所述第三LED叠层可以包括布置于第一导电型半导体层上的第二台面,所述第一台面及第二台面分别位于由第一导电型半导体层的边缘位置围绕的区域内,所述第一表面保护层可以覆盖所述第二台面的侧表面,所述第二表面保护层可以覆盖所述第一台面的侧表面。

[0016] 所述第一台面及第二台面分别可以包括第一导电型半导体层的一部分厚度、活性层及第二导电型半导体层,所述第一表面保护层及第二表面保护层分别可以全部覆盖对应的台面的侧表面。

[0017] 在若干实施例中,所述第一表面保护层、所述第二表面保护层及所述第三表面保护层可以利用 Al_2O_3 、 HfO_2 、 SiN_x 或 SiO_2 形成。

[0018] 在一实施例中,所述第一LED叠层、所述第二LED叠层及所述第三LED叠层分别可以发出红色光、蓝色光及绿色光。

[0019] 另外,所述发光元件还可以包括:下部连接器,覆盖所述下部掩埋过孔,其中,所述上部掩埋过孔中的一部分可以电连接于所述下部连接器。

[0020] 另外,所述发光元件还可以包括:第三下部连接器,与所述下部掩埋过孔隔开,并且电连接于所述第二LED叠层的第二导电型半导体层,其中,所述上部掩埋过孔中的一个可以电连接于所述第三下部连接器。

[0021] 所述发光元件还可以包括:第二透明电极,布置于所述第一台面上;以及第三透明电极,布置于所述第二台面上,其中,所述第一表面保护层可以覆盖所述第三透明电极,所述第一平坦化层可以覆盖所述第二透明电极,所述第二表面保护层可以覆盖所述第一平坦化层。

[0022] 并且,所述发光元件还可以包括:下部绝缘层,覆盖所述第一表面保护层;以及中间绝缘层,覆盖所述第二表面保护层。

[0023] 在一实施例中,所述第二透明电极可以具有暴露所述第二LED叠层的第二导电型半导体层的开口部,并且所述下部掩埋过孔可以穿过所述第二透明电极的开口部的内部区域。

[0024] 另外,所述下部掩埋过孔及所述上部掩埋过孔分别可以在对应的贯通孔内被侧壁绝缘层围绕。

[0025] 进一步,所述侧壁绝缘层可以越接近贯通孔的底部越薄。

[0026] 所述发光元件还可以包括:多个上部连接器,布置于所述第一LED叠层上,其中,所

述上部连接器可以覆盖所述上部掩埋过孔而分别电连接于所述上部掩埋过孔。

[0027] 进一步,所述发光元件还可以包括:凸起垫,分别布置于所述上部连接器上。

[0028] 所述凸起垫可以包括:第一凸起垫,共同地电连接于所述第一LED叠层至第三LED叠层;第二凸起垫至第四凸起垫,分别电连接于所述第一LED叠层至第三LED叠层的第二导电型半导体层。

[0029] 根据本实用新型的一实施例的显示装置包括:电路板;以及多个发光元件,整齐排列于所述电路板上,其中,所述多个发光元件中的每一个是上述说明的发光元件。

[0030] 根据本实用新型的一实施例的显示器用发光元件及显示装置,通过将第一LED叠层至第三LED叠层彼此堆叠,能够在不增加像素面积的情况下增加各个子像素的发光面积。

[0031] 根据本实用新型的一实施例的显示器用发光元件及显示装置,能够缩短贴装工艺时间。

[0032] 根据本实用新型的一实施例的显示器用发光元件及显示装置,通过采用覆盖所述第一LED叠层、所述第二LED叠层或者所述第三LED叠层的侧表面的表面保护层,能够减少在表面发生的非发光复合,从而改善光提取效率及可靠性。

附图说明

[0033] 图1是用于说明根据本实用新型的实施例的显示装置的示意性的立体图。

[0034] 图2是用于说明根据本实用新型的一实施例的显示面板的示意性的平面图。

[0035] 图3是用于说明根据本实用新型的一实施例的发光元件的示意性的平面图。

[0036] 图4A及图4B是分别沿图3的截取线A-A'及B-B'而截取的示意性的剖面图。

[0037] 图5A、图5B及图5C是用于说明根据本实用新型的一实施例而在生长基板上生长的第一LED叠层至第三LED叠层的示意性的剖面图。

[0038] 图6A、图6B、图6C、图7A、图7B、图7C、图8A、图8B、图8C、图9A、图9B、图9C、图10A、图10B、图10C、图11A、图11B、图11C、图12A、图12B、图12C、图13A、图13B、图13C、图14A、图14B、图14C、图15A、图15B、图15C、图16A、图16B、图16C、图17A、图17B、图17C、图18A、图18B、图18C、图19A、图19B、图19C、图20A、图20B及图20C是用于说明根据本实用新型的一实施例的制造显示器用发光元件的方法的示意性的平面图及剖面图。

[0039] 图21A、图21B、图21C及图21D是用于说明根据本实用新型的实施例的掩埋过孔的形成工艺的示意性的剖面图。

[0040] 图22是用于说明贴装于电路板上的发光元件的示意性的剖面图。

[0041] 图23A、图23B及图23C是用于说明根据本实用新型的一实施例而将发光元件转印到电路板的方法的示意性的剖面图。

[0042] 图24是用于说明根据本实用新型的又一实施例而将发光元件转印到电路板的方法的示意性的剖面图。

具体实施方式

[0043] 以下,参照附图详细说明本实用新型的实施例。为了能够将本实用新型的思想充分传递给本实用新型所属技术领域的通常技术人员,作为示例提供以下介绍的实施例。因此,本实用新型并不局限于如下所述的实施例,其可以具体化为其他形态。另外,在附图中,

可能为了便利而夸张示出构成要素的宽度、长度、厚度等。并且,当记载为一个构成要素位于另一构成要素的“上部”或“之上”时,不仅包括各构成要素均“直接”位于另一构成要素的“上部”或“之上”的情形,还包括各构成要素与另一构成要素之间夹设有又一构成要素的情形。在整个说明书中,相同的附图标记表示相同的构成要素。

[0044] 根据本实用新型的一实施例的显示器用发光元件包括:第一LED叠层;第二LED叠层,位于所述第一LED叠层之下;第三LED叠层,位于所述第二LED叠层之下;表面保护层,至少局部地覆盖所述第一LED叠层、所述第二LED叠层或者所述第三LED叠层的侧表面;第一接合(bonding)层,夹设于所述第二LED叠层与所述第三LED叠层之间;第二接合层,夹设于所述第一LED叠层与所述第二LED叠层之间;下部掩埋过孔,贯通所述第二LED叠层及第一接合层而分别电连接于所述第三LED叠层的第一导电型半导体层及第二导电型半导体层;以及上部掩埋过孔,贯通所述第一LED叠层。

[0045] 为了便于说明,在本说明书中说明为在第一LED叠层之下布置有第二LED叠层,在第二LED叠层之下布置有第三LED叠层,但是发光元件可以倒装接合,因此,应当注意的是,其第一LED叠层至第三LED叠层的上下位置可以被颠倒。

[0046] 通过将第一LED叠层至第三LED叠层彼此堆叠,能够在不增加像素面积的情况下增加各个子像素的发光面积。进一步,通过采用覆盖所述第一LED叠层、所述第二LED叠层或者所述第三LED叠层的侧表面的表面保护层,能够减少在表面发生的非发光复合,从而改善光提取效率及可靠性。

[0047] 所述表面保护层可以包括:第一表面保护层,至少局部地覆盖所述第三LED叠层的侧表面;第二表面保护层,至少局部地覆盖所述第二LED叠层的侧表面;以及第三表面保护层,至少局部地覆盖所述第一LED叠层的侧表面。

[0048] 所述第一LED叠层的侧表面、所述第二LED叠层的侧表面以及所述第三LED叠层的侧表面可以具有硫钝化表面(sulfur passivated surface)。硫钝化表面包括Ga等的Ⅲ族元素与S的接合和/或As等的V族元素与S的接合。

[0049] 并且,所述发光元件还可以包括:第一平坦化层,夹设于所述第二接合层与所述第二LED叠层之间;以及第二平坦化层,布置于所述第一LED叠层上,所述下部掩埋过孔可以贯通所述第一平坦化层,所述上部掩埋过孔可以贯通所述第二平坦化层。

[0050] 在一实施例中,所述第二LED叠层可以包括布置于第一导电型半导体层上的第一台面,所述第三LED叠层可以包括布置于第一导电型半导体层上的第二台面,所述第一台面及第二台面分别位于由第一导电型半导体层的边缘位置围绕的区域内,所述第一表面保护层可以覆盖所述第二台面的侧表面,所述第二表面保护层可以覆盖所述第一台面的侧表面。

[0051] 所述第一台面及第二台面中的每一个可以包括第一导电型半导体层的一部分厚度、活性层及第二导电型半导体层,所述第一表面保护层及第二表面保护层中的每一个可以全部覆盖对应的台面的侧表面。

[0052] 在若干实施例中,所述第一表面保护层及第二表面保护层可以具有 Al_2O_3 、 SiN_x 或 SiO_2 的单层结构或者包括这些中的至少一个的多层结构。进一步,所述第一台面及第二台面的侧表面可以具有硫钝化表面。

[0053] 在一实施例中,所述第一LED叠层相比于所述第二LED叠层可以发出更长波长的

光,所述第二LED叠层相比于所述第三LED叠层可以发出更长波长的光。例如,所述第一LED叠层、所述第二LED叠层及所述第三LED叠层可以分别发出红色光、绿色光及蓝色光。

[0054] 在另一实施例中,所述第一LED叠层、第二LED叠层及第三LED叠层可以分别发出红色光、蓝色光及绿色光。通过第二LED叠层发出蓝色光以及第三LED叠层发出绿色光,可以减小从第二LED叠层生成的光的发光强度,从而可以调节颜色混合比。

[0055] 另外,所述发光元件还可以包括覆盖所述下部掩埋过孔的下部连接器,所述上部掩埋过孔中的一部分可以连接于所述下部连接器。通过采用所述下部连接器,可以强化上部掩埋过孔的电连接,进一步,可以提高形成上部掩埋过孔的工艺的可靠性。

[0056] 另外,所述发光元件还可以包括:第三下部连接器,与所述下部掩埋过孔隔开,并且电连接于所述第二LED叠层的第二导电型半导体层,所述上部掩埋过孔中的一个可以电连接于所述第三下部连接器。

[0057] 所述发光元件还可以包括:第二透明电极,布置于所述第一台面上;以及第三透明电极,布置于所述第二台面上,所述第一表面保护层覆盖所述第三透明电极,所述第一平坦化层可以覆盖所述第二透明电极,所述第二表面保护层可以覆盖所述第一平坦化层。

[0058] 并且,所述发光元件还可以包括:下部绝缘层,覆盖所述第一表面保护层;以及中间绝缘层,覆盖所述第二表面保护层。

[0059] 在一实施例中,所述第二透明电极可以具有暴露所述第二LED叠层的第二导电型半导体层的开口部,并且所述下部掩埋过孔可以通过所述第二透明电极的开口部的内部区域。

[0060] 另外,所述下部掩埋过孔及所述上部掩埋过孔分别可以在对应的贯通孔内被侧壁绝缘层围绕。进一步,所述侧壁绝缘层可以越接近贯通孔的底部越薄。

[0061] 所述发光元件可以包括布置于所述第一LED叠层上的多个上部连接器,所述上部连接器可以覆盖所述上部掩埋过孔而分别电连接于所述上部掩埋过孔。

[0062] 进一步,所述发光元件还可以包括分别布置于所述上部连接器上的凸起垫。

[0063] 所述凸起垫可以包括:第一凸起垫,共同地电连接于所述第一LED叠层至第三LED叠层;第二凸起垫至第四凸起垫,分别电连接于所述第一LED叠层至第三LED叠层的第二导电型半导体层。

[0064] 根据本实用新型的一实施例的显示器用发光元件的制造方法包括如下步骤:在基板上形成具有第一导电型半导体层、活性层及第二导电型半导体层的第三LED叠层;在所述第三LED叠层上接合具有第一导电型半导体层、活性层及第二导电型半导体层的第二LED叠层;在所述第二LED叠层上接合第一LED叠层;形成至少局部地覆盖所述第一LED叠层、所述第二LED叠层或者所述第三LED叠层的侧表面的表面保护层,其中,在形成所述表面保护层之前,利用蚀刻溶液对所述第一LED叠层、所述第二LED叠层或者所述第三LED叠层的侧表面至少局部地进行化学处理。

[0065] 通过对LED叠层的侧表面进行化学处理并形成表面保护层,可以减少在台面的侧表面产生的表面非发光复合。

[0066] 所述化学处理可以包括利用硫化物溶液进行表面处理。

[0067] 在一实施例中,所述化学处理可以包括如下处理:利用包含硫化物的蚀刻溶液来蚀刻形成于所述第一LED叠层、所述第二LED叠层或所述第三LED叠层的侧表面的自然氧化

膜并且在去除所述自然氧化膜而暴露的侧表面形成硫钝化表面。

[0068] 在另一实施例中,所述化学处理可以包括如下处理:利用蚀刻溶液来去除自然氧化膜,并且利用包含硫化物的溶液在去除所述自然氧化膜而暴露的侧表面形成硫钝化表面。

[0069] 进一步,所述制造方法还可以包括如下步骤:在所述第二LED叠层上接合第一LED叠层;通过图案化所述第一LED叠层来暴露所述第一LED叠层侧表面;利用蚀刻溶液对暴露的所述第一LED叠层的侧表面进行化学处理;形成覆盖被化学处理的所述第一LED叠层的侧表面的第三表面保护层。

[0070] 所述制造方法可以包括如下步骤:在接合所述第二LED叠层之前,通过图案化所述第三LED叠层的所述第二导电型半导体层及活性层来形成台面;利用蚀刻溶液对台面的侧表面进行化学处理;形成覆盖被化学处理的所述台面的侧表面的第一表面保护层。

[0071] 进一步,所述制造方法可以包括如下步骤:在接合所述第一LED叠层之前,通过图案化所述第二LED叠层的第二导电型半导体层及活性层来形成台面;利用蚀刻溶液对所述第二LED叠层的台面的侧表面进行化学处理;形成覆盖被化学处理的所述第二LED叠层的台面的侧表面的第二表面保护层。

[0072] 另外,所述制造方法还可以包括如下步骤:在所述第二LED叠层上形成第一平坦化层;形成贯通所述第一平坦化层及所述第二LED叠层的贯通孔;对暴露于所述贯通孔的内壁的第二LED叠层的表面进行化学处理;形成覆盖所述贯通孔的内壁的第一侧壁绝缘层;形成掩埋所述贯通孔的下部掩埋过孔,其中,所述第二表面保护层可以覆盖所述第一平坦化层。

[0073] 所述制造方法还可以包括如下步骤:形成覆盖所述第一表面保护层的下部绝缘层;形成覆盖所述第二表面保护层的中间绝缘层。

[0074] 并且,所述制造方法可以包括如下步骤:通过图案化所述第一LED叠层来暴露所述第一LED叠层的侧表面;利用蚀刻溶液对暴露的所述第一LED叠层的侧表面进行化学处理;形成覆盖被化学处理的所述第一LED叠层的侧表面的第三表面保护层。

[0075] 进一步,所述制造方法还可以包括如下步骤:在所述第一LED叠层上形成第二平坦化层;形成贯通所述第二平坦化层及所述第一LED叠层的贯通孔;对暴露于所述贯通孔的内壁的第一LED叠层的表面进行化学处理;形成覆盖所述贯通孔的内壁的第二侧壁绝缘层;形成掩埋所述贯通孔的上部掩埋过孔。

[0076] 根据本实用新型的一实施例的显示装置包括:电路基板;以及多个发光元件,整齐排列于所述电路基板上,其中,所述发光元件分别是上述说明的发光元件。

[0077] 以下,参照附图对本实用新型的实施例进行具体说明。

[0078] 图1是用于说明根据本实用新型的实施例的显示装置的示意性的立体图。

[0079] 本实用新型的发光元件并不会被特别地限定,但是尤其可以用于诸如智能手表1000a、VR头戴式设备1000b之类的VR显示装置,或者诸如增强现实眼镜1000c之类的AR显示装置中。

[0080] 在显示装置内贴装有用于实现图像的显示面板。图2是用于说明根据本实用新型的一实施例的显示面板的示意性的平面图。

[0081] 参照图2,显示面板包括电路基板101及发光元件100。

[0082] 电路基板101可以包括用于无源矩阵驱动或者有源矩阵驱动的电。在一实施例

中,电路基板101可以在内部包括布线及电阻器。在另一实施例中,电路基板101可以包括布线、晶体管及电容器。电路基板101还可以在上表面具有用于允许电连接于布置在内部的电路的垫。

[0083] 多个发光元件100整齐排列于电路基板101上。发光元件100之间的间隔可以至少宽于发光元件的宽度。各个发光元件100构成一个像素。发光元件100可以具有凸起垫73,并且凸起垫73可以电连接于电路基板101。例如,凸起垫73可以接合于暴露在电路基板101上的垫。在一实施例中,可以省略凸起垫73,发光元件100可以利用暴露于上表面的接合垫电连接于电路基板101。

[0084] 参照图3、图4A及图4B对发光元件100的具体构成进行说明。图3是用于说明根据本实用新型的一实施例的发光元件100的示意性的平面图,图4A及图4B是为了分别说明根据本实用新型的一实施例的发光元件100而沿图3的截取线A-A'及B-B'而截取的示意性的剖面图。

[0085] 为了便于说明,示出并说明为凸起垫73a、73b、73c、73d布置于上方,但是发光元件100如图2所示地倒装接合于电路基板101上,在此情况下,凸起垫73a、73b、73c、73d布置于下方。进一步,在特定实施例中,凸起垫73a、73b、73c、73d可以被省略。并且,虽然一起示出基板41,但是基板41也可以被省略。

[0086] 参照图3、图4A及图4B,发光元件100可以包括第一LED叠层23、第二LED叠层33、第三LED叠层43、第一透明电极25、第二透明电极35、第三透明电极45、第一n电极垫27a、第二n电极垫37a、第三n电极垫47a、上部p电极垫37b、下部p电极垫47b、第一下部连接器39a、第二下部连接器39b以及第三下部连接器39c、下部掩埋过孔55a、55b、上部掩埋过孔65a、65b、65c、65d、第一侧壁绝缘层53、第二侧壁绝缘层63、第一上部连接器67a、第二上部连接器67b、第三上部连接器67c及第四上部连接器67d、第一接合层49、第二接合层59、第一表面保护层46、下部绝缘层48、第二表面保护层36、中间绝缘层38、上部绝缘层71、下部平坦化层51、上部平坦化层61及凸起垫73a、73b、73c、73d。进一步,发光元件100可以包括贯通第一LED叠层23的贯通孔23h1、23h2、23h3、23h4、贯通第二LED叠层33的贯通孔33h1、33h2及封盖层57。

[0087] 如图4A及图4B所示,在本实用新型的实施例中,第一LED叠层23、第二LED叠层及第三LED叠层43沿垂直方向层叠。另外,各个LED叠层23、33、43虽然在彼此不同的生长基板上生长,但是,在本实用新型的实施例中,生长基板全部被去除而不残留在最终的发光元件100。因此,发光元件100不包括生长基板。但是,本实用新型并不局限于此,可以包括至少一个生长基板。

[0088] 第一LED叠层23、第二LED叠层33及第三LED叠层43中的每一个包括第一导电型半导体层23a、33a或者43a、第二导电型半导体层23b、33b或者43b以及夹设于其之间的活性层(未示出)。尤其,活性层可以具有多量子阱结构。

[0089] 第一LED叠层23之下布置有第二LED叠层33,第二LED叠层33之下布置有第三LED叠层43。从第一LED叠层23、第二LED叠层33及第三LED叠层43生成的光最终通过第三LED叠层43而发出到外部。

[0090] 在一实施例中,第一LED叠层23相比于第二LED叠层33及第三LED叠层43可以发出更长波长的光,第二LED叠层33相比于第三LED叠层43可以发出更长波长的光。例如,第一

LED叠层23可以是发出红色光的无机发光二极管,第二LED叠层33可以是发出绿色光的无机发光二极管,第三LED叠层43可以是发出蓝色光的无机发光二极管。

[0091] 在另一实施例中,为了调节从第一LED叠层23、第二LED叠层33以及第三LED叠层43发出的光的颜色混合比,第二LED叠层33相比于第三LED叠层43可以发出更短波长的光。据此,可以减小从第二LED叠层33发出的光的发光强度,可以增加从第三LED叠层43发出的光的发光强度。据此,可以显著地变更从第一LED叠层23、第二LED叠层33以及第三LED叠层43发出的光的发光强度比。例如,可以构成为第一LED叠层23发出红色光、第二LED叠层33发出蓝色光、第三LED叠层43发出绿色光。

[0092] 以下将举例说明第二LED叠层33相比于第三LED叠层43发出更短波长的光,例如,发出蓝色光,但是需要注意的是,第二LED叠层33相比于第三LED叠层43可以发出更长波长的光,例如,发出绿色光。

[0093] 第一LED叠层23可以包括AlGaInP系的阱层,第二LED叠层33可以包括AlGaInN系的阱层,第三LED叠层43可以包括AlGaInP系或者AlGaInN系的阱层。

[0094] 由于第一LED叠层23相比于第二LED叠层33及第三LED叠层43发出更长波长的光,从第一LED叠层23生成的光可以透射第二LED叠层33及第三LED叠层43而发出到外部。并且,由于第二LED叠层33相比于第三LED叠层43发出更短波长的光,从第二LED叠层33生成的光的一部分可以被第三LED叠层43吸收而损失,因此,可以减小从第二LED叠层33生成的光的发光强度。另外,由于从第三LED叠层43生成的光不经过第一LED叠层23及第二LED叠层33而发出到外部,可以增加其发光强度。

[0095] 另外,各个LED叠层23、33或者43的第一导电型半导体层23a、33a、43a分别是n型半导体层,第二导电型半导体层23b、33b、43b是p型半导体层。并且,在本实施例中,第一LED叠层23的上面是n型半导体层23a,第二LED叠层33的上面是p型半导体层33b,第三LED叠层43的上面是p型半导体层43b。即,第一LED叠层23的层叠顺序与第二LED叠层33及第三LED叠层43的层叠顺序相反。通过将第二LED叠层33的半导体层以与第三LED叠层43的半导体层相同的顺序布置,从而可以确保工艺稳定性,对此,在说明制造方法时将在后面进行详细说明。

[0096] 第二LED叠层33可以包括通过去除第二导电型半导体层33b而暴露第一导电型半导体层33a的上表面的台面蚀刻区域。通过台面蚀刻区域可以在第一导电型半导体层33a的一部分区域上布置有包括第二导电型半导体层33b及活性层(未示出)的台面。可以沿台面的外围而暴露第一导电型半导体层33a的上表面,因此,台面可以布置于由第一导电型半导体层33a的边缘位置(edge)围绕的区域的内侧。另外,如图3及图4B所示,在暴露于台面蚀刻区域的第一导电型半导体层33a上可以布置有第二n电极垫37a。

[0097] 并且,第三LED叠层43也可以包括通过去除第二导电型半导体层43b而使第一导电型半导体层43a的上表面暴露的台面蚀刻区域,通过台面蚀刻区域可以在第一导电型半导体层43a的一部分区域上布置有包括第二导电型半导体层43b及活性层(未示出)的台面。并且,可以沿台面的外围而暴露第一导电型半导体层43a的上表面,因此,台面可以布置于由第一导电型半导体层43a的边缘位置(edge)围绕的区域的内侧。进一步,在暴露于台面蚀刻区域的第一导电型半导体层43a上可以布置有第三n电极垫47a。

[0098] 与此相反,第一LED叠层23可以不包括台面蚀刻区域。如图4A及图4B所示,第一LED叠层23的外形大小可以大于第二LED叠层33或者第三LED叠层43的外形大小。

[0099] 另外,第三LED叠层43可以具有平坦的下部面,但是并不局限于此。例如,在第一导电型半导体层43a的表面可以包括凹凸,并且可以通过该凹凸来提高光提取效率。第一导电型半导体层43a的表面凹凸可以通过分离图案化的蓝宝石基板来形成,但是并不局限于此,可以在分离生长基板之后通过纹理化追加形成。并且,第二LED叠层33也可以具有表面被纹理化的第一导电型半导体层33a。

[0100] 在本实施例中,第一LED叠层23、第二LED叠层33及第三LED叠层43彼此重叠,并且可以具有大致相似大小的发光面积。只是,可以借由台面蚀刻区域、贯通孔23h1、23h2、23h3、23h4及贯通孔33h1、33h2来调节第一LED叠层23、第二LED叠层33及第三LED叠层43的发光面积。例如,第一LED叠层23及第三LED叠层43的发光面积可以大于第二LED叠层33的发光面积,因此,与从第二LED叠层33生成的光相比,可以进一步增加从第一LED叠层23或者第三LED叠层43生成的光的发光强度。

[0101] 第一透明电极25可以布置于第一LED叠层23与第二LED叠层33之间。第一透明电极25可以欧姆接触于第一LED叠层23的第二导电型半导体层23b,并且透射从第一LED叠层23生成的光。第一透明电极25可以利用铟锡氧化物(ITO)等透明氧化物层或者金属层形成。第一透明电极25可以覆盖第一LED叠层23的第二导电型半导体层23b的整个面,其侧面可以与第一LED叠层23的侧面对齐地布置。即,第一透明电极25的侧面可以不被第二接合层59覆盖。进一步,贯通孔23h1、23h2、23h3可以贯通第一透明电极25,因此,第一透明电极25可以暴露于这些贯通孔的侧壁。另外,贯通孔23h4可以暴露第一透明电极25的上表面。但是,本实用新型并不局限于此,可以通过沿第一LED叠层23的边缘位置而局部地去除第一透明电极25,来使第一透明电极25的侧表面被第二接合层59覆盖。并且,可以通过在形成贯通孔23h1、23h2、23h3的区域预先将第一透明电极25图案化并去除,来防止在贯通孔23h1、23h2、23h3的侧壁暴露第一透明电极25。

[0102] 另外,第二透明电极35欧姆接触于第二LED叠层33的第二导电型半导体层33b。如图所示,第二透明电极35在第一LED叠层23与第二LED叠层33之间接触于第二LED叠层33的上表面。第二透明电极35可以形成为对红色光透明的金属层或者导电性氧化物层。导电性氧化物层可以列举 SnO_2 、 InO_2 、ITO、ZnO、IZO等。尤其,第二透明电极35可以利用ZnO形成,ZnO可以以单晶形成在第二LED叠层33上,因此,与金属层或者另一导电性氧化物层相比,ZnO的电学及光学特性优异。此外,ZnO对第二LED叠层33的接合力较强,因此能够提高发光元件的可靠性。

[0103] 另外,第二透明电极35可以沿第二LED叠层33的边缘位置而被局部地去除,据此,第二透明电极35的外侧侧面可以被第二表面保护层36和/或中间绝缘层38覆盖。即,第二透明电极35的侧面比第二LED叠层33的侧面更向内侧凹陷,并且第二透明电极35凹陷的区域可以被第二表面保护层36、中间绝缘层38或第二接合层59填充。另外,第二透明电极35在第二LED叠层33的台面蚀刻区域附近也被凹陷,并且凹陷的区域可以被第二表面保护层36、中间绝缘层38或第二接合层59填充。

[0104] 第三透明电极45欧姆接触于第三LED叠层33的第二导电型半导体层43b。第三透明电极45可以位于第二LED叠层33和第三LED叠层43之间,并接触于第三LED叠层43的上表面。第三透明电极45可以利用对红色光及绿色光透明的金属层或者导电性氧化物层形成。导电性氧化物层可以列举 SnO_2 、 InO_2 、ITO、ZnO、IZO等。尤其,第三透明电极45可以利用ZnO形成,

ZnO可以在第三LED叠层43上形成为单晶,因此,与金属层或者另一导电性氧化物层相比,ZnO的电学及光学特性优异。尤其,ZnO对第三LED叠层43的接合力较强,因此能够提高发光元件的可靠性。

[0105] 第三透明电极45可以沿第三LED叠层43的边缘位置而被局部地去除,据此,第三透明电极45的外侧侧面可以不暴露于外部而被第一表面保护层46、下部绝缘层48或者第一接合层49覆盖。即,第三透明电极45的侧面比第三LED叠层43的侧面更向内侧凹陷,并且第三透明电极45凹陷的区域可以被第一表面保护层46、下部绝缘层48和/或第一接合层49填充。另外,第三透明电极45在第三LED叠层43的台面蚀刻区域附近也被凹陷,并且凹陷的区域可以被下部绝缘层48或第一接合层49填充。

[0106] 通过如上所述地使第二透明电极35及第三透明电极45凹陷,可以防止其侧面暴露于蚀刻气体,从而可以提高发光元件100的工艺良率。

[0107] 另外,在本实施例中,第二透明电极35及第三透明电极45可以利用相同种类的导电性氧化物层形成,例如,可以利用ZnO形成,并且第一透明电极25可以利用与第二透明电极35及第三透明电极45种类不同的导电性氧化物层形成,例如,可以利用ITO形成。但是,本实用新型并不局限于此,这些第一透明电极25、第二透明电极35及第三透明电极45可以全部是相同种类,也可以是至少一个是另一种类。

[0108] 第一n电极垫27a欧姆接触于第一LED叠层23的第一导电型半导体层23a。例如,第一n电极垫27a可以包括AuGe或者AuTe。

[0109] 第二n电极垫37a欧姆接触于第二LED叠层33的第一导电型半导体层33a。第二n电极垫37a可以布置于借由台面蚀刻而暴露的第一导电型半导体层33a上。例如,第二n电极垫37a可以利用Cr/Au/Ti/形成。

[0110] 第三n电极垫47a欧姆接触于第三LED叠层43的第一导电型半导体层43a。第三n电极垫47a可以布置于通过第二导电型半导体层43b暴露的第一导电型半导体层43a上,即,可以布置于台面蚀刻区域。例如,第三n电极垫47a可以利用Cr/Au/Ti/形成。第三n电极垫47a的上表面可以高于第二导电型半导体层43b的上表面,进一步,可以高于第三透明电极45的上表面。例如,第三n电极垫47a的厚度可以是约 $2\mu\text{m}$ 以上。第三n电极垫47a可以是圆锥台形状,但并不局限于此,可以具有诸如四角锥台、圆筒形、四棱柱等多样的形状。

[0111] 上部p电极垫37b可以布置于第二透明电极35上。上部p电极垫37b可以布置于形成在第一平坦化层51及第二表面保护层36的开口部内。上部p电极垫37b可以利用与第二n电极垫37a相同的材料形成,但并不局限于此。

[0112] 下部p电极垫47b可以利用与第三n电极垫47a相同的材料形成,然而,下部p电极垫47b的上表面可以位于与第三n电极垫47a大致相同的高度,因此,下部p电极垫47b的厚度可以小于第三n电极垫47a。即,下部p电极垫47b的厚度可以大致相同于第三n电极垫47a的向第二透明电极45的上方突出的部分的厚度。例如,下部p电极垫47b的厚度可以是约 $1.2\mu\text{m}$ 以下。通过使下部p电极垫47b的上表面位于与第三n电极垫47a的上表面相同的高度,从而在形成贯通孔33h1、33h2时,可以使下部p电极垫47b和第三n电极垫47a同时暴露。当第三n电极垫47a和下部p电极垫47b的高度不同时,一个电极垫可能在蚀刻工艺中严重受损。因此,可以通过使第三n电极垫47a和下部p电极垫47b的高度对齐为大致相同来防止一个电极垫被严重受损。

[0113] 第一表面保护层46为了防止从第三LED叠层43的台面侧表面发生的非发光复合而覆盖台面侧表面。台面侧表面可能包括因台面蚀刻工艺形成的表面缺陷,因此,更容易发生非发光复合。并且,对发光面积小的微型LED的情形,光提取效率因从侧表面发生的非发光复合而大幅降低。因此,本实用新型在台面蚀刻工艺之后执行用于去除表面缺陷的化学处理,并且,利用第一表面保护层46覆盖暴露的侧表面,从而可以防止非发光复合。例如,对第三LED叠层43的台面蚀刻的表面处理可以利用HF等的氟化物的稀释溶液、硫化物的稀释溶液、HCl或者FeCl₃等的氯系稀释溶液、KOH、四甲基氢氧化铵(TMAH:Tetramethylammonium hydroxide)或者NaOH等的碱性溶液来执行。作为溶剂可以使用水,但是为了防止形成氧化膜,可以使用醇,例如,可以使用乙醇或异丙醇(IPA)。

[0114] 尤其,由于通过干蚀刻工艺而受损的表面具有较强的反应性而容易形成自然氧化膜,因此需要去除自然氧化膜,且需要对去除自然氧化膜的表面进行钝化。因此,表面处理可以包括用于去除自然氧化膜的蚀刻工艺(etching process)和用于钝化表面的表面钝化工艺(surface passivating process)。

[0115] 在一实施例中,表面蚀刻工艺和表面钝化工艺可以利用包括硫化物的蚀刻溶液以单一工艺执行。例如,可以利用HCl和(NH₄)₂S的混合溶液来执行表面蚀刻及表面钝化工艺。

[0116] 在另一实施例中,可以通过先执行表面蚀刻工艺来去除自然氧化膜,然后执行表面钝化工艺。例如,表面蚀刻工艺可以利用酸性溶液或碱性溶液执行,表面钝化工艺可以利用包括硫化物的溶液执行。作为一例,使用BOE和HCl的混合溶液或者KOH溶液执行表面蚀刻工艺,在完成蚀刻工艺之后,可以利用IPA来执行清洗工艺,并且可以利用包括(NH₄)₂S或Na₂S的溶液来执行表面钝化工艺。作为一例,(NH₄)₂S或Na₂S可以稀释于氨水或IPA而使用。在清洗工艺中可以使用其他醇来代替IPA,也可以使用去离子水。然而,醇比去离子水更有利于防止在清洗过程中在表面形成氧化膜。

[0117] 硫化物除了(NH₄)₂S、Na₂S以外,可以列举硫代乙酰胺(CH₃CSNH₂)、氯化硫(S₂Cl₁、S₂Cl₂)、Sulfanyl thiohypochlorite(ClHS₂)、1-十八硫醇(1-Octadecanethiol(1-CH₃[CH₂]₁₇SH))等。

[0118] 另外,第一表面保护层46可以覆盖暴露于台面侧表面的第二导电型半导体层43b、活性层及第一导电型半导体层43a。第一表面保护层46可以利用原子层沉积技术、低压化学沉积技术或者等离子体增强化学沉积技术形成,例如,可以利用Al₂O₃、HfO₂、SiN_x或SiO₂形成。然而,为了防止在形成SiO₂期间在表面形成自然氧化膜,也可以先形成子表面保护层,并在其之上形成SiO₂。例如,Al₂O₃、HfO₂或SiN_x等可以用作子表面保护层。

[0119] 第一表面保护层46可以将第三透明电极45与台面侧表面一起覆盖,进一步,可以覆盖在台面蚀刻区域暴露的第一导电型半导体层43a的上表面。然而,在本实施例中,第一表面保护层46比在台面蚀刻区域暴露的第一导电型半导体层43a布置于上方,因此,位于第三LED叠层43的台面下部的第一导电型半导体层43a的侧表面不被第一表面保护层46覆盖。但是,本实用新型并不一定局限于此,在另一实施例中,第一表面保护层46也可以覆盖第一导电型半导体层43a的侧表面。

[0120] 另外,第一表面保护层46可以具有暴露第一导电型半导体层43a的开口部及暴露第三透明电极45的开口部,并且在该开口部内可以分别布置有第三n电极垫47a及下部p电极垫47b。

[0121] 下部绝缘层48覆盖第三LED叠层43的上表面。并且,下部绝缘层48也可以覆盖第一表面保护层46及第三透明电极45,且可以覆盖第三n电极垫47a及下部p电极垫47b。下部绝缘层48可以具有暴露第三n电极垫47a及下部p电极垫47b的开口部。下部绝缘层48可以保护第三LED叠层43、第三透明电极45、第三n电极垫47a及下部p电极垫47b。进一步,下部绝缘层48可以包括能够提高对第一接合层49的粘附力的物质,例如,包括 SiO_2 。在若干实施例中,下部绝缘层48可以被省略。

[0122] 第一接合层49将第二LED叠层33结合于第三LED叠层43。第一接合层49可以在第一导电型半导体层33a与第三透明电极35之间将其结合。第一接合层49可以接触于下部绝缘层48,并且可以局部地接触于第三n电极垫47a及下部p电极垫47b。在下部绝缘层48被省略的情况下,第一接合层49可以局部地接触于第一表面保护层46及第一导电型半导体层43a。

[0123] 第一接合层49可以利用透明有机物层形成,或者可以利用透明无机物层形成。有机物层可以列举SU8、聚甲基丙烯酸甲酯(PMMA:poly(methylmethacrylate))、聚酰亚胺,聚对二甲苯,苯并环丁烯(BCB:Benzyocyclobutene)等,无机物层可以列举 Al_2O_3 、 SiO_2 、 SiN_x 等。并且,第一接合层49也可以利用旋涂玻璃(SOG)形成。

[0124] 第一平坦化层51可以布置于第二LED叠层33上。尤其,第一平坦化层51布置于第二导电型半导体层33b的上部区域而与台面蚀刻区域隔开。

[0125] 贯通孔33h1、33h2可以贯通第一平坦化层51、第二LED叠层33及第一接合层49并且暴露第三n电极垫47a及下部p电极垫47b。

[0126] 第一侧壁绝缘层53覆盖贯通孔33h1、33h2的侧壁,并具有暴露贯通孔的底部的开口部。第一侧壁绝缘层53例如可以使用化学气相沉积技术或者原子层沉积技术来形成,并且例如可以利用 Al_2O_3 、 HfO_2 、 SiO_2 、 Si_3N_4 等形成。

[0127] 下部掩埋过孔55a、55b分别可以填充贯通孔33h1、33h2。下部掩埋过孔55a、55b可以借由第一侧壁绝缘层53而与第二LED叠层33绝缘。下部掩埋过孔55a可以电连接于第三n电极垫47a,下部掩埋过孔55b可以电连接于下部p电极垫47b。

[0128] 下部掩埋过孔55a、55b可以利用化学机械抛光技术来形成。例如,可以通过如下的方式形成下部掩埋过孔55a、55b,即,形成种子层并利用镀覆金属技术用Cu等的导电材料填充贯通孔33h1、33h2之后,利用化学机械抛光技术来去除第一平坦化层51上的金属层。如图4A及图4B所示,下部掩埋过孔55a、55b可以在贯通孔33h1、33h2的入口具有相对更宽的宽度,据此,可以强化电连接。

[0129] 下部掩埋过孔55a、55b可以通过同一工艺而一起形成。据此,下部掩埋过孔55a、55b的上表面可以与第一平坦化层51大致对齐。后面将更加详细说明形成下部掩埋过孔的具体工艺。但是,本实用新型并不局限于本实施例,可通过彼此不同的工艺形成。

[0130] 封盖层57可以覆盖下部掩埋过孔55a、55b的上表面。封盖层57可以利用保护下部掩埋过孔55a、55b的金属层形成。

[0131] 第二表面保护层36为了防止从第二LED叠层33的台面侧表面发生的非发光复合而覆盖台面侧表面。第二LED叠层33的台面侧表面可能包括通过台面蚀刻工艺而形成的表面缺陷,因此,容易发生非发光复合。因此,本实用新型在执行台面蚀刻工艺之后执行用于去除台面侧表面的表面缺陷的化学处理,并且,通过用第二表面保护层36覆盖暴露的侧表面来防止非发光复合。由于对第二LED叠层33的台面侧表面的表面处理与对第三LED叠层43的

台面侧表面的表面处理相似,因此省略详细的说明。借由所述表面处理,可以在第二LED叠层33的台面侧表面形成钝化表面。另外,第二表面保护层36可以覆盖暴露于台面的侧表面的第二导电型半导体层33b、活性层及第一导电型半导体层33a。第二表面保护层36可以利用原子层沉积技术、低压化学沉积技术或者等离子体增强化学沉积技术形成,例如,可以利用 Al_2O_3 、 HfO_2 、 SiN_x 或 SiO_2 的单层或者包括这些中的至少一个的多层形成。

[0132] 第二表面保护层36可以第一平坦化层51与第二LED叠层33的台面侧表面一起覆盖,进一步,可以覆盖在台面蚀刻区域暴露的第一导电型半导体层33a的上表面。然而,在本实施例中,第二表面保护层36比在台面蚀刻区域暴露的第一导电型半导体层33a布置于上方,因此,位于第二LED叠层33的台部下部的第一导电型半导体层33a的侧表面不被第二表面保护层36覆盖。但是,本实用新型并不一定局限于此,在另一实施例中,第二表面保护层36也可以覆盖第一导电型半导体层33a的侧表面。

[0133] 另外,第二表面保护层36可以具有用于允许电连接的多个开口部。第二n电极垫37a及上部p电极垫37b可以分别布置于第二表面保护层36的开口部内。

[0134] 中间绝缘层38形成于第二LED叠层33上,并且覆盖第二表面保护层36、上部p电极垫37b及第二n电极垫37a。中间绝缘层38也可以覆盖第二LED叠层33的台面蚀刻区域。中间绝缘层38可以具有暴露封盖层57或下部掩埋过孔55a、55b、上部p电极垫37b及第二n电极垫37a的开口部。例如,中间绝缘层38可以利用 SiO_2 形成。中间绝缘层38可以保护第二LED叠层33、上部p电极垫37b及第二n电极垫37a,进一步,可以提高第二接合层59的粘附力。

[0135] 下部连接器39a、39b、39c可以布置于中间绝缘层38上。第一下部连接器39a电连接于下部掩埋过孔55a,并且,可以沿横方向延伸而电连接于第二n电极垫37a。据此,第三LED叠层43的第一导电型半导体层43a和第二LED叠层33的第一导电型半导体层33a可以共同地电连接。第一下部连接器39a可以通过封盖层57而电连接于下部掩埋过孔55a。

[0136] 第二下部连接器39a电连接于下部掩埋过孔55a。如图所示,第二下部连接器39b可以通过封盖层57而电连接于下部掩埋过孔55b。

[0137] 第三下部连接器39c电连接于第二透明电极35。第三下部连接器39c可以如图4A所示地布置于上部p电极垫37b上,并且可以通过上部p电极垫37b而电连接于第二透明电极35。

[0138] 第二接合层59将第一LED叠层23结合于第二LED叠层33。如图所示,第二接合层59可以布置于第一透明电极25与中间绝缘层38之间。并且,第二接合层59可以覆盖第一下部连接器39a、第二下部连接器39b及第三下部连接器39c。第二接合层59可以利用上述对第一接合层49说明的材料相同的材料形成,为了避免重复,将省略详细的说明。

[0139] 第二平坦化层61覆盖第一LED叠层23。第二平坦化层61可以利用铝氧化膜、硅氧化膜或者硅氮化膜形成。第二平坦化层61可以具有暴露第一n电极垫27a的开口部。

[0140] 另外,贯通孔23h1、23h2、23h3、23h4贯通第二平坦化层61及第一LED叠层23。进一步,贯通孔23h1、23h2、23h3贯通第一透明电极25及第二接合层59而暴露下部连接器39a、39b、39c,并且贯通孔23h4可以暴露第一透明电极25。例如,贯通孔23h1为了提供用于允许对下部掩埋过孔55a的电连接的通路而形成,贯通孔23h2为了提供用于允许对下部掩埋过孔55b的电连接的通路而形成,贯通孔23h3为了提供用于允许对第二透明电极35的电连接的通路而形成。

[0141] 另外,贯通孔23h4为了提供用于允许对第一透明电极25的电连接的通路而形成。贯通孔23h4不贯通第一透明电极25。但是本实用新型并不局限于此,只要是贯通孔23h4提供用于对第一透明电极25的电连接的通路,也可以贯通第一透明电极25。

[0142] 形成贯通孔23h1、23h2、23h3、23h4之后,可以为了去除在贯通孔内壁形成的表面缺陷而执行化学处理。例如,第一LED叠层23的表面可以利用稀释的HF溶液、稀释的HCl溶液或者KOH溶液来进行处理。如上述在对第三LED叠层43的侧表面的表面处理中进行的说明,第一LED叠层23的表面处理可以包括表面蚀刻工艺及硫钝化工艺,为了避免重复,将省略详细的说明。

[0143] 第二侧壁绝缘层63覆盖贯通孔23h1、23h2、23h3、23h4的侧壁,并且具有暴露贯通孔的底部的开口部。在本实施例中,需要注意的是,第二侧壁绝缘层63不形成于第二平坦化层61的开口部61a的侧壁。但是,本实用新型并不局限于此,第二侧壁绝缘层63也可以形成于第二平坦化层61的开口部61a的侧壁。例如,第二侧壁绝缘层63可以利用化学气相沉积技术或者原子层沉积技术形成,例如,可以利用 Al_2O_3 、 HfO_2 、 SiO_2 、 Si_3N_4 等形成。

[0144] 上部掩埋过孔65a、65b、65c、65d分别可以填充贯通孔23h1、23h2、23h3、23h4。上部掩埋过孔65a、65b、65c、65d借由第二侧壁绝缘层63而与第一LED叠层23电绝缘。

[0145] 另外,上部掩埋过孔65a通过第一下部连接器39a而电连接于下部掩埋过孔55a,上部掩埋过孔65b通过第二下部连接器39b而电连接于下部掩埋过孔55b,上部掩埋过孔65c通过第三下部连接器39c而电连接于第二透明电极35。并且,上部掩埋过孔65d可以电连接于第一透明电极25。

[0146] 上部掩埋过孔65a、65b、65c、65d可以利用化学机械抛光技术形成。例如,可以通过如下方式形成上部掩埋过孔65a、65b、65c、65d,即,形成种子层并利用镀覆金属技术填充贯通孔23h1、23h2、23h3、23h4之后,利用化学机械抛光技术来去除第二平坦化层61上的金属层。进一步,也可以在形成种子层之前形成金属阻挡层。

[0147] 上部掩埋过孔65a、65b、65c、65d可以通过同一工艺而一起形成,并且可以与第二平坦化层61大致对齐。但是,本实用新型并不局限于本实施例,也可以通过彼此不同的工艺形成。

[0148] 第一上部连接器67a、第二上部连接器67b、第三上部连接器67c以及第四上部连接器67d布置于第二平坦化层61上。第一上部连接器67a可以电连接于上部掩埋过孔65a,第二上部连接器67b可以电连接于上部掩埋过孔65b,第三上部连接器67c可以电连接于上部掩埋过孔65c,第四上部连接器67d可以电连接于上部掩埋过孔65d。如图所示,第一上部连接器67a、第二上部连接器67b、第三上部连接器67c及第四上部连接器67d分别可以覆盖上部掩埋过孔65a、65b、65c、65d。另外,第一上部连接器67a可以通过第二平坦化层61的开口部而电连接于第一n电极垫27a。据此,第一LED叠层23至第三LED叠层43的第一导电型半导体层23a、33a、43a可以彼此共同地电连接。

[0149] 第一上部连接器67a、第二上部连接器67b、第三上部连接器67c及第四上部连接器67d可以在同一工艺中利用相同材料(例如, $\text{Ni}/\text{Au}/\text{Ti}$)形成。

[0150] 上部绝缘层71可以覆盖第一LED叠层23的侧表面、上表面及第二平坦化层61,进一步,可以覆盖第一上部连接器67a、第二上部连接器67b、第三上部连接器67c以及第四上部连接器67d。尤其,上部绝缘层71可以用作用于防止从第一LED叠层23的侧表面生成的非发

光复合的表面保护层。并且,在第一LED叠层23的侧表面可以形成硫钝化表面。上部绝缘层71也可以覆盖第一透明电极25的侧表面。并且,上部绝缘层71可以覆盖第一接合层49及第二接合层59的侧表面。第二LED叠层33及第三LED叠层43可以因接合层49、59而从上部绝缘层71隔开。但是本实用新型并不局限于此,上部绝缘层71也可以覆盖第二LED叠层33及第三LED叠层43的侧表面。

[0151] 上部绝缘层71可以具有暴露第一上部连接器67a、第二上部连接器67b、第三上部连接器67c及第四上部连接器67d的开口部。上部绝缘层71的开口部大致可以布置于第一上部连接器67a、第二上部连接器67b、第三上部连接器67c及第四上部连接器67d的平坦的面上。上部绝缘层71可以利用硅氧化膜或者硅氮化膜形成,可以比第二平坦化层61更薄,例如,可以以约400nm的厚度形成。

[0152] 凸起垫73a、73b、73c、73d分别可以布置于第一上部连接器67a、第二上部连接器67b、第三上部连接器67c以及第四上部连接器67d上并电连接于这些上部连接器。凸起垫73a、73b、73c、73d也可以布置于上部绝缘层71的开口部内,如图所示,可以形成密封开口部。

[0153] 第一凸起垫73a通过第一上部连接器67a电连接于上部掩埋过孔65a及第一n电极垫27a,据此,共同地电连接于第一LED叠层23、第二LED叠层及第三LED叠层43的第一导电型半导体层23a、33a、43a。

[0154] 第二凸起垫73b可以通过第二上部连接器67b、上部掩埋过孔65b、第二下部连接器39b、下部掩埋过孔55b、下部p电极垫47b及第三透明电极45而电连接于第三LED叠层43的第二导电型半导体层43b。

[0155] 第三凸起垫73c可以通过第三上部连接器67c、上部掩埋过孔65c、第三下部连接器39c、上部p电极垫37b及第二透明电极35而电连接于第二LED叠层33的第二导电型半导体层33b。

[0156] 第四凸起垫73d可以通过第四上部连接器67d及第一透明电极25而电连接于第一LED叠层23的第二导电型半导体层23b。

[0157] 即,第二凸起垫73b、第三凸起垫73c及第四凸起垫73d分别电连接于第一LED叠层23、第二LED叠层33及第三LED叠层43的第二导电型半导体层23b、33b、43b,第一凸起垫73a共同地电连接于第一LED叠层23、第二LED叠层33及第三LED叠层43的第一导电型半导体层23a、33a、43a。

[0158] 凸起垫73a、73b、73c、73d可以覆盖上部绝缘层71的开口部,一部分可以布置于上部绝缘层71上。与此不同,凸起垫73a、73b、73c、73d也可以布置于开口部内。

[0159] 凸起垫73a、73b、73c、73d可以利用Au/In形成,例如,Au可以以3 μ m的厚度形成,In可以以1 μ m的厚度形成。发光元件100可以利用In接合于电路基板101上的垫。在本实施例中,对利用In接合凸起垫进行说明,但是,并不局限于In,也可以利用Pb或者AuSn接合。

[0160] 根据本实施例,第一LED叠层23电连接于凸起垫73a、73d,第二LED叠层33电连接于凸起垫73a、73c,第三LED叠层43电连接于凸起垫73a、73b。据此,第一LED叠层23、第二LED叠层33及第三LED叠层43的阴极共同地电连接于第一凸起垫73a,阳极分别电连接于第二凸起垫73b、第三凸起垫73c及第四凸起垫73d。因此,第一LED叠层23、第二LED叠层及第三LED叠层43可以被单独驱动。

[0161] 在本实施例中,以形成凸起垫73a、73b、73c、73d为例进行说明,但是凸起垫也可以被省略。尤其,在利用各向异性导电膜或者各向异性导电膏等接合于电路基板的情况下,凸起垫可以被省略,并且上部连接器67a、67b、67c、67d也可以直接被接合。据此,可以增加接合面积。

[0162] 另外,在本实施例中,说明为第二LED叠层33及第三LED叠层43分别包括台面,但是也可以不包括台面。在此情况下,第一表面保护层46及第二表面保护层36分别可以通过至少局部地覆盖第三LED叠层43及第二LED叠层33的侧表面来防止非发光复合。

[0163] 以下将具体说明发光元件100的制造方法。通过下面说明的制造方法可以更详细地理解发光元件100的结构。图5A、图5B及图5C是用于说明根据本实用新型的一实施例的在生长基板上生长的第一LED叠层23至第三LED叠层43的示意性的剖面图。

[0164] 首先,参照图5A,在第一基板21上生长包括第一导电型半导体层23a及第二导电型半导体层23b的第一LED叠层23。在第一导电型半导体层23a与第二导电型半导体层23b之间可以夹设有活性层(未示出)。

[0165] 第一基板21可以是用来生长第一LED叠层23的基板,例如,可以是GaAs基板。第一导电型半导体层23a及第二导电型半导体层23B可以利用AlGaInAs系或者AlGaInP系的半导体层形成,例如,活性层可以包括AlGaInP系的阱层。例如,可以确定AlGaInP的组成比来使第一LED叠层23发出红色光。

[0166] 在第二导电型半导体层23b上可以形成有第一透明电极25。如上所述,第一透明电极25可以利用透射从第一LED叠层23生成的光(例如,红色光)的金属层或者导电性氧化物层形成。例如,第一透明电极25可以利用ITO(indium-tin oxide)形成。

[0167] 参照图5B,在第二基板31上生长包括第一导电型半导体层33a及第二导电型半导体层33b的第二LED叠层33。在第一导电型半导体层33a与第二导电型半导体层33b之间可以夹设有活性层(未示出)。

[0168] 第二基板31是为了生长第二LED叠层33而使用的基板,例如,可以是蓝宝石基板、SiC基板或者GaN基板。在一实施例中,第二基板31可以是平坦的蓝宝石基板,但是也可以是图案化的蓝宝石基板。第一导电型半导体层33a及第二导电型半导体层33b可以利用AlGaInN系的半导体层形成,例如,活性层可以包括AlGaInN系的阱层。例如,可以确定AlGaInN的组成比来使第二LED叠层发出蓝色光。

[0169] 在第二导电型半导体层33b上可以形成有第二透明电极35。如上所述,第二透明电极35可以利用透射从第一LED叠层23生成的光(例如,红色光)的金属层或者导电性氧化物层来形成。尤其,第二透明电极35可以利用ZnO来形成。

[0170] 参照图5C,在第三基板41上生长包括第一导电型半导体层43a及第二导电型半导体层43b的第三LED叠层43。在第一导电型半导体层43a与第二导电型半导体层43b之间可以夹设有活性层(未示出)。

[0171] 第三基板41是为了生长第三LED叠层43而使用的基板,例如,可以是蓝宝石基板、GaN基板或者GaAs基板。第一导电型半导体层43a及第二导电型半导体层43b可以利用AlGaInAs系的半导体层或者AlGaInP系的半导体层、AlGaInN系的半导体层来形成,例如,活性层可以包括AlGaInP系的阱层或者AlGaInN系的阱层。例如,可以确定AlGaInP或者AlGaInN的组成比来使第三LED叠层发出绿色光。

[0172] 在第二导电型半导体层43b上可以形成有第三透明电极45。如上所述,第三透明电极45可以利用透射从第一LED叠层23以及第二LED叠层33生成的光(例如,红色光或者蓝色光)的金属层或者导电性氧化物层来形成。尤其,第三透明电极45可以利用ZnO形成。

[0173] 第一LED叠层23至第三LED叠层43分别可以在彼此不同的生长基板21、31、41上生长,因此,其制造工艺顺序不受限制。

[0174] 以下说明利用在生长基板21、31、41上生长的第一LED叠层23至第三LED叠层43来制造发光元件100的方法。以下主要对一个发光元件100区域示出并说明,但是本领域技术人员可以理解的是,可以利用在生长基板21、31、41上生长的LED叠层23、33、43在相同的制造工艺中一同制造多个发光元件100。

[0175] 图6A、图6B、图6C、图7A、图7B、图7C、图8A、图8B、图8C、图9A、图9B、图9C、图10A、图10B、图10C、图11A、图11B、图11C、图12A、图12B、图12C、图13A、图13B、图13C、图14A、图14B、图14C、图15A、图15B、图15C、图16A、图16B、图16C、图17A、图17B、图17C、图18A、图18B、图18C、图19A、图19B、图19C、图20A、图20B及图20C是用于说明根据本实用新型的一实施例的制造显示器用发光元件的方法的示意性的平面图及剖面图。在此,剖面图对应于图3的截取线A-A'或者B-B'。

[0176] 首先,参照图6A、图6B及图6C,利用光刻及蚀刻技术将第三透明电极45及第二导电型半导体层43b图案化并暴露第一导电型半导体层43a。例如,该工艺对应于台面蚀刻工艺。可以使用光致抗蚀剂图案(photoresist pattern)作为蚀刻掩模(etching mask)来进行蚀刻。例如,在形成蚀刻掩模之后,可以通过湿蚀刻技术首先蚀刻第三透明电极45,然后可以使用相同的蚀刻掩模通过干蚀刻技术蚀刻第二导电型半导体层43b。据此,第三透明电极45可以从台面蚀刻区域凹陷。在图6A中,为了简单地示出附图,示出了台面的边缘位置,并且未示出第三透明电极45的边缘位置。然而,由于使用相同的蚀刻掩模对第三透明电极45进行湿蚀刻,因此可以容易地理解,第三透明电极45的边缘位置从台面的边缘位置向台面内侧凹陷。由于使用相同的蚀刻掩模,因此不会增加光刻工艺的数量,从而可以节省工艺成本。然而,本实用新型并不局限于此,也可以分别使用用于台面蚀刻工艺的蚀刻掩模和用于蚀刻第三透明电极45的蚀刻掩模。

[0177] 另外,在本实施例中,台面可以包括第一导电型半导体层43a的一部分厚度、活性层及第二导电型半导体层43b。台面可以位于由第一导电型半导体层43a的边缘位置围绕的区域内侧,因此,沿着台面外围暴露第一导电型半导体层43a的上表面。

[0178] 随后,为了去除因台面蚀刻工艺而形成的表面缺陷而执行化学处理。例如,可以利用HF等的氟化物的稀释溶液、HCl或者FeCl₃等的氯系稀释溶液、KOH、NH₄OH、TMAH或者NaOH等的碱性溶液来执行表面处理。通过该表面处理,可以在台面侧表面去除表面缺陷,从而可以减少非发光复合。

[0179] 作为溶剂可以使用水,但是为了防止形成氧化膜,可以使用醇,例如,可以使用乙醇或异丙醇(IPA)。

[0180] 尤其,由于通过干蚀刻工艺形成的表面具有高的反应性而容易形成自然氧化膜,因此需要去除自然氧化膜,并且需要对去除自然氧化膜的表面进行钝化。因此,表面处理可以包括用于去除自然氧化膜的蚀刻工艺和用于钝化表面的表面钝化工艺。

[0181] 在一实施例中,表面蚀刻工艺和表面钝化工艺可以利用包括硫化物的蚀刻溶液以

单一工艺执行。例如,可以利用HCl和 $(\text{NH}_4)_2\text{S}$ 的混合溶液来执行表面蚀刻及表面钝化工艺。

[0182] 在另一实施例中,可以通过先执行表面蚀刻工艺来去除自然氧化膜,然后执行表面钝化工艺。例如,表面蚀刻工艺可以利用酸性溶液或碱性溶液执行,表面钝化工艺可以利用包括硫化物的溶液执行。作为一例,使用BOE和HCl的混合溶液或者KOH溶液执行表面蚀刻工艺,在完成蚀刻工艺之后,可以利用IPA来执行清洗工艺,并且可以利用包括 $(\text{NH}_4)_2\text{S}$ 或 Na_2S 的溶液来执行表面钝化工艺。作为一例, $(\text{NH}_4)_2\text{S}$ 或 Na_2S 可以在氨水或IPA中稀释使用。在清洗工艺中可以使用其他醇代替IPA,也可以使用去离子水。然而,醇比去离子水更有利于防止在清洗过程中在表面形成氧化膜。

[0183] 参照图7A、图7B及图7C,形成覆盖第三LED叠层43及第三透明电极45的第一表面保护层46。第一表面保护层46可以利用原子层沉积技术、低压化学气相沉积技术或等离子体增强化学气相沉积技术形成,例如,可以利用 Al_2O_3 、 SiN_x 、 SiO_2 、 HfO_2 等形成。在一实施例中,可以利用原子层沉积技术而先形成 Al_2O_3 层或 HfO_2 层等的子表面保护层,随后,可以利用化学沉积技术而使 SiO_2 层形成于子表面保护层上。原子层沉积技术的工艺时间较长,另外,在形成 SiO_2 层的期间可能在台面侧表面形成自然氧化膜。因此,通过利用原子层沉积技术较薄地形成 Al_2O_3 层或 HfO_2 层之后在其之上形成 SiO_2 层,从而可以缩短工艺时间的同时防止形成自然氧化膜。

[0184] 第一表面保护层46通过覆盖台面侧表面来防止有可能在台面的侧表面发生的非发光复合。

[0185] 另外,第一表面保护层46可以图案化为具有暴露第一导电型半导体层43a及第三透明电极45的开口部,在开口部内形成第三n电极垫47及下部p电极垫47b。第三n电极垫47a和下部p电极垫47b可以以彼此不同的厚度形成。尤其,第三n电极垫47a和下部p电极垫47b的上表面可以位于大致相同的高度。

[0186] 参照图8A、图8B及图8C,可以形成用于限定发光元件区域的分离区域。例如,可以沿着分离区域去除第一导电型半导体层43a,并且可以暴露基板41的上表面。

[0187] 进一步,在第三LED叠层43上可以形成下部绝缘层48。下部绝缘层48可以覆盖暴露的基板41的上表面,并且可以覆盖第一表面保护层46及第三LED叠层43的上表面和侧表面。进一步,在下部绝缘层48可以形成有使第三n电极垫47a及下部p电极垫47b暴露的开口部。

[0188] 参照图9A、图9B及图9C,在第三LED叠层43上接合参照图5B说明的第二LED叠层33。利用临时接合/去接合(TBDB:temporary bonding/debonding)技术在临时基板上接合第二LED叠层33,首先从第二LED叠层33去除第二基板31。例如,可以利用激光剥离(Laser lift-off)技术去除第二基板31。在去除第二基板31之后,在第一导电型半导体层33a的表面可能形成有粗糙的面。此后,接合到临时基板的第二LED叠层33的第一导电型半导体层33a可以布置为面向第三LED叠层43,从而接合到第三LED叠层43。第二LED叠层33和第三LED叠层43借由第一接合层49而彼此接合。在接合第二LED叠层33之后,也可以利用激光剥离技术来去除临时基板。据此,第二LED叠层33可以以第二透明电极35布置于第二LED叠层33的上表面的形态布置于第三LED叠层43。

[0189] 随后,可以将第二透明电极35图案化而形成开口部35a、35b。开口部35a布置于第三n电极垫47a的上部,开口部35b布置于下部p电极垫47b的上部。预先形成开口部35a、35b,从而在之后形成贯通孔33h1、33h2时,可以防止第二透明电极35暴露于贯通孔。

[0190] 参照图10A、图10B和图10C,第一平坦化层51形成于第二透明电极35上。第一平坦化层51可以具有大致平坦的上表面,并且可以形成为绝缘层。

[0191] 随后,形成贯通第一平坦化层51、第二LED叠层33及第一接合层49的贯通孔33h1、33h2。贯通孔33h1、33h2贯通第二透明电极35的开口部35a、35b的内部,因此,第二透明电极35不暴露于贯通孔33h1、33h2的侧壁。贯通孔33h1、33h2分别使第三n电极垫47a及下部p电极垫47b暴露。

[0192] 另外,为了去除形成于贯通孔33h1、33h2的内壁的表面缺陷而执行化学处理。例如,如上所述,可以通过利用氟系溶液或碱性溶液来进行化学处理,从而去除表面缺陷,据此,可以减少表面非发光复合。并且,如上所述,化学处理可以包括利用溶液的表面蚀刻工艺及表面钝化工艺。

[0193] 参照图11A、图11B及图11C,形成第一侧壁绝缘层53。第一侧壁绝缘层53首先可以形成为覆盖第一平坦化层51的上部及贯通孔33h1、33h2的侧壁及底面。例如,第一侧壁绝缘层53可以利用化学气相沉积技术或原子层沉积技术而利用 Al_2O_3 、 HfO_2 、 SiN_x 、 SiO_2 等来形成。

[0194] 随后,利用干蚀刻技术对第一侧壁绝缘层53进行地毯式蚀刻。据此,形成于贯通孔33h1、33h2的底部的第一侧壁绝缘层53被去除,第三n电极垫47a及下部p电极垫47b被暴露。成型于第一平坦化层51上的第一侧壁绝缘层53可以在地毯式蚀刻期间全部被去除,也可以在贯通孔33h1、33h2的入口附近去除第一平坦化层51的一部分。据此,贯通孔33h1、33h2的入口可以具有比底部更宽的宽度。

[0195] 此后,可以利用种子层和镀覆金属技术形成掩埋贯通孔33h1、33h2的下部掩埋过孔55a、55b。可以利用化学机械抛光技术去除形成在第一平坦化层51上的种子层和镀覆金属层。

[0196] 另外,可以形成覆盖下部掩埋过孔55a、55b的封盖层57。在形成封盖层57之后,可以去除残留在第一平坦化层51上的金属物质。封盖层57可以通过覆盖下部掩埋过孔55a、55b来保护下部掩埋过孔55a、55b。例如,下部掩埋过孔55a、55b可以利用镀铜来形成,并且,为了去除残留在第一平坦化层51上的铜,封盖层57可以形成为与铜不同的金属材料。

[0197] 参照图12A、图12B及图12C,通过图案化第一平坦化层51来暴露第二导电型半导体层33b,随后通过台面蚀刻而部分地去除第二透明电极及第二导电型半导体层33b,从而暴露第一导电型半导体层33a。第二透明电极35及第二导电型半导体层33b可以利用光刻及蚀刻技术而被图案化。该工艺可以利用与之前蚀刻第三透明电极45及第二导电型半导体层43b的台面蚀刻工艺相同的方法,利用湿蚀刻及干蚀刻技术来执行。例如,在形成蚀刻掩模之后,可以首先利用湿蚀刻技术蚀刻第二透明电极35,然后使用相同的蚀刻掩模通过干蚀刻技术蚀刻第二导电型半导体层33b。据此,第二透明电极35可以从台面蚀刻区域凹陷。在图12A中,为了简单地示出附图,示出了台面的边缘位置,并且未示出第二透明电极35的边缘位置。然而,由于使用相同的蚀刻掩模对第二透明电极35进行湿蚀刻,因此可以容易地理解,第二透明电极35的边缘位置从台面的边缘位置向台面内侧凹陷。由于使用相同的蚀刻掩模,因此不会增加光刻工艺的数量,从而可以节省工艺成本。然而,本实用新型并不局限于此,也可以分别使用用于台面蚀刻工艺的蚀刻掩模和用于蚀刻第二透明电极35的蚀刻掩模。进一步,第二透明电极35也可以与第一平坦化层51一起被图案化。

[0198] 第二LED叠层33的台面蚀刻区域可以与第三LED叠层43的台面蚀刻区域部分重叠,

但大致彼此分离。尤其,第二LED叠层33的台面蚀刻区域的一部分可以在横方向上与第三n电极垫47a和下部p电极垫47b隔开。

[0199] 另外,为了去除形成于台面侧表面的表面缺陷,在台面蚀刻工艺中可以执行化学处理。由于化学处理与针对第三LED叠层43的说明相似,因此为了避免重复,将省略详细的说明。

[0200] 参照图13A、图13B及图13C,形成覆盖第二LED叠层33的台面侧表面的第二表面保护层36。第二表面保护层36通过覆盖台面侧表面来防止非发光复合。进一步,第二表面保护层36可以覆盖第一导电型半导体层33a及第一平坦化层51。例如,第二表面保护层36可以利用原子层沉积技术、低压化学气相沉积技术或者等离子体增强化学蚀刻技术而例如利用 Al_2O_3 、 HfO_2 、 SiN_x 或 SiO_2 等来形成。

[0201] 此后,可以通过图案化第二表面保护层36及第一平坦化层51来形成暴露第二透明电极35的开口部及暴露第一导电型半导体层33a的开口部。第二n电极垫37a及上部p电极垫37b分别可以形成于暴露在所述开口部内的第一导电型半导体层33a及第二透明电极35上。

[0202] 参照图14A、图14B及图14C,在第二LED叠层33上可以形成中间绝缘层38。中间绝缘层38可以覆盖第二表面保护层36,同时,可以覆盖第二n电极垫37a及上部p电极垫37b。中间绝缘层38可以图案化为具有暴露第二n电极垫37a及上部p电极垫37b的开口部。进一步,中间绝缘层38和第二表面保护层36可以图案化为具有暴露封盖层57的开口部。

[0203] 另外,在中间绝缘层38上形成下部连接器39a、39b、39c。第一下部连接器39a电连接于下部掩埋过孔55a,并向横方向延伸而电连接于第二n电极垫37a。第一下部连接器39a可以借由中间绝缘层38及第二表面保护层36而与第二透明电极35及第二导电型半导体层33b绝缘。

[0204] 第二下部连接器39b电连接于下部掩埋过孔55b,第三下部连接器39c电连接于上部p电极垫37b。

[0205] 此后,可以形成用于限定发光元件区域的分离区域。例如,可以沿着分离区域去除中间绝缘层38、第二表面保护层36及第一导电型半导体层33a,并且可以暴露第一接合层49的上表面。另外,虽然未图示,也可以追加覆盖第一导电型半导体层33a的侧面及中间绝缘层38的绝缘层。该绝缘层可以形成为具有暴露下部连接器39a、39b、39c的开口部。

[0206] 参照图15A、图15B和图15C,图5A中说明的第一LED叠层23接合于第二LED叠层33。第一LED叠层23与第二LED叠层33可以利用第二接合层59以第一透明电极25朝向第二LED叠层33的方式接合。据此,第二接合层59可以与第一透明电极25相接触的同时,接触于中间绝缘层38及下部连接器39a、39b、39c。

[0207] 另外,从第一LED叠层23去除第一基板21。例如,可以利用蚀刻技术去除第一基板21。在去除第一基板21之后,可以在第一导电型半导体层23a的一部分区域上形成第一n电极垫27a。第一n电极垫27a可以形成为欧姆接触于第一导电型半导体层23a。

[0208] 参照图16A、图16B和图16C,形成覆盖第一LED叠层23及第一n电极垫27a的第二平坦化层61。第二平坦化层61形成为具有大致平坦的上表面。

[0209] 随后,形成贯通第二平坦化层61及第一LED叠层23的贯通孔23h1、23h2、23h3、23h4。贯通孔23h1、23h2、23h3可以贯通第一透明电极25及第二接合层59而分别暴露下部连接器39a、39b、39c。另外,贯通孔23h4可以暴露第一透明电极25。

[0210] 贯通孔23h1、23h2、23h3可以通过相同的工序一起形成,贯通孔23h4可以通过与贯通孔23h1、23h2、23h3不同的工序形成。

[0211] 在形成贯通孔23h1、23h2、23h3、23h4之后,为了去除形成于贯通孔的内壁的表面缺陷而可以执行化学处理。例如,第一LED叠层23的表面可以利用稀释的HF溶液或稀释的HCl溶液来进行处理。并且,如上所述,化学处理可以包括利用溶液的表面蚀刻工艺及表面钝化工艺。

[0212] 参照,图17A、图17B及图17C,随后,形成第二侧壁绝缘层63及上部掩埋过孔65a、65b、65c、65d。形成第二侧壁绝缘层63及上部掩埋过孔65a、65b、65c、65d的工艺与前面的形成第一侧壁绝缘层53及下部掩埋过孔55a、55b的工序大致类似,因此在此省略详细说明。

[0213] 参照图18A、图18B及图18C,将第二平坦化层61图案化而形成暴露第一n电极垫27a的开口部61a。第二平坦化层61可以利用光刻和蚀刻技术而被图案化。

[0214] 随后,形成上部连接器67a、67b、67c、67d。上部连接器67a、67b、67c、67d可以包括反射金属层,因此,可以反射从第一LED叠层23生成的光,从而改善光提取效率。例如,上部连接器67a、67b、67c、67d可以包括Au或Au合金。

[0215] 上部连接器67a可以将上部掩埋过孔65a电连接于第一n电极垫27a。上部连接器67b、67c、67d可以分别连接于上部掩埋过孔65b、65c、65d。

[0216] 参照图19A、图19B及图19C,可以沿着分离区域蚀刻第二平坦化层61、第一LED叠层23及第一透明电极25。例如,可以预先将第二平坦化层61图案化,随后将第一LED叠层23及第一透明电极25图案化,从而划分发光元件区域。在形成开口部61a时,可以沿着分离区域预先将第二平坦化层61图案化。也可以继续图案化第二接合层59及第一接合层49来暴露基板41的上表面。另外,如图所示,第二LED叠层33及第三LED叠层43的侧表面可以分别被第二接合层59及第一接合层49覆盖而得到保护。但是在另一实施例中,第二LED叠层33及第三LED叠层43的侧表面也可以暴露于分离区域。

[0217] 另外,暴露于分离区域的第一LED叠层23表面可以被化学处理。例如,可以利用稀释的HCl溶液或稀释的HF溶液对第一LED叠层23的表面进行化学处理。化学处理可以在图案化第二接合层59之前执行,也可以在之后执行。如上述针对第三LED叠层43的说明,化学处理可以包括利用溶液的表面蚀刻工艺及表面钝化工艺。据此,在第一LED叠层23可以形成硫钝化表面。

[0218] 参照图20A、图20B及图20C,形成覆盖第一LED叠层23的上部绝缘层71。上部绝缘层71可以覆盖分离区域的侧壁,可以覆盖第二平坦化层61及上部连接器67a、67b、67c、67d。进一步,上部绝缘层71可以被图案化为具有暴露上部连接器67a、67b、67c、67d的开口部。上部绝缘层71通过覆盖第一LED叠层23的表面来减少非发光复合。例如,上部绝缘层71可以利用 Al_2O_3 、 HfO_2 、 SiN_x 或 SiO_2 的单一层或者包括这些中的至少一个的多层形成。例如,上部绝缘层71可以利用 Al_2O_3 层和 SiO_2 层的双层或者 HfO_2 层和 SiO_2 层的双层形成。

[0219] 随后,可以形成覆盖所述开口部的凸起垫73a、73b、73c、73d。第一凸起垫73a布置于第一上部连接器67a上,第二凸起垫73b布置于第二上部连接器67b上,第三凸起垫73c布置于第三上部连接器67c上。第四凸起垫73d布置于第四上部连接器67d上。

[0220] 在基板41上可以形成借由分离区域而彼此分离的多个发光元件100,通过将发光元件100接合于电路基板101上并分离基板41来完成从基板41分离的发光元件100。接合于

电路板101的发光元件100的示意性的剖面图在图22中示出,对此将在下文中详细说明。

[0221] 本实用新型的实施例利用掩埋过孔55a、55b、65a、65b、65c、65d实现电连接。以下将详细说明形成掩埋过孔的工艺。

[0222] 图21A、图21B、21C、及图21D是用于说明根据本实用新型的实施例的掩埋过孔的形成工艺的示意性的剖面图。

[0223] 首先,参照图21A,在底层S上形成平坦化层51或61。底层S可以包括第一LED叠层23或第二LED叠层33。可以通过将平坦化层51或61图案化来形成定义蚀刻区域的硬掩模(Hard mask),并且可以通过使用硬掩模作为蚀刻掩模来形成贯通孔H。贯通孔H可以暴露用于电连接的要素,例如,第三n电极垫47a或下部p电极垫47b或下部连接器39a、39b、39c。

[0224] 参照图21B,随后,形成侧壁绝缘层53或63。侧壁绝缘层53或63可以形成于平坦化层51或61的上表面,进一步,可以形成于贯通孔H的侧壁及底部。侧壁绝缘层53或63借由层覆盖特性而可以形成为在贯通孔H的入口比底部更厚。

[0225] 参照图21C,利用干蚀刻技术对侧壁绝缘层53或63进行地毯式蚀刻。借由地毯式蚀刻而去除沉积在贯通孔H的底部的侧壁绝缘层53或63,并且,去除布置于平坦化层51或61的上表面的侧壁绝缘层53或63。进一步,可以去除平坦化层51或61的贯通孔H的入口附近的一部分。据此,入口的宽度W2可以大于贯通孔H的宽度W1。由于入口的宽度W2增加,因此利用镀覆金属技术的掩埋过孔的形成会更加容易。

[0226] 参照图21D,可以在平坦化层51或61和贯通孔H中形成种子层,并且可以利用镀覆金属技术形成填充贯通孔H的镀覆金属层。随后,通过使用化学蚀刻技术去除平坦化层51或61上的镀覆金属层和种子层,从而可以形成如图21D所示的掩埋过孔55或65。

[0227] 图22是用于说明贴装于电路板上的发光元件的示意性的剖面图。

[0228] 图22示出了单个发光元件100布置于电路板101上,但是在电路板101上贴装有多多个发光元件100。各个发光元件100构成能够发出蓝色光、绿色光及红色光的一个像素,在电路板101上整齐排列多个像素而提供显示面板。

[0229] 另外,在基板41上可以形成有多多个发光元件100,这些发光元件100不是逐个地转印到电路板101,而是可以集体转印到电路板101上。图23A、图23B及图23C是用于说明根据本实用新型的一实施例的将发光元件转印到电路板的方法的示意性的剖面图。这里,将说明形成在基板41上的发光元件100集体转印到电路板101的方法。

[0230] 参照图23A,如图20A、20B及图20C所述,若在基板41上完成发光元件100的制造工艺,则在基板41上多个发光元件100借由分离槽分离并被排设。

[0231] 另外,提供在上表面具有垫的电路板101。垫以对应于用于显示的像素的整齐排列位置的方式排列于电路板101上。通常,整齐排列在基板41上的发光元件100的间距比电路板101内的像素的间距更密集。

[0232] 参照图23B,发光元件100的凸起垫接合于电路板101上的垫。凸起垫与垫可以利用焊料接合或者铟(In)接合来接合。另外,由于位于像素区域之间的发光元件100不具有将要接合的垫,因此维持与电路板101隔开的状态。

[0233] 随后,对基板41上照射激光。激光选择性地照射到接合到垫的发光元件100。为此,可以在基板41上形成具有选择性地暴露发光元件100的开口部的掩模。

[0234] 此后,将用激光照射的发光元件100与基板41分离,从而发光元件100转印到电路

基板101。据此,如图23C所示,提供在电路板101上整齐排列有发光元件100的显示面板。显示面板可以贴装到参考图1说明的多样的显示装置中。

[0235] 图24是用于说明根据又一实施例的发光元件转印方法的示意性的剖面图。

[0236] 参照图24,根据本实施例的发光元件转印方法的不同之处在于,利用各向异性导电性粘附膜或各向异性导电性粘附膏而将发光元件接合于垫。即,在垫上提供各向异性导电性粘附膜或粘附膏121,并且发光元件100可以通过各向异性导电性粘附膜或粘附膏121粘附于垫。发光元件100借由各向异性导电性粘附膜或粘附膏121内的导电物质而电连接于垫。

[0237] 在本实施例中,凸起垫73a、73b、73c、73d可以被省略,上部连接器67a、67b、67c、67d可以通过导电物质电连接于垫。

[0238] 以上,已对本实用新型的多样的实施例进行了说明,但是本实用新型并不局限于这些实施例。并且,在不脱离本实用新型的技术思想的范围内,对一个实施例说明的事项或构成要素也可以应用于其他实施例。

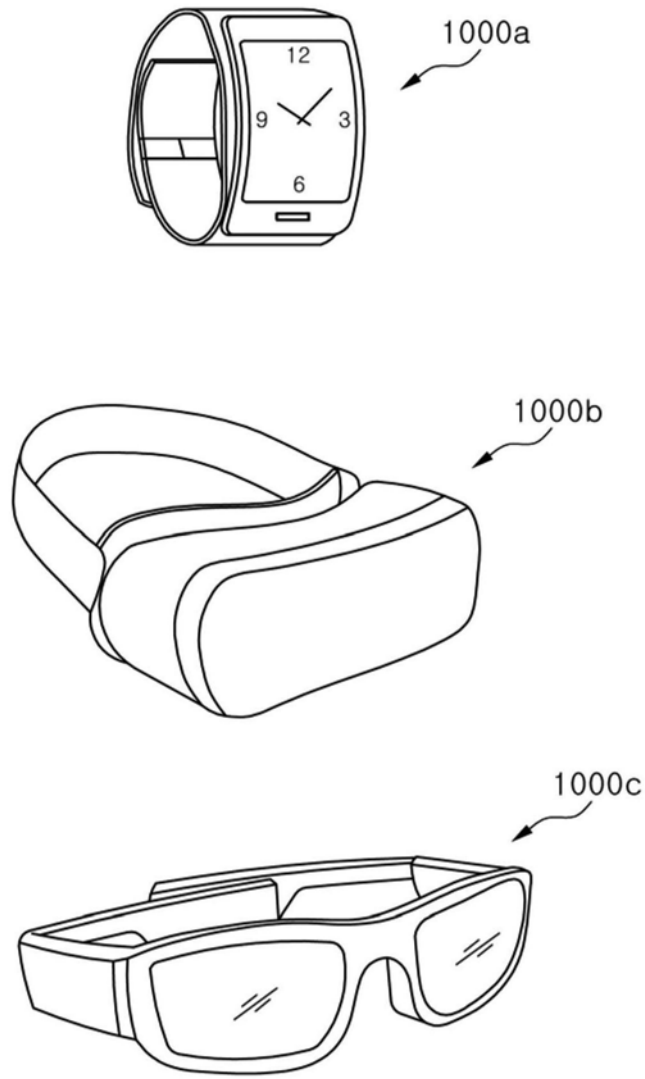


图1

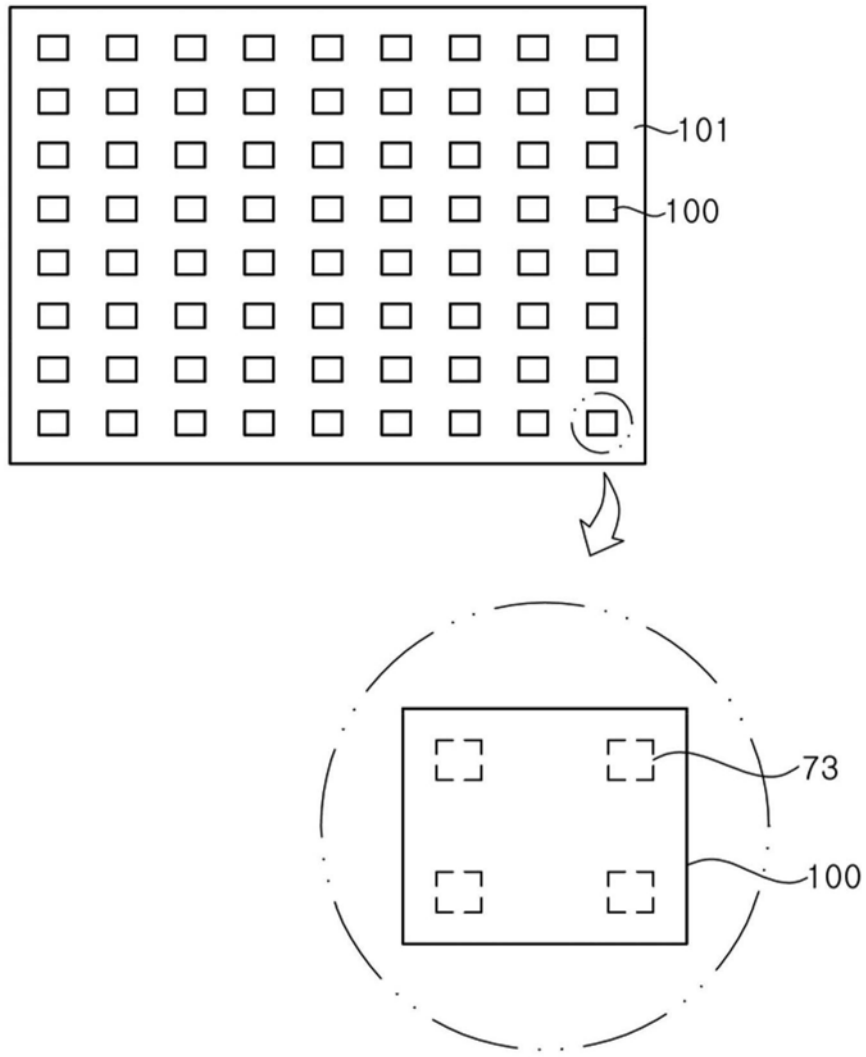


图2

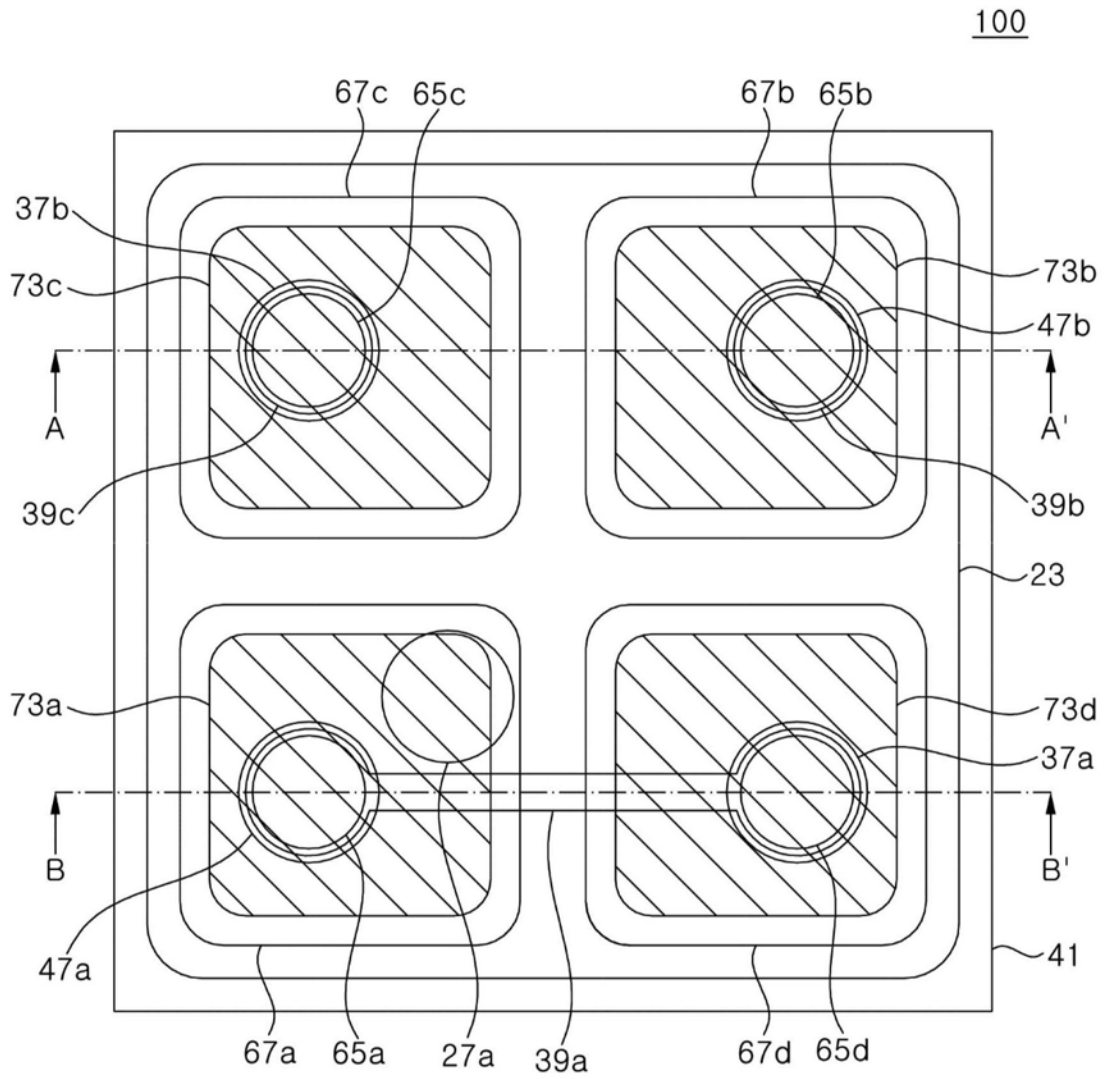


图3

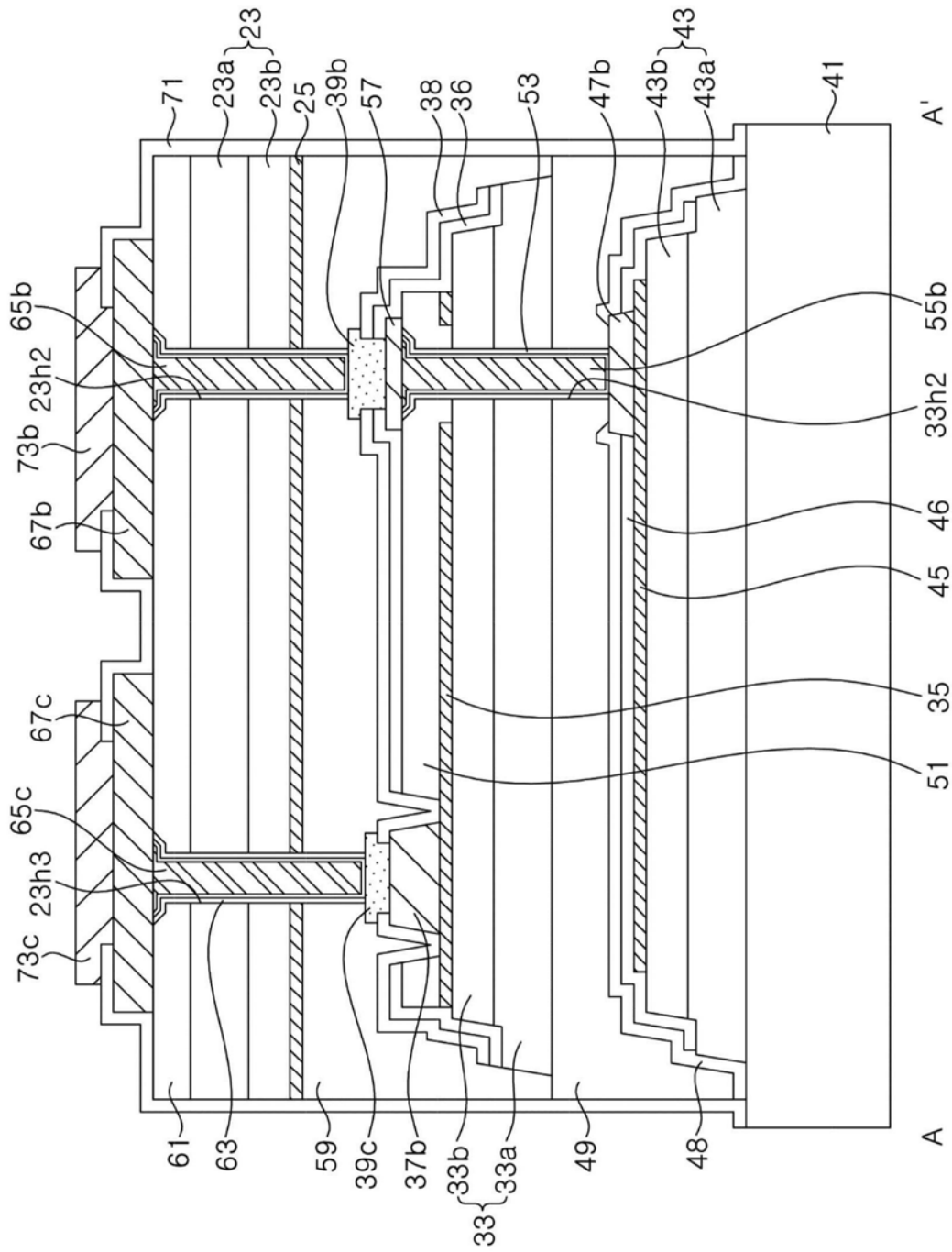


图4A

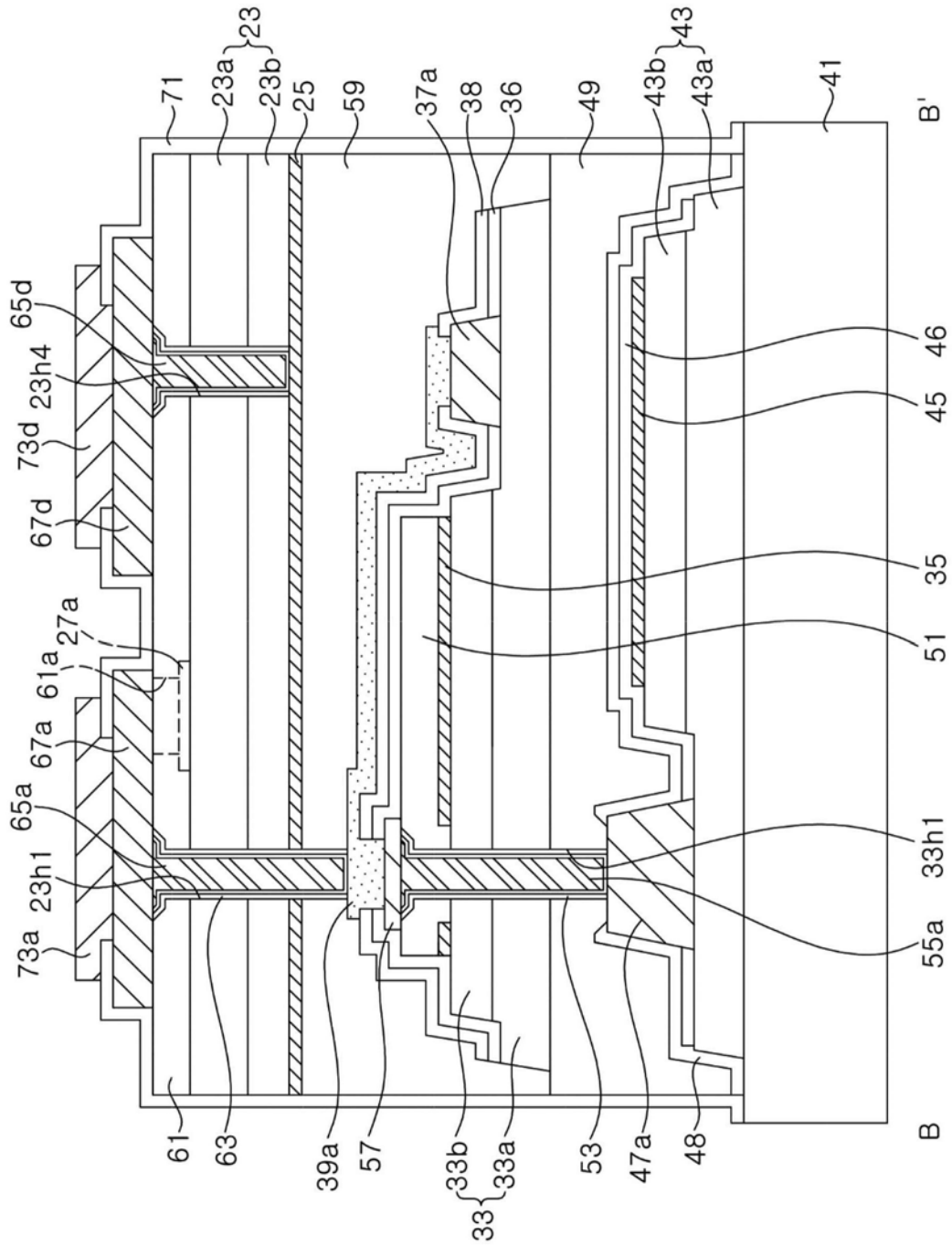


图4B

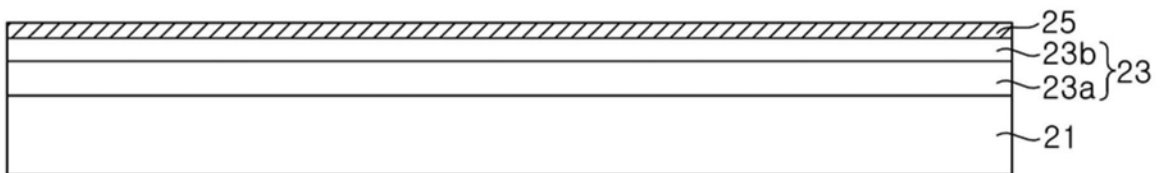


图5A

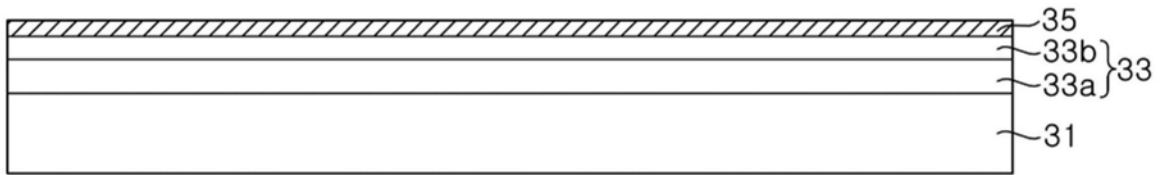


图5B

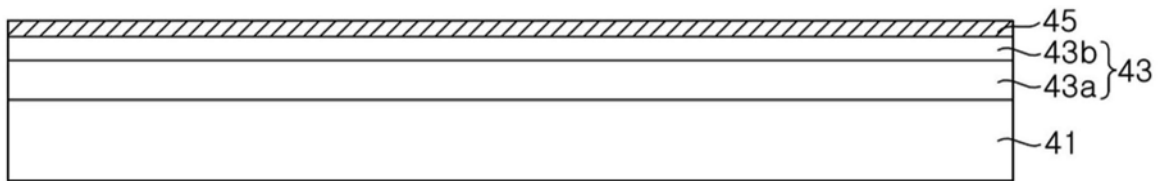


图5C

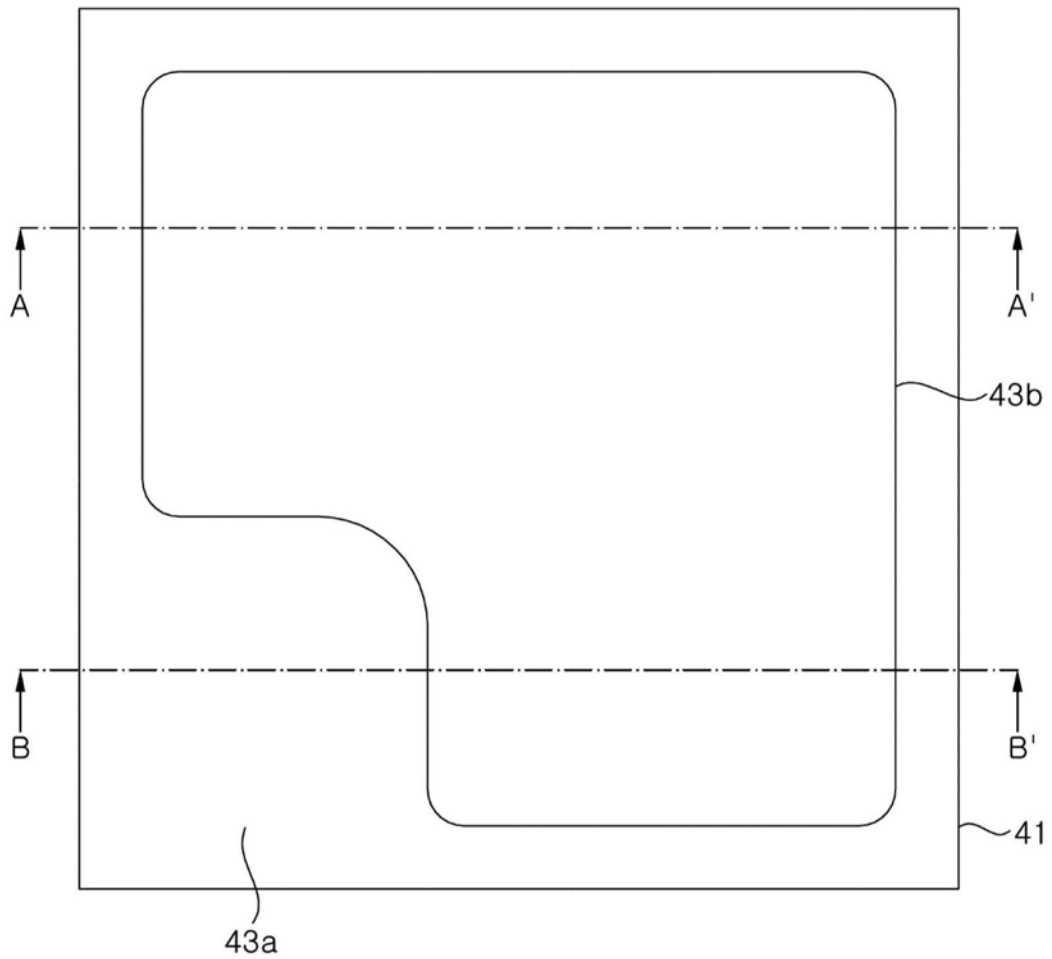


图6A

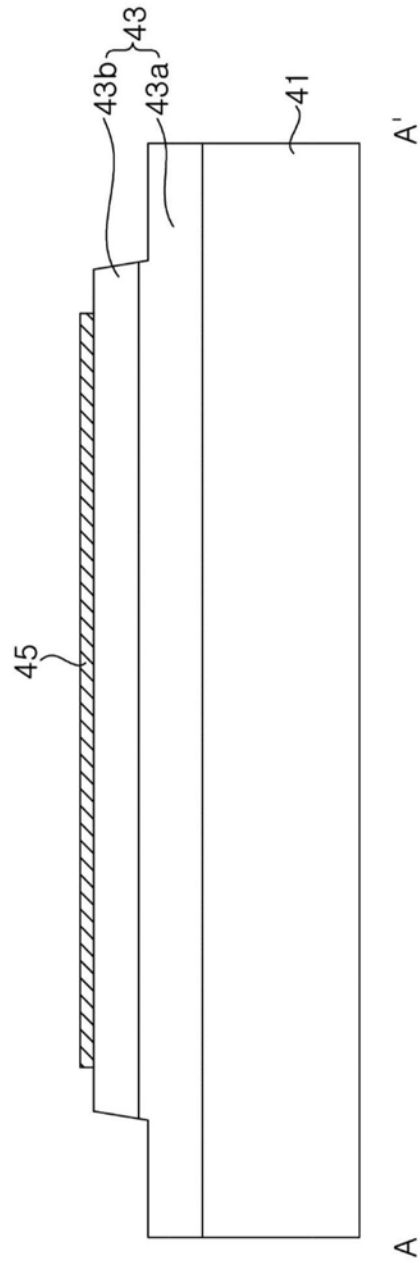


图6B

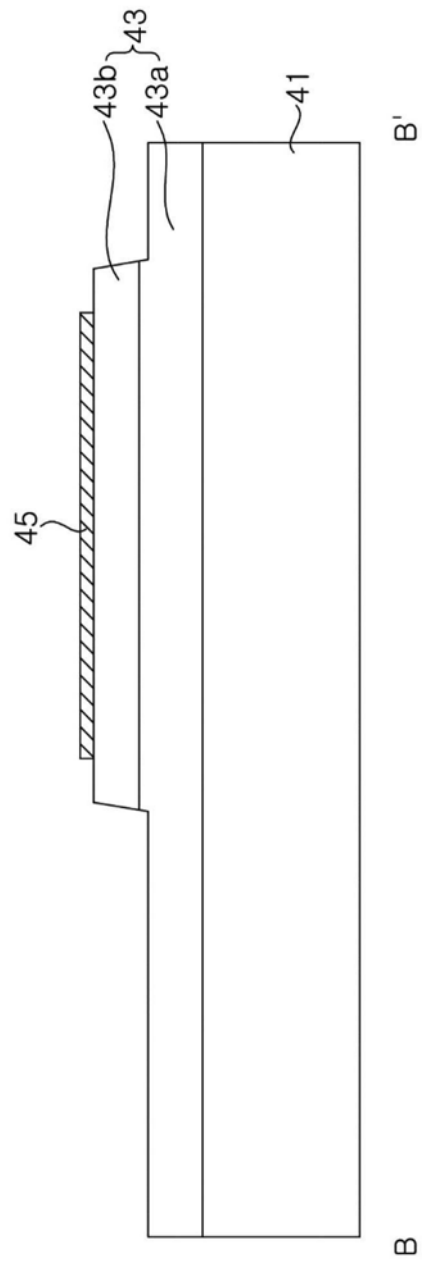


图6C

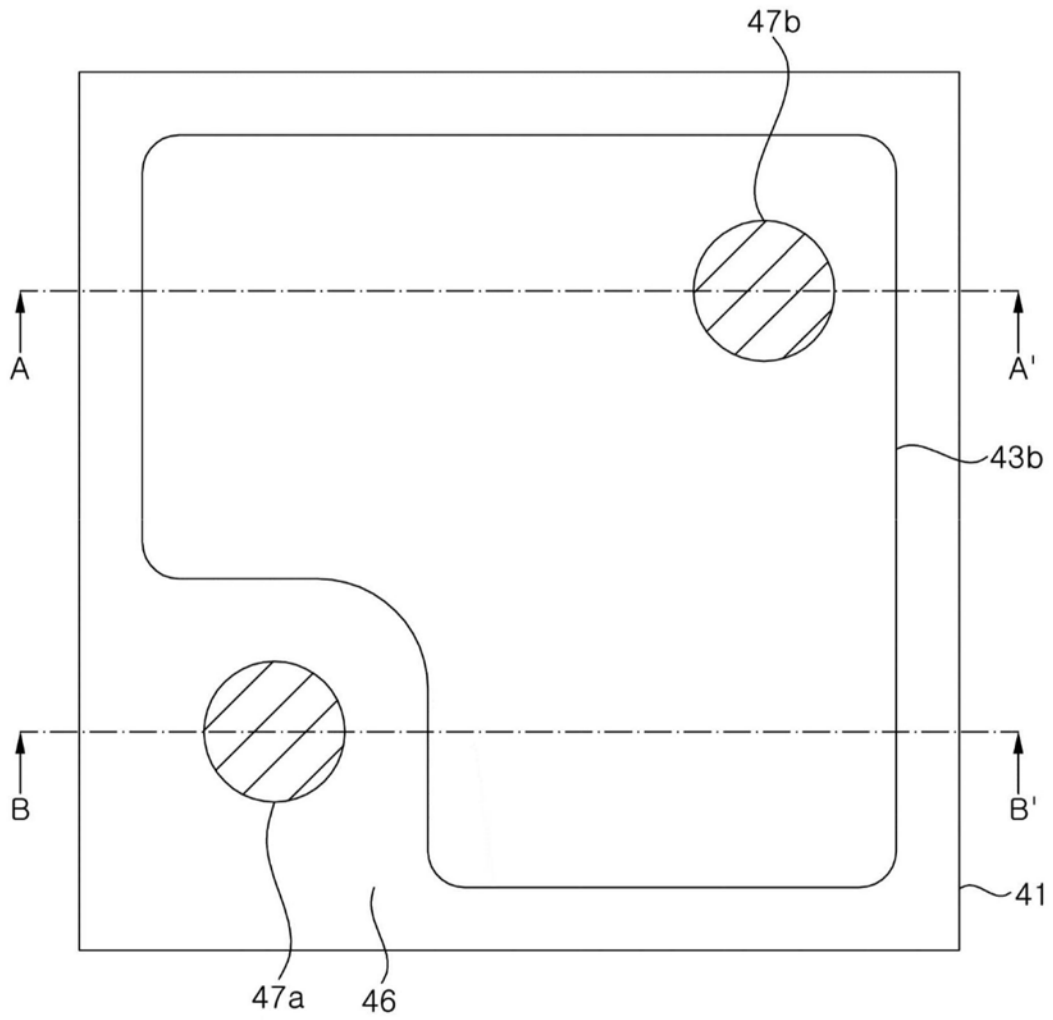


图7A

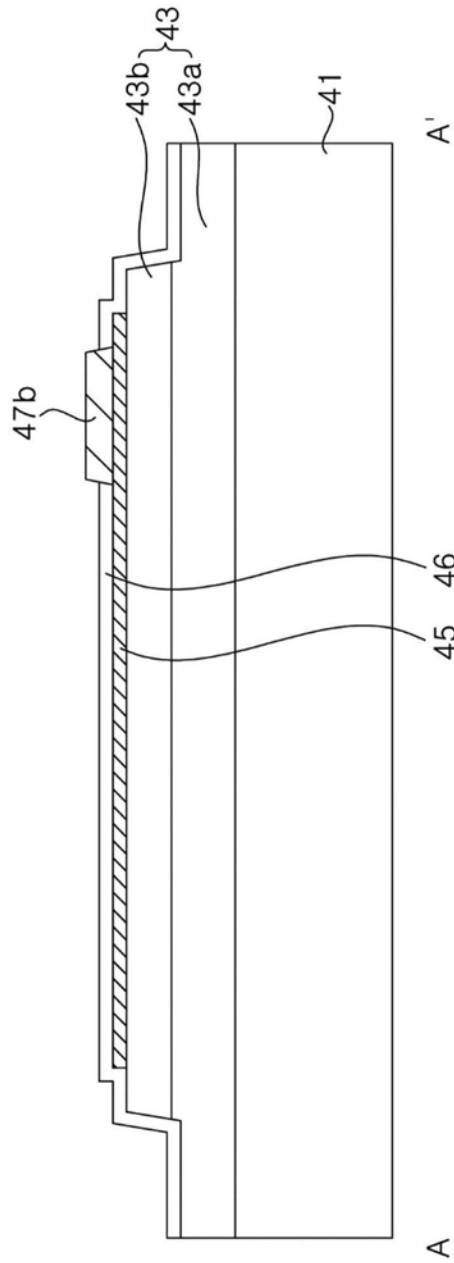


图7B

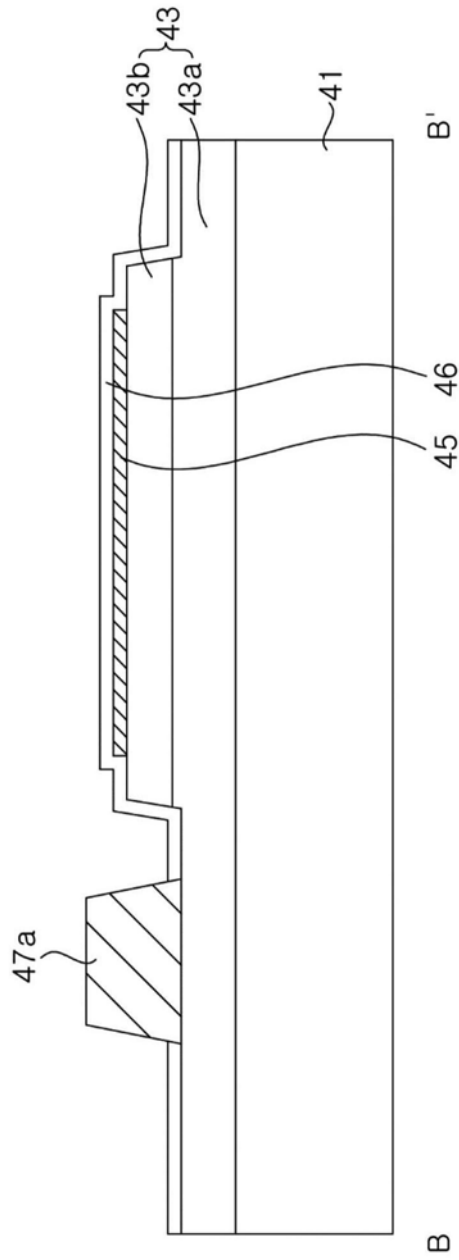


图7C

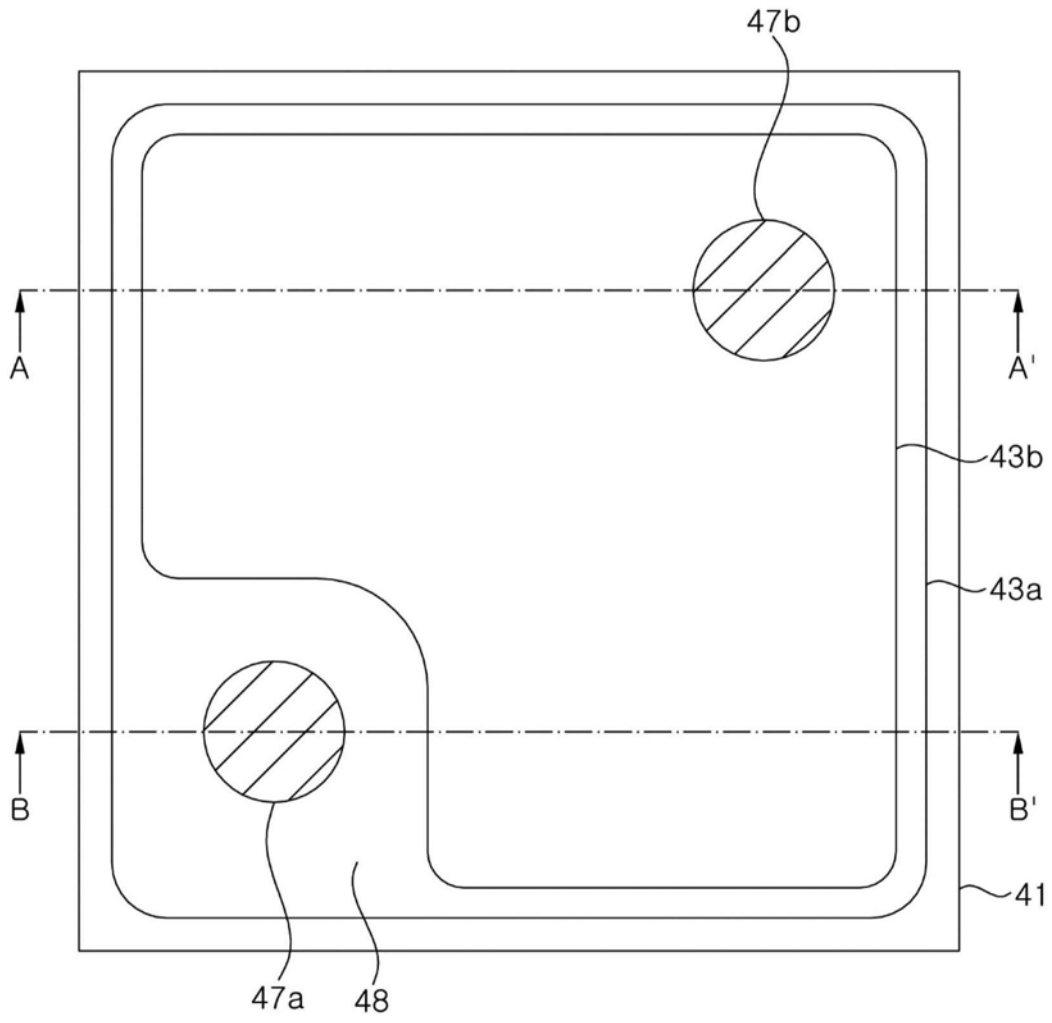


图8A

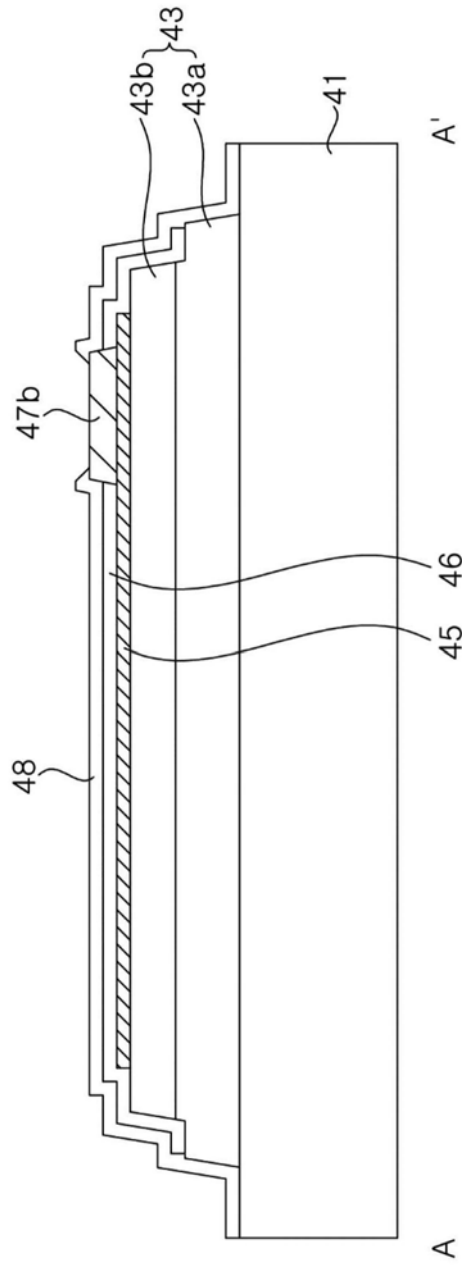


图8B

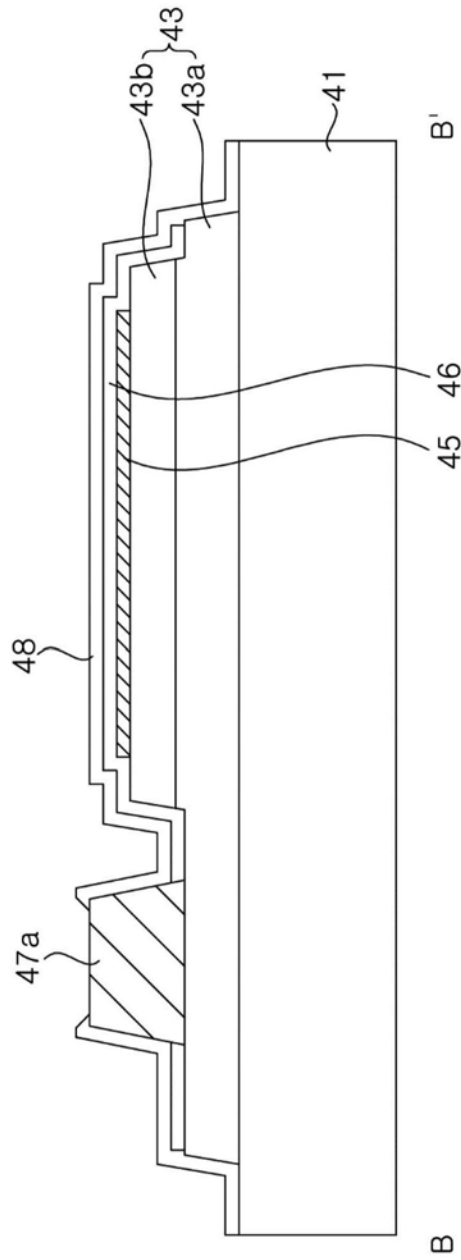


图8C

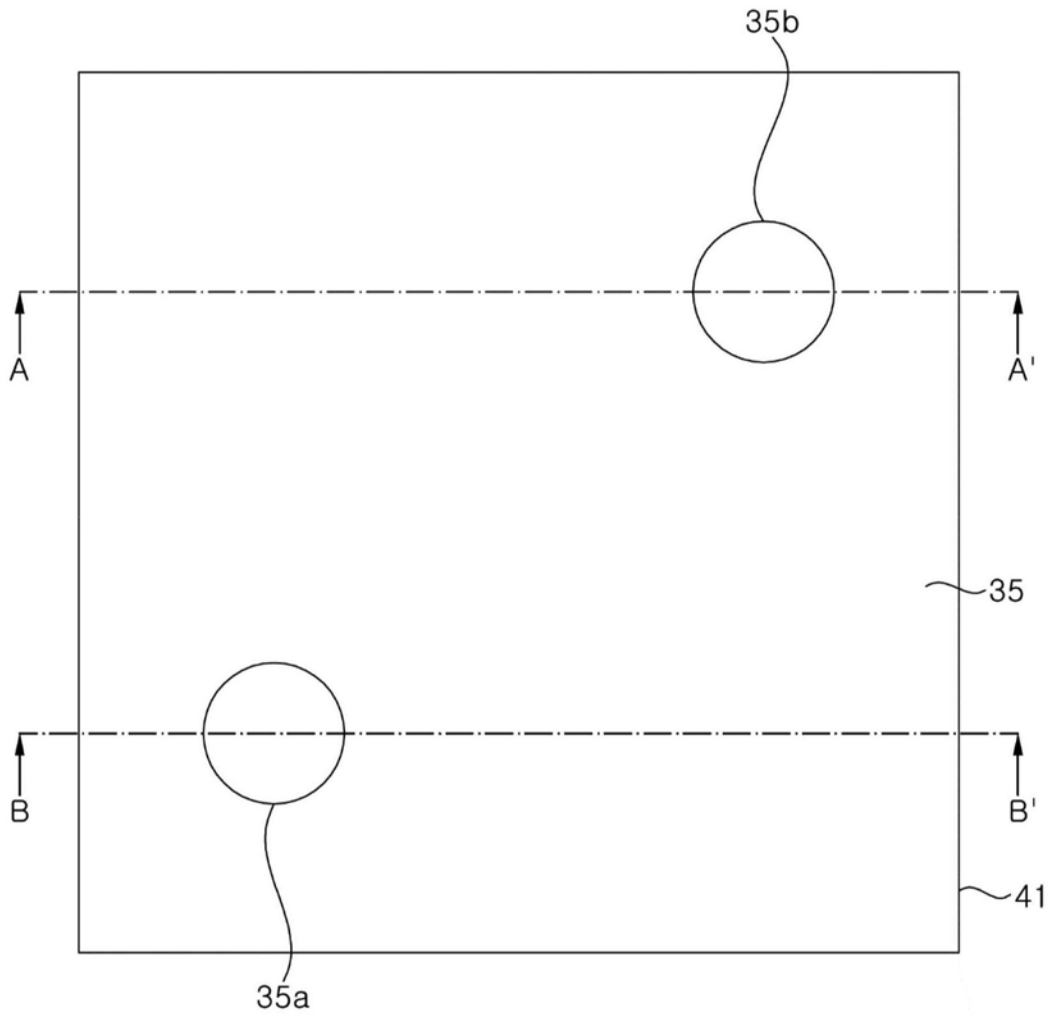


图9A

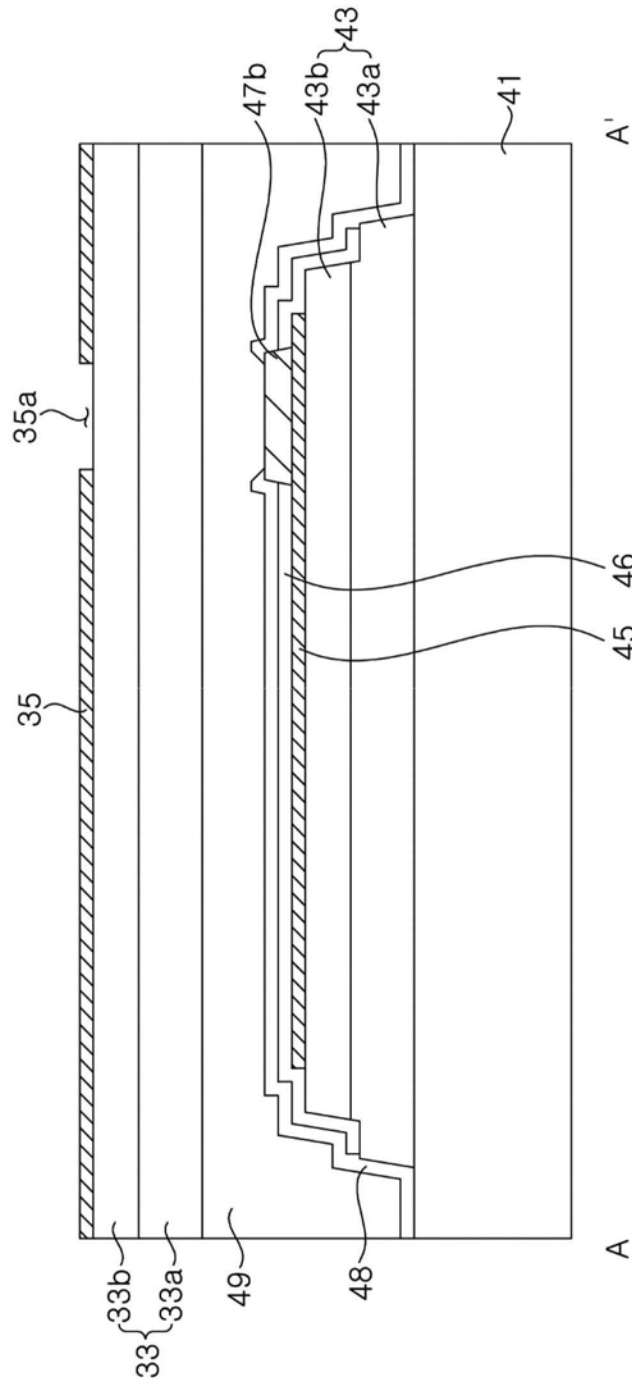


图9B

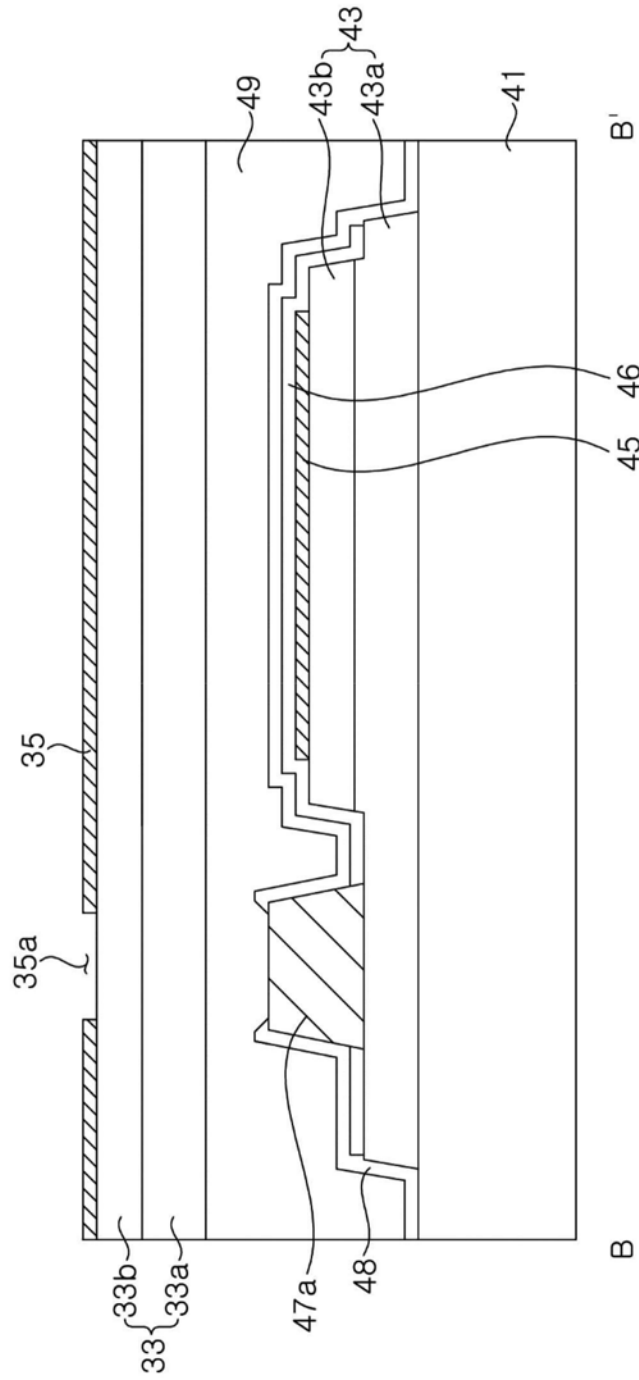


图9C

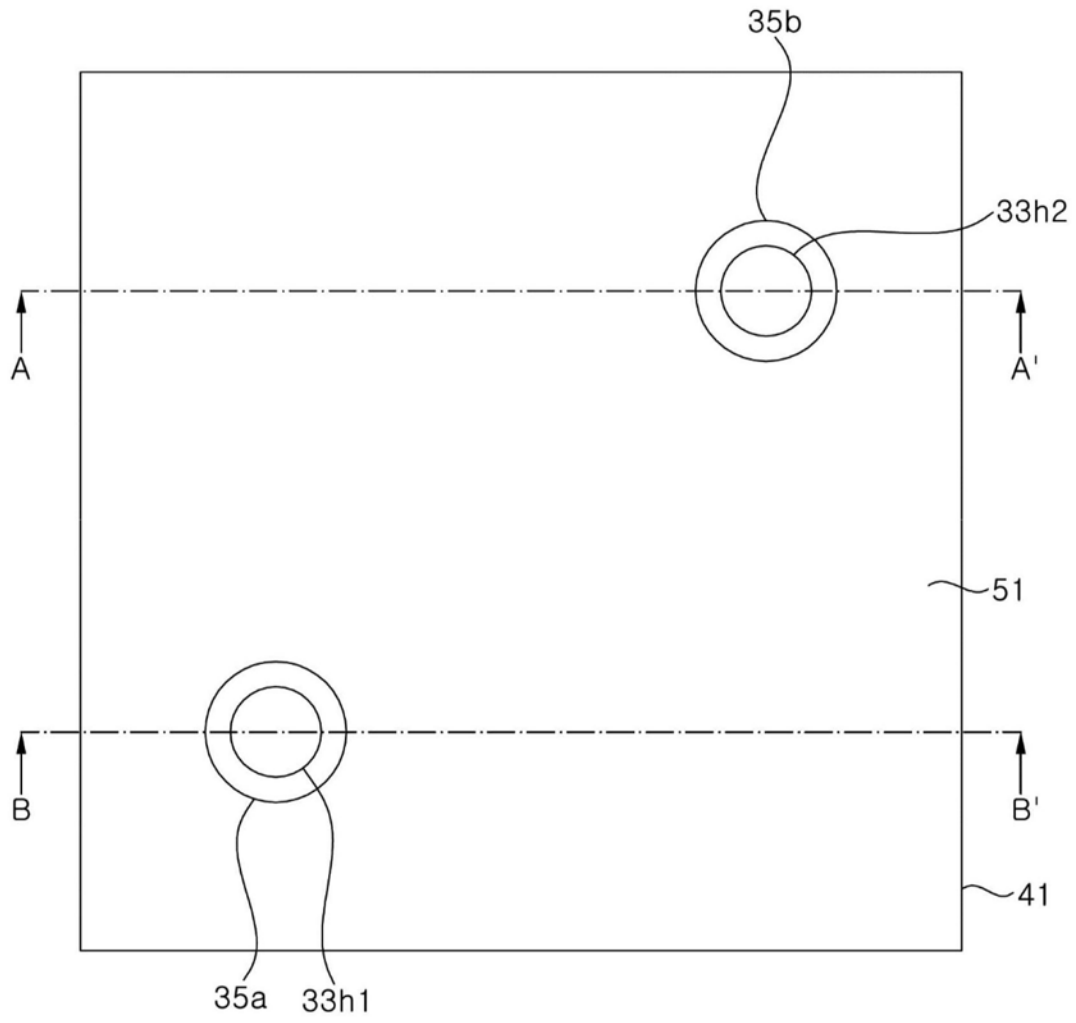


图10A

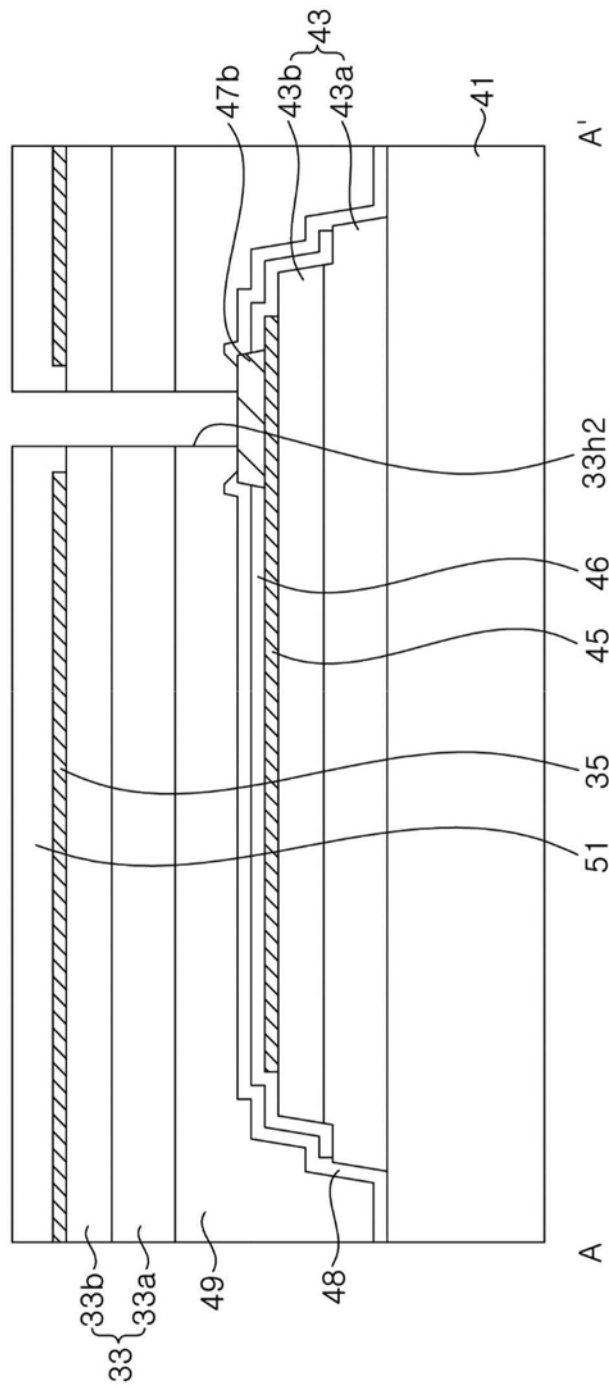


图10B

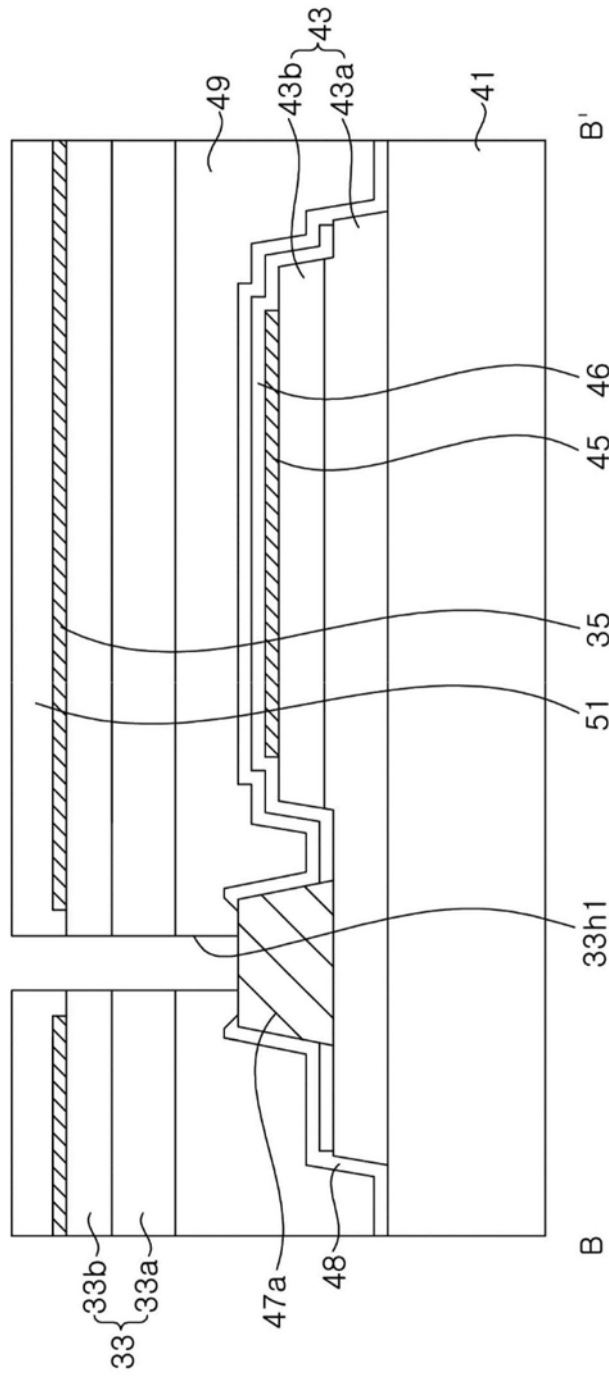


图10C

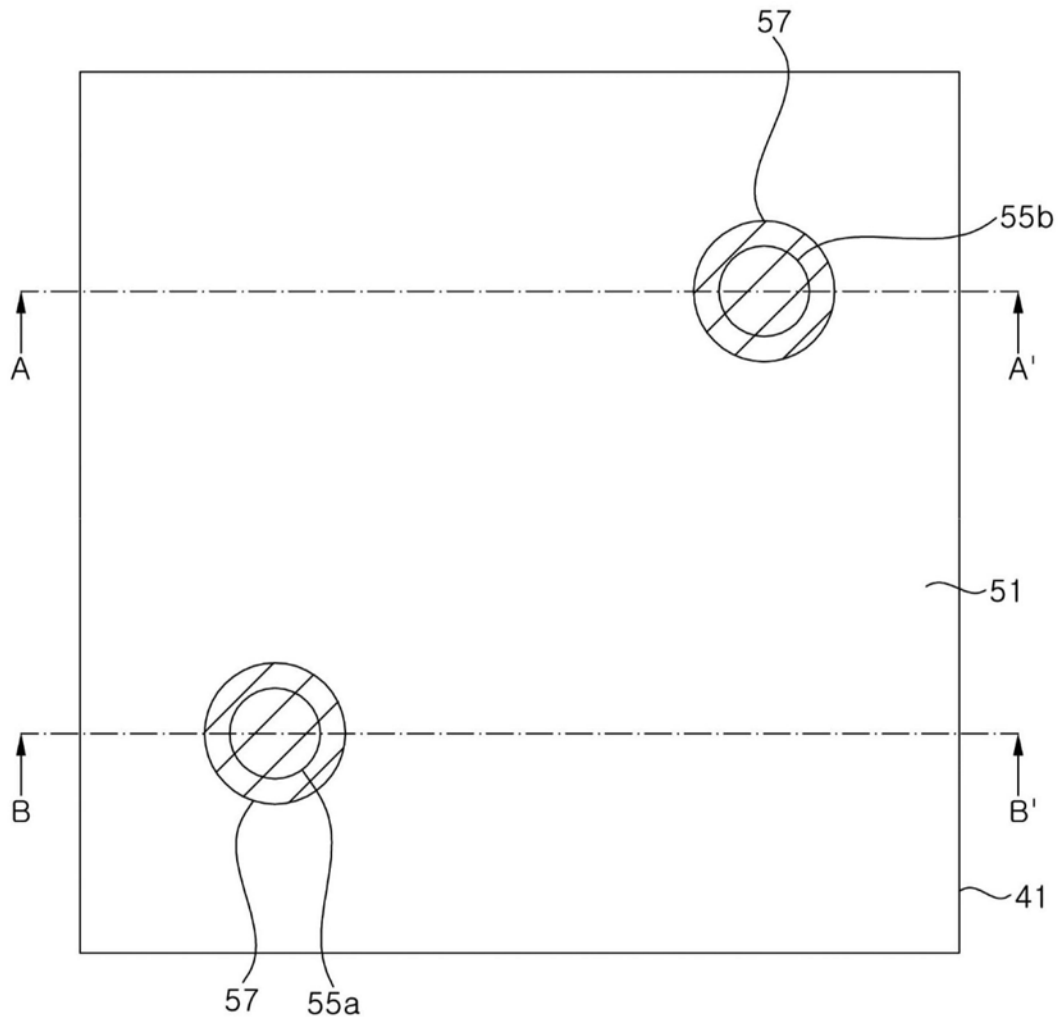


图11A

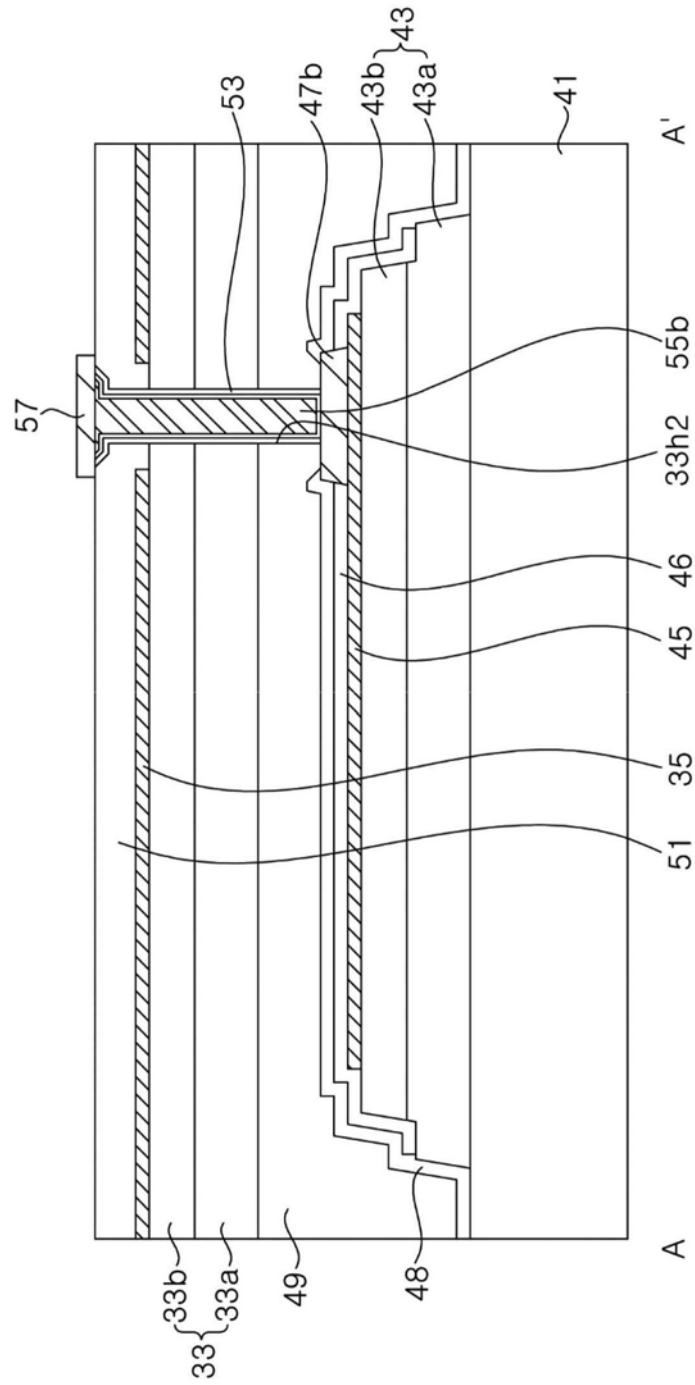


图11B

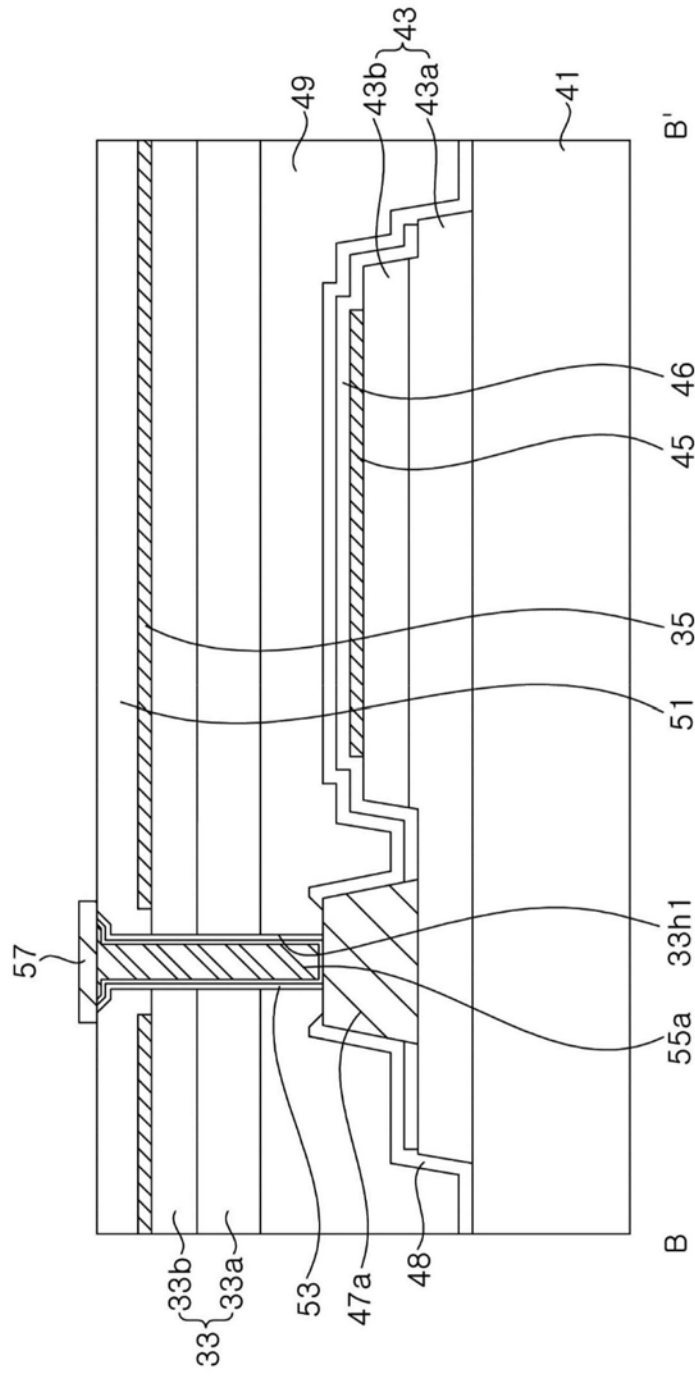


图11C

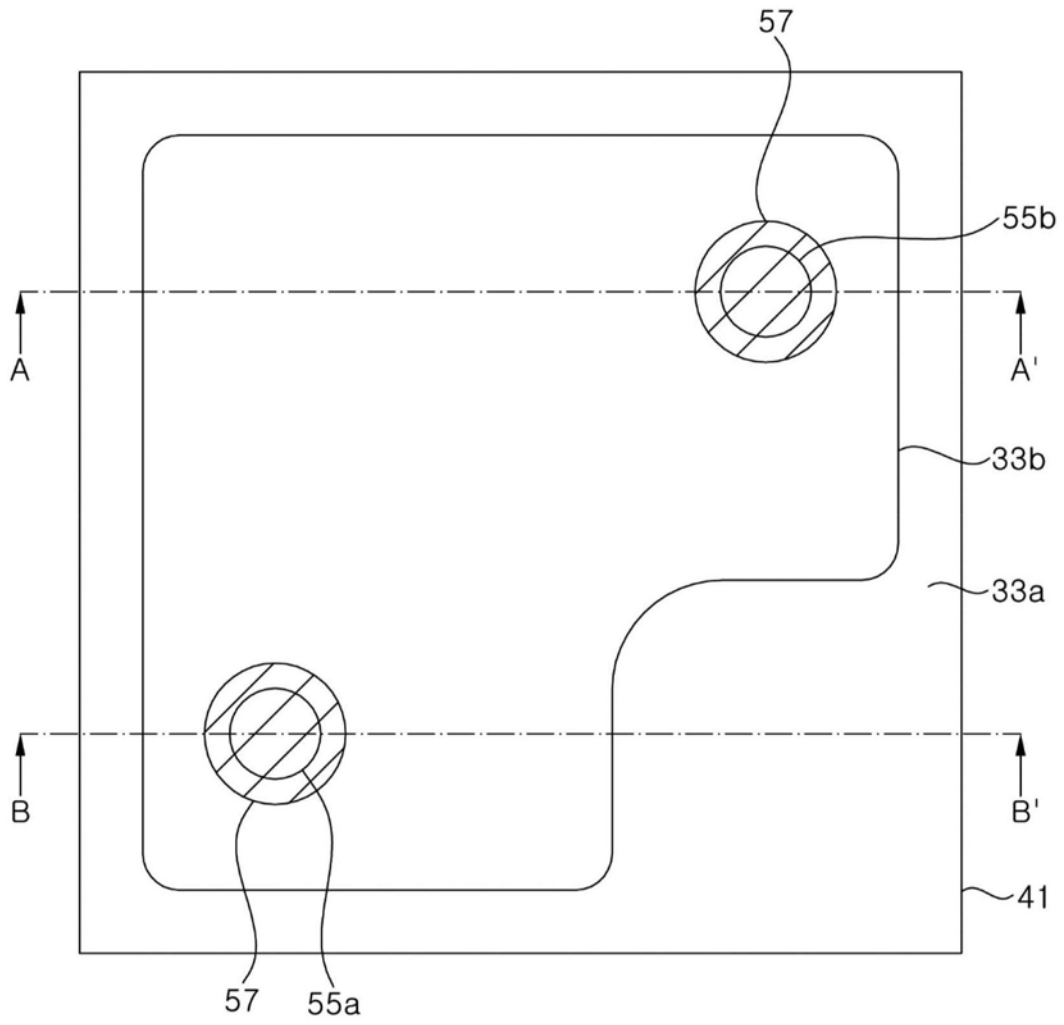


图12A

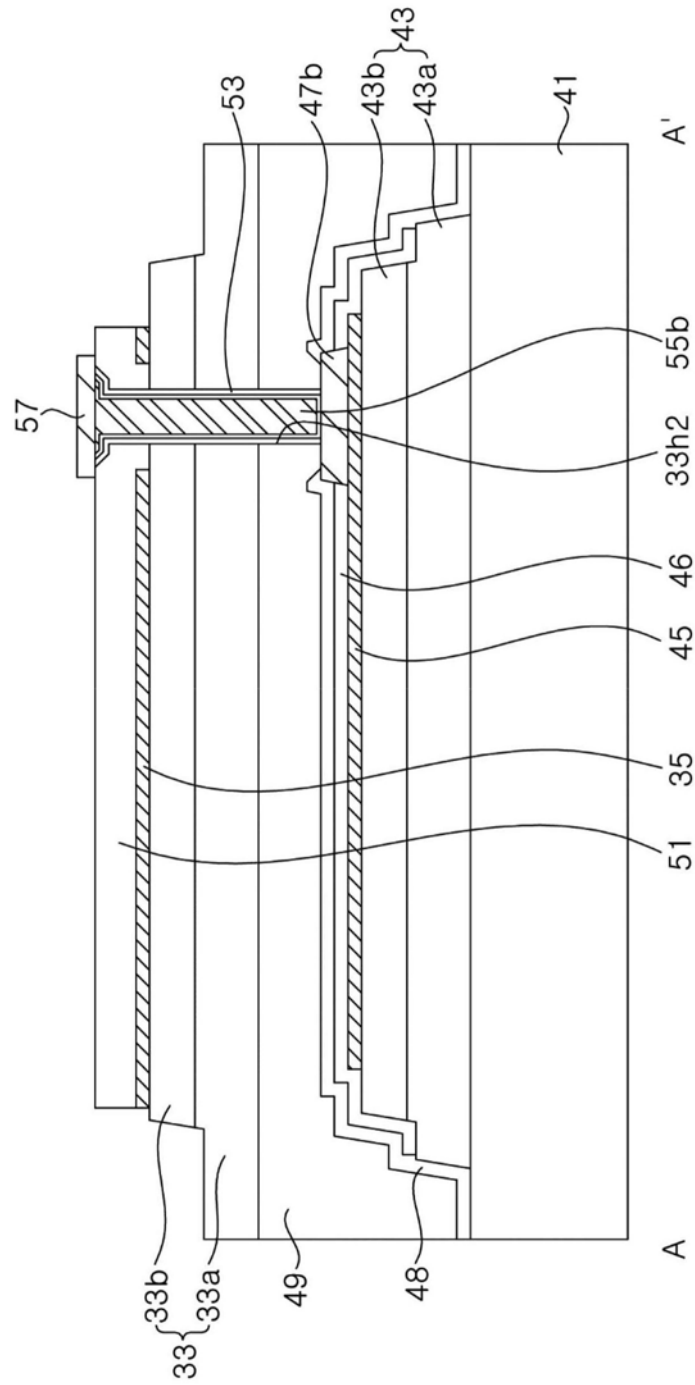


图12B

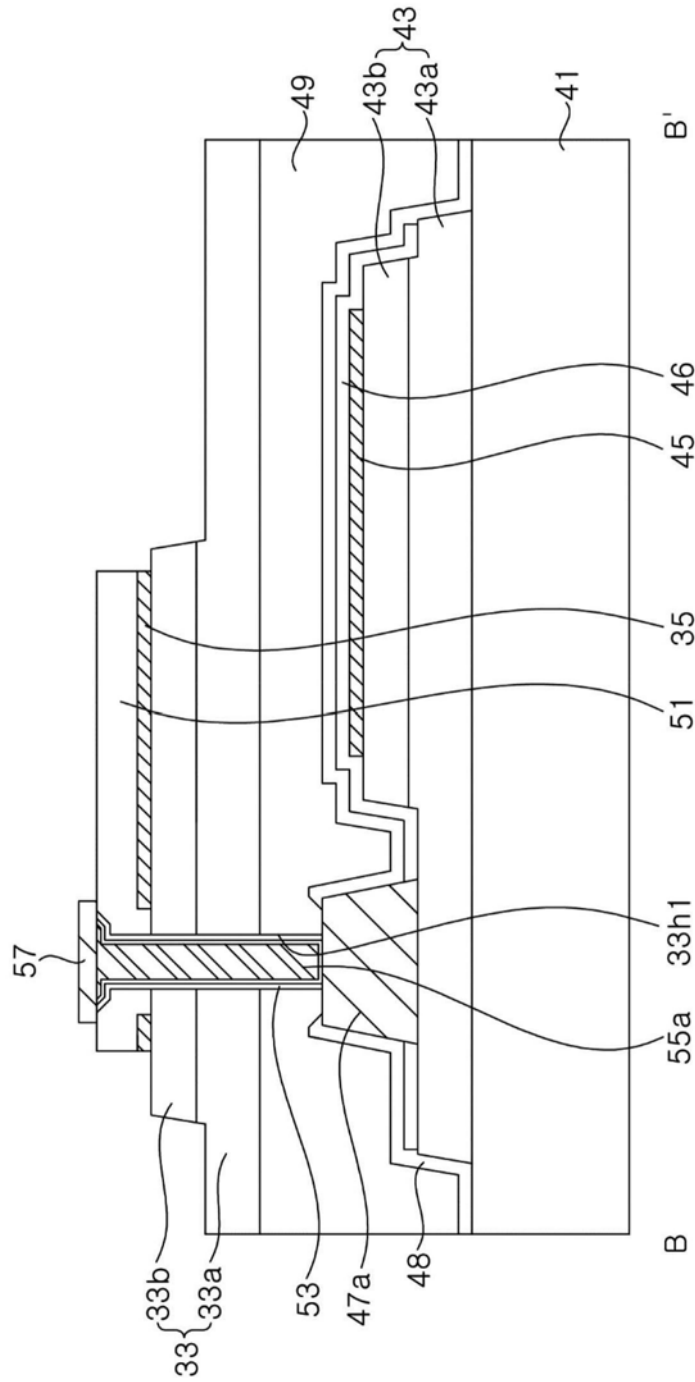


图12C

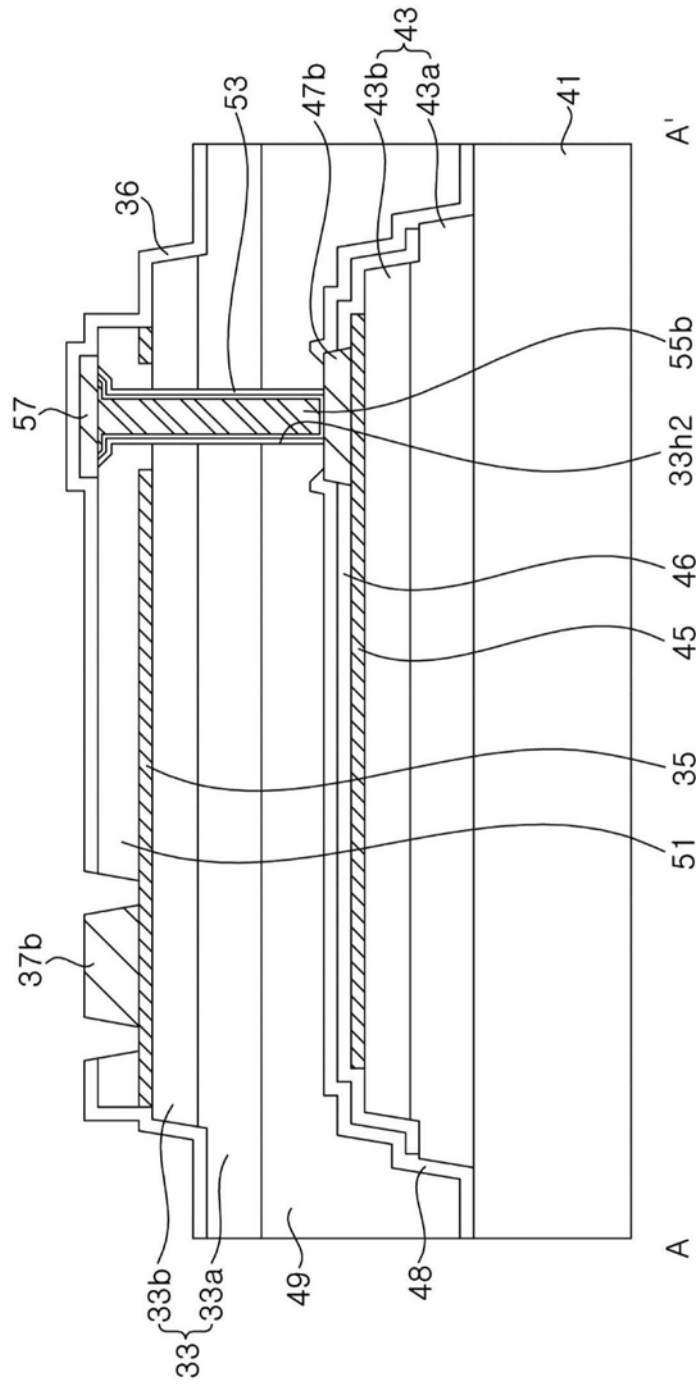


图13B

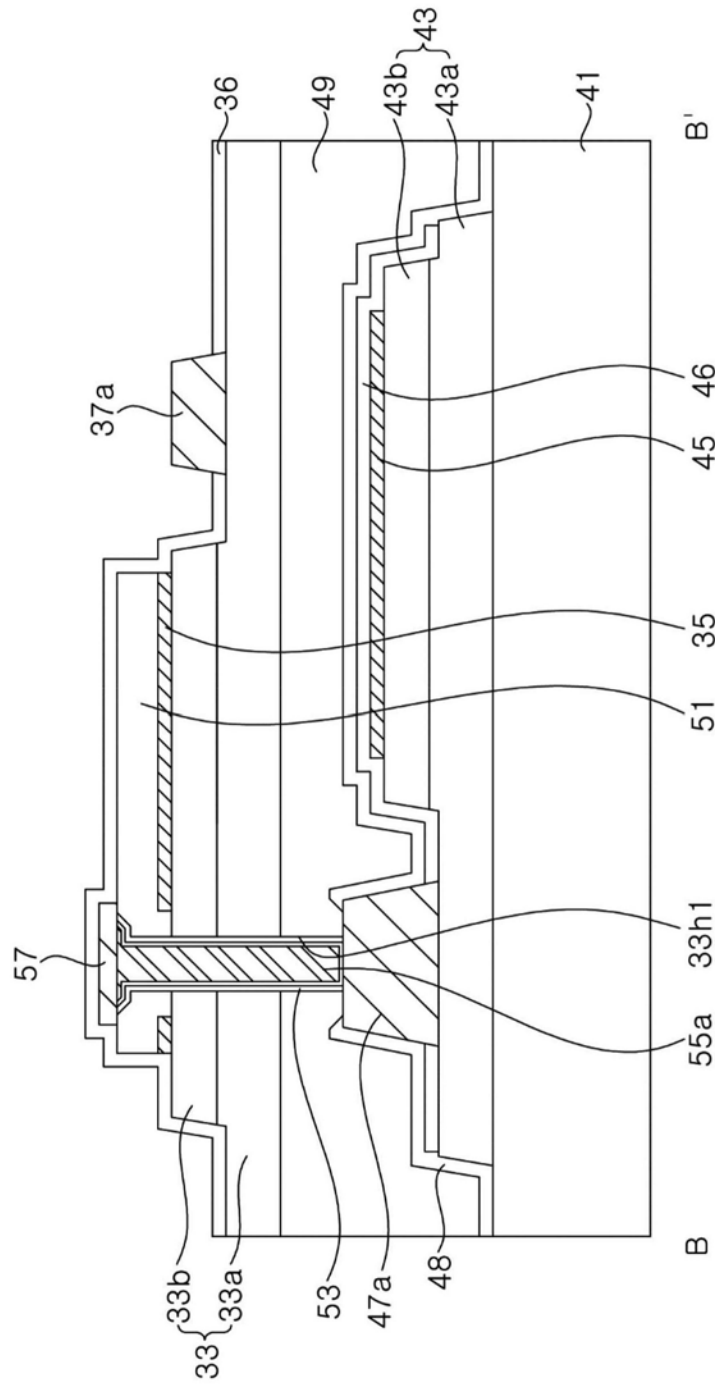


图13C

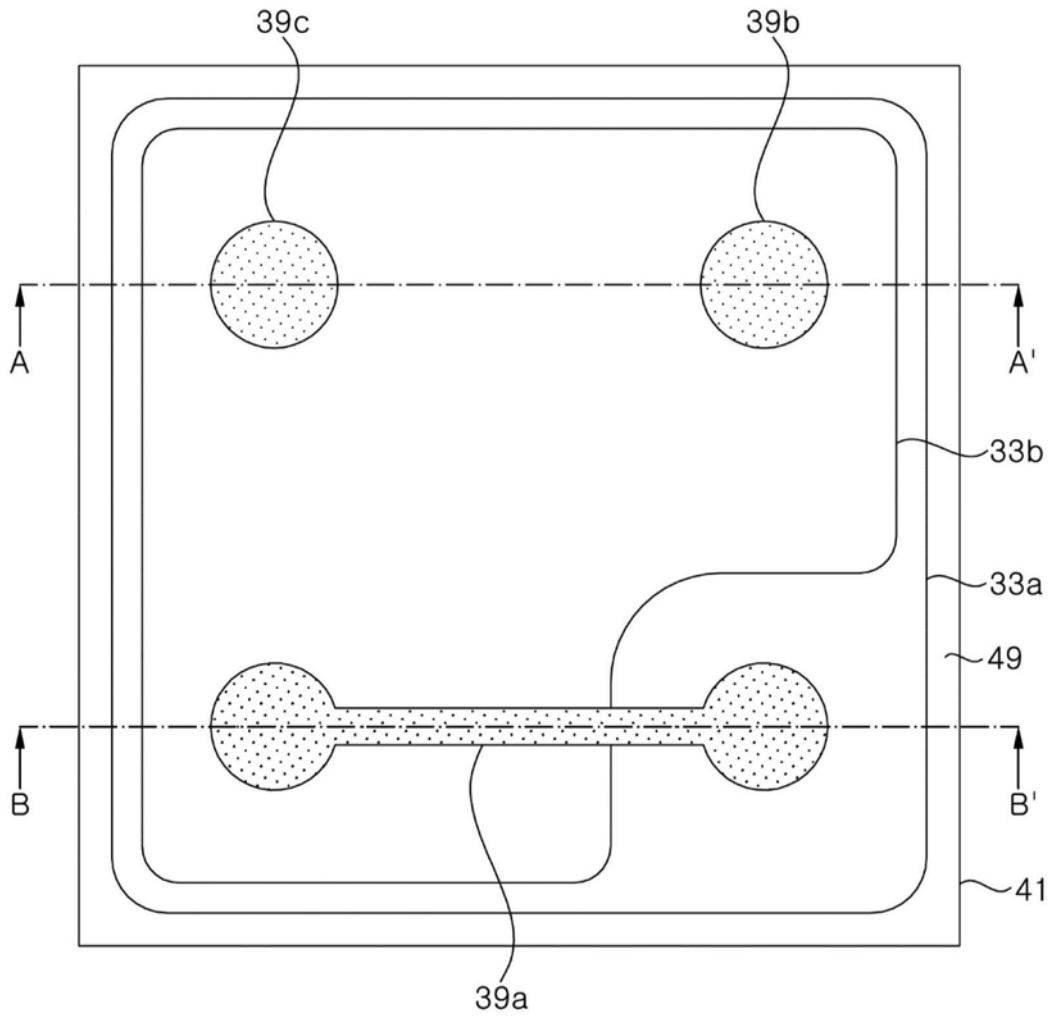


图14A

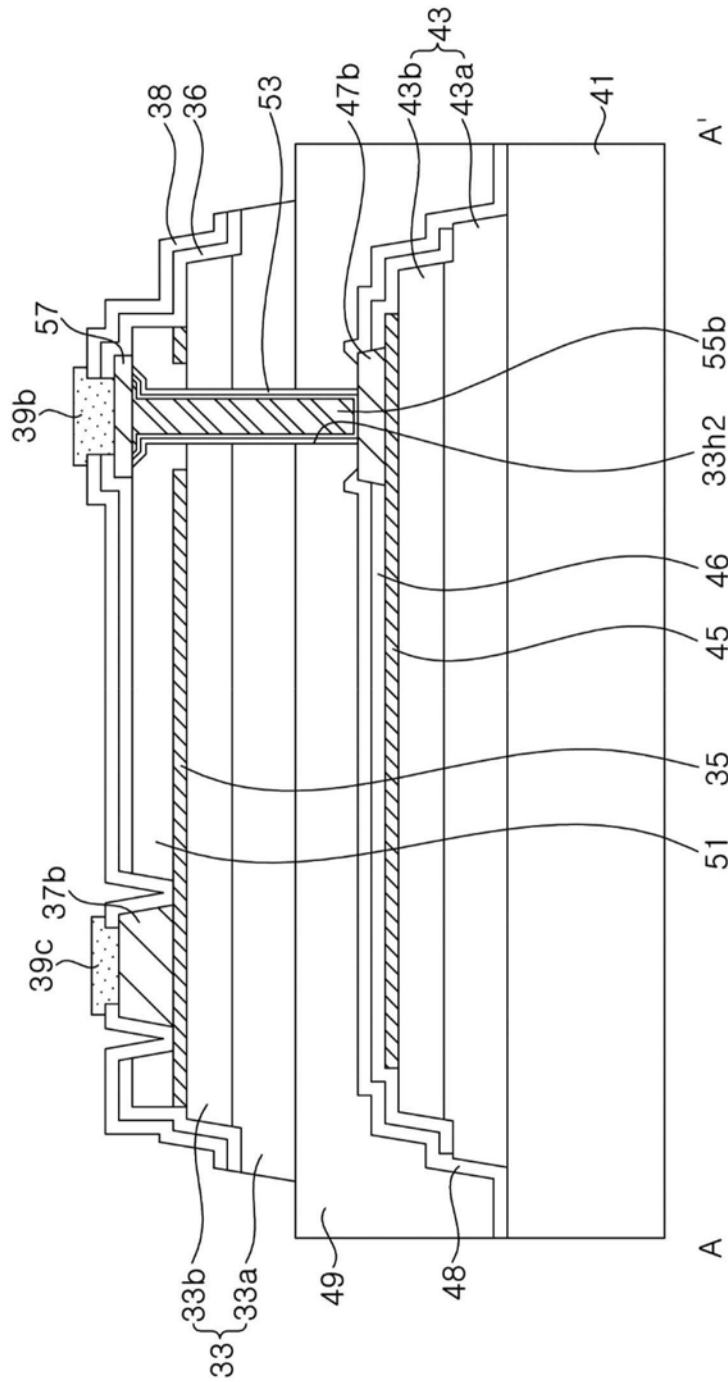


图14B

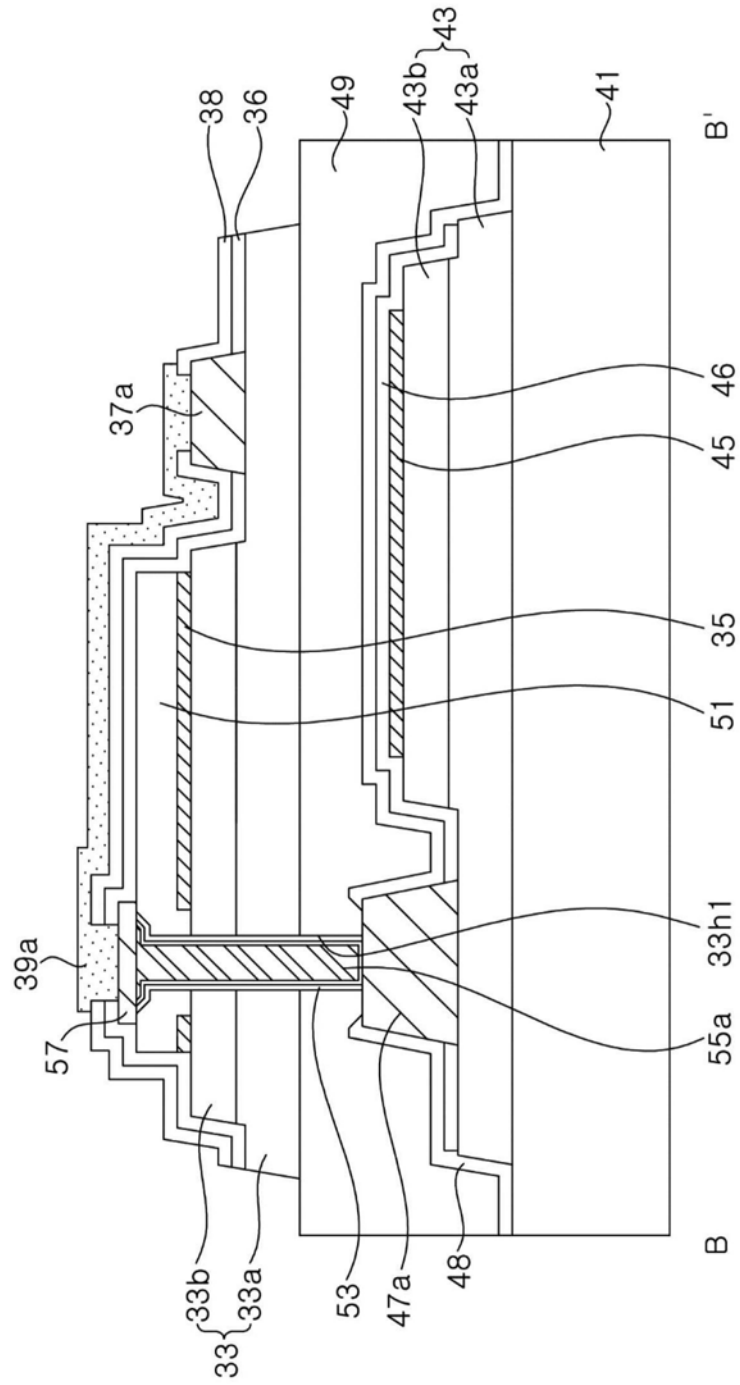


图14C

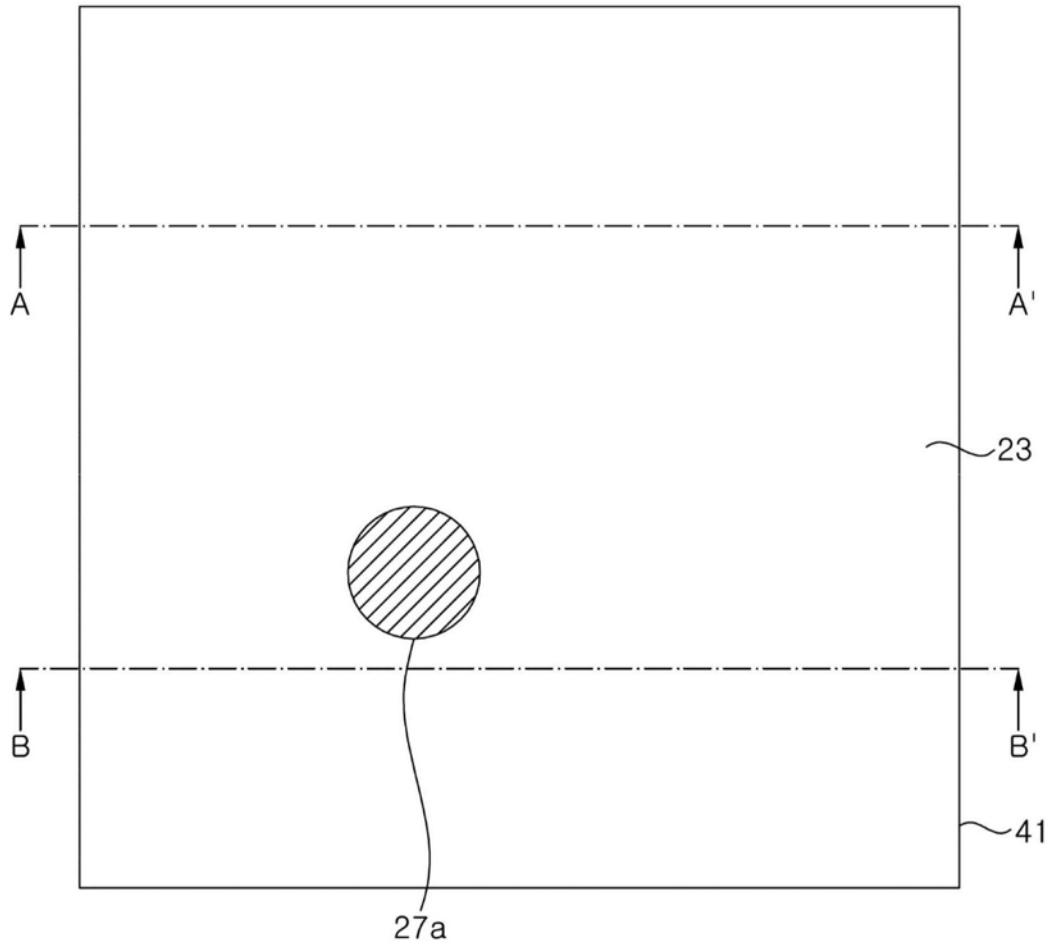


图15A

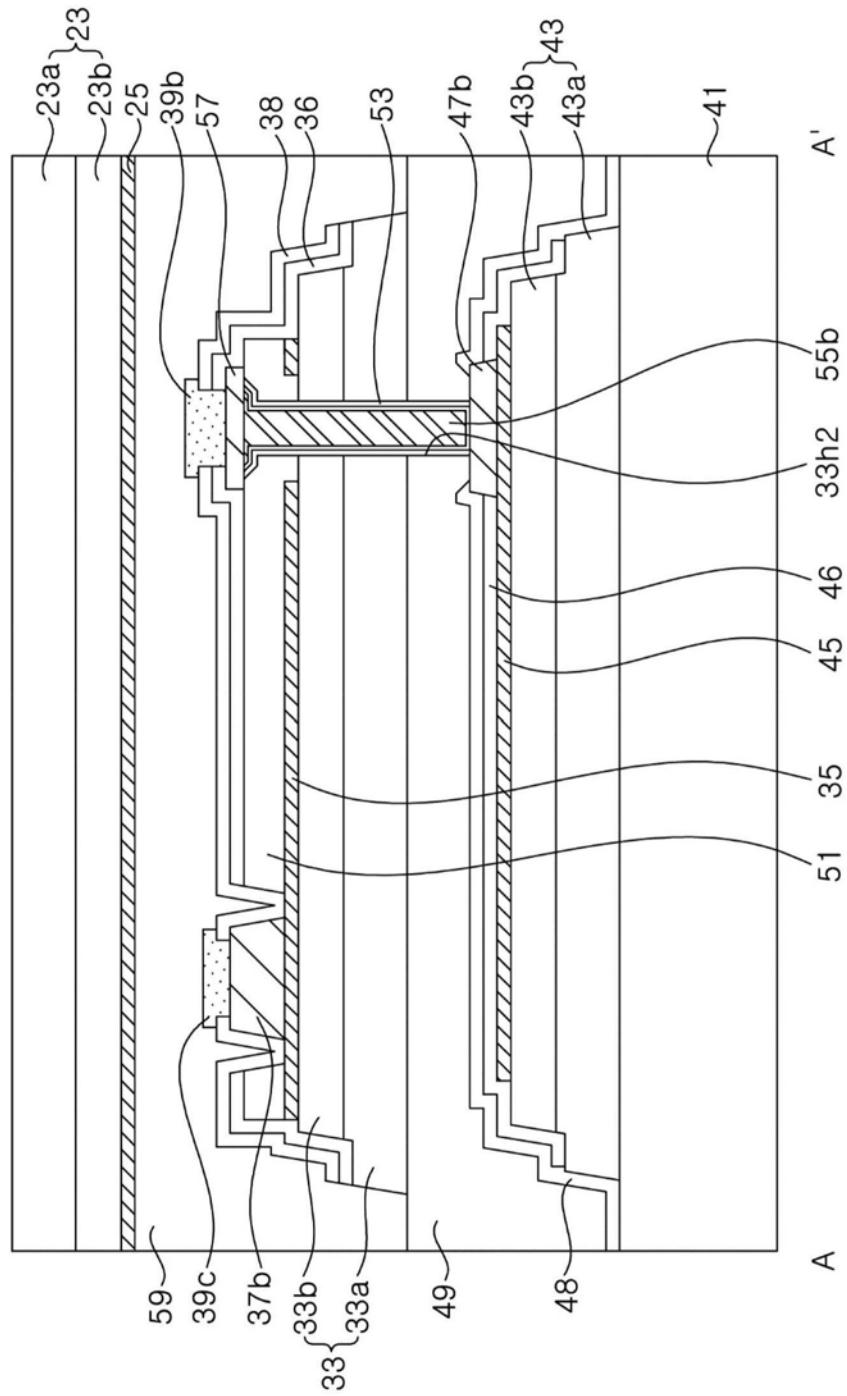


图15B

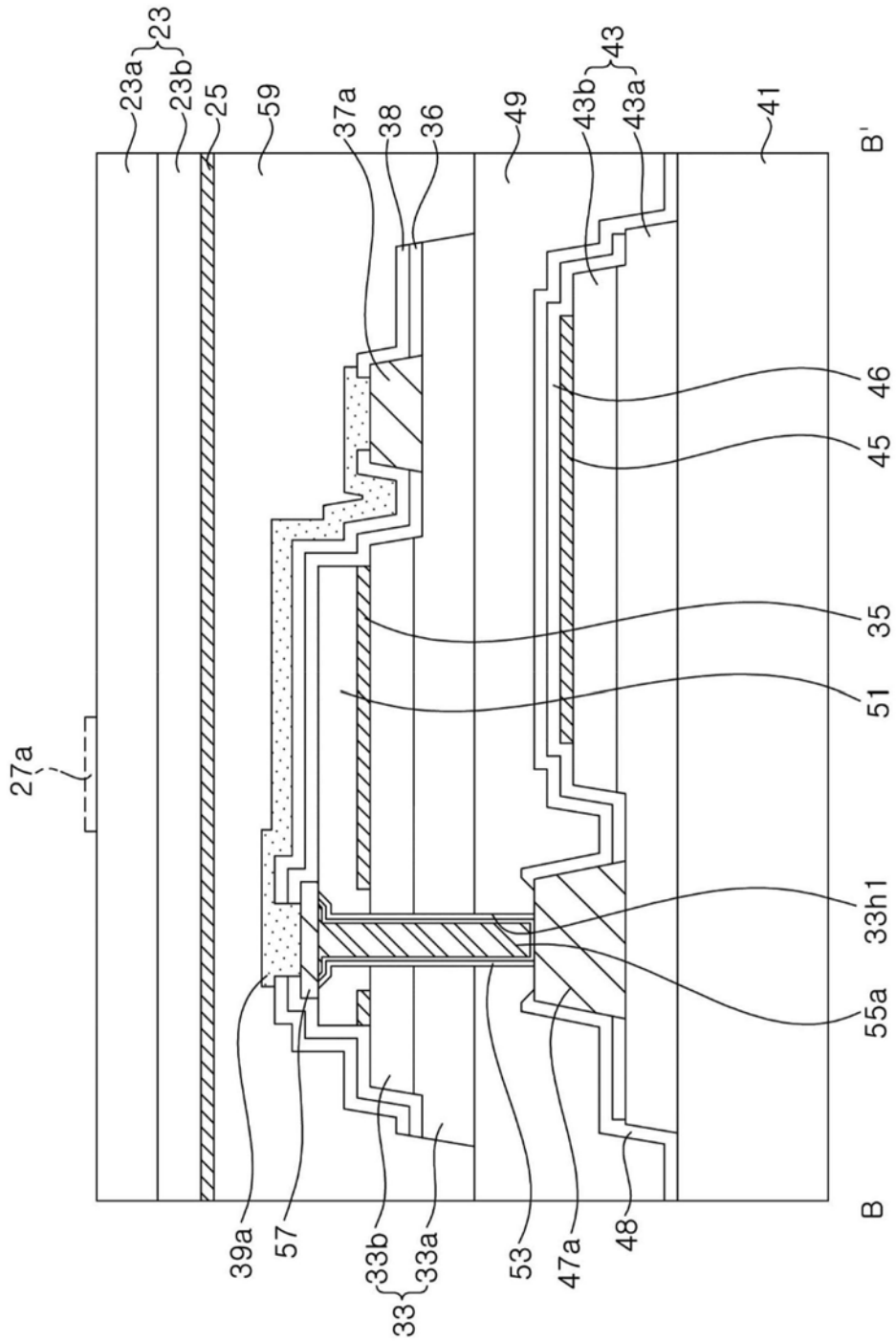


图15C

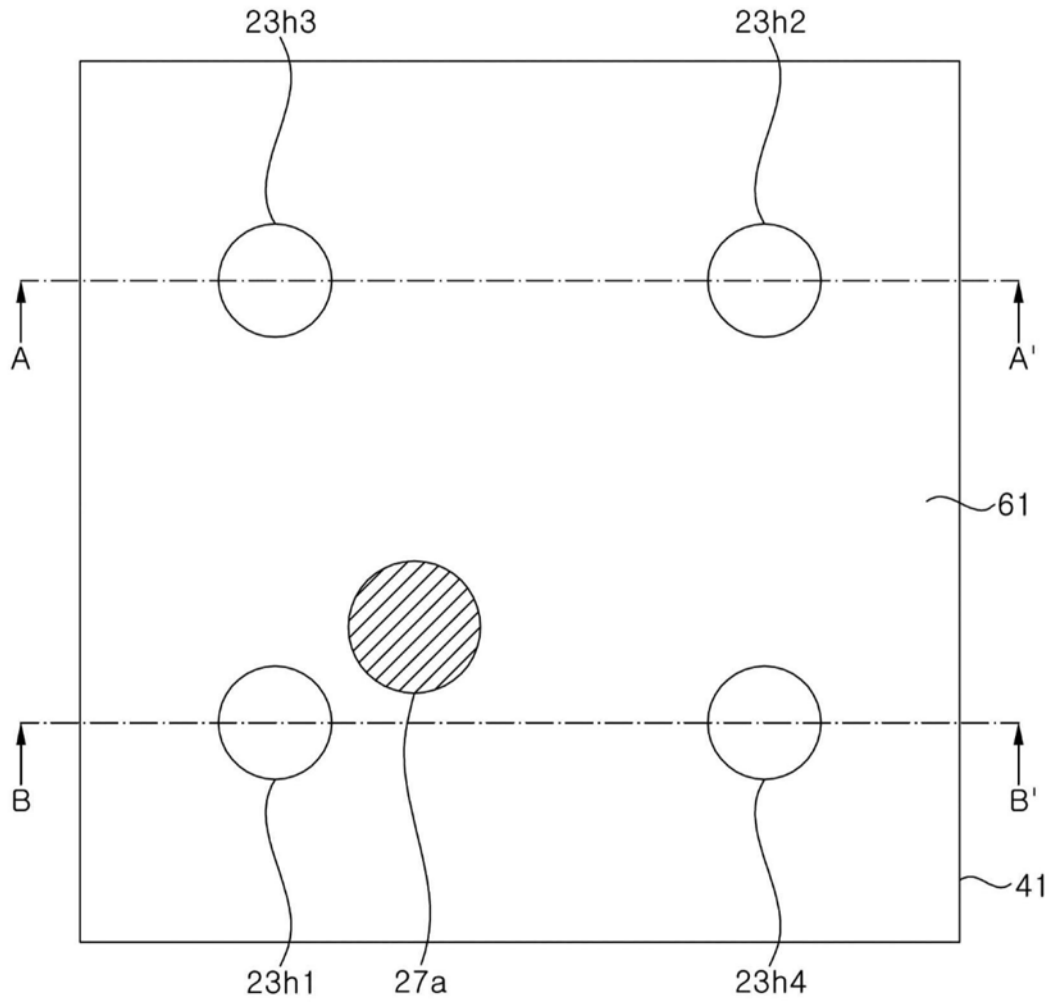


图16A

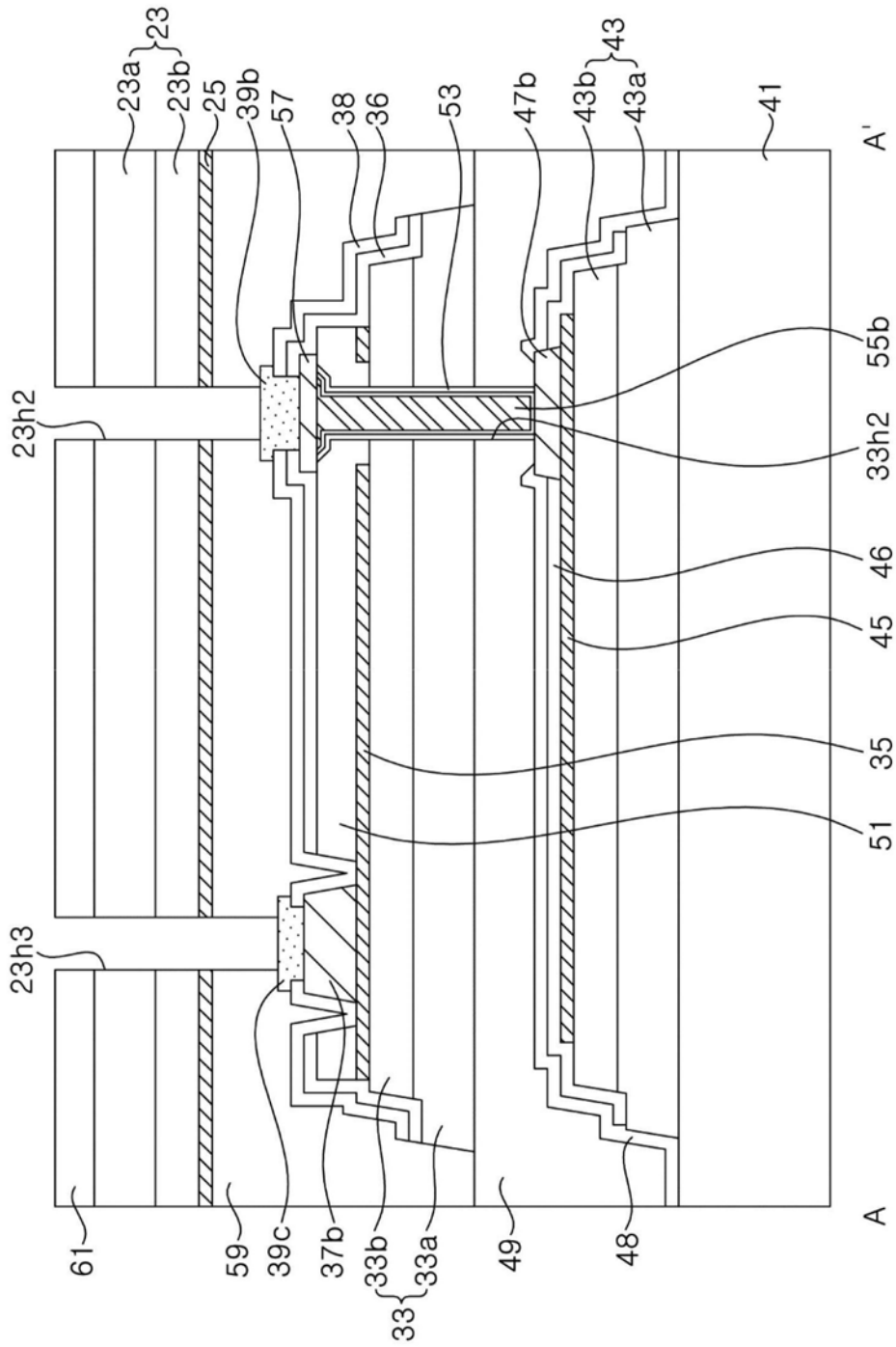


图16B

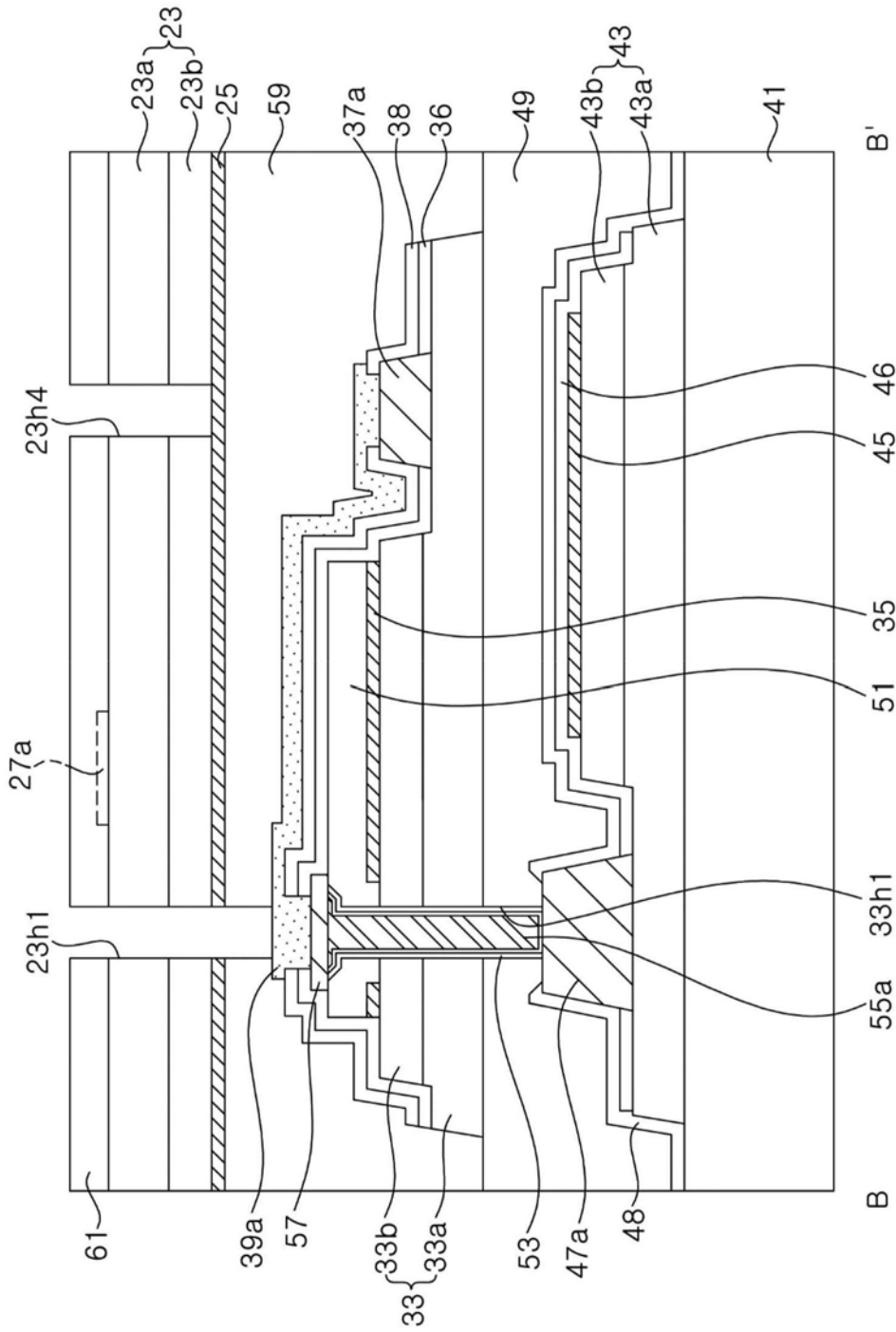


图16C

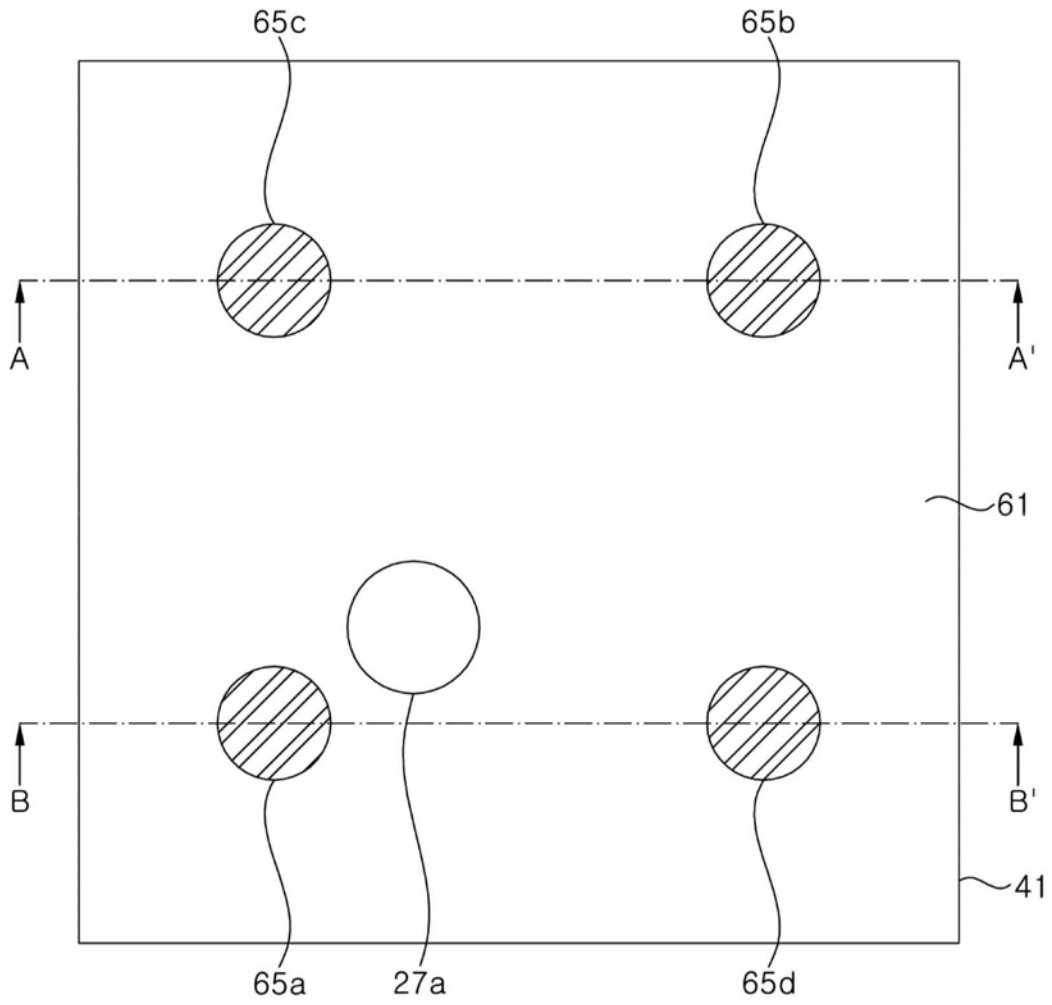


图17A

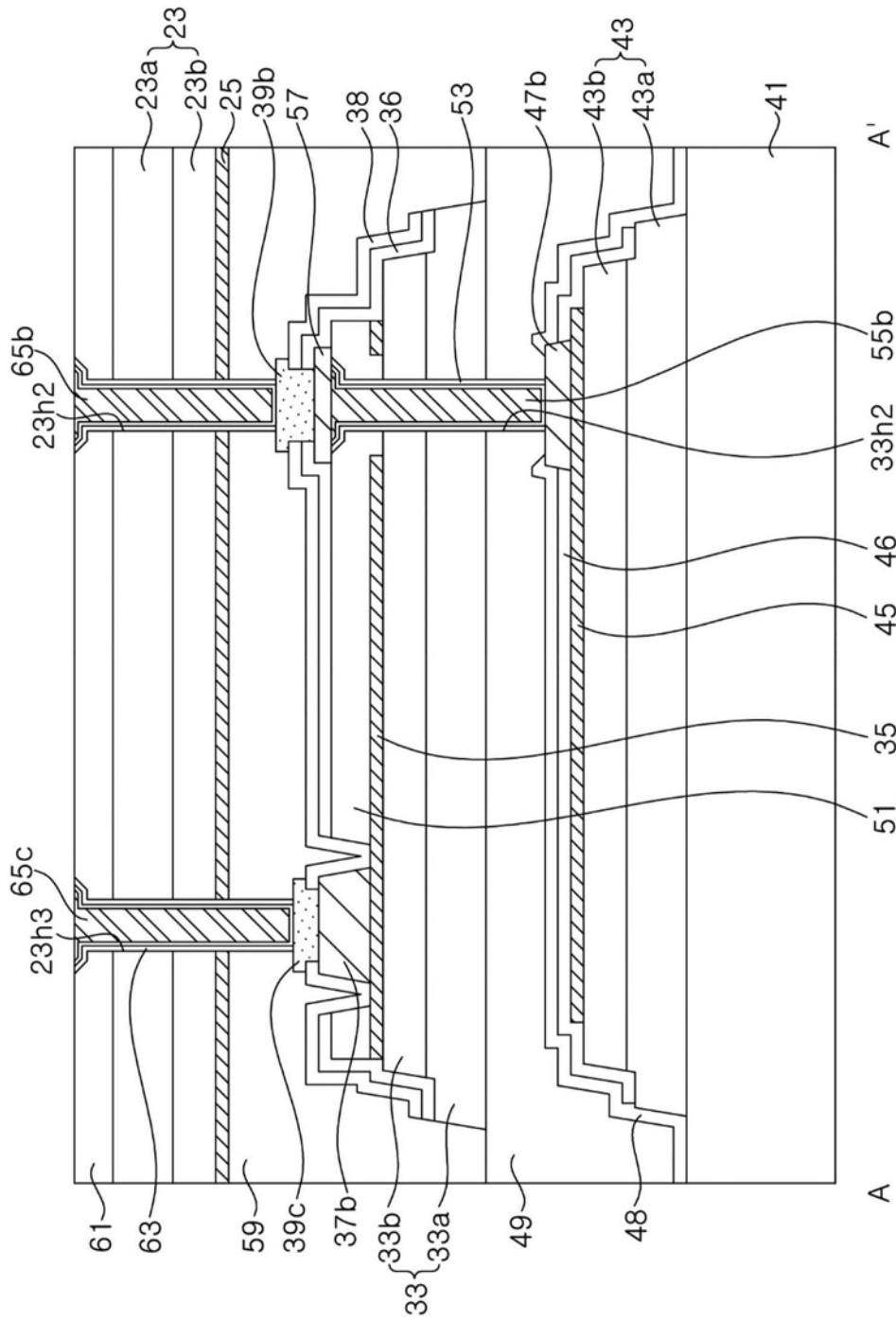


图17B

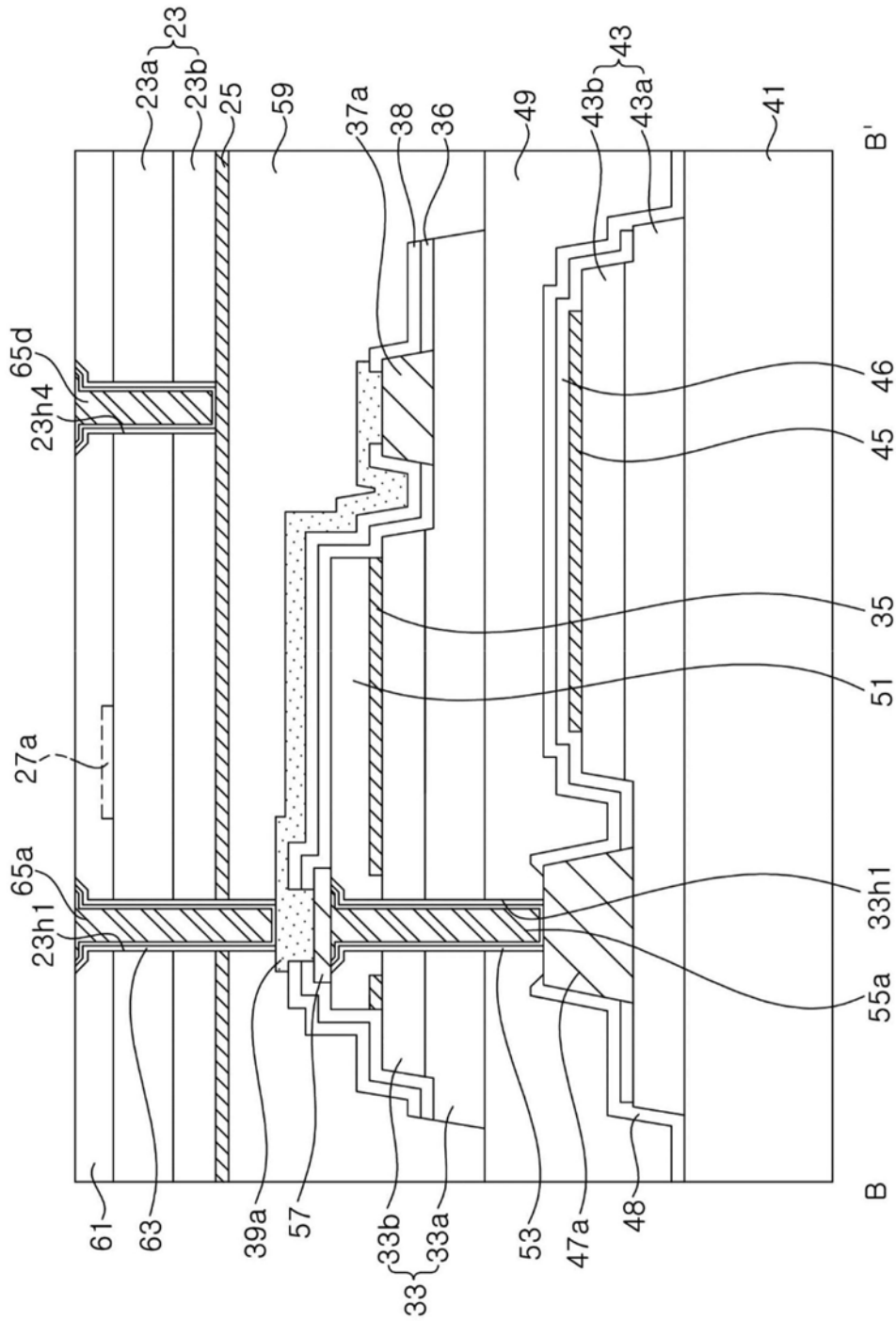


图17C

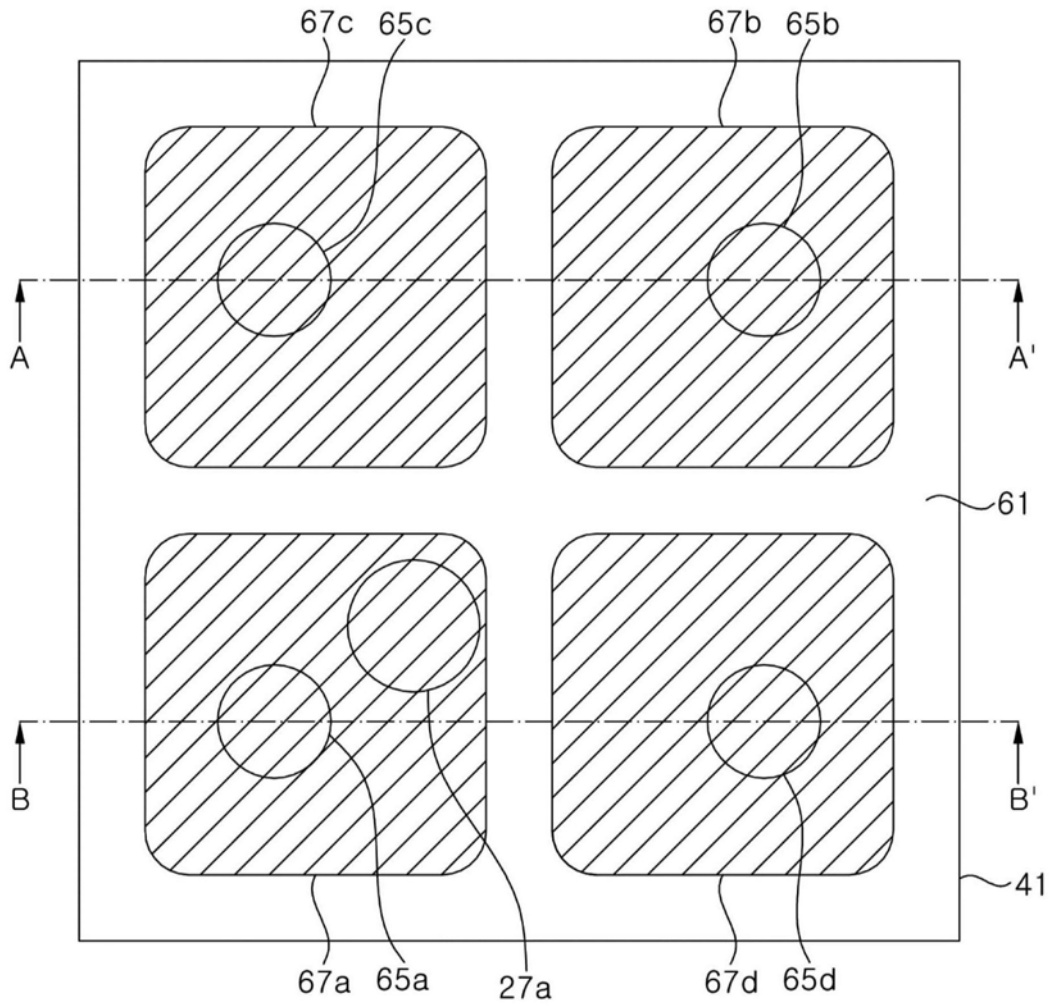


图18A

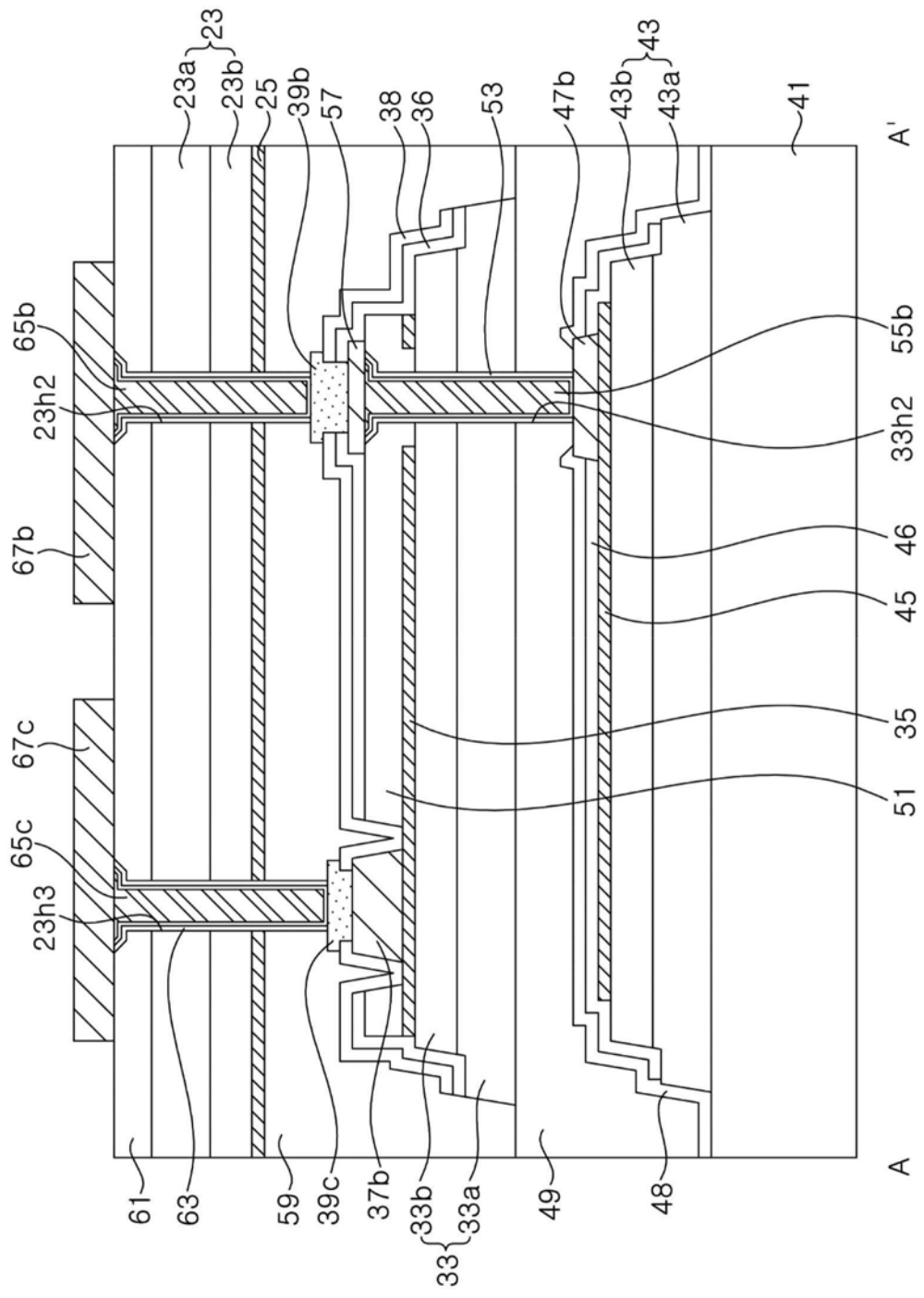


图18B

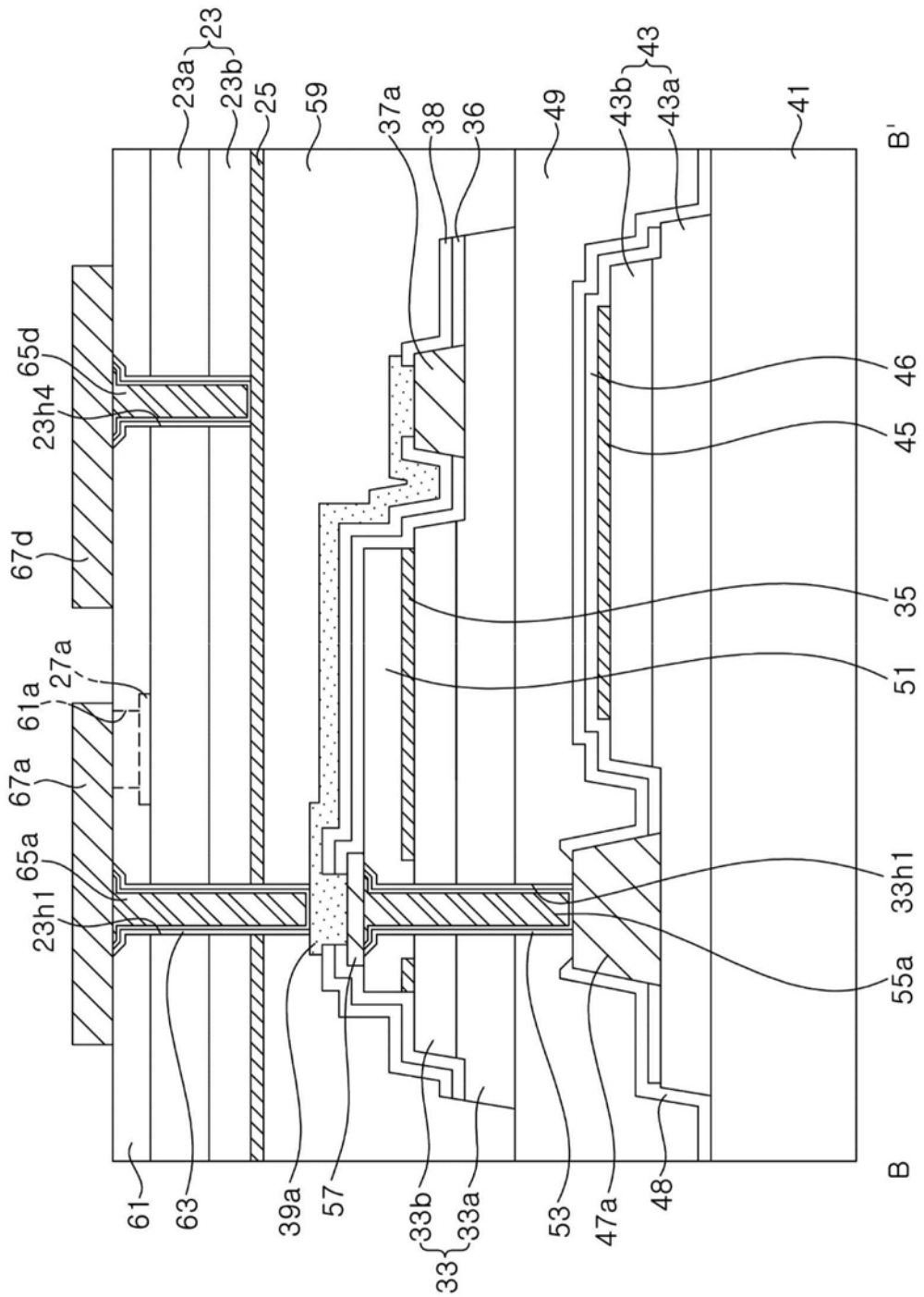


图18C

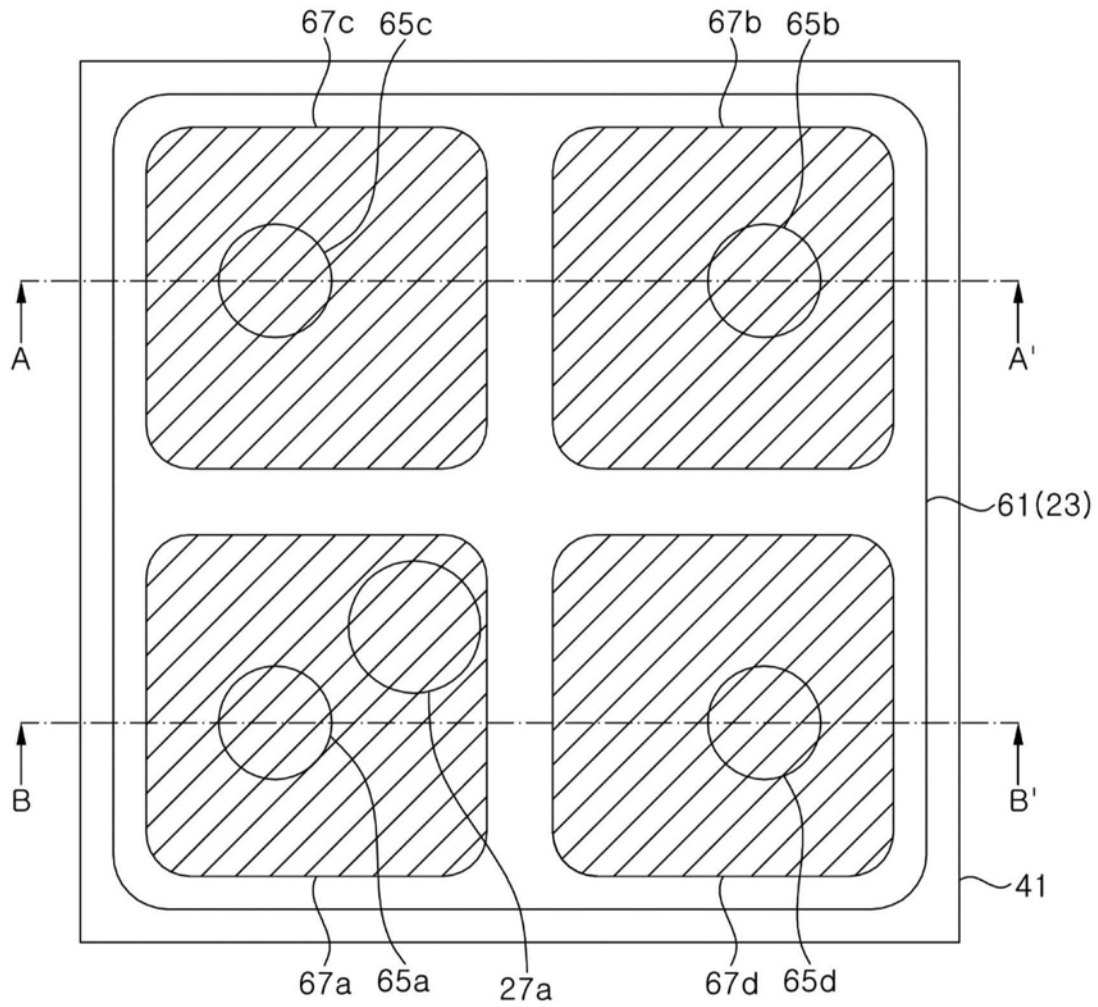


图19A

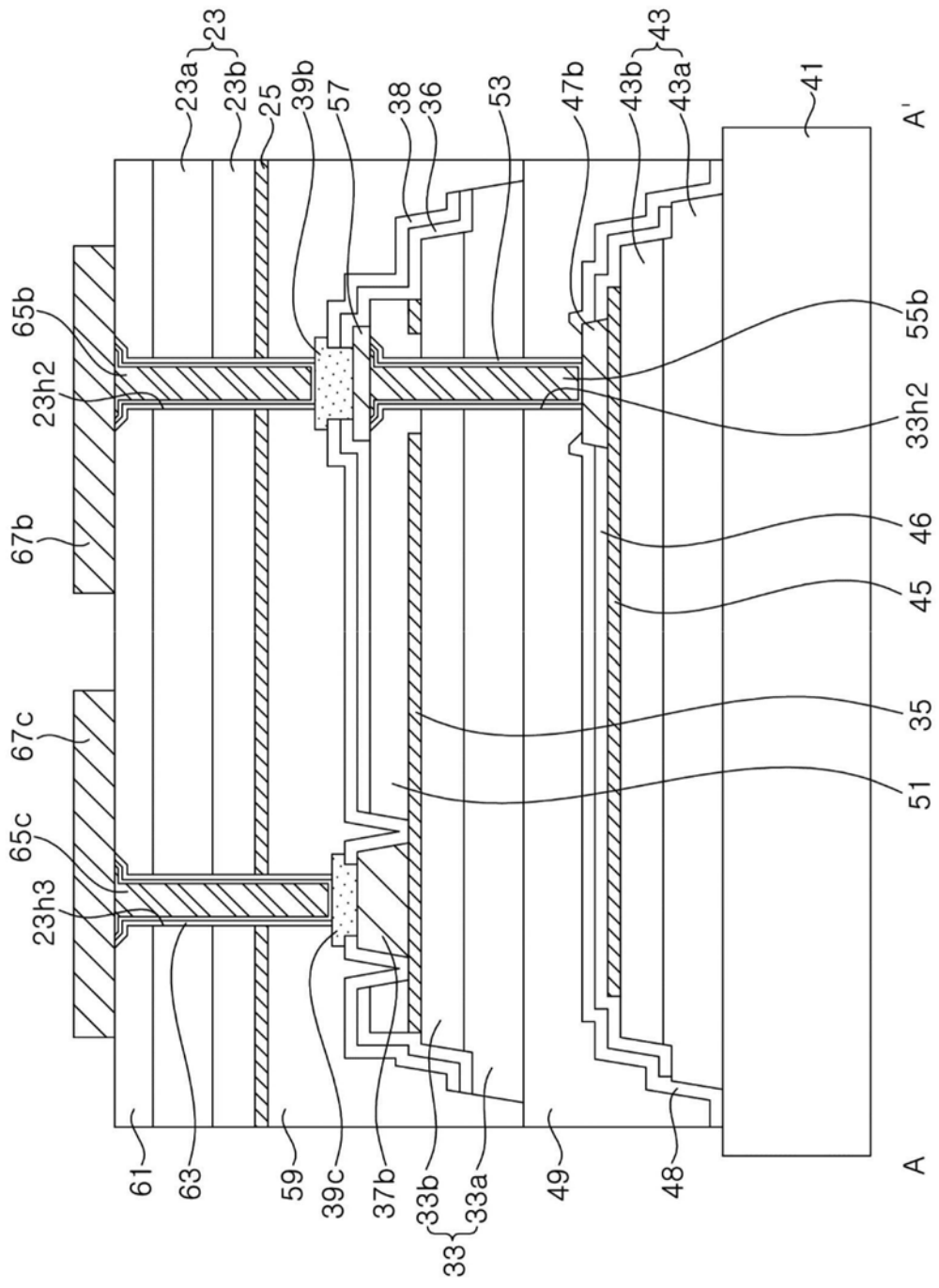


图19B

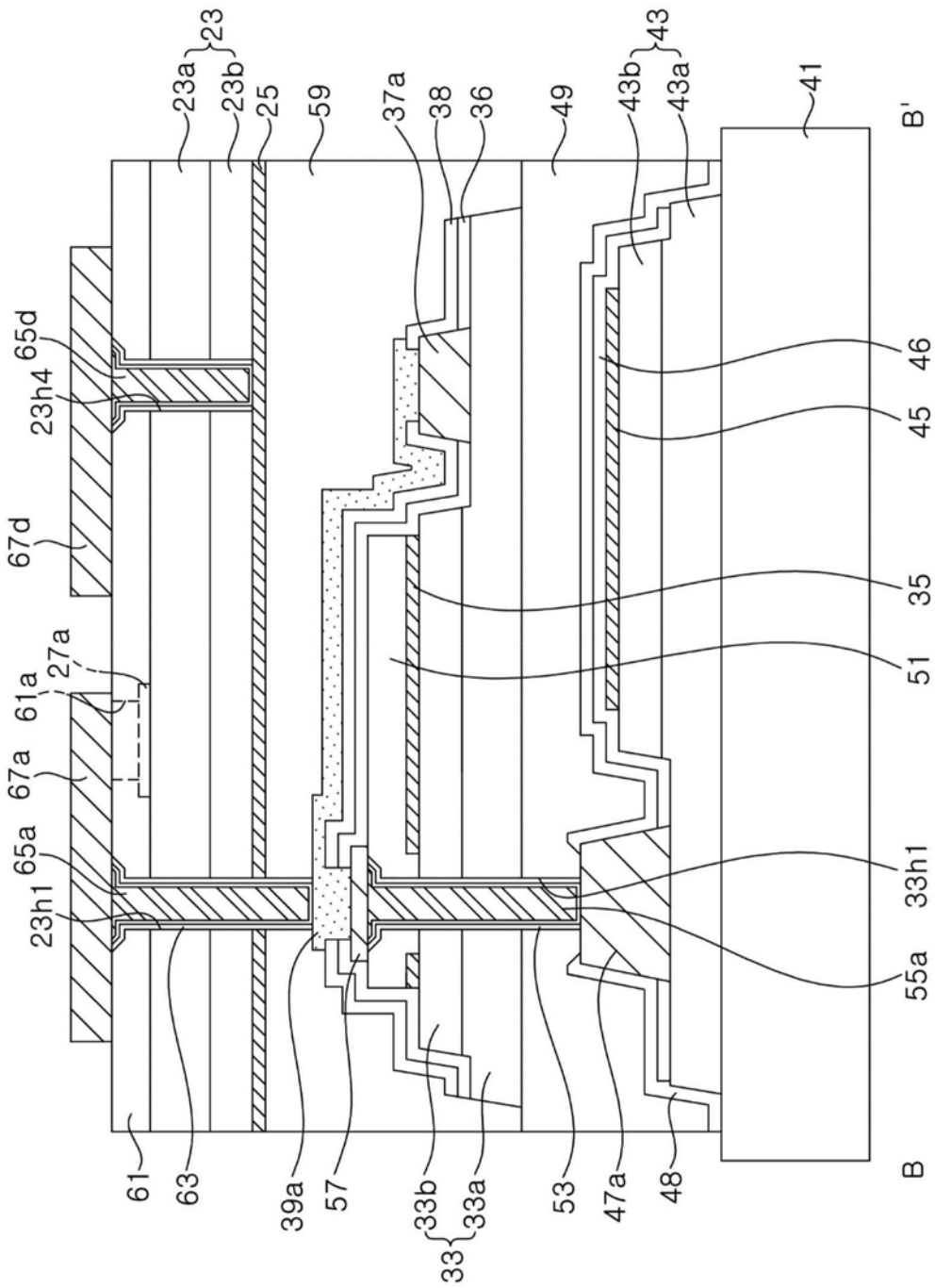


图19C

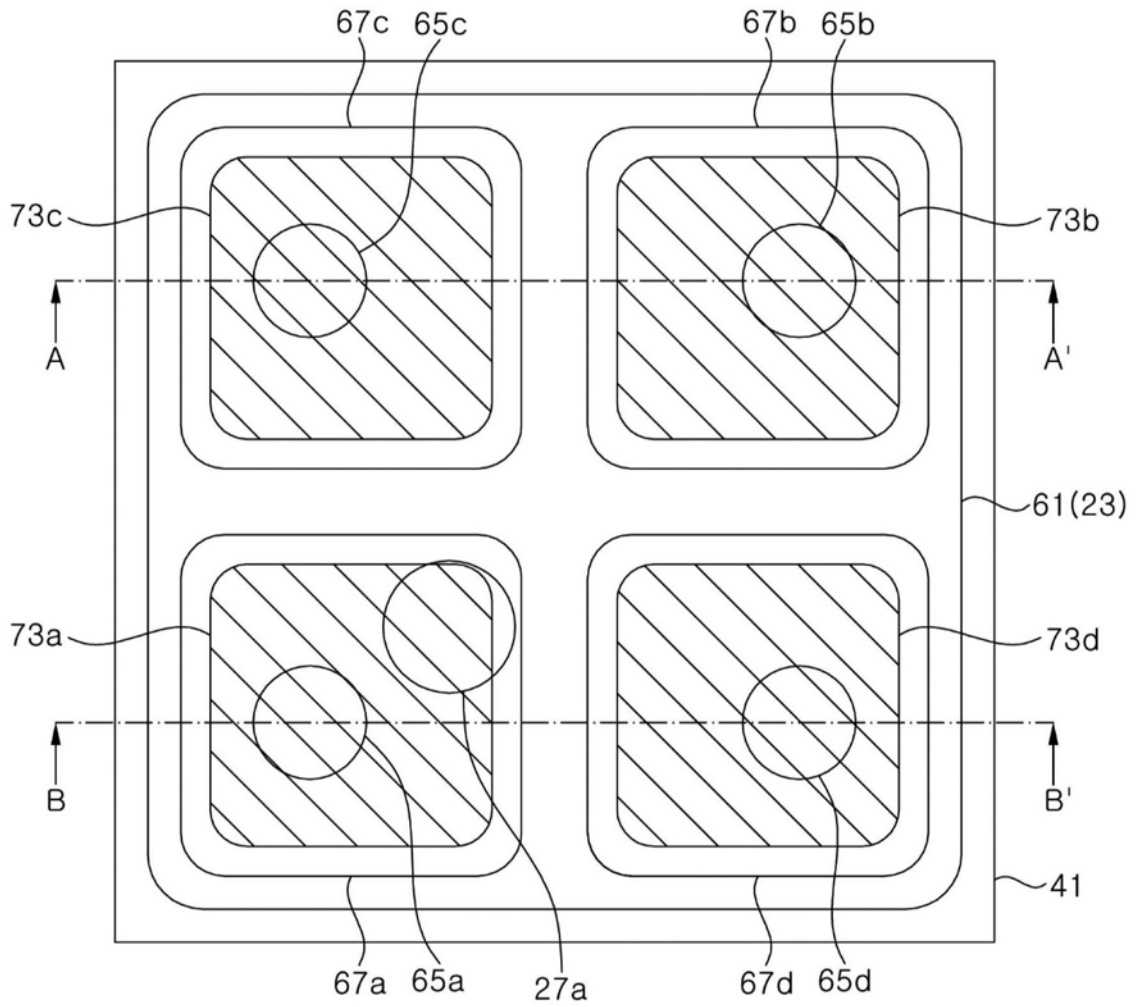


图20A

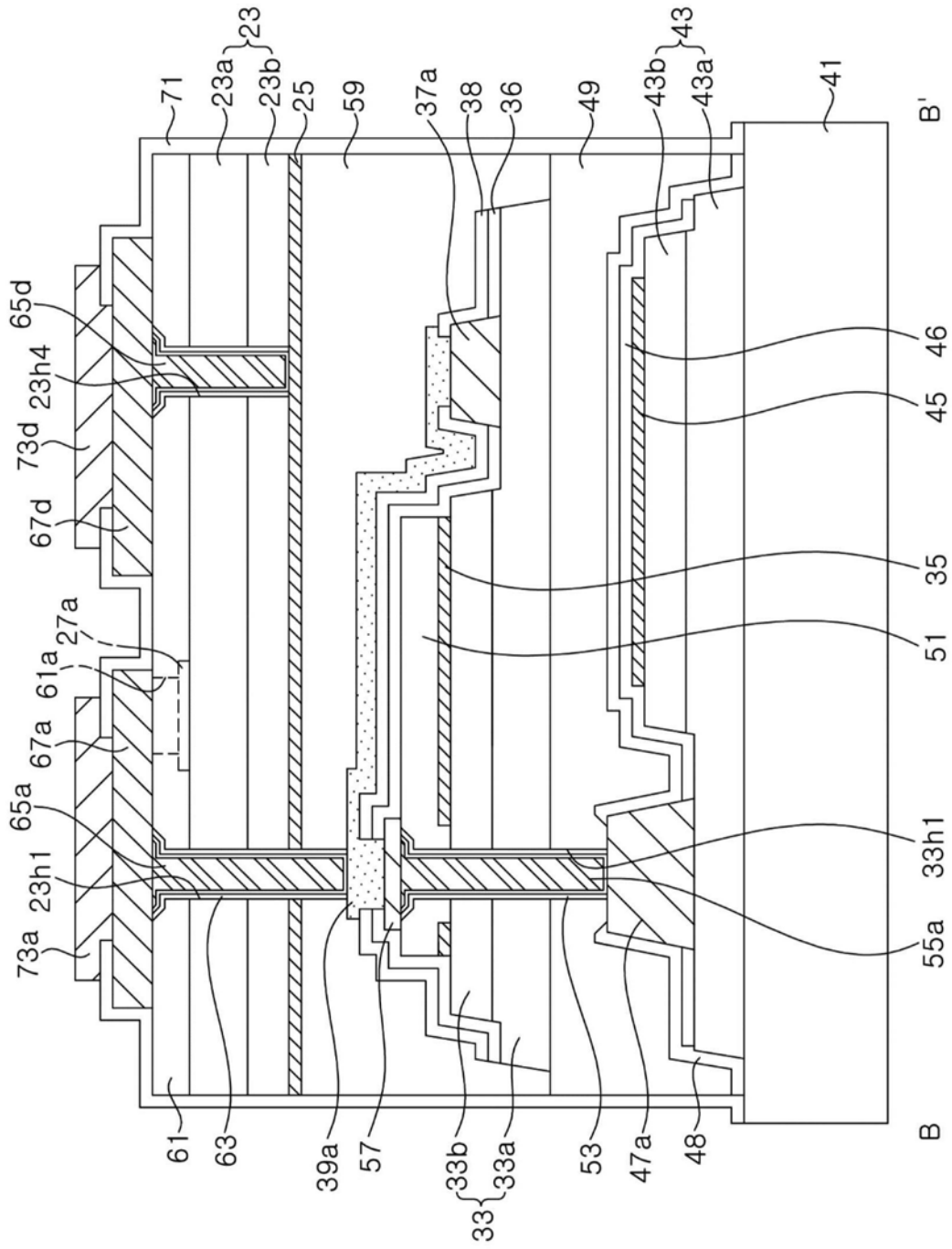


图20C

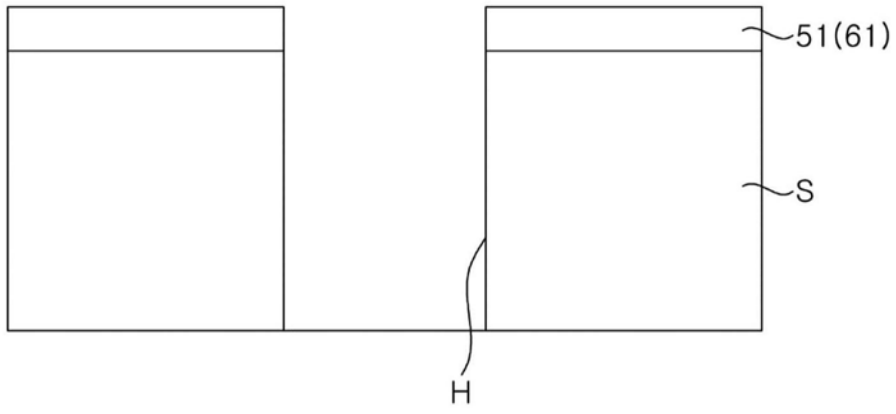


图21A

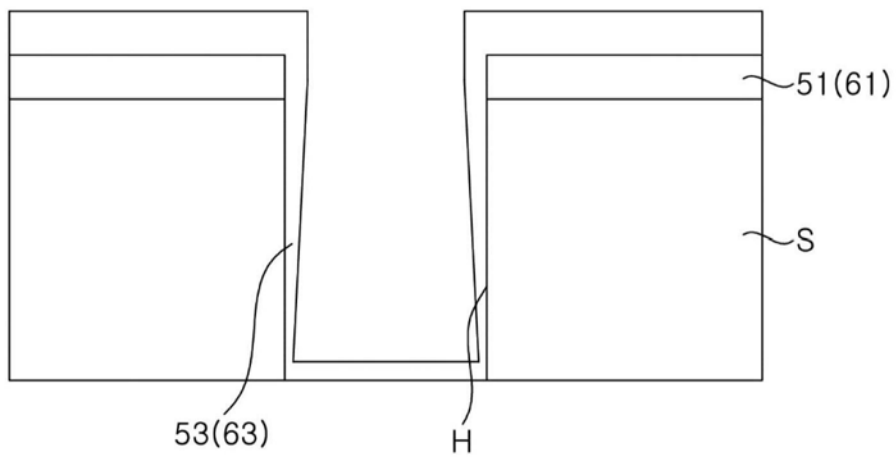


图21B

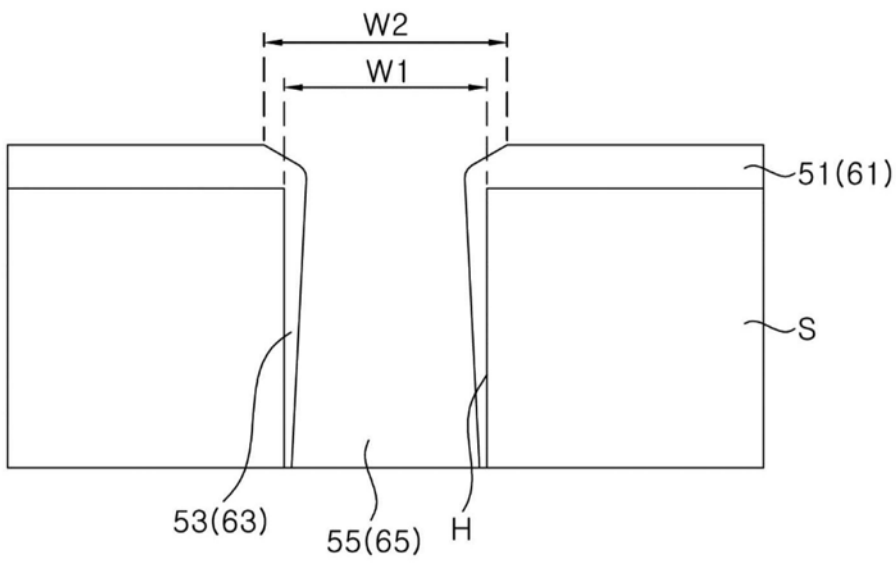


图21C

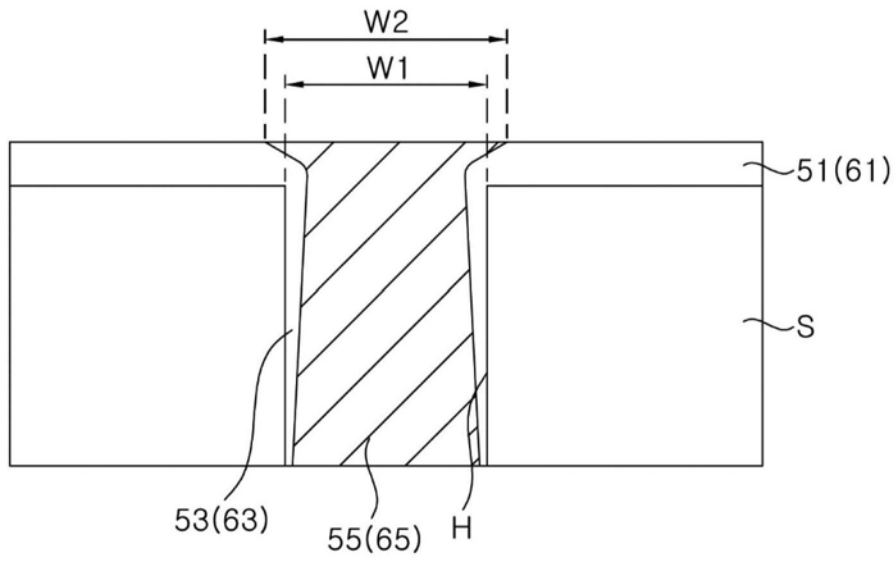


图21D

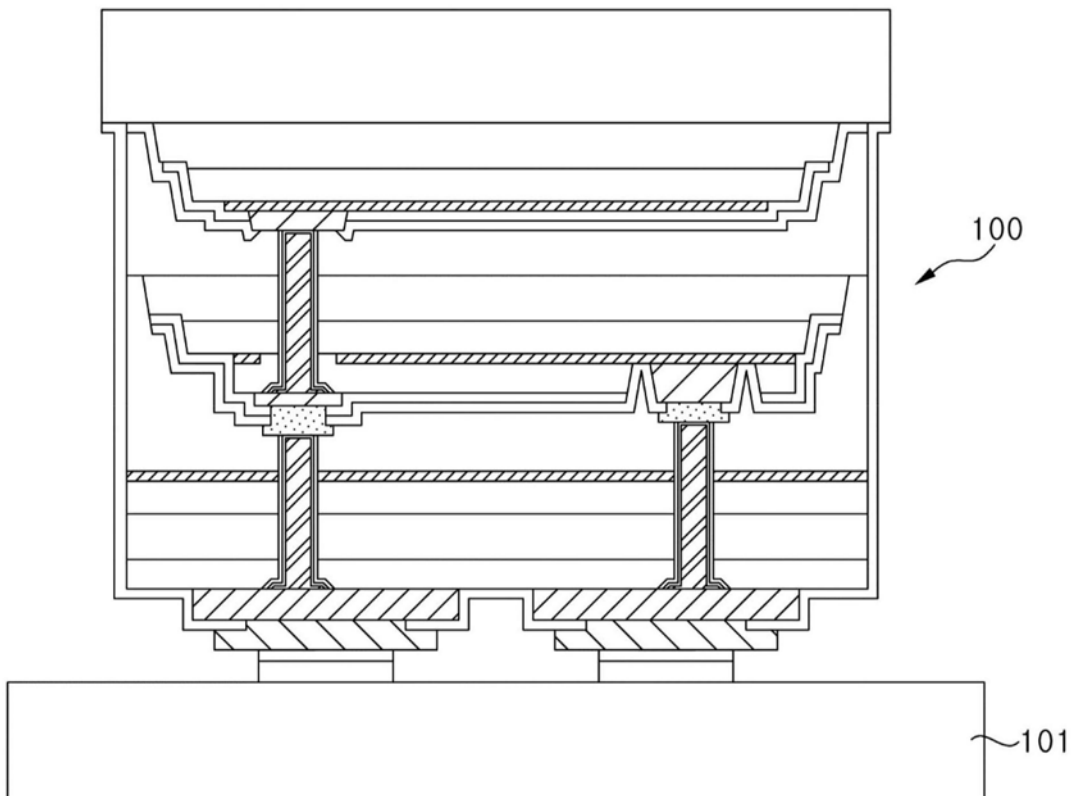


图22

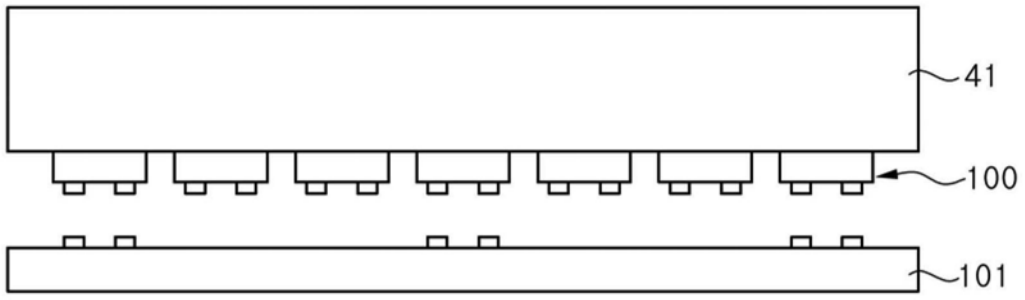


图23A

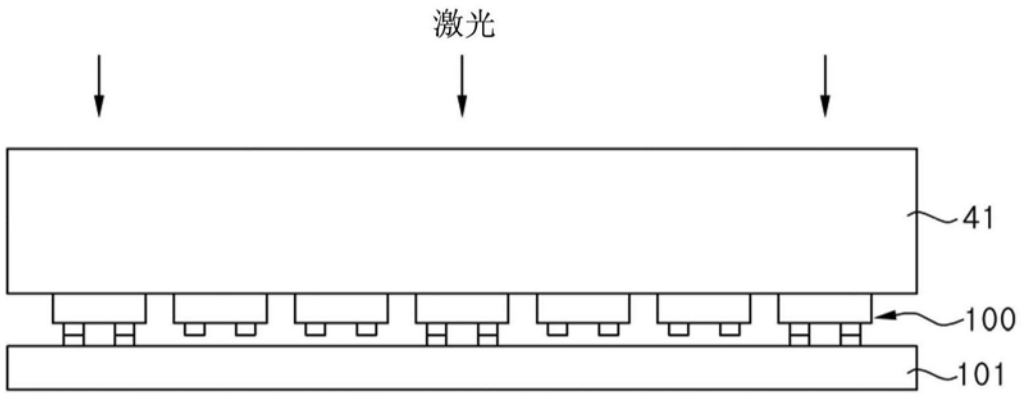


图23B

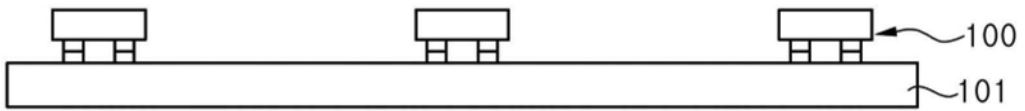


图23C

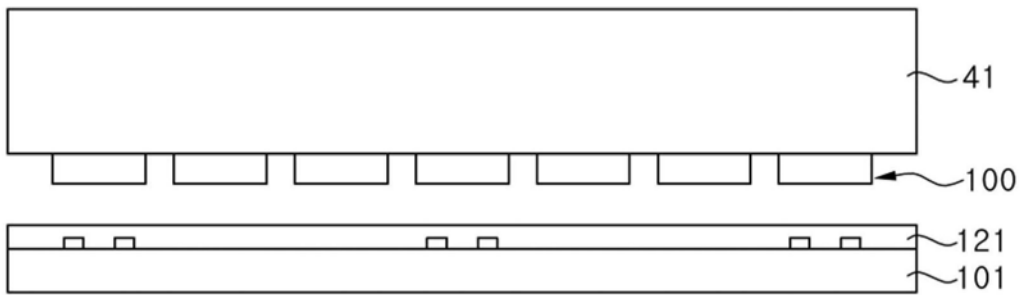


图24