



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년02월12일
(11) 등록번호 10-1828066
(24) 등록일자 2018년02월05일

(51) 국제특허분류(Int. Cl.)
G02F 1/133 (2006.01) G02F 1/1337 (2006.01)
G02F 1/1343 (2006.01)
(21) 출원번호 10-2011-0047454
(22) 출원일자 2011년05월19일
심사청구일자 2016년05월04일
(65) 공개번호 10-2012-0129291
(43) 공개일자 2012년11월28일
(56) 선행기술조사문헌
KR1020100019601 A*
(뒷면에 계속)

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
정광철
경기도 성남시 수정구 수정로 60, 403호 (수진동, 태평오피스텔)
채중철
서울특별시 서초구 반포대로 275, 삼성 116-2701 (반포동, 래미안 퍼스티지)
(뒷면에 계속)
(74) 대리인
특허법인 고려

전체 청구항 수 : 총 20 항

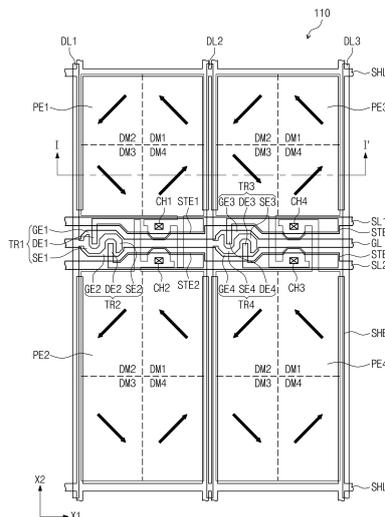
심사관 : 김민수

(54) 발명의 명칭 표시장치

(57) 요약

표시장치는 복수의 화소를 포함하고, 각 화소는 제1 방향으로 연장된 게이트 라인, 제2 방향으로 연장된 데이터 라인, 게이트 라인과 이격되어 구비된 제1 스토리지 라인, 게이트 라인 및 제1 스토리지 라인과 이격되어 구비된 제2 스토리지 라인, 게이트 라인 및 데이터 라인에 전기적으로 연결된 제1 스위칭 소자 및 제2 스위칭 소자, 제1 스위칭 소자에 연결되고 액정층을 유전체로 하는 제1 액정 커패시터, 제2 스위칭 소자에 연결되고 액정층을 유전체로 하는 제2 액정 커패시터, 제1 및 제2 스토리지 라인 중 어느 하나와 제1 스위칭 소자 사이에 연결된 제1 스토리지 커패시터, 및 제1 및 제2 스토리지 라인 중 다른 하나와 제2 스위칭 소자 사이에 연결된 제2 스토리지 커패시터를 포함한다.

대표도 - 도2



(72) 발명자

신경주

경기도 화성시 영통로27번길 53, 신영통현대2차아파트 205동 602호 (반월동)

고준철

경기도 화성시 동탄반석로 42 603동 1804호 (반송동, 나루마을한화우림아파트)

윤영수

경기도 안양시 동안구 관평로319번길 38, 삼성인덕원 아파트 112동 1602호 (관양동, 덕원아파트)

(56) 선행기술조사문헌

KR1020070074130 A*

US20090096730 A1*

US20100045883 A1

KR1020050000653 A*

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

제1 기관, 상기 제1 기관과 마주하여 구비된 제2 기관, 상기 제1 및 제2 기관 사이에 구비되고 액정들을 포함하는 액정층, 및 복수의 화소를 포함하는 표시장치에 있어서,

각 화소는,

제1 방향으로 연장된 게이트 라인;

상기 게이트 라인과 교차하는 제2 방향으로 연장된 데이터 라인;

상기 제1 방향으로 연장되고 상기 게이트 라인과 이격되어 구비된 제1 스토리지 라인;

상기 제1 방향으로 연장되고 상기 게이트 라인 및 상기 제1 스토리지 라인과 이격되어 구비된 제2 스토리지 라인;

상기 게이트 라인 및 상기 데이터 라인에 전기적으로 연결된 제1 스위칭 소자 및 제2 스위칭 소자;

상기 제1 스위칭 소자에 연결되고 상기 액정층을 유전체로 하는 제1 액정 커패시터;

상기 제2 스위칭 소자에 연결되고 상기 액정층을 유전체로 하는 제2 액정 커패시터;

상기 제1 및 제2 스토리지 라인 중 어느 하나와 상기 제1 스위칭 소자 사이에 연결된 제1 스토리지 커패시터;

상기 제1 및 제2 스토리지 라인 중 다른 하나와 상기 제2 스위칭 소자 사이에 연결된 제2 스토리지 커패시터;

상기 제1 스위칭 소자에 연결된 제1 화소 전극; 및

상기 제2 스위칭 소자에 연결된 제2 화소 전극을 포함하고,

상기 제1 방향으로 인접한 두 화소 중 어느 하나의 제1 스토리지 커패시터는 상기 제1 스위칭 소자 및 상기 제1 스토리지 라인 사이에 연결되고, 상기 두 화소 중 다른 하나의 제1 스토리지 커패시터는 상기 제1 스위칭 소자 및 상기 제2 스토리지 라인 사이에 연결되고,

상기 제1 및 제2 화소 전극들은 상기 제2 방향으로 배열되고, 상기 게이트 라인은 상기 제1 화소 전극과 상기 제2 화소 전극 사이에 배치되고, 상기 제1 스토리지 라인은 상기 제1 화소 전극과 상기 게이트 라인 사이에 배치되고, 상기 제2 스토리지 라인은 상기 제2 화소 전극과 상기 게이트 라인 사이에 배치되는 것을 특징으로 하는 표시장치.

청구항 2

제1항에 있어서, 상기 제1 스토리지 라인에는 프레임 단위로 기 설정된 기준 전압에 대해 정극성인 전압과 부극성인 전압이 교번적으로 입력되고, 상기 제2 스토리지 라인에는 상기 프레임 단위로 상기 기준 전압에 대해 부극성인 전압과 정극성인 전압이 교번적으로 입력되고, 상기 제1 및 제2 스토리지 라인에 입력되는 전압은 서로 다른 극성을 갖는 것을 특징으로 하는 표시장치.

청구항 3

제2항에 있어서, 상기 제1 스토리지 라인에는 상기 프레임 단위로 정극성인 제1 스토리지 전압 및 부극성인 제2 스토리지 전압이 교번적으로 입력되고, 상기 제1 스토리지 라인에 상기 제1 스토리지 전압이 입력될 때 상기 제2 스토리지 라인에는 상기 제2 스토리지 전압이 입력되며, 상기 제1 스토리지 라인에 상기 제2 스토리지 전압이 입력될 때 상기 제2 스토리지 라인에는 상기 제1 스토리지 전압이 입력되는 것을 특징으로 하는 표시장치.

청구항 4

제2항에 있어서, 상기 게이트 라인으로 입력된 게이트-온 신호에 응답하여 상기 제1 및 제2 스위칭 소자가 턴-온되면 상기 제1 및 제2 액정 커패시터에는 상기 데이터 라인으로 입력된 제1 데이터 전압이 충전되고, 상기 제1 및 제2 스토리지 라인으로 입력되는 전압에 따라 상기 제1 액정 커패시터에 충전된 전압은 상기 제1 데이터 전압에서 크기가 상기 제1 데이터 전압보다 큰 제1 화소 전압으로 변경되고, 상기 제2 액정 커패시터에 충전된 전압은 상기 제1 데이터 전압에서 크기가 상기 제1 데이터 전압보다 낮은 제2 화소 전압으로 변경되는 것을 특징으로 하는 표시장치.

청구항 5

제4항에 있어서, 상기 데이터 라인에는 상기 프레임 단위로 서로 다른 극성을 갖는 데이터 전압이 교번적으로 인가되고, 인접한 두 데이터 라인에는 서로 다른 극성을 갖는 데이터 전압이 인가되어, 상기 제1 방향으로 인접한 두 화소에 충전된 데이터 전압들은 서로 다른 극성을 갖는 것을 특징으로 하는 표시장치.

청구항 6

제2항에 있어서, 상기 제1 액정 커패시터는 상기 제1 기판에 구비된 상기 제1 화소 전극 및 상기 액정층을 사이에 두고 상기 제1 화소 전극과 마주하고 상기 제2 기판에 구비된 공통 전극을 포함하며, 상기 제2 액정 커패시터는 상기 제1 기판에 구비된 상기 제2 화소 전극 및 상기 액정층을 사이에 두고 상기 제2 화소 전극과 마주하고 상기 제2 기판에 구비된 상기 공통 전극을 포함하는 것을 특징으로 하는 표시장치.

청구항 7

제6항에 있어서, 상기 제1 액정 커패시터에 대한 상기 제2 액정 커패시터의 커패시턴스 비는 상기 제1 스토리지 커패시터에 대한 상기 제2 스토리지 커패시터의 커패시턴스 비와 동일한 것을 특징으로 하는 표시장치.

청구항 8

제7항에 있어서, 상기 제1 스토리지 커패시터는 상기 제2 스토리지 커패시터의 커패시턴스보다 작거나 같은 커패시턴스를 갖는 것을 특징으로 하는 표시장치.

청구항 9

제6항에 있어서, 상기 제1 액정 커패시터는 상기 제2 액정 커패시터의 커패시턴스보다 작은 커패시턴스를 갖는 것을 특징으로 하는 표시장치.

청구항 10

제9항에 있어서, 상기 제1 액정 커패시터와 상기 제2 액정 커패시터의 커패시턴스 비는 1:1.5 내지 1:2인 것을 특징으로 하는 표시장치.

청구항 11

제10항에 있어서, 상기 제1 화소 전극 및 상기 제2 화소 전극의 면적비는 1:1.5 내지 1:2인 것을 특징으로 하는 표시장치.

청구항 12

제6항에 있어서, 상기 게이트 라인은 평면상 상기 제1 화소 전극 및 상기 제2 화소 전극 사이에 구비되고, 상기 제1 스토리지 라인은 평면상 상기 제1 화소 전극 및 상기 게이트 라인 사이에 구비되며, 상기 제2 스토리지 라인은 평면상 상기 제2 화소 전극 및 상기 게이트 라인 사이에 구비되는 것을 특징으로 하는 표시장치.

청구항 13

제6항에 있어서, 상기 각 화소는 상기 제1 스토리지 라인에서 분기된 제1 스토리지 전극 및 상기 제2 스토리지 라인에서 분기된 제2 스토리지 전극을 포함하고, 상기 제1 스위칭 소자는 상기 게이트 라인에 연결된 제1 게이트 전극, 상기 데이터 라인에 연결된 제1 소스 전극, 및 상기 제1 스토리지 전극과 마주하는 제1 드레인 전극을 포함하며, 상기 제2 스위칭 소자는 상기 게이트 라인에 연결된 제2 게이트 전극, 상기 데이터 라인에 연결된 제2 소스 전극, 및 상기 제2 스토리지 전극과 마주하는 제2 드레인 전극을 포함하는 것을 특징으로 하는

표시장치.

청구항 14

제13항에 있어서, 상기 제1 드레인 전극 및 상기 제1 스토리지 전극은 상기 제1 스토리지 커패시터를 구성하고, 상기 제2 드레인 전극 및 상기 제2 스토리지 전극은 상기 제2 스토리지 커패시터를 구성하며, 상기 두 화소 중 어느 하나의 제1 스토리지 커패시터는 상기 제1 화소 전극에 연결되고, 상기 어느 하나의 제2 스토리지 커패시터는 상기 제2 화소 전극에 연결되며, 상기 두 화소 중 다른 하나의 제1 스토리지 커패시터는 상기 제2 화소 전극에 연결되고, 상기 다른 하나의 제2 스토리지 커패시터는 상기 제2 화소 전극에 연결되는 것을 특징으로 하는 표시장치.

청구항 15

제14항에 있어서, 평면상 상기 제1 화소 전극이 상기 제1 및 제2 스토리지 전극과 중첩되는 면적은 상기 제2 화소 전극이 상기 제1 및 제2 스토리지 전극과 중첩된 면적과 동일한 것을 특징으로 하는 표시장치.

청구항 16

제14항에 있어서, 평면상 상기 제1 화소 전극이 상기 제1 및 제2 드레인 전극과 중첩되는 면적은 상기 제2 화소 전극이 상기 제1 및 제2 드레인 전극과 중첩된 면적과 동일한 것을 특징으로 하는 표시장치.

청구항 17

제6항에 있어서, 상기 제1 기판은 상기 제1 및 제2 화소 전극 상에 구비된 제1 배향막을 포함하고, 상기 제2 기판은 상기 공통 전극 상에 구비된 제2 배향막을 포함하며, 상기 제1 및 제2 배향막 중 적어도 하나는 적어도 서로 다른 두 방향으로 배향되고, 상기 제1 및 제2 화소 전극 각각에는 복수의 도메인이 정의되며, 상기 도메인들의 배향 방향은 서로 다른 것을 특징으로 하는 표시장치.

청구항 18

제17항에 있어서, 상기 제1 및 제2 배향막 각각은 서로 다른 두 방향으로 배향되고, 상기 제1 및 제2 화소 전극 각각에는 제1 내지 제4 도메인이 정의되고, 상기 제1 내지 제4 도메인의 배향 방향은 서로 다른 것을 특징으로 하는 표시장치.

청구항 19

제18항에 있어서, 상기 액정층은 수직 배향된 액정들을 포함하고, 상기 액정들은 상기 도메인들에 대응하여 서로 다른 방향으로 프리틸트되는 것을 특징으로 하는 표시장치.

청구항 20

제6항에 있어서, 상기 각 화소는,

상기 제1 방향으로 연장되고 상기 제1 및 제2 스토리지 라인 및 상기 게이트 라인과 이격되어 구비된 차폐 라인; 및

상기 차폐 라인에서 분기되고 상기 제1 화소 전극 및 상기 데이터 라인 사이 또는 상기 제2 화소 전극 및 상기 데이터 라인 사이에 구비되며 상기 제2 방향으로 연장된 차폐 전극을 포함하고,

상기 차폐 전극에는 상기 공통 전극에 입력되는 전압과 동일한 전압이 입력되어 상기 제1 및 제2 화소 전극에 대한 상기 데이터 라인으로 입력되는 신호의 전기적 영향을 감소시키는 것을 특징으로 하는 표시장치.

발명의 설명

기술 분야

본 발명은 표시장치에 관한 것으로, 더욱 상세하게는 서로 다른 전압이 인가되는 제1 서브 화소 및 제2 서브 화소를 포함하여 측면 시인성을 개선할 수 있는 표시장치에 관한 것이다.

배경 기술

일반적으로 액정표시장치는 제1 기관, 제1 기관과 마주하는 제2 기관, 및 제1 및 제2 기관 사이에 구비된 액정층을 포함하는 표시패널 및 표시패널에 광을 제공하는 백라이트 유닛을 포함한다. 액정표시장치는 인가전압에 따른 액정의 투과도의 변화를 이용하여 영상을 표시하는데, 상대적으로 다른 표시장치에 비해 좁은 시야각을 갖는다.

액정표시장치의 시야각 특성을 개선하기 위하여, 하나의 화소를 제1 서브 화소와 제2 서브 화소로 구분하고, 제1 및 제2 서브 화소에 서로 다른 전압을 인가하여 측면 시인성을 개선하는 방안이 제안되었다. 이때, 측면 시인성을 더욱 개선하기 위해 평면상 제1 및 제2 서브 화소는 서로 다른 면적을 갖도록 구성되는데, 제1 및 제2 서브 화소 사이의 다른 면적으로 인해, 액정표시장치를 화소 단위로 반전시켜 구동하는 이른바, 도트 반전 방식으로 구동하는데 어려움이 있다.

발명의 내용

해결하려는 과제

따라서, 본 발명의 목적은 서로 다른 전압이 인가되는 제1 서브 화소 및 제2 서브 화소를 포함하여 측면 시인성을 개선할 수 있는 표시장치를 제공하는 것이다.

과제의 해결 수단

본 발명의 일 실시예에 따른 표시장치는 제1 기관, 상기 제1 기관과 마주하여 구비된 제2 기관, 상기 제1 및 제2 기관 사이에 구비되고 액정들을 포함하는 액정층, 및 복수의 화소를 포함한다.

각 화소는 제1 방향으로 연장된 게이트 라인, 상기 게이트 라인과 교차하는 제2 방향으로 연장된 데이터 라인, 제1 스토리지 라인, 제2 스토리지 라인, 제1 스위칭 소자, 제2 스위칭 소자, 제1 액정 커패시터, 제2 액정 커패시터, 제1 스토리지 커패시터, 및 제2 스토리지 커패시터를 포함한다.

상기 제1 스토리지 라인은 상기 제1 방향으로 연장되고 상기 게이트 라인과 이격되어 구비된다. 상기 제2 스토리지 라인은 상기 제1 방향으로 연장되고 상기 게이트 라인 및 상기 제1 스토리지 라인과 이격되어 구비된다. 상기 제1 및 제2 스위칭 소자는 상기 게이트 라인 및 상기 데이터 라인에 전기적으로 연결된다. 상기 제1 액정 커패시터는 상기 제1 스위칭 소자에 연결되고 상기 액정층을 유전체로 한다. 상기 제2 액정 커패시터는 상기 제2 스위칭 소자에 연결되고 상기 액정층을 유전체로 한다. 상기 제1 스토리지 커패시터는 상기 제1 및 제2 스토리지 라인 중 어느 하나와 상기 제1 스위칭 소자 사이에 연결된다. 상기 제2 스토리지 커패시터는 상기 제1 및 제2 스토리지 라인 중 다른 하나와 상기 제2 스위칭 소자 사이에 연결된다.

상기 제1 방향으로 인접한 두 화소 중 어느 하나의 제1 스토리지 커패시터는 상기 제1 스위칭 소자 및 상기 제1 스토리지 라인 사이에 연결되고, 상기 두 화소 중 다른 하나의 제1 스토리지 커패시터는 상기 제1 스위칭 소자 및 상기 제2 스토리지 라인 사이에 연결된다.

발명의 효과

이와 같은 본 발명의 표시장치에 따르면, 제1 및 제2 스토리지 라인으로 입력되는 전압에 따라 제1 화소 전극 및 제2 화소 전극에 인가된 데이터 전압을 상기 데이터 전압보다 높은 데이터 전압 및 낮은 데이터 전압으로 각각 변경시켜, 하나의 계조를 표현함으로써 표시장치의 시야각을 향상시킬 수 있다. 또한, 본 발명의 표시장치의 화소 구성으로 인하여, 제1 화소 전극과 제2 화소 전극의 면적비를 용이하게 변경할 수 있어, 시야각 및 표시품질을 개선할 수 있다.

도면의 간단한 설명

- 도 1은 본 발명의 일 실시예에 따른 표시장치의 블록도이다.
- 도 2는 도 1의 표시패널의 확대 평면도이다.
- 도 3은 도 2의 I-I' 선을 따라 자른 단면도이다.
- 도 4는 도 2의 표시패널에 대응하는 회로도이다.
- 도 5는 도 4의 회로에 인가되는 신호들의 타이밍도이다.

도 6a는 제1 배향막의 배향 방향을 나타낸 평면도이다.

도 6b는 제2 배향막의 배향 방향을 나타낸 평면도이다.

도 6c는 제1 및 제2 화소 전극의 평면도이다.

발명을 실시하기 위한 구체적인 내용

본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다. 첨부된 도면에 있어서, 구조물들의 치수는 본 발명의 명확성을 위하여 실제보다 확대하여 도시한 것이다. 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 경우, 이는 다른 부분 "바로 위에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 층, 막, 영역, 판 등의 부분이 다른 부분 "아래에" 있다고 할 경우, 이는 다른 부분 "바로 아래에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.

이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 보다 상세하게 설명한다.

도 1은 본 발명의 일 실시예에 따른 표시장치의 블록도이다.

도 1을 참조하면, 표시장치(100)는 표시패널(110), 게이트 드라이버(120), 데이터 드라이버(130), 및 타이밍 컨트롤러(140)를 포함한다.

상기 타이밍 컨트롤러(140)는 외부 장치(미도시)로부터 소스 영상신호(RGB) 및 제어신호(CS)를 수신한다. 상기 타이밍 컨트롤러(140)는 상기 데이터 드라이버(130)와의 인터페이스에 맞도록 상기 소스 영상신호(RGB)의 데이터 포맷을 변환하고, 변환된 영상신호(R'G'B')를 상기 데이터 드라이버(130)로 제공한다. 또한, 상기 타이밍 컨트롤러(140)는 데이터 제어신호(DCS), 예를 들어, 출력개시신호, 수평개시신호, 및 극성반전신호 등을 상기 데이터 드라이버(130)로 제공한다. 상기 타이밍 컨트롤러(140)는 게이트 제어신호(GCS), 예를 들어, 수직개시신호, 수직클럭신호, 및 수직클럭바신호 등을 상기 게이트 드라이버(120)로 제공한다.

상기 게이트 드라이버(120)는 상기 타이밍 컨트롤러(140)로부터 제공되는 상기 게이트 제어신호(GCS)에 응답해서 게이트 신호들(G1~Gn)을 순차적으로 출력한다.

상기 데이터 드라이버(130)는 상기 타이밍 컨트롤러(140)로부터 제공되는 상기 데이터 제어신호(DCS)에 응답해서 상기 영상신호(R'G'B')를 데이터 전압들(D1~Dm)로 변환하여 출력한다. 상기 출력된 데이터 전압들(D1~Dm)은 상기 표시패널(110)로 인가된다.

상기 표시패널(110)은 제1 방향(X1)으로 연장된 복수의 게이트 라인(GL1~GLn), 상기 게이트 라인들(GL1~GLn)과 교차하고 상기 제1 방향(X1)과 다른 제2 방향(X2)으로 연장된 복수의 데이터 라인(DL1~DLm), 및 각각 상기 게이트 라인들(GL1~GLn) 중 대응하는 게이트 라인 및 상기 데이터 라인들(DL1~DLm) 중 대응하는 데이터 라인에 연결되는 복수의 화소(PX)를 포함한다.

상기 게이트 라인들(GL1~GLn)은 상기 게이트 드라이버(120)에 연결되며, 상기 데이터 라인들(DL1~DLm)은 상기 데이터 드라이버(130)에 연결된다. 상기 게이트 라인들(GL1~GLn)은 상기 게이트 드라이버(120)로부터 제공되는 게이트 신호들(G1~Gn)을 수신하고, 상기 데이터 라인들(DL1~DLm)은 상기 데이터 드라이버(130)로부터 제공되는 데이터 전압들(D1~Dm)을 수신한다.

도 1에는 하나의 화소 영역(PX)을 예로서 도시하였는데, 그 구체적인 구성은 도 2 이하의 도면을 참고하여 아래

에 설명한다. 또한, 도 1에 도시되지 않았지만, 상기 표시패널(110)은 상기 게이트 라인들(GL1~GLn)과 이격되고 상기 제1 방향(X1)으로 연장된 복수의 제1 신호 라인 및 상기 게이트 라인들(GL1~GLn) 및 상기 제1 신호 라인들과 이격되고 상기 제1 방향(X1)으로 연장된 복수의 제2 신호 라인을 포함한다.

도 1에 도시되지 않았지만, 상기 표시장치(100)는 상기 표시패널(100)에 인접하게 배치되어 상기 표시패널(100)로 광을 공급하는 백라이트 유닛을 더 포함할 수 있다. 상기 백라이트 유닛은 광을 방출하는 복수의 광원을 포함할 수 있다.

도 2는 도 1의 표시패널의 확대 평면도이다. 구체적으로, 도 2에는 도 1의 표시패널의 화소 구성을 설명하기 위해 두 화소 영역을 확대하여 예로써 도시하였다.

도 2를 참조하면, 상기 표시패널(110)은 제1 방향(X1)으로 연장된 게이트 라인, 상기 제1 방향(X1)과 교차하는 제2 방향(X2)으로 연장되고 서로 이격되어 구비된 제1 데이터 라인(DL1), 제2 데이터 라인(DL2), 및 제3 데이터 라인(DL3), 상기 제1 방향(X1)으로 연장되고 상기 게이트 라인(GL)과 이격되어 구비되는 제1 스토리지 라인(SL1), 및 상기 제1 방향(X1)으로 연장되고 상기 게이트 라인(GL) 및 상기 제1 스토리지 라인(SL1)과 이격되어 구비되는 제2 스토리지 라인(SL2)을 포함한다.

또한, 상기 표시패널(110)은 상기 게이트 라인(GL) 및 상기 제1 데이터 라인(DL1)에 연결된 제1 박막 트랜지스터(TR1) 및 제2 박막 트랜지스터(TR2)를 포함하고, 상기 게이트 라인(GL) 및 상기 제2 데이터 라인(DL2)에 연결된 제3 박막 트랜지스터(TR3) 및 제4 박막 트랜지스터(TR4)를 포함한다.

구체적으로, 상기 제1 박막 트랜지스터(TR1)는 상기 게이트 라인(GL)에서 분기된 제1 게이트 전극(GE1), 상기 제1 데이터 라인(DL1)에서 분기된 제1 소스 전극(SE1), 및 상기 제1 소스 전극(SE1)과 이격되어 구비된 제1 드레인 전극(DE1)을 포함하고, 상기 제2 박막 트랜지스터(TR2)는 상기 게이트 라인(GL)에서 분기된 제2 게이트 전극(GE2), 상기 제1 소스 전극(SE1)을 통하여 상기 제1 데이터 라인(DL1)에 연결된 제2 소스 전극(SE2), 및 상기 제2 소스 전극(SE2)과 이격되어 구비된 제2 드레인 전극(DE2)을 포함한다.

상기 제3 박막 트랜지스터(TR3)는 상기 게이트 라인(GL)에서 분기된 제3 게이트 전극(GE3), 상기 제2 데이터 라인(DL2)에서 연결된 제3 소스 전극(SE3), 및 상기 제3 소스 전극(SE3)과 이격되어 구비된 제3 드레인 전극(DE3)을 포함하고, 상기 제4 박막 트랜지스터(TR4)는 상기 게이트 라인(GL)에서 분기된 제4 게이트 전극(GE4), 상기 제2 데이터 라인(DL2) 및 상기 제3 소스 전극(SE3) 사이에 연결된 제4 소스 전극(SE4), 및 상기 제4 소스 전극(SE4)과 이격되어 구비된 제4 드레인 전극(DE4)을 포함한다.

상기 제1 드레인 전극(DE1)에는 제1 콘택홀(CH1)을 통해 제1 화소 전극(PE1)이 연결되고, 상기 제2 드레인 전극(DE2)에는 제2 콘택홀(CH2)을 통해 제2 화소 전극(PE2)이 연결되며, 상기 제1 및 제2 화소 전극(PE1, PE2)은 하나의 화소 영역에 배치된다. 또한, 상기 제3 드레인 전극(DE3)에는 제3 콘택홀(CH3)을 통해 제3 화소 전극(PE3)이 연결되고, 상기 제4 드레인 전극(DE4)에는 제4 콘택홀(CH4)을 통해 제4 화소 전극(PE4)이 연결되며, 상기 제3 및 제4 화소 전극(PE3, PE4)은 다른 하나의 화소 영역에 배치된다.

상기 표시패널(110)에는 상기 제1 스토리지 라인(SL1)에서 분기되고 상기 제1 드레인 전극(DE1)과 마주하여 제1 스토리지 전극(STE1)이 구비되고, 상기 제2 스토리지 라인(SL2)에서 분기되고 상기 제2 드레인 전극(DE2)과 마주하여 제2 스토리지 전극(STE2)이 구비되며, 상기 제2 스토리지 라인(SL2)에서 분기되고 상기 제3 드레인 전극(DE3)과 마주하여 제3 스토리지 전극(STE3)이 구비되고, 상기 제1 스토리지 라인(SL1)에서 분기되고 상기 제4 드레인 전극(DE4)과 마주하여 제4 스토리지 전극(STE4)이 구비될 수 있다.

도 2에서와 같이, 상기 제1 화소 전극(PE1) 및 상기 제2 화소 전극(PE2)의 일부를 상기 제2 스토리지 전극(STE2) 및 상기 제1 스토리지 전극(STE1)으로 각각 연장시켜, 상기 제1 화소 전극(PE1)이 상기 제1 및 제2 스토리지 전극(STE1, STE2)과 중첩되는 면적은 상기 제2 화소 전극(PE2)이 상기 제1 및 제2 스토리지 전극(STE1, STE2)과 중첩되는 면적과 실질적으로 동일하게 할 수 있다. 또한, 상기 제1 및 제2 화소 전극(PE1, PE2) 각각이 상기 제1 및 제2 스토리지 전극(STE1, STE2)과 중첩되는 면적은 상기 제3 및 제4 화소 전극(PE3, PE4) 각각이 상기 제3 및 제4 스토리지 전극(STE3, STE4)과 중첩되는 면적과 실질적으로 동일하게 구성할 수 있다. 더욱이, 상기 제3 화소 전극(PE3)이 상기 제3 및 제4 스토리지 전극(STE3, STE4)과 중첩되는 면적은 상기 제4 화소 전극(PE4)이 상기 제3 및 제4 스토리지 전극(STE3, STE4)과 중첩되는 면적과 실질적으로 동일하게 할 수 있다. 이러한 구성으로 인하여, 상기 제1 내지 제4 화소 전극(PE1~PE4)에 대한 상기 제1 및 제2 스토리지 라인(STE1, STE2)으로 입력되는 신호에 의한 전기적 영향을 균일하게 할 수 있다.

유사한 이유로, 평면상 상기 제1 화소 전극(PE1)이 상기 제1 및 제2 드레인 전극(DE1, DE2)과 중첩되는 면적은

상기 제2 화소 전극(PE2)이 상기 제1 및 제2 드레인 전극(DE1, DE2)과 중첩된 면적과 동일하게 할 수 있다.

상기 제1 내지 제4 화소 전극(PE1~PE4) 각각은 제1 도메인(DM1), 제2 도메인(DM2), 제3 도메인(DM3), 및 제4 도메인(DM4)으로 나뉠 수 있고, 상기 제1 내지 제4 도메인(DM1~DM4)에 대응한 배향막(도 2에 미도시)의 배향 방향을 화살표로 나타내었다. 상기 배향 방향은 예로써 도시한 것으로 이하 첨부된 도면을 참조하여 자세히 설명한다.

상기 표시패널(110) 상에는 상기 제1 방향(X1)으로 연장되고 상기 게이트 라인(GL), 및 상기 제1 및 제2 스토리지 라인(SL1, SL2)과 이격되어 구비되는 차폐 라인(SHL) 및 상기 차폐 라인(SHL)에서 분기되고 상기 제2 방향(X2)으로 따라 연장되어 구비된 차폐 전극(SHE)이 더 구비된다.

상기 차폐 전극(SHE)은 평면상 상기 제1 내지 제4 화소 전극(PE1~PE4)과 상기 제1 내지 제3 데이터 라인 사이(DL1~DL3)에 구비되어 상기 제1 내지 제4 화소 전극(PE1~PE4)에 대한 상기 제1 내지 제3 데이터 라인(DL1~DL3)으로 입력된 신호의 전기적 영향을 차단하는 기능을 한다.

도 2에는 상기 차폐 라인(SHL)이 상기 제1 및 제3 화소 전극(PE1, PE3)의 상측 및 상기 제2 및 제4 화소 전극(PE2, PE4)의 하측에 구비되는 것을 예로써 도시하였다.

도 2와 같이 화소를 구성하면, 고계조의 휘도를 표현하는 제1 및 제3 화소 전극(PE1, PE3)의 면적과 저계조의 휘도를 표현하는 제2 및 제4 화소 전극(PE2, PE4)의 면적을 다르게 조절할 수 있어, 표시장치의 시야각을 더 향상시킬 수 있다. 구체적으로, 상기 제1 화소 전극(PE1)과 상기 제2 화소 전극(PE2)의 면적비는 약 1:1.5 내지 약 1:2로 구성할 수 있고, 상기 제3 화소 전극(PE3)과 상기 제4 화소 전극(PE4)의 면적비는 약 1:1.5 내지 약 1:2로 구성할 수 있다. 다만, 상기 면적비는 예로써 기재한 것으로, 실시형태에 따라 변경될 수 있다.

도 3은 도 2의 I-I' 선을 따라 자른 단면도이다.

도 3을 참조하면, 상기 표시패널(110)은 제1 기판(101), 상기 제1 기판(101)과 마주하여 구비된 제2 기판(102), 및 상기 제1 및 제2 기판(101, 102) 사이에 개재된 액정층(103)을 포함한다.

상기 제1 기판(101)은 제1 베이스 기판(111), 상기 제1 베이스 기판(111) 상에 구비된 차폐 전극(SHE)을 포함한다. 도 3에 도시되지 않았지만, 상기 게이트 라인(도 2의 GL)은 상기 제1 베이스 기판(111) 상에 구비될 수 있다.

상기 제1 베이스 기판(111) 및 상기 차폐 전극(SHE) 상에는 제1 절연막(112)이 구비된다. 상기 제1 절연막(112)은 산화물, 질화물, 또는 투명한 절연성 물질을 포함할 수 있는데, 예를 들어 실리콘 질화막(SiNx) 또는 실리콘 산화막(SiOx)으로 이루어질 수 있다.

상기 제1 절연막(112) 상에는 제1 내지 제3 데이터 라인(DL1~DL3)이 구비되고, 상기 제1 내지 제3 데이터 라인(DL1~DL3) 및 상기 제1 절연막(112) 상에는 제2 절연막(113)이 구비된다. 상기 제2 절연막(113)은 산화물, 질화물, 또는 투명한 절연성 물질을 포함할 수 있는데, 예를 들어 실리콘 질화막(SiNx) 또는 실리콘 산화막(SiOx)으로 이루어질 수 있다.

상기 제2 절연막(113) 상에는 제3 절연막(114)이 더 구비될 수 있고, 상기 제3 절연막(114)은 유기 물질로 구성될 수 있다. 도 3에 도시되지 않았으나, 상기 제2 및 제3 절연막(113, 114)은 상기 제1 내지 제4 박막 트랜지스터(TR1~TR4)를 커버할 수 있다.

상기 제3 절연막(114) 상에는 상기 제1 및 제3 화소 전극(PE1, PE3)이 서로 이격되어 구비된다. 상기 제1 및 제3 화소 전극(PE1, PE3) 상에는 제1 배향막(115)이 구비된다.

상기 제2 기판(102)은 제2 베이스 기판(116), 상기 제2 베이스 기판(116) 상에 구비된 컬러 필터(CFR, CFG)를 포함한다. 도 3에서는, 적색을 나타내는 적색 컬러필터(CFR) 및 녹색을 나타내는 녹색 컬러필터(CFG)를 예로써 도시하였다.

상기 컬러필터(CFR, CFG) 상에는 상기 제1 및 제3 화소 전극(PE1, PE3)과 마주하여 상기 액정층(103)에 전계를 형성하는 공통 전극(117)이 더 구비될 수 있다. 도 3에서 상기 공통 전극(117)은 상기 제2 기판(102)에 구비되는 것으로 도시하였으나, 실시형태에 따라 상기 공통 전극(117)은 상기 제1 기판(101)에 구비될 수 있다. 상기 공통 전극(117) 상에는 제2 배향막(118)이 더 구비된다.

상기 제1 및 제2 배향막(115, 118) 사이에는 상기 액정층(103)이 구비된다. 상기 액정층(103)은 다수의 액정을

포함하는데, 상기 액정들은 상기 제1 및 제2 배향막(115, 118)의 배향 방향에 따라 일정 각도, 예를 들어 85° 내지 89° 로 프리틸트될 수 있다. 도 3에서 상기 액정들은 수직 배향 액정인 것을 예로써 도시하였으나, 이에 한정되는 것은 아니다.

다시 도 2 및 도 3을 참조하면, 상기 제1 내지 제4 화소 전극(PE1~PE4) 각각은 제1 내지 제4 도메인(DM1~DM4)으로 구분될 수 있는데, 상기 제1 내지 제4 도메인(DM1~DM4) 각각에 대응하는 제1 및 제2 배향막(115, 118) 영역은 서로 다른 방향으로 배향된다. 따라서, 상기 제1 내지 제4 도메인(DM1~DM4) 각각에서 상기 제1 및 제2 배향막(115, 118) 사이에 구비된 액정들은 상기 제1 및 제2 배향막(115, 118)의 배향 방향의 벡터 합 방향으로 프리틸트된다. 상기 제1 및 제2 배향막(115, 118)의 배향 방향과 관련하여서는 아래 도 6a 및 도 6c를 참조하여 구체적으로 설명한다.

도 4는 도 2의 표시패널에 대응하는 회로도이다.

도 2 내지 도 4를 참조하면, 상기 제1 및 제2 박막 트랜지스터(TR1, TR2)는 상기 게이트 라인(GL) 및 상기 제1 데이터 라인(DL1)에 연결되고, 상기 제3 및 제4 박막 트랜지스터(TR3, TR4)는 상기 게이트 라인(GL) 및 상기 제2 데이터 라인(DL2)에 연결된다.

상기 제1 화소 전극(PE1) 및 상기 공통 전극(117)은 제1 액정 커패시터(C1c1)를 형성하고, 상기 제2 화소 전극(PE2) 및 상기 공통 전극(117)은 제2 액정 커패시터(C1c2)를 형성하며, 상기 제3 화소 전극(PE3) 및 상기 공통 전극(117)은 제3 액정 커패시터(C1c3)를 형성하고, 상기 제4 화소 전극(PE4) 및 상기 공통 전극(117)은 제4 액정 커패시터(C1c4)를 형성한다. 상기 제1 내지 제4 액정 커패시터(C1c1~C1c4)는 상기 액정층(103)을 유전체로 포함한다.

이때, 상기 제1 액정 커패시터(C1c1)는 상기 제2 액정 커패시터(C1c2)의 커패시턴스보다 작은 커패시턴스를 가질 수 있는데, 예를 들어 상기 제1 액정 커패시터(C1c1)와 상기 제2 액정 커패시터(C1c2)의 커패시턴스 비는 약 1:1.5 내지 약 1:2일 수 있다.

도 2 내지 도 4를 참조하면, 서로 마주하여 구비된 상기 제1 드레인 전극(DE1) 및 상기 제1 스토리지 전극(STE1)은 제1 스토리지 커패시터(Cst1)를 형성하고, 서로 마주하여 구비된 상기 제2 드레인 전극(DE2) 및 상기 제2 스토리지 전극(STE2)은 제2 스토리지 커패시터(Cst2)를 형성하며, 서로 마주하여 구비된 상기 제3 드레인 전극(DE3) 및 상기 제3 스토리지 전극(STE3)은 제3 스토리지 커패시터(Cst3)를 형성하고, 서로 마주하여 구비된 상기 제4 드레인 전극(DE4) 및 상기 제4 스토리지 전극(STE4)은 제4 스토리지 커패시터(Cst4)를 형성한다. 상기 제1 내지 제4 스토리지 커패시터(Cst1~Cst4)는 상기 제1 절연막(112)을 유전체로 포함한다.

이때, 상기 제1 액정 커패시터(C1c1)에 대한 상기 제2 액정 커패시터(C1c2)의 커패시턴스 비는 상기 제1 스토리지 커패시터(Cst1)에 대한 상기 제2 스토리지 커패시터(Cst2)의 커패시턴스 비와 실질적으로 동일하게 구성할 수 있다. 또한, 상기 제1 스토리지 커패시터(Cst1)는 상기 제2 스토리지 커패시터(Cst2)의 커패시턴스보다 작거나 같은 커패시턴스를 가질 수 있다.

상기 제1 스토리지 커패시터(Cst1)는 상기 제1 액정 커패시터(C1c1) 및 상기 제1 스토리지 라인(SL1) 사이에 연결되고, 상기 제2 스토리지 커패시터(Cst2)는 상기 제2 액정 커패시터(C1c2) 및 상기 제2 스토리지 라인(SL2) 사이에 연결되며, 상기 제3 스토리지 커패시터(Cst3)는 상기 제3 액정 커패시터(C1c3) 및 상기 제2 스토리지 라인(SL2) 사이에 연결되고, 상기 제4 스토리지 커패시터(Cst4)는 상기 제4 액정 커패시터(C1c4) 및 상기 제1 스토리지 라인(SL1) 사이에 연결된다.

도 5는 도 4의 회로에 인가되는 신호들의 타이밍도이다. 구체적으로, 도 5에는 약 한 프레임(FP) 시간 동안 신호들의 타이밍을 도시하였다.

도 2, 도 4, 및 도 5를 참조하면, 상기 게이트 라인(GL)으로 상기 제1 내지 제4 박막 트랜지스터(TR1~TR4)를 턴-온시키는 제1 게이트-온 신호(Ton1)가 인가되면, 상기 제1 데이터 라인(DL1)으로 입력되는 제1 데이터 전압(Vd1)은 상기 제1 및 제2 화소 전극(PE1, PE2)으로 인가되고, 상기 제2 데이터 라인(DL2)으로 입력되는 제2 데이터 전압(Vd2)은 상기 제3 및 제4 화소 전극(PE3, PE4)으로 인가된다. 상기 제1 및 제2 데이터 라인(DL1, DL2)에는 프레임 단위로 기준 전압에 대해 서로 다른 극성의 전압이 입력되는 것을 예로써 도시하였는데, 상기 제1 데이터 전압(Vd1)과 상기 제2 데이터 전압(Vd2)은 상기 기준 전압에 대해 서로 다른 극성을 갖는다.

그러나, 상기 제1 및 제4 화소 전극(PE1~PE4)에 인가된 전압은 상기 제1 및 제2 스토리지 라인(SL1, SL2)으로 입력되는 전압의 극성이 반전될 때, 즉 제1 시점(t1)에서 일정 전압만큼 변화된다. 상기 제1 및 제2 스토리지

라인(SL1, SL2)에는 프레임 단위로 기준 전압에 대해 서로 다른 극성의 전압이 입력되는 것을 예로써 도시하였다.

구체적으로, 상기 제1 화소 전극(PE1)은 상기 제1 스토리지 커패시터(Cst1)를 통하여 상기 제1 스토리지 라인(SL1)에 전기적으로 연결되므로, 상기 제1 스토리지 라인(SL1)으로 상기 제1 데이터 전압(Vd1)과 동일한 극성의 전압이 인가되면, 상기 제1 화소 전극(PE1)에 인가된 제1 데이터 전압(Vd1)은 상기 제1 시점(t1)에 상기 제1 데이터 전압(Vd1)보다 크기가 큰 제1 화소 전압(Vd11)으로 변화된다. 또한, 상기 제2 화소 전극(PE2)은 상기 제2 스토리지 커패시터(Cst2)를 통하여 상기 제2 스토리지 라인(SL2)에 전기적으로 연결되므로, 상기 제2 스토리지 라인(SL2)으로 상기 제1 데이터 전압(Vd1)과 반대인 극성의 전압이 인가되면, 상기 제2 화소 전극(PE2)에 인가된 제1 데이터 전압(Vd1)은 상기 제1 시점(t1)에 상기 제1 데이터 전압(Vd1)보다 크기가 작은 제2 화소 전압(Vd12)으로 변화된다.

상기 제3 화소 전극(PE3)은 상기 제3 스토리지 커패시터(Cst3)를 통하여 상기 제2 스토리지 라인(SL2)에 전기적으로 연결되므로, 상기 제2 스토리지 라인(SL2)으로 상기 제2 데이터 전압(Vd2)과 동일한 극성의 전압이 인가되면, 상기 제3 화소 전극(PE3)에 인가된 제2 데이터 전압(Vd2)은 상기 제1 시점(t1)에 상기 제2 데이터 전압(Vd2)보다 크기가 큰 제3 화소 전압(Vd21)으로 변화된다. 또한, 상기 제4 화소 전극(PE4)은 상기 제4 스토리지 커패시터(Cst4)를 통하여 상기 제1 스토리지 라인(SL1)에 전기적으로 연결되므로, 상기 제1 스토리지 라인(SL1)으로 상기 제2 데이터 전압(Vd2)과 반대 극성의 전압이 인가되면, 상기 제4 화소 전극(PE4)에 인가된 제2 데이터 전압(Vd2)은 상기 제1 시점(t1)에 상기 제2 데이터 전압(Vd2)보다 크기가 작은 제4 화소 전압(Vd22)으로 변화된다.

상기 제1 내지 제4 화소 전극(PE1-PE4) 각각에 충전된 상기 제1 내지 제4 화소 전압(Vd11, Vd12, Vd21, Vd22)은 상기 제1 게이트-온 신호(Ton1) 다음의 제2 게이트-온 신호(Ton2)가 인가될 때까지 유지된다.

상기 제2 게이트-온 신호(Ton2)가 인가되면, 상기 제1 데이터 라인(DL1)으로 입력되는 제3 데이터 전압(Vd3)은 상기 제1 및 제2 화소 전극(PE1, PE2)으로 인가되고, 상기 제2 데이터 라인(DL2)으로 입력되는 제4 데이터 전압(Vd4)은 상기 제3 및 제4 화소 전극(PE3, PE4)으로 인가된다.

상기 제1 및 제2 데이터 라인(DL1, DL2) 각각은 프레임 단위로 극성이 반전된 데이터 전압이 인가될 수 있다. 따라서, 도 5에서 상기 제1 데이터 전압(Vd1)과 상기 제3 데이터 전압(Vd3)은 서로 다른 극성을 갖고, 상기 제2 데이터 전압(Vd2)과 상기 제4 데이터 전압(Vd4)은 서로 다른 극성을 갖는 것을 예로써 도시하였다.

상기 제2 게이트-온 신호(Ton2)가 인가된 후, 상기 제1 내지 제4 화소 전극(PE1-PE4)에 인가된 전압은 상기 제1 및 제2 스토리지 라인(SL1, SL2)으로 입력되는 전압의 극성이 반전될 때, 즉 제2 시점(t1)에서 일정 전압만큼 변화된다.

구체적으로, 상기 제1 화소 전극(PE1)은 상기 제1 스토리지 커패시터(Cst1)를 통하여 상기 제1 스토리지 라인(SL1)에 전기적으로 연결되므로, 상기 제1 스토리지 라인(SL1)으로 상기 제3 데이터 전압(Vd3)과 동일한 극성의 전압이 인가되면, 상기 제1 화소 전극(PE1)에 인가된 제3 데이터 전압(Vd3)은 상기 제2 시점(t2)에 상기 제3 데이터 전압(Vd3)보다 크기가 큰 제5 화소 전압(Vd31)으로 변화된다. 또한, 상기 제2 화소 전극(PE2)은 상기 제2 스토리지 커패시터(Cst2)를 통하여 상기 제2 스토리지 라인(SL2)에 전기적으로 연결되므로, 상기 제2 스토리지 라인(SL2)으로 상기 제3 데이터 전압(Vd3)과 반대 극성의 전압이 인가되면, 상기 제2 화소 전극(PE2)에 인가된 제3 데이터 전압(Vd3)은 상기 제2 시점(t2)에 상기 제3 데이터 전압(Vd3)보다 크기가 작은 제6 화소 전압(Vd32)으로 변화된다.

상기 제3 화소 전극(PE3)은 상기 제3 스토리지 커패시터(Cst3)를 통하여 상기 제2 스토리지 라인(SL2)에 연결되므로, 상기 제2 스토리지 라인(SL2)으로 상기 제4 데이터 전압(Vd4)과 동일한 극성의 전압이 인가되면, 상기 제3 화소 전극(PE3)에 인가된 제4 데이터 전압(Vd4)은 상기 제2 시점(t2)에 상기 제4 데이터 전압(Vd4)보다 크기가 큰 제7 화소 전압(Vd41)으로 변화된다. 또한, 상기 제4 화소 전극(PE4)은 상기 제4 스토리지 커패시터(Cst4)를 통하여 상기 제1 스토리지 라인(SL1)에 연결되므로, 상기 제1 스토리지 라인(SL1)으로 상기 제4 데이터 전압(Vd4)과 반대 극성의 전압이 인가되면, 상기 제4 화소 전극(PE4)에 인가된 제4 데이터 전압(Vd4)은 상기 제2 시점(t2)에 상기 제4 데이터 전압(Vd4)보다 크기가 작은 제8 화소 전압(Vd42)으로 변화된다.

상기 제1 내지 제4 화소 전극(PE1-PE4) 각각에 충전된 상기 제5 내지 제8 화소 전압(Vd31, Vd32, Vd41, Vd42)은 상기 제2 게이트-온 신호(Ton2) 다음의 게이트-온 신호가 인가될 때까지 유지된다.

이와 같이, 상기 제1 화소 전극(PE1)에는 상대적으로 높은 크기의 전압이 인가되어 상대적으로 높은 계조를 표

현하고, 상기 제2 화소 전극(PE2)에는 상대적으로 낮은 크기의 전압이 인가되어 상대적으로 낮은 계조를 표현하여, 상기 제1 및 제2 화소 전극(PE1, PE2)이 각각 서브 화소로서 하나의 화소를 구성하여 상기 높은 계조 및 상기 낮은 계조 사이의 중간 계조를 표현할 수 있다. 이러한 방식으로 표시장치(100)의 시야각을 향상시킬 수 있다.

도 6a는 제1 배향막의 배향 방향을 나타낸 평면도이고, 도 6b는 제2 배향막의 배향 방향을 나타낸 평면도이며, 도 6c는 제1 및 제2 화소 전극의 평면도이다. 구체적으로, 도 6a 및 도 6b에는 도 6c의 제1 및 제2 화소 전극(PE1, PE2)에 각각 대응하는 제1 및 제2 배향막(115, 118)의 배향 방향을 도시하였다.

도 2 및 도 6a를 참고하면, 제1 및 제2 화소 전극(PE1, PE2)에 대응하여 제1 배향막(115)은 제1 배향 영역(A1) 및 제2 배향 영역(A2)으로 구분된다. 상기 제1 배향 영역(A1)은 제1 방향(D1)으로 배향될 수 있고, 상기 제2 배향 영역(A2)은 상기 제1 방향(D1)과 반대 방향인 제2 방향(D2)으로 배향될 수 있다.

상기 제1 배향막(115)의 배향 방향은 상기 제1 배향막(115)에 편광 방향이 다른 자외선을 조사하거나, 상기 제1 배향막(115)의 표면에 대하여 광을 기울어지게 조사함으로써 결정할 수 있다. 이하에서는 마스크를 이용하여 광을 경사지게 조사하는 방법에 대하여 예로써 설명한다.

상기 제1 배향막(115) 상부에는 개구부가 형성된 마스크(미도시)가 배치된다. 상기 개구부가 상기 제1 배향 영역(A1)에 대응하여 배치되면, 상기 광을 비스듬한 각도로 조사하여 상기 제1 배향막(115)의 상기 제1 배향 영역(A1)을 1차 노광한다. 특히, 상기 1차 노광시 상기 광을 출사하는 노광 장치(미도시)는 상기 제1 방향(D1)으로 이동하면서 상기 제1 배향 영역(A1)에 상기 광을 조사할 수 있다. 또한, 상기 제1 배향막(115) 표면에 비스듬하게 상기 광을 조사하는 방법은 상기 제1 기관(101)을 기울이거나 상기 노광 장치를 기울임으로써 가능하다.

다음, 상기 개구부가 상기 제2 배향 영역(A2)에 대응하도록 상기 마스크를 이동시킨 후, 상기 제1 배향막(115)의 상기 제2 배향 영역(A2)에 상기 광을 비스듬하게 기울여 조사함으로써 2차 노광을 수행한다. 특히, 상기 2차 노광시 상기 노광 장치는 상기 제1 방향(D1)과 반대하는 제2 방향(D2)으로 이동하며 상기 제2 배향 영역(A2)에 상기 광을 조사한다.

상기에서, 상기 제1 배향막은 광 배향 방식을 이용하여 배향하는 경우를 예로서 설명하였지만, 본 발명은 이에 한정되는 것은 아니며 러빙 방식 또는 반응성 메조겐(Reactive Mesogens) 방식과 같은 다른 방식을 이용하여 상기 제1 배향막을 배향할 수 있음은 물론이다.

도 2 및 도 6b를 참조하면, 제1 및 제2 화소 전극(PE1, PE2) 각각에 대응하여 제2 배향막(118)은 상기 제3 및 제4 배향 영역(A3, A4)으로 구분된다. 상기 제3 배향 영역(A3)은 상기 제1 방향(D1)과 수직인 제3 방향(D3)으로 배향될 수 있고, 상기 제4 배향 영역(A4)은 상기 제3 방향(D3)과 반대 방향인 제4 방향(D4)으로 배향될 수 있다.

도 6b에서, 제5 배향 영역(A4)은 평면상 상기 제1 및 제2 배향막 트랜지스터(도 2의 TR1, TR2) 등이 구비되는 영역에 대응하는 영역으로 인접한 영역과 유사한 방향으로 배향되거나 배향되지 않을 수 있다.

상기 제2 배향막(118)은 상기 제1 배향막(115)과 유사한 방법으로 배향될 수 있으므로, 상기 제2 배향막(118)의 배향 방법에 대한 구체적인 설명은 생략한다.

도 2, 도 3, 및 도 6c를 참고하면, 상기 제1 기관(101) 및 상기 제2 기관(102)이 상기 액정층(103)을 사이에 두고 서로 마주하여 결합되면, 상기 제1 및 제2 화소 전극(PE1, PE2)에 각각 대응하여 제1 내지 제4 도메인(DM1~DM4)이 정의될 수 있다. 구체적으로, 상기 제2 및 제3 배향 영역(A2, A3)이 중첩된 영역에 상기 제1 도메인(DM1)이 정의되고, 상기 제1 및 제3 배향 영역(A1, A3)이 중첩된 영역에 상기 제2 도메인(DM2)이 정의되며, 상기 제1 및 제4 배향 영역(A1, A4)이 중첩된 영역에 상기 제3 도메인(DM3)이 정의되고, 상기 제2 및 제4 배향 영역(A2, A4)이 중첩된 영역에 상기 제4 도메인(DM4)이 정의될 수 있다.

상기 제1 내지 제4 도메인(DM1~DM4)에서 상기 액정층(103)에 포함된 액정들, 예를 들어 수직 배향 액정들은 서로 다른 방향으로 프리틸트될 수 있다. 구체적으로, 상기 액정들은 상기 제1 도메인(DM1)에서 상기 제1 및 제3 방향(D1, D3)의 벡터 합으로 정의된 제7 방향(D7)으로 프리틸트되고, 상기 제2 도메인(DM2)에서 상기 제2 및 제3 방향(D2, D3)의 벡터 합으로 정의된 제5 방향(D5)으로 프리틸트되며, 상기 제3 도메인(DM3)에서 상기 제2 및 제4 방향(D2, D4)의 벡터 합으로 정의된 제6 방향(D6)으로 프리틸트되고, 상기 제4 도메인(DM4)에서 상기 제1 및 제4 방향(D1, D4)의 벡터 합으로 정의된 제8 방향(D8)으로 프리틸트된다.

따라서, 상기 제1 내지 제4 도메인(DM1~DM4)에서 상기 액정층(103)의 액정들의 배향 방향은 반시계 방향으로 순

환한다. 이와 같이, 각 서브 화소에 대응하는 액정들을 다수의 도메인으로 나누어 서로 다른 방향으로 배향함으로써, 상기 표시장치(100)는 더 넓은 시야각을 가질 수 있다.

도 6a 내지 도 6c의 상기 제1 및 제2 배향막(115, 118)의 배향 방향은 예로서 도시된 것으로, 실시형태에 따라 배향 영역 및 배향 방향은 변경될 수 있다.

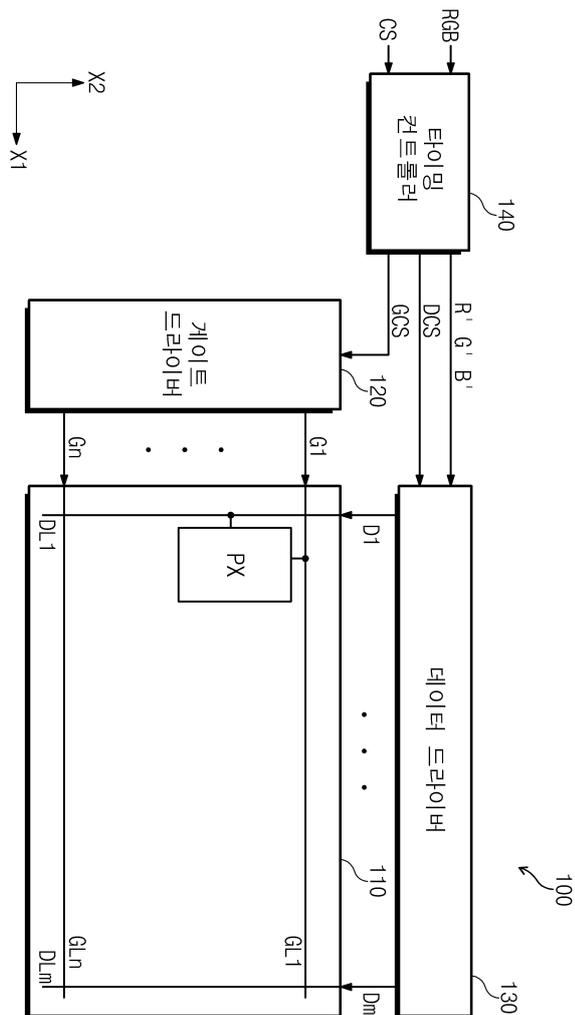
이상 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다. 또한 본 발명에 개시된 실시예는 본 발명의 기술 사상을 한정하기 위한 것이 아니고, 하기의 특허 청구의 범위 및 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

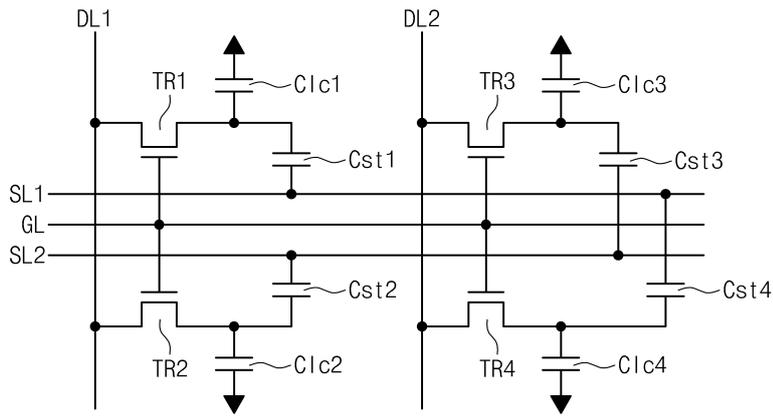
- 100: 표시장치
- 101: 제1 기판
- 102: 제2 기판
- 103: 액정층
- 110: 표시패널
- 120: 게이트 드라이버
- 130: 데이터 드라이버
- 140: 타이밍 컨트롤러

도면

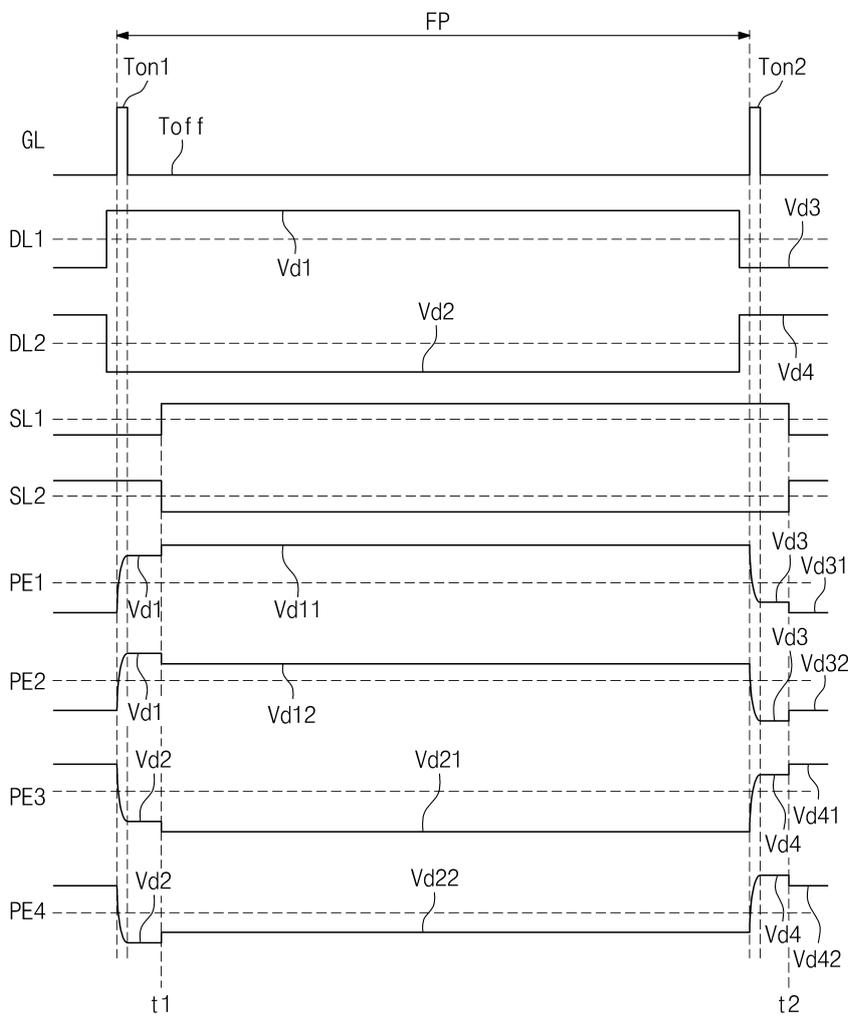
도면1



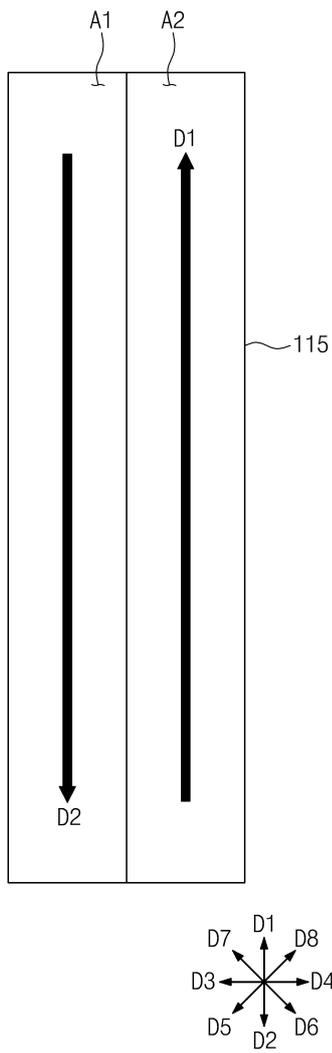
도면4



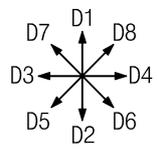
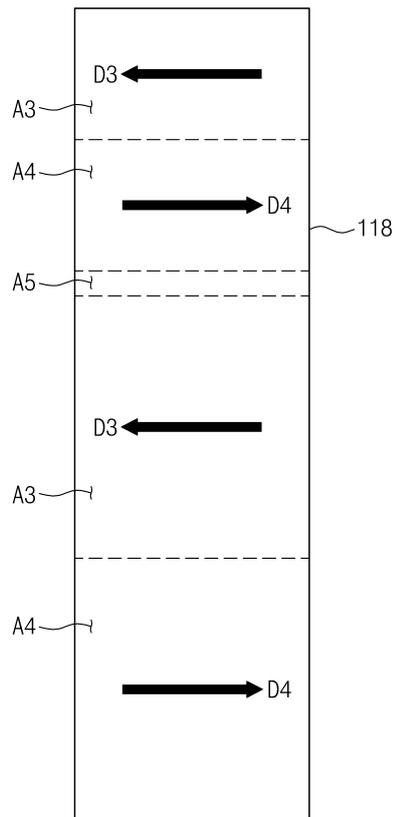
도면5



도면6a



도면6b



도면6c

