



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I534824 B

(45) 公告日：中華民國 105 (2016) 年 05 月 21 日

(21) 申請案號：103118879

(22) 申請日：中華民國 103 (2014) 年 05 月 29 日

(51) Int. Cl. : G11C5/14 (2006.01)

(30) 優先權：2014/03/04 美國 61/947,763

(71) 申請人：東芝股份有限公司 (日本) KABUSHIKI KAISHA TOSHIBA (JP)
日本

(72) 發明人：柳平康輔 YANAGIDAIRA, KOSUKE (JP)

(74) 代理人：陳長文

(56) 參考文獻：

US 8120319B2

審查人員：蔡明宏

申請專利範圍項數：20 項 圖式數：20 共 41 頁

(54) 名稱

半導體記憶體之控制電路、記憶系統及半導體記憶體之控制系統

CONTROL CIRCUIT OF SEMICONDUCTOR MEMORY, MEMORY SYSTEM AND CONTROL SYSTEM OF SEMICONDUCTOR MEMORY

(57) 摘要

本發明之半導體記憶體之控制電路係控制半導體記憶體，且與半導體記憶體一併構成記憶系統。記憶系統係自電源被供給電力，且採取消耗電力不同之第 1 狀態及第 2 狀態。控制電路係獲取記憶系統為第 1 狀態時之電源之端子電壓作為第 1 端子電壓。又，控制電路係獲取記憶系統為第 2 狀態時之電源之端子電壓作為第 2 端子電壓。再者，控制電路係以判定第 1 端子電壓與第 2 端子電壓之差分是否大於特定值之方式構成。

A control circuit of a semiconductor memory controls the semiconductor memory and configures a memory system with the semiconductor memory. The memory system is supplied with power from a power supply. The memory system transits between a first state and a second state in which a load current of the memory system is different from each other. The control circuit is configured to receive a terminal voltage of the power supply as a first terminal voltage when the memory system is in the first state. The control circuit is configured to receive a terminal voltage of the power supply as a second terminal voltage when the memory system is in the second state. The control circuit is configured to judge whether a difference between the first terminal voltage and the second terminal voltage is larger than a certain value.

指定代表圖：

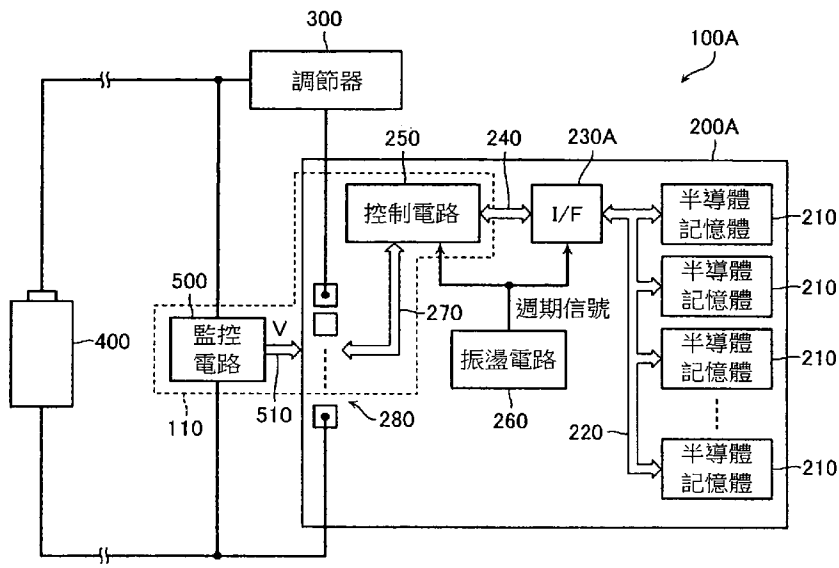


圖1

符號簡單說明：

- 100A . . . 移動機器
- 110 . . . 控制系統
- 200A . . . 記憶系統
- 210 . . . 半導體記憶體
- 220 . . . 匯流排
- 230A . . . 記憶體介面
- 240 . . . 匯流排
- 250 . . . 控制電路
- 260 . . . 振盪電路
- 270 . . . 匯流排
- 280 . . . 輸入輸出引腳
- 300 . . . 調節器
- 400 . . . 電池
- 500 . . . 監控電路
- 510 . . . 匯流排
- V . . . 端子電壓

發明摘要

※ 申請案號：103118879

※ 申請日：103. 5. 29

※ IPC 分類：G11C 5/14 (2006.01)

【發明名稱】

半導體記憶體之控制電路、記憶系統及半導體記憶體之控制系統
CONTROL CIRCUIT OF SEMICONDUCTOR MEMORY,
MEMORY SYSTEM AND CONTROL SYSTEM OF
SEMICONDUCTOR MEMORY

【中文】

本發明之半導體記憶體之控制電路係控制半導體記憶體，且與半導體記憶體一併構成記憶系統。記憶系統係自電源被供給電力，且採取消耗電力不同之第1狀態及第2狀態。控制電路係獲取記憶系統為第1狀態時之電源之端子電壓作為第1端子電壓。又，控制電路係獲取記憶系統為第2狀態時之電源之端子電壓作為第2端子電壓。再者，控制電路係以判定第1端子電壓與第2端子電壓之差分是否大於特定值之方式構成。

【英文】

A control circuit of a semiconductor memory controls the semiconductor memory and configures a memory system with the semiconductor memory. The memory system is supplied with power from a power supply. The memory system transits between a first state and a second state in which a load current of the memory system is different from each other. The control circuit is configured to receive a terminal voltage of the power supply as a first terminal voltage when the memory system is in the first state. The control circuit is configured to receive a terminal voltage of the power supply as a second terminal voltage when the memory system is in the second state. The control circuit is configured to judge whether a difference between the first terminal voltage and the second terminal voltage is larger than a certain value.

【代表圖】

【本案指定代表圖】：第（1）圖。

【本代表圖之符號簡單說明】：

100A	移動機器
110	控制系統
200A	記憶系統
210	半導體記憶體
220	匯流排
230A	記憶體介面
240	匯流排
250	控制電路
260	振盪電路
270	匯流排
280	輸入輸出引腳
300	調節器
400	電池
500	監控電路
510	匯流排
V	端子電壓

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

半導體記憶體之控制電路、記憶系統及半導體記憶體之控制系統
CONTROL CIRCUIT OF SEMICONDUCTOR MEMORY,
MEMORY SYSTEM AND CONTROL SYSTEM OF
SEMICONDUCTOR MEMORY

【技術領域】

此處所記載之實施形態係關於一種半導體記憶體之控制電路、記憶系統及半導體記憶體之控制系統。

【先前技術】

近年來，智慧型電話或平板終端等移動機器正急速普及。該等移動機器具備：記憶系統，其具有半導體記憶體與控制半導體記憶體之控制電路；電源，其係對記憶系統供給電力；及監控電路，其檢測電源之端子電壓。

【發明內容】

本發明係提供一種可根據電源之狀態適宜地控制半導體記憶體之半導體記憶體之控制電路、記憶系統及半導體記憶體之控制系統。

以下所記載之實施形態之半導體記憶體之控制電路係控制半導體記憶體，與半導體記憶體一併構成記憶系統。記憶系統係自電源被供給電力，且採取消耗電力不同之第1狀態及第2狀態。控制電路係獲取記憶系統為第1狀態時之電源之端子電壓作為第1端子電壓。又，控制電路係獲取記憶系統為第2狀態時之電源之端子電壓作為第2端子電壓。再者，控制電路係以判定第1端子電壓與第2端子電壓之差分是否大於特定值之方式構成。

【圖式簡單說明】

圖1係顯示第1實施形態之移動機器之構成之方塊圖。

圖2係顯示該移動機器之一部分之構成之電路圖。

圖3係顯示該實施形態之控制電路之構成之方塊圖。

圖4係顯示該實施形態之記憶體介面之構成之方塊圖。

圖5係用以說明該實施形態之移動機器之動作之圖表。

圖6係用以說明該動作之流程圖。

圖7係顯示第2實施形態之移動機器之構成之方塊圖。

圖8係顯示第3實施形態之移動機器之構成之方塊圖。

圖9係顯示第4實施形態之移動機器之構成之方塊圖。

圖10係用以說明該移動機器之動作之時序圖。

圖11係用以說明該動作之時序圖。

圖12係用以說明該動作之流程圖。

圖13係顯示第5實施形態之移動機器之構成之方塊圖。

圖14係顯示該實施形態之記憶體介面之構成之方塊圖。

圖15係用以說明該實施形態之移動機器之動作之流程圖。

圖16係顯示第6實施形態之移動機器之構成之方塊圖。

圖17係用以說明該實施形態之移動機器之動作之流程圖。

圖18係顯示第7實施形態之移動機器之構成之方塊圖。

圖19係顯示第8實施形態之移動機器之構成之方塊圖。

圖20係顯示第9實施形態之電子機器之構成之方塊圖。

【實施方式】

以下，參照圖式，對半導體裝置、半導體記憶裝置及其控制方法之實施形態進行說明。

[第1實施形態]

[整體構成]

圖1係顯示第1實施形態之移動機器100A之構成之方塊圖。移動機器100A係自電池400被供給電力而驅動之機器，係例如智慧型電話、平板終端、行動電話、便攜式音樂播放機器、便攜式遊戲機、穿戴式終端、其他機器。又，本實施形態之移動機器100A具有記憶系統200A，根據電池400之狀態調整記憶系統200A之負載電流。

如圖1所示，移動機器100A具備：記憶系統200A，其記憶資料；調節器300，其調整施加至記憶系統200A之電壓；電池400，其經由調節器300對記憶系統200A供給電力；及監控電路500，其檢測電池400之端子電壓。

本實施形態之記憶系統200A可為例如記憶卡等之可拆卸之記憶系統，亦可為配置於移動機器100A之記憶體晶片等。記憶系統200A係記憶經由輸入輸出引腳280輸入之資料，進而將所記憶之資料經由輸入輸出引腳280輸出。又，記憶系統200A係經由輸入輸出引腳280被供給電力。

如圖1所示，記憶系統200A具備：複數個半導體記憶體210，其等係記憶資料；控制電路250，其並聯控制複數個半導體記憶體210；及記憶體介面230A，其係將自控制電路250輸出之命令輸入至複數個半導體記憶體210。又，記憶系統200A具備對控制電路250及記憶體介面230A輸入週期信號之振盪電路260。

半導體記憶體210係根據來自控制電路250之命令進行資料之讀取、寫入及抹除之記憶體，係例如NAND快閃記憶體、NOR快閃記憶體、ReRAM(Resistive Random Access Memory：電阻式隨機存取記憶體)、MRAM(Magnetoresistive Random Access Memory：磁阻式隨機存取記憶體)、DRAM(Dynamic Random Access Memory：動態隨機存取記憶體)等。

控制電路250係經由記憶體介面230A控制複數個半導體記憶體

210，進行資料之寫入動作、讀取動作、抹除動作及待機動作等各種動作。又，本實施形態之控制電路250係經由匯流排270連接於輸入輸出引腳280。再者，控制電路250係與監控電路500一併構成控制半導體記憶體210之控制系統110。

記憶體介面230A係暫時保持自控制電路250輸出之命令，並輸入至特定之半導體記憶體210。記憶體介面230A係經由匯流排220與複數個半導體記憶體210連接，且經由匯流排240與控制電路250連接。

調節器300係調整電池400之端子電壓 V ，產生特定大小之恒定電壓而供給至記憶系統200A。電池400係一次電池、二次電池、燃料電池等電池。

監控電路500係例如電壓計。監控電路500係經由匯流排510連接於輸入輸出引腳280。監控電路500係檢測電池400之端子電壓，並經由匯流排510輸入至記憶系統200A。

圖2係用以說明電池400之特性之概略電路圖。電池400可視為直流(Direct Current)電源410與內部電阻420之串聯電路。以下，將直流電源410之電動勢設為 E ，將內部電阻420之電阻值設為 r ，將電池400供給之電流設為 I ，將電池400之端子電壓設為 V 。

圖3係顯示控制電路250之概略構成之方塊圖。控制電路250具備：CPU(Central Processing Unit：中央處理單元)251，其進行運算處理；快取記憶體252；ECC(Error Correcting Codes：錯誤校正碼)電路254，其進行錯誤之檢測及資料之訂正；CPU251；及時脈產生電路253，其係對快取記憶體252及ECC電路254輸入時脈信號。

CPU251係依序讀取記憶於快取記憶體252之指令、位址及資料等，而進行運算處理。又，CPU251係獲取與監控電路500中所檢測出之端子電壓 V 相關之資料，且藉由後述之方法控制複數個半導體記憶體210。

時脈產生電路253係自振盪電路260輸入週期信號而產生時脈信號，且輸入至CPU251、快取記憶體252及ECC電路254。

圖4係顯示記憶體介面230A之構成之方塊圖。記憶體介面230A具備：緩衝電路231，其係於控制電路250與半導體記憶體210之間協調資料之傳送；及時脈產生電路232A，其係對緩衝電路231輸入時脈信號。

緩衝電路231係經由匯流排240與控制電路250連接，經由匯流排220與複數個半導體記憶體210連接。時脈產生電路232A係自振盪電路260輸入週期性之信號而產生時脈信號，且輸入至緩衝電路231。

圖5係用以說明移動機器100A之動作之圖表。縱軸表示電池400之端子電壓V，橫軸表示電池400供給之電流I。

圖5中，「第1狀態」係待機狀態等、記憶系統200A之負載較小且負載電流小於特定值之狀態。另一方面，「第2狀態」係寫入動作中或抹除動作中等、記憶系統200A之負載較大且負載電流之大小大於特定值之狀態。

端子電壓V可大致表示為 $V = E - rI$ 。又，電阻值r係因動作溫度或時效變化等各種原因而增大。於圖5中，顯示例如電阻值r為 r_1 之情形時之端子電壓V與電流I之關係、與為 $r_2 (> r_1)$ 之情形時之端子電壓V與電流I之關係。

電阻值r為相對較小之 r_1 且記憶系統200A為第1狀態之情形時，移動機器100A之動作點成為 P_1 ，端子電壓V成為接近於電動勢E之值 V_h 。另一方面，電阻值r為相對較小之 r_1 且記憶系統200A為第2狀態之情形時，移動機器100A之動作點成為 P_2 ，端子電壓V成為 $V_{11} = E - r_1 I_1$ 。

另一方面，電阻值r為相對較大之 r_2 且記憶系統200A為第1狀態之情形時，移動機器100A之動作點成為 P_1 ，端子電壓V成為接近於電動

勢 E 之值 V_h 。另一方面，電阻值 r 為相對較大之 r_2 且記憶系統200A為第2狀態之情形時，移動機器100A之動作點成為 P_3 ，端子電壓 V 成為 $V_{12} = E - r_2 I_1$ 。

如此，若電阻值 r 變大，則有端子電壓 V 低於記憶系統200A之驅動所需之電壓值之虞。

因此，本實施形態之控制電路250係如圖5所示，算出第1狀態之端子電壓 V 與第2狀態之端子電壓 V 之差分，若其大小大於預先設定之閾值電壓 V_{th1} 之情形時，減少記憶系統200A之負載，使負載電流自 I_1 降低至 I_2 。藉此，移動機器100A之動作點成為圖5中之 P_4 ，端子電壓 V 自 V_{12} 增大至 $V_{13}(= E - r_2 I_2)$ 。藉此，可確保記憶系統200A之驅動所需之電壓。

圖6係用以說明本實施形態之控制電路250之動作之流程圖。控制電路250首先控制半導體記憶體210，將記憶系統200A設為第1狀態(步驟S101)。

接著，對監控電路500要求端子電壓 V 之輸出(步驟S102)。接著，將自監控電路500輸出之端子電壓 V 記憶為第1端子電壓 V_h (步驟S103)。第1端子電壓 V_h 可記憶於例如快取記憶體252或半導體記憶體210。

接著，控制電路250並聯控制複數個半導體記憶體210而使其等進行特定之動作、例如寫入動作或抹除動作等，將記憶系統200A設為第2狀態(步驟S104)。

接著，對監控電路500要求端子電壓 V 之輸出(步驟S105)。接著，將自監控電路500輸出之端子電壓 V 記憶為第2端子電壓 V_l (步驟S106)。第2端子電壓 V_l 可記憶於例如快取記憶體252或半導體記憶體210。

接著，控制電路250讀取所記憶之第1端子電壓 V_h 及第2端子電壓

V_1 而算出 $V_h - V_1$ ，並判定該 $V_h - V_1$ 是否大於等於 V_{th1} (步驟S107)。於 $V_h - V_1$ 大於等於 V_{th1} 之情形時，減少動作之半導體記憶體210之數量(步驟S108)。於 $V_h - V_1$ 不滿 V_{th1} 之情形時，不執行步驟S108之動作，不變更動作之半導體記憶體210之數量。

如此，本實施形態之控制電路250係檢測電池400之狀態，而根據其結果適宜地調整動作之半導體記憶體210之片數。因此，於電阻值 r 較小之情形時可增加移動機器100A中並聯動作之半導體記憶體210之數量而獲得高性能，且於電阻值 r 較大之情形時可減少記憶系統200A中並聯動作之半導體記憶體210之數量而降低負載電流，從而確保記憶系統200A之驅動所需之電壓。

[第2實施形態]

接著，參照圖7，對第2實施形態進行說明。圖7係顯示第2實施形態之移動機器100B之構成之方塊圖。另，於圖7中，對與第1實施形態之移動機器100A相同之構成標註相同之符號，並省略說明。本實施形態之移動機器100B具備顯示器件600，藉由該顯示器件600將移動機器100B之動作速度之變化告知使用者。

顯示器件600係顯示自記憶系統200A輸出之資料之器件，例如液晶顯示器或LED(Light Emitting Diode：發光二極體)燈、微型燈泡等。顯示器件600係經由匯流排610連接於記憶系統200A之輸入輸出引腳280。

本實施形態之控制電路250係減少上述步驟S108中動作之半導體記憶體210之數量，一併對顯示器件600輸入特定之信號。

顯示器件600係接收該信號，將動作之半導體記憶體210之數量已變化之意旨等顯示於顯示器件600。因此，使用者可經由顯示器件600之顯示而掌握移動機器100B之動作速度之變化。又，亦可促進電池400之更換或充電。

[第3實施形態]

接著，參照圖8，對第3實施形態進行說明。圖8係顯示第3實施形態之移動機器100C之構成之方塊圖。另，於圖8中，對與第1實施形態之移動機器100A相同之構成標註相同之符號，並省略說明。本實施形態之移動機器100C具備聲音器件700，藉由該聲音器件700將移動機器100C之動作速度之變化告知使用者。

聲音器件700係根據自記憶系統200A輸出之資料產生聲音之器件，例如耳機或揚聲器等。聲音器件700係經由匯流排710連接於記憶系統200A之輸入輸出引腳280。

本實施形態之控制電路250係減少上述步驟S108中動作之半導體記憶體210之數量，一併對聲音器件700輸入特定之信號。

聲音器件700係接收該信號，產生表示動作之半導體記憶體210之數量已變化之意旨等之聲音。因此，使用者可經由聲音器件700之聲音而掌握移動機器100C之動作速度之變化。又，亦可促進電池400之更換或充電。

[第4實施形態]

接著，參照圖9～圖12，對第4實施形態進行說明。圖9係顯示第4實施形態之移動機器100D之構成之方塊圖。另，於圖9中，對與第1實施形態之移動機器100A相同之構成標註相同之符號，並省略說明。

本實施形態之移動機器100D與上述實施形態不同之點在於：藉由所謂之交錯動作可使複數個半導體記憶體210執行特定之動作、例如寫入動作、讀取動作或抹除動作。且，根據監控電路500之監控結果，而藉由交錯動作控制半導體記憶體210。另，第4實施形態之移動機器於其他方面構成為與第1實施形態之移動機器100A相同。另，為了便於說明，於圖9中，對複數個半導體記憶體210標註不同之符號

211~214、21n。

接著，參照圖10及圖11，對通常時之動作及交錯動作進行說明。圖10及圖11分別為用以對通常時之動作及交錯動作進行說明之時序圖。

圖10顯示使4個半導體記憶體211~214進行讀取動作時之啟動信號。如圖10所示，輸入至半導體記憶體211~214之啟動信號係同時成為H狀態。又，半導體記憶體211~214係當所輸入之啟動信號上升時開始預充電動作，當所輸入之啟動信號下降時開始所保持之資料之讀取動作。

圖11顯示藉由交錯動作，使4個半導體記憶體211~214進行讀取動作時之啟動信號。如圖11所示，輸入至半導體記憶體211~214之啟動信號依序成為H狀態。於圖11中，半導體記憶體211~214亦當所輸入之啟動信號上升時開始預充電動作，當所輸入之啟動信號下降時開始所保持之資料之讀取動作。

即，於時序t1，輸入至半導體記憶體211之啟動信號成為H狀態。與此相應，半導體記憶體211開始預充電動作。

於時序t2，輸入至半導體記憶體211之啟動信號成為L狀態。與此相應，半導體記憶體211開始所保持之資料之讀取動作。又，於時序t2，輸入至半導體記憶體212之啟動信號成為H狀態。與此相應，半導體記憶體212開始預充電動作。

於時序t3，輸入至半導體記憶體212之啟動信號成為L狀態。與此相應，半導體記憶體212開始所保持之資料之讀取動作。又，於時序t3，輸入至半導體記憶體213之啟動信號成為H狀態。與此相應，半導體記憶體213開始預充電動作。

根據交錯動作，可使負載電流瞬間增大之預充電動作之時序於複數個半導體記憶體211~214之間不同，而防止記憶系統200A中之

瞬間之負載電流之增大。又，可實質上隱蔽預充電動作，而實質上縮短動作時間。

接著，參照圖12，說明本實施形態之控制電路250之動作。圖12係用以說明本實施形態之控制電路250之動作之流程圖。控制電路250首先控制半導體記憶體210，將記憶系統200A設為第1狀態(步驟S101)。

接著，對監控電路500要求端子電壓V之輸出(步驟S102)。接著，將自監控電路500輸出之端子電壓V記憶為第1端子電壓 V_h (步驟S103)。第1端子電壓 V_h 可記憶於例如快取記憶體252或半導體記憶體210。

接著，控制電路250並聯控制複數個半導體記憶體210而使其等進行特定之動作、例如寫入動作或抹除動作等，將記憶系統200A設為第2狀態(步驟S104)。

接著，對監控電路500要求端子電壓V之輸出(步驟S105)。接著，將自監控電路500輸出之端子電壓V記憶為第2端子電壓 V_l (步驟S106)。第2端子電壓 V_l 可記憶於例如快取記憶體252或半導體記憶體210。

接著，控制電路250讀取所記憶之第1端子電壓 V_h 及第2端子電壓 V_l 而算出 $V_h - V_l$ ，並判定該 $V_h - V_l$ 是否大於等於 V_{th1} (步驟S107)。於 $V_h - V_l$ 大於等於 V_{th1} 之情形時，藉由交錯動作使複數個半導體記憶體210進行特定之動作、例如預充電動作(步驟S111)。於 $V_h - V_l$ 不滿 V_{th1} 之情形時，不執行步驟S111之動作，而不進行交錯動作。

如此，本實施形態之控制電路250係檢測電池400之狀態，根據其結果進行交錯動作。因此，於電阻值r較小之情形時，可於移動機器100D中使複數個半導體記憶體210同時執行特定之動作而獲得高性能，且於電阻值r較大之情形時，可藉由進行交錯動作而防止瞬間之

負載電流增大，從而確保驅動記憶系統200A所需之電壓。

[第5實施形態]

接著，參照圖13～圖15，對第5實施形態進行說明。圖13係顯示第5實施形態之移動機器100E之構成之方塊圖。另，於圖13中，對與第1實施形態之移動機器100A相同之構成標註相同之符號，並省略說明。本實施形態之移動機器100E係藉由調整記憶體介面230B之驅動頻率而進行電流I之調整。

如圖13所示，本實施形態之移動機器100E包含具備驅動頻率為可變之記憶體介面230B之記憶系統200B，關於其他方面，構成為與第1實施形態之移動機器100A相同。

圖14係顯示記憶體介面230B之構成之方塊圖。另，於圖14中，對與第1實施形態之記憶體介面230A相同之構成標註相同之符號，並省略說明。記憶體介面230B雖構成為基本上與第1實施形態之記憶體介面230A相同，但時脈產生電路232B之構成不同。時脈產生電路232B係經由匯流排240與控制電路250連接，根據控制電路250之命令產生具有不同之頻率之時脈信號。

圖15係用以說明本實施形態之移動機器100E之動作之流程圖。控制電路250首先控制半導體記憶體210，將記憶系統200B設為第1狀態(步驟S101)。

接著，對監控電路500要求端子電壓V之輸出(步驟S102)。接著，將自監控電路500輸出之端子電壓V記憶為第1端子電壓 V_h (步驟S103)。第1端子電壓 V_h 可記憶於例如快取記憶體252或半導體記憶體210。

接著，控制電路250使半導體記憶體210進行特定之動作，將記憶系統200B設為第2狀態(步驟S114)。

接著，對監控電路500要求端子電壓V之輸出(步驟S105)。接著，

將自監控電路500輸出之端子電壓 V 記憶為第2端子電壓 V_1 (步驟S106)。第2端子電壓 V_1 可記憶於例如快取記憶體252或半導體記憶體210。

接著，控制電路250讀取所記憶之第1端子電壓 V_h 及第2端子電壓 V_1 而算出 $V_h - V_1$ ，並判定該 $V_h - V_1$ 是否大於等於 V_{th1} (步驟S107)。於 $V_h - V_1$ 大於等於 V_{th1} 之情形時，經由匯流排240操作時脈產生電路232B，而調整時脈信號之頻率。藉此，降低記憶體介面230B之驅動頻率(步驟S115)。於 $V_h - V_1$ 不滿 V_{th1} 之情形時，不執行步驟S115之動作，而不調整時脈信號之頻率。因此，未降低記憶體介面230B之驅動頻率。

如此，本實施形態之控制電路250係檢測電池400之狀態，根據其結果適宜地調整記憶體介面230B之驅動頻率。因此，於電阻值 r 較小之情形時可增大記憶體介面230B之驅動頻率而獲得高性能，且於電阻值 r 較大之情形時可降低記憶體介面230B之驅動頻率，從而確保記憶系統200B之驅動所需之電壓。

[第6實施形態]

接著，參照圖16及圖17，對第6實施形態進行說明。圖16係顯示第6實施形態之移動機器100F之構成之方塊圖。另，於圖16中，對與第1實施形態之移動機器100A相同之構成標註相同之符號，並省略說明。本實施形態之移動機器100F係藉由調整控制電路250之驅動頻率而進行電流 I 之調整。

如圖16所示，本實施形態之移動機器100F構成為基本上與第1實施形態之移動機器100A相同。

圖17係用以說明本實施形態之移動機器100F之動作之流程圖。本實施形態之移動機器100F雖與第5實施形態之移動機器100E大致相同動作，但不同點在於：藉由調整控制電路250之驅動頻率而進行電

流I之調整。

即，本實施形態之控制電路250係於 $V_h - V_l$ 大於等於 V_{th1} 之情形時，操作時脈產生電路253(圖3)，而調整時脈信號之頻率。藉此，降低控制電路250之驅動頻率(步驟S117)。於 $V_h - V_l$ 不滿 V_{th1} 之情形時，不執行步驟S117之動作，而不調整時脈信號之頻率。因此，未降低控制電路250之驅動頻率。

如此，本實施形態之控制電路250係檢測電池400之狀態，根據其結果適宜地調整控制電路250之驅動頻率。因此，於電阻值r較小之情形時可增大控制電路250之驅動頻率而獲得高性能，且於電阻值r較大之情形時可降低控制電路250之驅動頻率，從而確保記憶系統200C之驅動所需之電壓。

[第7實施形態]

接著，參照圖18，對第7實施形態進行說明。圖18係顯示第7實施形態之移動機器100G之構成之方塊圖。另，於圖18中，對與第1實施形態之移動機器100A相同之構成標註相同之符號，並省略說明。於本實施形態中，具備半導體記憶體210之記憶部290與控制電路250係相互獨立設置，藉由該等記憶部290與控制電路250構成記憶系統200D。另，關於其他構成，本實施形態之移動機器100G係構成為與第1實施形態之移動機器100A大致相同。

本實施形態之記憶部290可為可拆卸之構成，亦可為配置於移動機器100G之晶片等。記憶部290係記憶經由輸入輸出引腳280輸入之資料，進而將所記憶之資料經由輸入輸出引腳280輸出。又，記憶部290係經由輸入輸出引腳280被供給電力。

如圖18所示，記憶部290具備：複數個半導體記憶體210，其等係記憶資料；及記憶體介面230A，其係經由匯流排291連接於輸入輸出引腳280，且將所輸入之命令輸入至複數個半導體記憶體210。又，

記憶部290具備對記憶體介面230A輸入週期信號之振盪電路260。

控制電路250係藉由第1～第6實施形態所說明之方法中之至少一個控制記憶系統200D。

如本實施形態般，於獨立設置記憶部290與控制電路250之情形時，亦可於電池400之電阻值 r 較小之情形時獲得高性能，且可於電阻值 r 較大之情形時確保記憶系統200D之驅動所需之電壓。

[第8實施形態]

接著，參照圖19，對第8實施形態進行說明。圖19係顯示第8實施形態之移動機器100H之構成之方塊圖。另，於圖19中，對與第1實施形態之移動機器100A相同之構成標註相同之符號，並省略說明。於本實施形態中，監控電路500係包含於記憶系統200E，經由匯流排510連接於控制電路250。又，監控電路500檢測給予至輸入輸出引腳280之電壓。再者，雖於圖19中予以省略，但移動機器100H亦可具備調節器。另，關於其他構成，本實施形態之移動機器100H係構成為與第1實施形態之移動機器100A大致相同。

控制電路250係藉由第1～第6實施形態所說明之方法中之至少一個控制記憶系統200E。

如本實施形態般，於在記憶系統200E內包含有監控電路500之情形時，亦可於電池400之電阻值 r 較小之情形時獲得高性能，且可於電阻值 r 較大之情形時確保記憶系統200E之驅動所需之電壓。

[第9實施形態]

接著，參照圖20，對第9實施形態進行說明。圖20係顯示第9實施形態之電子機器800之構成之方塊圖。另，於圖20中，對與第1實施形態之移動機器100A或第8實施形態之移動機器100H相同之構成標註相同之符號，並省略說明。

電子機器800係可自外部之電源電路450被供給電力而驅動之電

子機器，例如為亦可藉由內置之電池驅動之如上所述之移動機器，或為如必須自外部供給電源之連接於例如PC(Personal Computer：個人電腦)等之電子機器。又，電源電路450係例如AC(Alternating Current：交流電)轉接器或DC-DC轉換器等之電子電路，或為可向外部供給電力之例如PC等之機器。本實施形態之電子機器800具有具備監控電路500之記憶系統200E，根據電源電路450之狀態或性能等調整記憶系統200E之負載電流。本實施形態之記憶系統200E係自例如成為電源電路之外部之PC等之USB(Universal Serial Bus：通用串列匯流排)端子被供給電力之SSD等之記憶系統。

控制電路250係藉由第1～第6實施形態所說明之方法中之至少一個控制記憶系統200E。

電源電路450與第1實施形態之電池400相同，可以如圖2之等價電路表現，具有內部電阻。因此，若記憶系統200E之負載電流增大，則有電源電路450內部之電壓下降增大，而使電源電路450之端子電壓低於記憶系統200E之驅動所需之電壓值之虞。於此種情形時，藉由控制電路250進行第1～第6實施形態所說明之方法，藉此，亦可於電源電路450之電流供給能力充分之情形時獲得高性能，且可於電源電路450之電流供給能力不充分之情形時確保記憶系統200E之驅動所需之電壓。

[其他實施形態]

亦可將第2實施形態所示之顯示器件600或第3實施形態所示之聲音器件700搭載於第3至第9實施形態之移動機器。又，第5至第9實施形態之記憶系統亦可僅具備一個半導體記憶體210。又，控制電路250之動作頻率及記憶體介面230B之頻率可獨立控制，亦可一併控制。

又，如上所述，電池400有時隨著動作溫度之上升而電阻值 r 增大，於上述各實施形態中，於此種情形時降低記憶系統之負載電流。

因此，例如動作溫度下降，電阻值 r 減少之情形時，亦可再次增大記憶系統之負載電流，進行高速之動作。

又，第1端子電壓 V_h 及第2端子電壓 V_l 亦可於獨立之時序獲取。例如，第1端子電壓 V_h 可於移動機器之電源投入時獲取，或於每個特定之時間獲取。又，第2端子電壓 V_l 亦可於每次進行特定之動作時獲取。再者，第1端子電壓 V_h 及第2端子電壓 V_l 之比較或負載電流之調整亦可於特定之動作中進行。

雖已說明本發明之若干實施形態，但該等實施形態係作為例子而提示者，並非意圖限定發明之範圍。該等新穎之實施形態可以其他各種形態實施，於不脫離發明主旨之範圍內可進行各種省略、置換、變更。該等實施形態或其變形包含在發明範圍或主旨內，且包含在申請專利範圍所揭示之發明及其均等之範圍內。

【符號說明】

21n	半導體記憶體
100A	移動機器
100B	移動機器
100C	移動機器
100D	移動機器
100E	移動機器
100F	移動機器
100G	移動機器
100H	移動機器
110	控制系統
200A	記憶系統
200B	記憶系統
200C	記憶系統

200D	記憶系統
200E	記憶系統
210	半導體記憶體
211~214	半導體記憶體
220	匯流排
230A	記憶體介面
230B	記憶體介面
231	緩衝電路
232A	時脈產生電路
232B	時脈產生電路
240	匯流排
250	控制電路
251	CPU
252	快取記憶體
253	時脈產生電路
254	ECC電路
260	振盪電路
270	匯流排
280	輸入輸出引腳
290	記憶部
291	匯流排
300	調節器
400	電池
410	直流電源
420	內部電阻
450	電源電路

500	監控電路
510	匯流排
600	顯示裝置
610	匯流排
700	聲音裝置
710	匯流排
800	電子機器
E	電動勢
I	電流
P ₁	動作點
P ₂	動作點
P ₃	動作點
P ₄	動作點
r	電阻值
S101 ~ S108	步驟
S111	步驟
S114	步驟
S115	步驟
S117	步驟
t1 ~ t5	時序
V	端子電壓
V ₁	第2端子電壓
V _h	第1端子電壓

申請專利範圍

1. 一種半導體記憶體之控制電路，其特徵在於：其係控制半導體記憶體，且與上述半導體記憶體一併構成記憶系統者，且
上述記憶系統：
自電源被供給電力；且
採取負載電流不同之第1狀態及第2狀態；且
上述控制電路係：
獲取上述記憶系統為第1狀態時之上述電源之端子電壓作為第1端子電壓；
獲取上述記憶系統為第2狀態時之上述電源之端子電壓作為第2端子電壓；且
以判定上述第1端子電壓與上述第2端子電壓之差分是否大於特定值之方式構成。
2. 如請求項1之半導體記憶體之控制電路，其中
上述控制電路係：
並聯控制複數個半導體記憶體；且
於上述第1端子電壓與上述第2端子電壓之差分大於特定值之情形時，進行將動作之上述半導體記憶體之數量予以減少之控制。
3. 如請求項1之半導體記憶體之控制電路，其中
上述控制電路係：
並聯(in parallel)控制複數個半導體記憶體；
構成為可執行如下交錯動作：對上述複數個半導體記憶體中之一個半導體記憶體執行第1動作，於該期間對上述一個半導體記憶體以外之半導體記憶體執行第2動作，於上述第1動作結束

之情形時，對其他的半導體記憶體執行第1動作，於該期間對上述其他的半導體記憶體以外之半導體記憶體執行第2動作；

於上述第1端子電壓與上述第2端子電壓之差分小於特定值之情形時，對上述複數個半導體記憶體同時執行上述第1動作；且

於上述第1端子電壓與上述第2端子電壓之差分大於特定值之情形時，藉由上述交錯動作使上述複數個半導體記憶體動作。

4. 如請求項1之半導體記憶體之控制電路，其中

上述控制電路係：

經由記憶體介面控制上述半導體記憶體；且

於上述第1端子電壓與上述第2端子電壓之差分大於特定值之情形時，進行將上述記憶體介面之驅動頻率降低之控制。

5. 如請求項1之半導體記憶體之控制電路，其中

上述控制電路係：

於上述第1端子電壓與上述第2端子電壓之差分大於特定值之情形時，進行將上述控制電路之驅動頻率降低之控制。

6. 如請求項1之半導體記憶體之控制電路，其中

上述控制電路係：

進而控制顯示器件；且

於上述第1端子電壓與上述第2端子電壓之差分大於特定值之情形時，進行對上述顯示器件輸入特定信號之控制。

7. 如請求項1之半導體記憶體之控制電路，其中

上述控制電路係：

進而控制聲音器件；且

於上述第1端子電壓與上述第2端子電壓之差分大於特定值之情形時，進行對上述聲音器件輸入特定信號之控制。

8. 一種記憶系統，其特徵在於：其係包含半導體記憶體與控制上

述半導體記憶體之控制電路者，且

自電源被供給電力；

採取負載電流不同之第1狀態及第2狀態；

上述控制電路係：

獲取上述記憶系統為第1狀態時之上述電源之端子電壓作為第1端子電壓；

獲取上述記憶系統為第2狀態時之上述電源之端子電壓作為第2端子電壓；且

以判定上述第1端子電壓與上述第2端子電壓之差分是否大於特定值之方式構成。

9. 如請求項8之記憶系統，其中

上述記憶系統包含：複數個半導體記憶體；及控制電路，其係並聯控制上述複數個半導體記憶體；且

上述控制電路係：

於上述第1端子電壓與上述第2端子電壓之差分大於特定值之情形時，進行將動作之上述半導體記憶體之數量予以減少之控制。

10. 如請求項8之記憶系統，其中

上述記憶系統包含：複數個半導體記憶體；及控制電路，其並聯控制上述複數個半導體記憶體；且

上述控制電路係：

構成為可執行如下交錯動作：對上述複數個半導體記憶體中之一個半導體記憶體執行第1動作，於該期間對上述一個半導體記憶體以外之半導體記憶體執行第2動作，於上述第1動作結束之情形時，對其他的半導體記憶體執行第1動作，於該期間對上述其他的半導體記憶體以外之半導體記憶體執行第2動作；

於上述第1端子電壓與上述第2端子電壓之差分小於特定值之情形時，對上述複數個半導體記憶體同時執行上述第1動作；且

於上述第1端子電壓與上述第2端子電壓之差分大於特定值之情形時，藉由上述交錯動作使上述複數個半導體記憶體動作。

11. 如請求項8之記憶系統，其中

上述記憶系統進而包含記憶體介面；且

上述控制電路係：

經由上述記憶體介面控制上述半導體記憶體；且

於上述第1端子電壓與上述第2端子電壓之差分大於特定值之情形時，進行將上述記憶體介面之驅動頻率降低之控制。

12. 如請求項8之記憶系統，其中

上述控制電路：

於上述第1端子電壓與上述第2端子電壓之差分大於特定值之情形時，進行將上述控制電路之驅動頻率降低之控制。

13. 如請求項8之記憶系統，其中

上述控制電路係：

進而控制顯示器件；且

於上述第1端子電壓與上述第2端子電壓之差分大於特定值之情形時，進行對上述顯示器件輸入特定信號之控制。

14. 如請求項8之記憶系統，其中

上述控制電路係：

進而控制聲音器件；且

於上述第1端子電壓與上述第2端子電壓之差分大於特定值之情形時，進行對上述聲音器件輸入特定信號之控制。

15. 一種半導體記憶體之控制系統，其特徵在於：其包含：

半導體記憶體之控制電路，其控制半導體記憶體，且與上述

半導體記憶體一併構成記憶系統；及

監控電路，其檢測對上述記憶系統供給電力之電源之端子電壓；且

上述記憶系統採取負載電流不同之第1狀態及第2狀態；且

上述控制電路係：

獲取上述記憶系統為第1狀態時之上述電源之端子電壓作為第1端子電壓；

獲取上述記憶系統為第2狀態時之上述電源之端子電壓作為第2端子電壓；且

以判定上述第1端子電壓與上述第2端子電壓之差分是否大於特定值之方式構成。

16. 如請求項15之半導體記憶體之控制系統，其中

上述控制電路係：

並聯控制複數個半導體記憶體；且

於上述第1端子電壓與上述第2端子電壓之差分大於特定值之情形時，進行將動作之上述半導體記憶體之數量予以減少之控制。

17. 如請求項15之半導體記憶體之控制系統，其中

上述控制電路係：

並聯控制複數個半導體記憶體；且

構成為可執行如下交錯動作：對上述複數個半導體記憶體中之一個半導體記憶體執行第1動作，於該期間對上述一個半導體記憶體以外之半導體記憶體執行第2動作，於上述第1動作結束之情形時，對其他的半導體記憶體執行第1動作，於該期間對上述其他的半導體記憶體以外之半導體記憶體執行第2動作；

於上述第1端子電壓與上述第2端子電壓之差分小於特定值之

情形時，對上述複數個半導體記憶體同時執行上述第1動作；且
於上述第1端子電壓與上述第2端子電壓之差分大於特定值之
情形時，藉由上述交錯動作使上述複數個半導體記憶體動作。

18. 如請求項15之半導體記憶體之控制系統，其中

上述控制電路係：

經由記憶體介面控制上述半導體記憶體；且

於上述第1端子電壓與上述第2端子電壓之差分大於特定值之
情形時，進行將上述記憶體介面之驅動頻率降低之控制。

19. 如請求項15之半導體記憶體之控制系統，其中

上述控制電路係：

於上述第1端子電壓與上述第2端子電壓之差分大於特定值之
情形時，進行將上述控制電路之驅動頻率降低之控制。

20. 如請求項15之半導體記憶體之控制系統，其中

上述控制電路係：

進而控制顯示器件；且

於上述第1端子電壓與上述第2端子電壓之差分大於特定值之
情形時，進行對上述顯示器件輸入特定信號之控制。

圖式

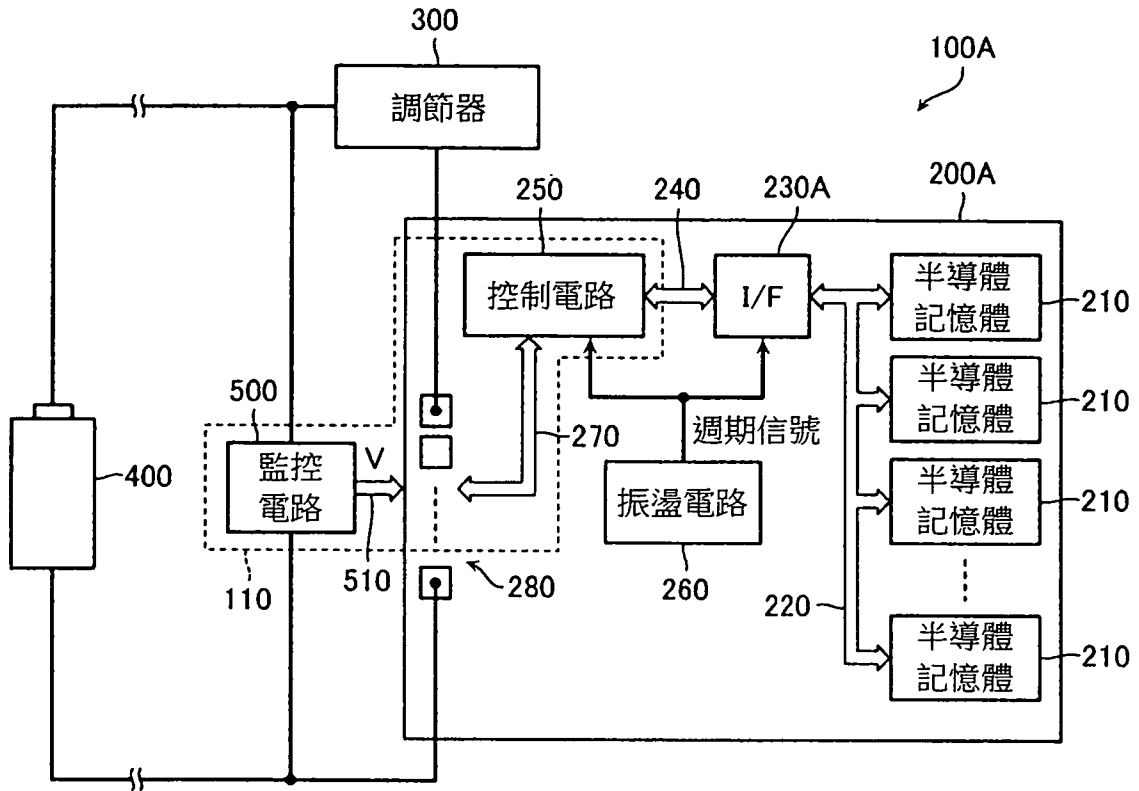


圖1

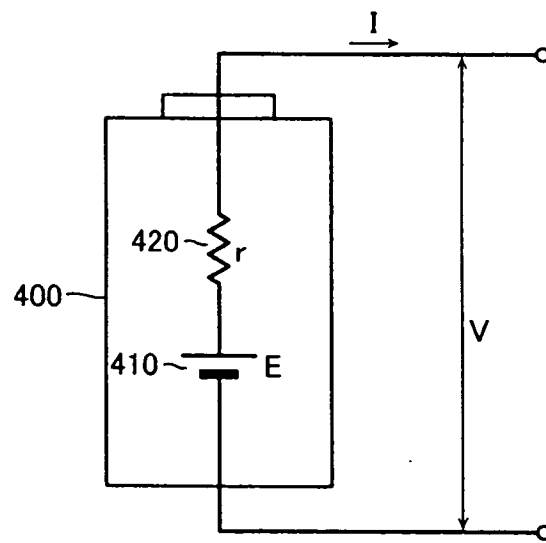


圖2

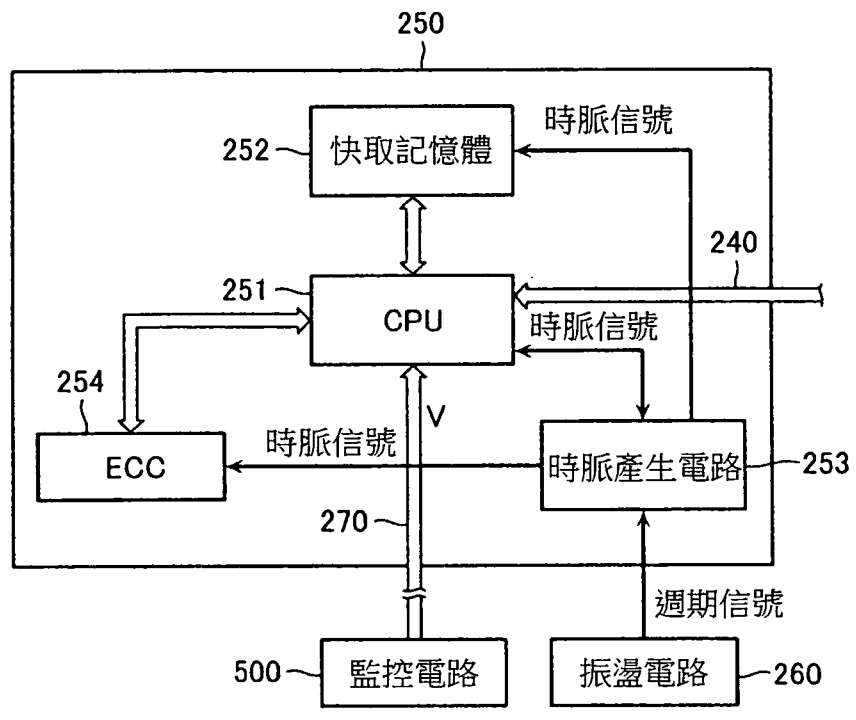


圖3

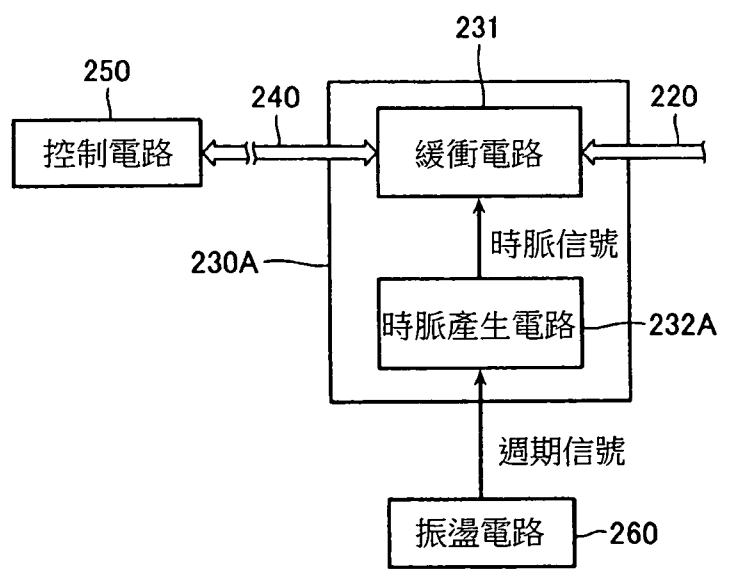


圖4



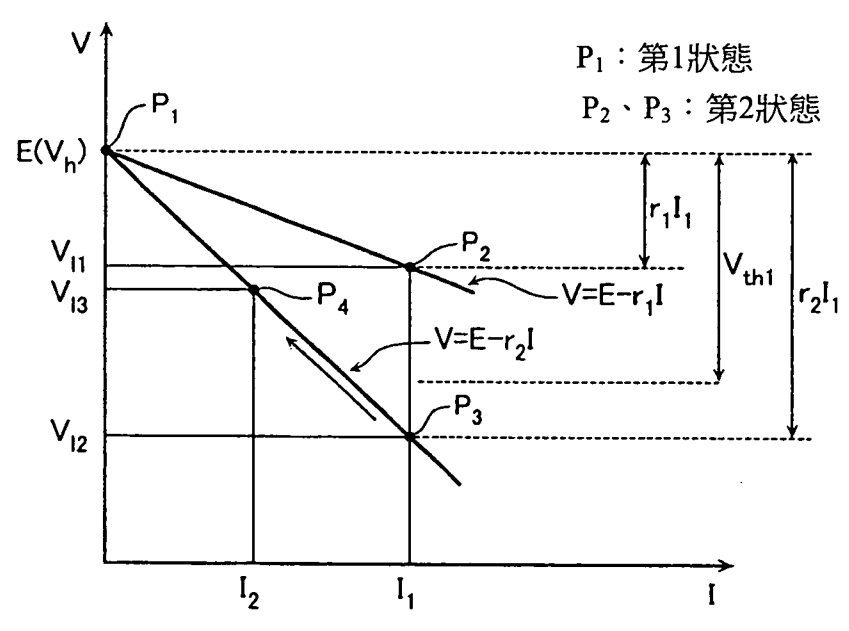


圖5

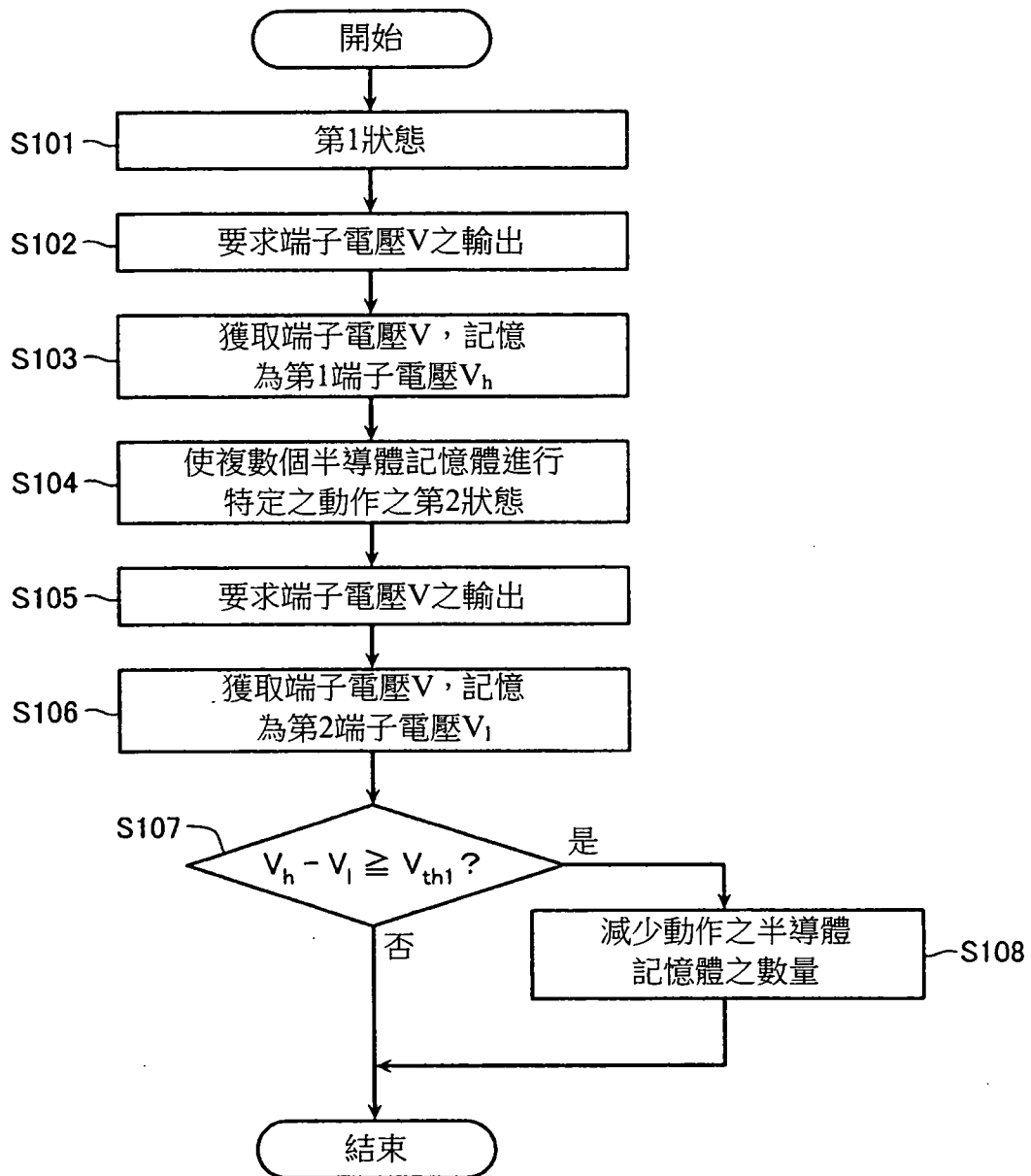


圖6



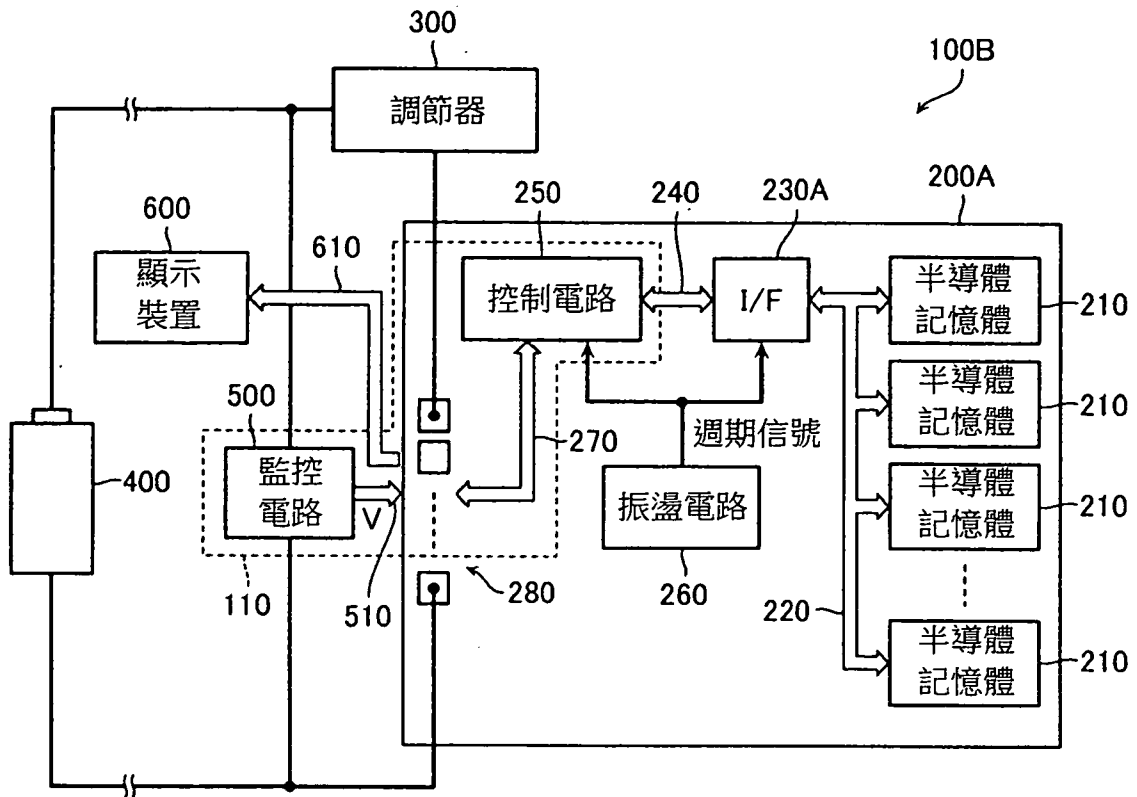


圖7

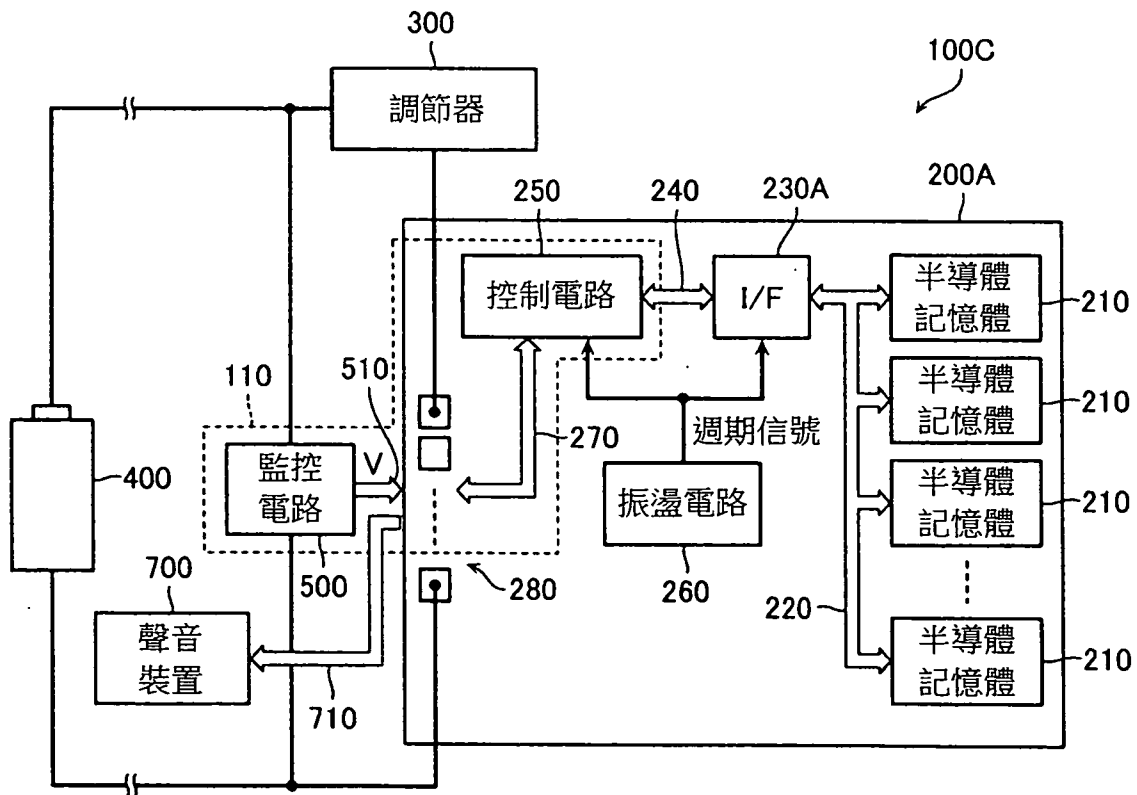


圖8

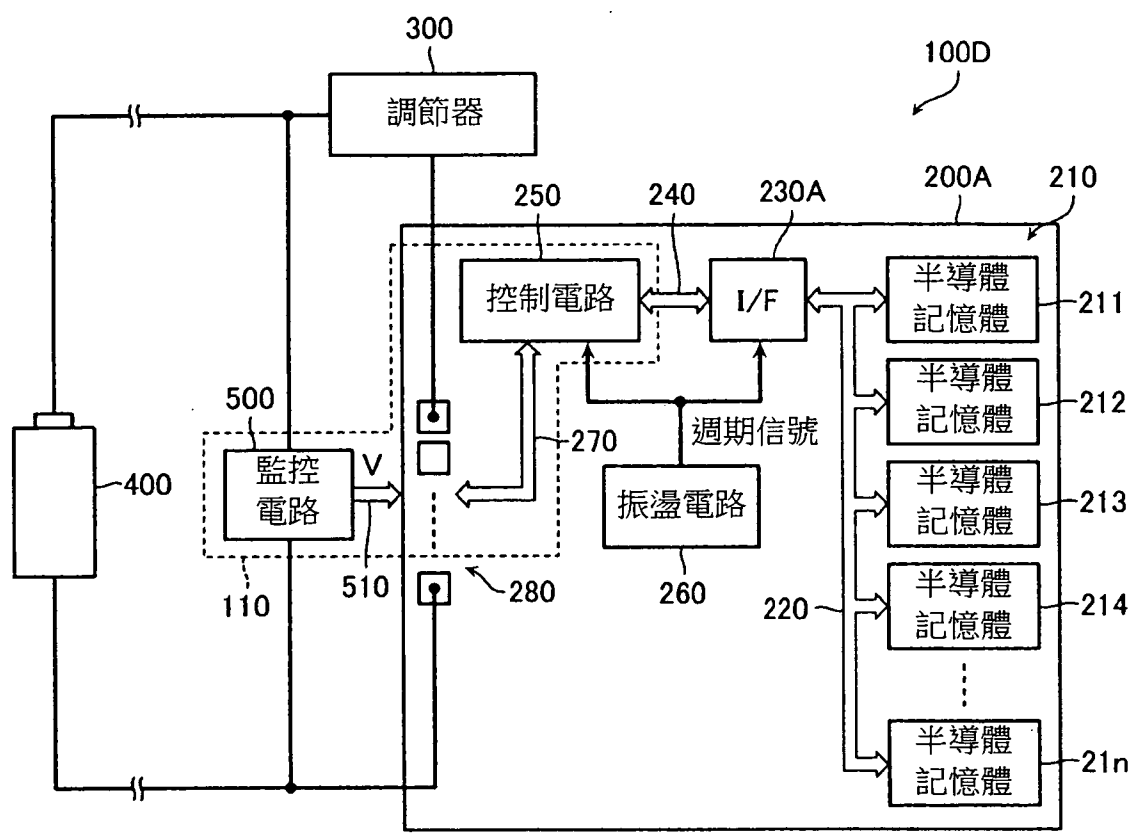


圖9



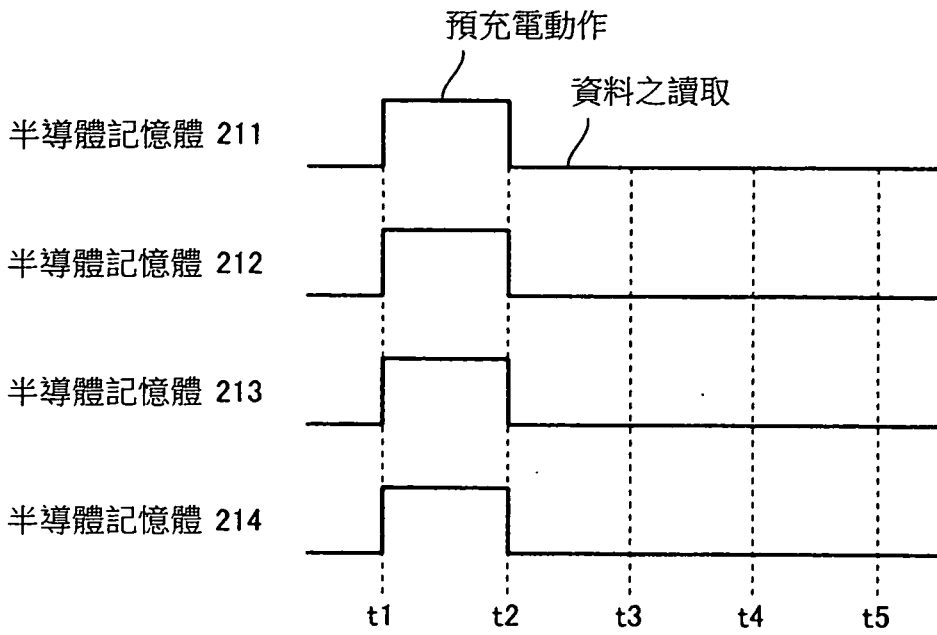


圖10

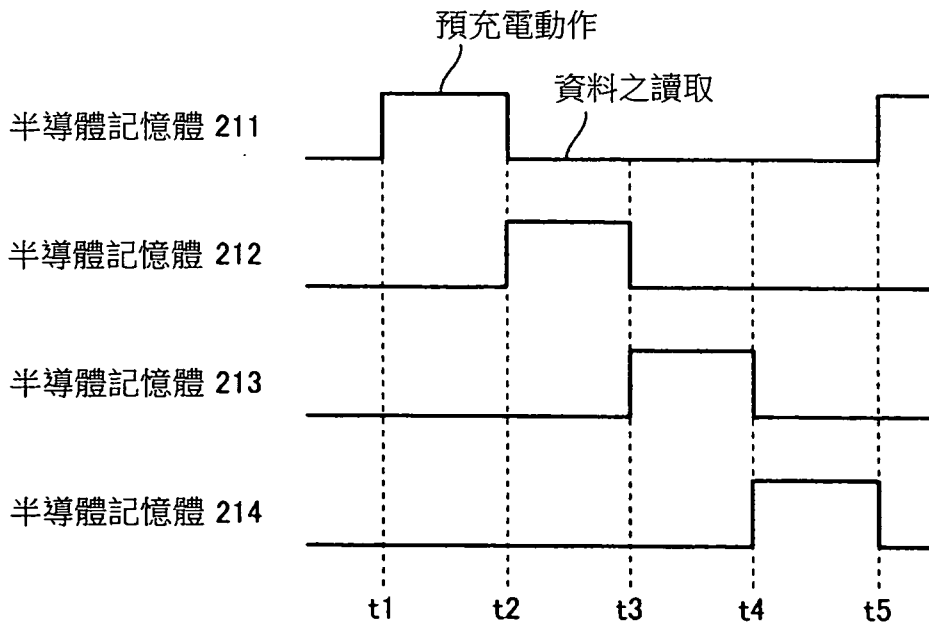


圖11

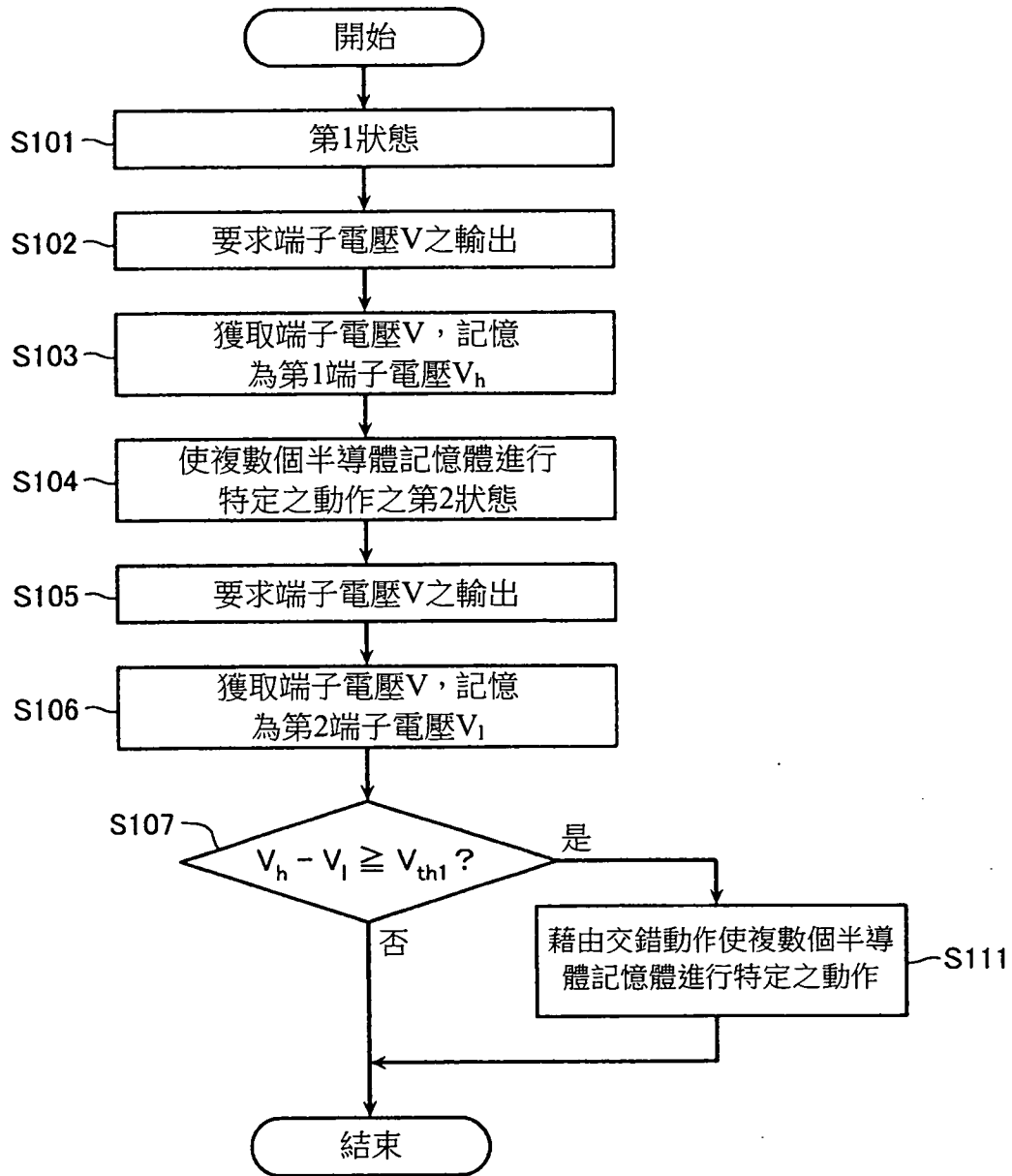


圖12



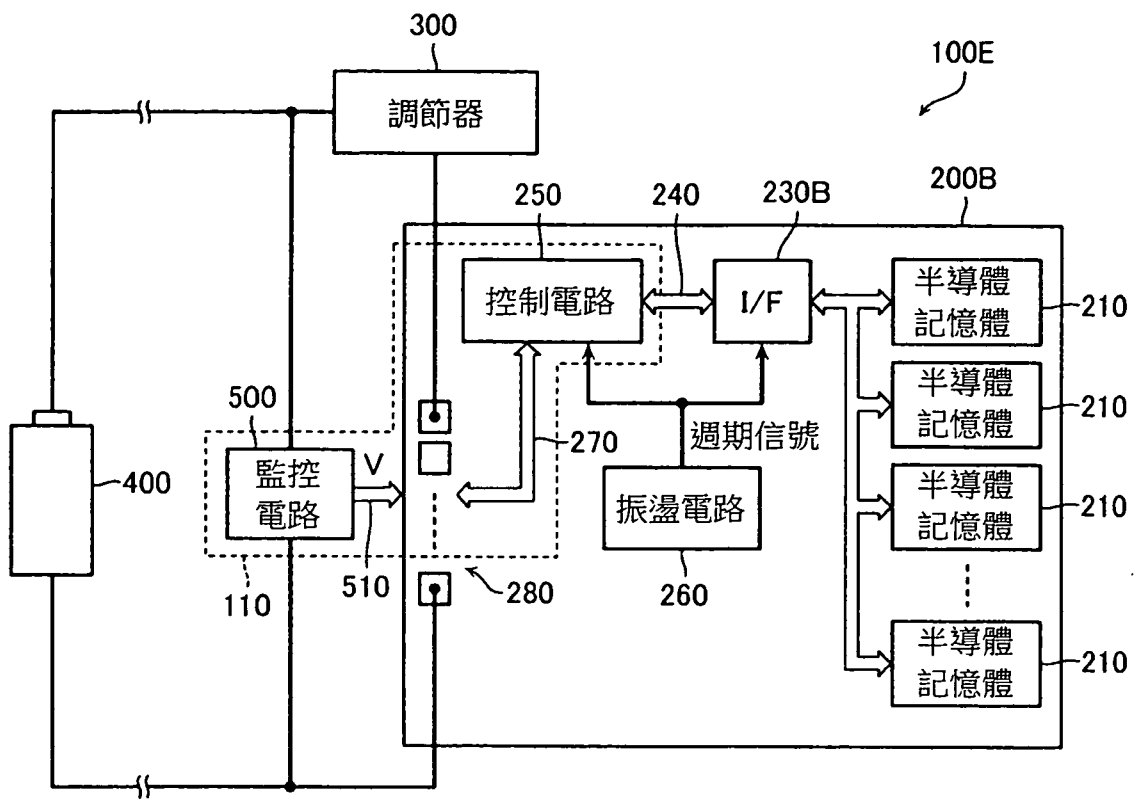


圖13

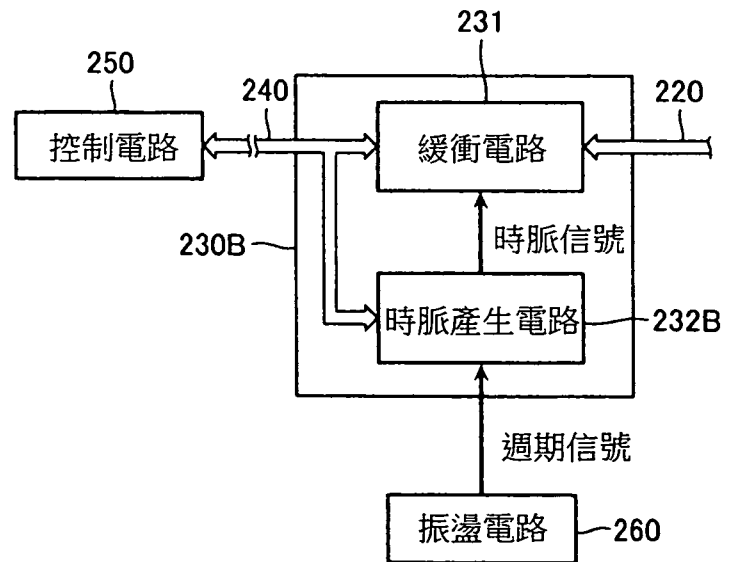


圖14

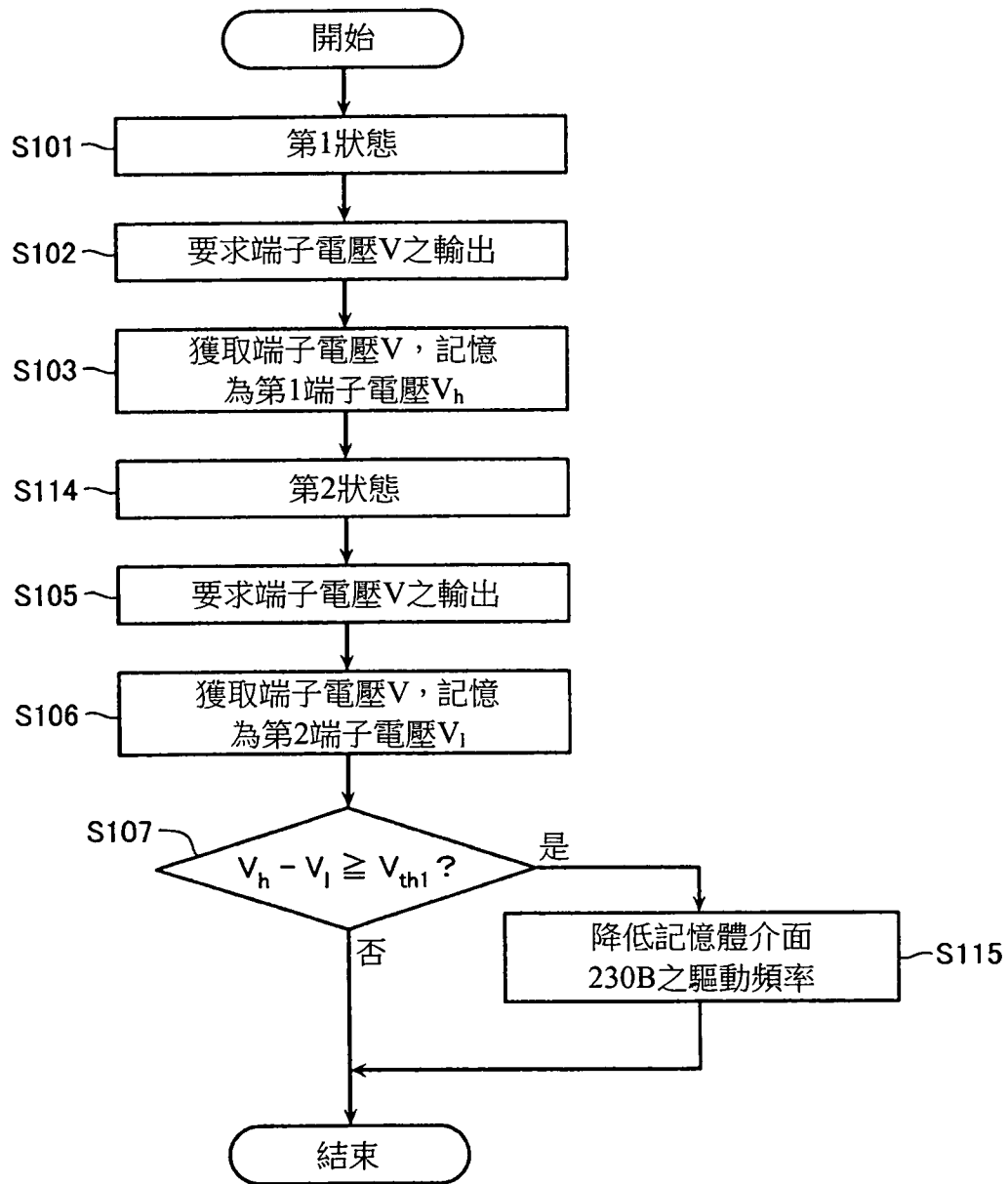


圖15

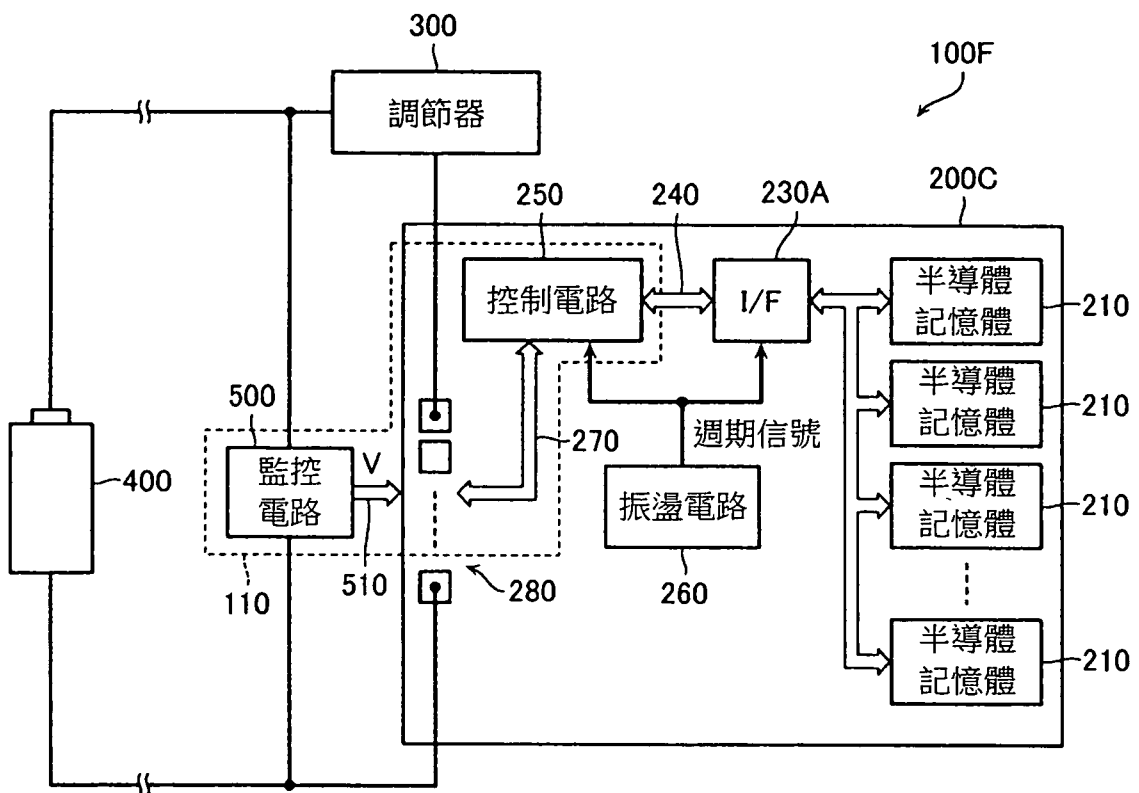


圖16

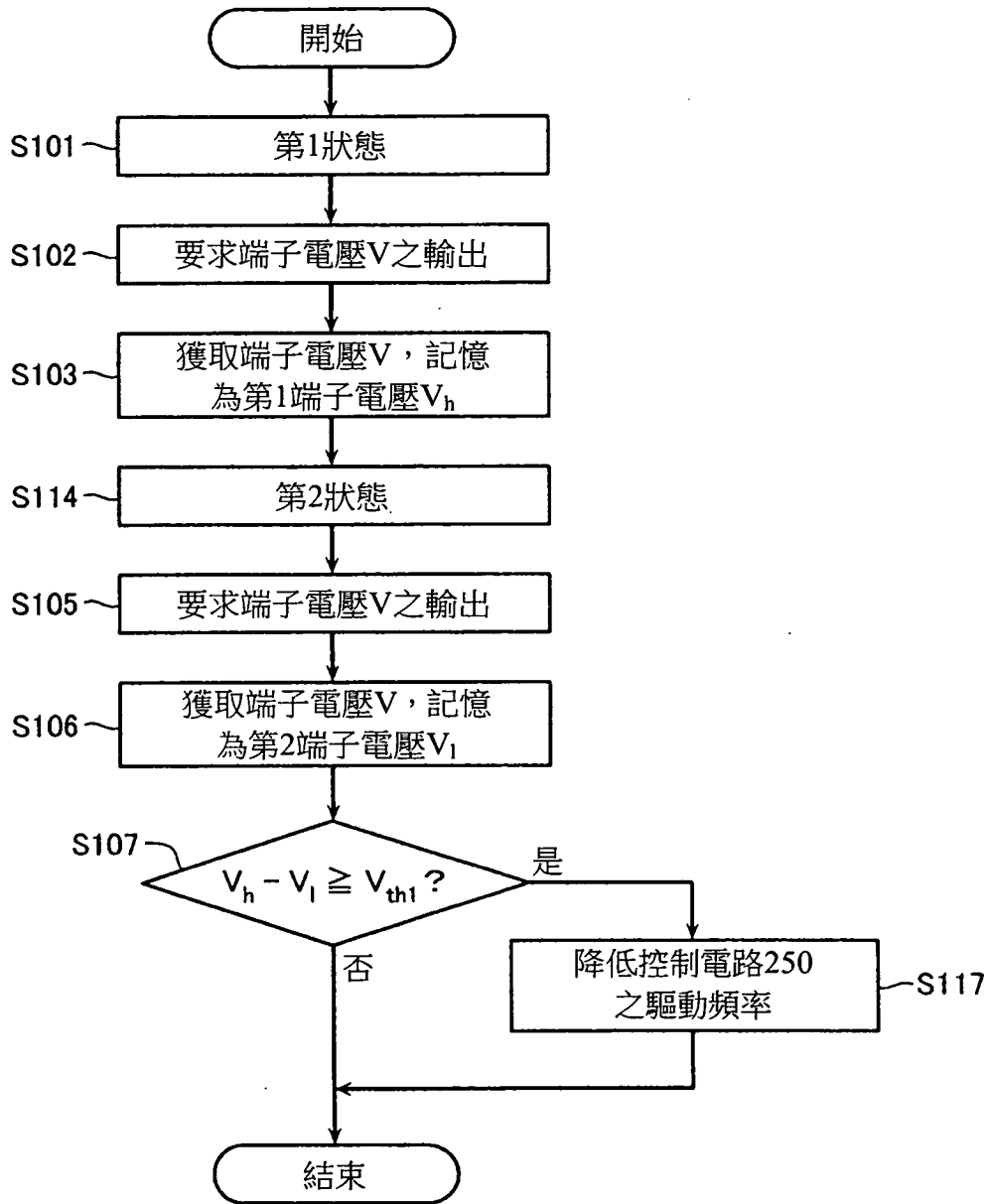


圖17



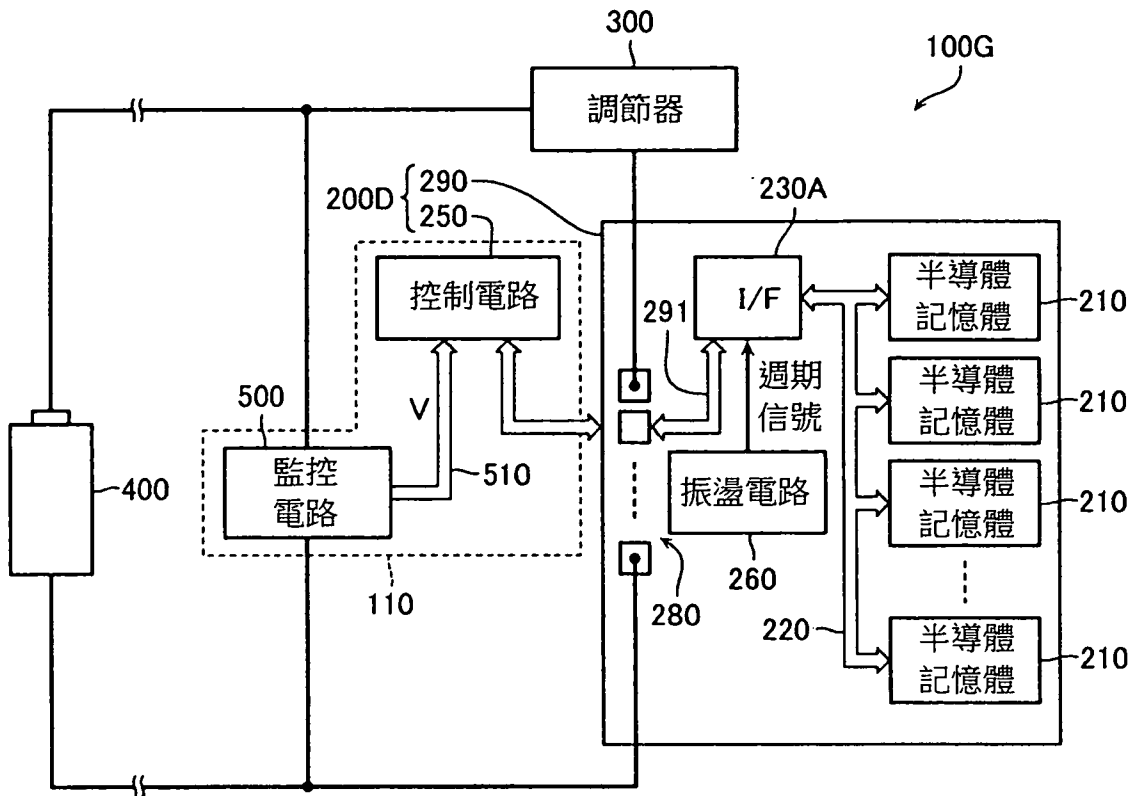


圖18

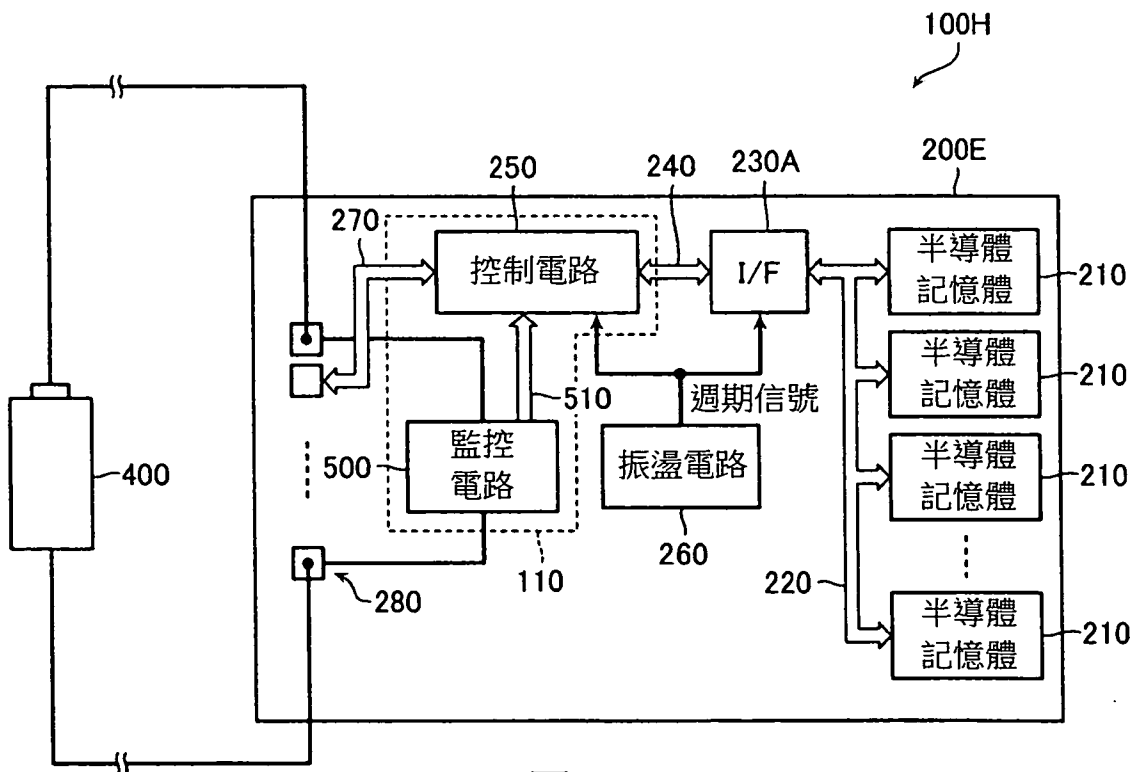


圖19

