

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6264568号
(P6264568)

(45) 発行日 平成30年1月24日(2018.1.24)

(24) 登録日 平成30年1月5日(2018.1.5)

(51) Int.Cl.		F I	
HO 1 L 33/62	(2010.01)	HO 1 L 33/62	
HO 1 L 33/20	(2010.01)	HO 1 L 33/20	
HO 5 K 1/14	(2006.01)	HO 5 K 1/14	H

請求項の数 19 (全 33 頁)

(21) 出願番号	特願2014-141764 (P2014-141764)	(73) 特許権者	314012076
(22) 出願日	平成26年7月9日(2014.7.9)		パナソニックIPマネジメント株式会社
(65) 公開番号	特開2015-53472 (P2015-53472A)		大阪府大阪市中央区城見2丁目1番61号
(43) 公開日	平成27年3月19日(2015.3.19)	(74) 代理人	100109210
審査請求日	平成29年6月13日(2017.6.13)		弁理士 新居 広守
(31) 優先権主張番号	特願2013-163679 (P2013-163679)	(74) 代理人	100137235
(32) 優先日	平成25年8月6日(2013.8.6)		弁理士 寺谷 英作
(33) 優先権主張国	日本国(JP)	(74) 代理人	100131417
			弁理士 道坂 伸一
		(72) 発明者	大前 秀樹
			大阪府門真市大字門真1006番地 パナソニック株式会社内
		(72) 発明者	日比野 純一
			大阪府門真市大字門真1006番地 パナソニック株式会社内

最終頁に続く

(54) 【発明の名称】 発光デバイスおよび表示装置

(57) 【特許請求の範囲】

【請求項1】

発光領域と、前記発光領域に電気的に接続された第1の電極及び第2の電極とを有する複数のLEDチップと、

前記複数のLEDチップに対応して設けられた複数の基板と、

少なくとも前記複数の基板をそれぞれ貫通するスルーホールと、

糸状の導電性線材で構成された配線と、を備え、

前記配線は、一つの前記LEDチップが有する前記第1の電極または前記第2の電極と前記一つのLEDチップと隣り合う他のLEDチップが有する前記第1の電極または前記第2の電極とを、前記スルーホール内を通過した上で導通する

発光デバイス。

【請求項2】

前記スルーホール内において、前記配線の側面の少なくとも一部が、前記スルーホールの内壁と離間している

請求項1に記載の発光デバイス。

【請求項3】

前記第1の電極及び前記第2の電極は、前記複数の基板において各々の同一の面に形成され、

前記スルーホールが貫通する前記基板の両面のうち、前記第1の電極及び前記第2の電極が形成された面側の前記スルーホールの孔径が、前記第1の電極および前記第2の電極

が形成されていない面側の前記スルーホールは、孔径よりも小さい

請求項 1 に記載の発光デバイス。

【請求項 4】

前記第 1 の電極及び前記第 2 の電極は、前記複数の基板において各々の同一の面に形成され、

前記スルーホールが貫通する前記基板の両面のうち、前記第 1 の電極および前記第 2 の電極が形成された面側の前記スルーホールの孔径が、前記第 1 の電極及び前記第 2 の電極が形成されていない面側の前記スルーホールの孔径よりも大きい

請求項 1 に記載の発光デバイス。

【請求項 5】

前記スルーホールが貫通する前記基板の両面のうち、前記スルーホール内を通る前記配線が接続される前記第 1 の電極または前記第 2 の電極が位置する一方の面における前記スルーホールの内面位置が、前記一方の面と対向する他方の面における内面位置よりも、前記スルーホール内を通る前記配線が接続される前記第 1 の電極または前記第 2 の電極側に近接している

請求項 1 に記載の発光デバイス。

【請求項 6】

前記第 1 の電極および前記第 2 の電極は、各々、導電性材料によって前記配線と接続されている

請求項 1 に記載の発光デバイス。

【請求項 7】

前記基板は、絶縁体である

請求項 1 に記載の発光デバイス。

【請求項 8】

前記発光デバイスは、絶縁性配線を備え、

前記絶縁性配線は、一つの前記 LED チップにおける前記スルーホールを通った上で、前記一つの LED チップと隣り合う他の前記 LED チップの前記スルーホールを通り、

前記絶縁性配線は、前記配線よりも剛性が高い

請求項 1 ~ 7 のいずれか 1 項に記載の発光デバイス。

【請求項 9】

複数の LED チップが配列された発光デバイスであって、

前記複数の LED チップのそれぞれは、

基板内または前記基板上に形成された発光領域と、を備え、

前記発光デバイスは、

前記発光領域に電気的に接続された第 1 の電極及び第 2 の電極と、

少なくとも前記基板を貫通するスルーホールと、

糸状の導電性線材で構成された配線と、を備え、

前記配線は、一つの前記 LED チップが有する前記第 1 の電極または前記第 2 の電極と、前記一つの LED チップと隣り合う他の LED チップが有する前記第 1 の電極または前記第 2 の電極とを、前記一つの LED チップおよび前記他の LED チップが有する前記スルーホール内を通過した上で導通する

発光デバイス。

【請求項 10】

前記第 1 の電極及び前記第 2 の電極は、前記基板上に直接形成されている

請求項 9 に記載の発光デバイス。

【請求項 11】

前記 LED チップは、前記発光領域を挟むように n 型半導体層及び p 型半導体層を積層した積層体であり、

前記第 1 の電極は、前記 p 型半導体層と導通するアノード電極であり、

前記第 2 の電極は、前記 n 型半導体層と導通するカソード電極であり、

10

20

30

40

50

前記スルーホールは、前記スルーホールが形成される位置において、前記基板の両面を貫通する

請求項 9 に記載の発光デバイス。

【請求項 1 2】

前記基板は n 型半導体層であり、前記基板の上方には p 型半導体層が積層され、
前記第 1 の電極は、前記 p 型半導体層と導通するアノード電極であり、
前記第 2 の電極は、前記 n 型半導体層と導通するカソード電極であり、
前記スルーホールは、前記スルーホールが形成される位置において、前記基板の両面を貫通する

請求項 9 に記載の発光デバイス。

10

【請求項 1 3】

前記スルーホール内において、前記配線の側面の少なくとも一部が、前記スルーホールの内壁と離間している

請求項 9 ~ 1 2 のいずれか 1 項に記載の発光デバイス。

【請求項 1 4】

前記第 1 の電極及び前記第 2 の電極は、前記複数の L E D チップにおけるそれぞれの基板において各々の同一の面に形成され、

前記スルーホールが貫通する前記それぞれの基板の両面のうち、前記第 1 の電極及び前記第 2 の電極が形成された面側の前記スルーホールの孔径が、前記第 1 の電極および前記第 2 の電極が形成されていない面側の前記スルーホールの孔径よりも小さい

請求項 9 ~ 1 3 のいずれか 1 項に記載の発光デバイス。

20

【請求項 1 5】

前記第 1 の電極及び前記第 2 の電極は、前記複数の L E D チップにおけるそれぞれの基板において各々の同一の面に形成され、

前記スルーホールが貫通する前記それぞれの基板の両面のうち、前記第 1 の電極および前記第 2 の電極が形成された面側の前記スルーホールの孔径が、前記第 1 の電極及び前記第 2 の電極が形成されていない面側の前記スルーホールの孔径よりも大きい

請求項 9 ~ 1 3 のいずれか 1 項に記載の発光デバイス。

【請求項 1 6】

前記スルーホールが貫通する前記基板の両面のうち、前記スルーホール内を通る前記配線が接続される前記第 1 の電極または前記第 2 の電極が位置する一方の面における前記スルーホールの内面位置が、前記一方の面と対向する他方の面における内面位置よりも、前記スルーホール内を通る前記配線が接続される前記第 1 の電極または前記第 2 の電極側に近接している

請求項 9 ~ 1 3 のいずれか 1 項に記載の発光デバイス。

30

【請求項 1 7】

前記第 1 の電極および前記第 2 の電極は、各々、導電性材料によって前記配線と接続されている

請求項 9 ~ 1 6 のいずれか 1 項に記載の発光デバイス。

【請求項 1 8】

前記発光デバイスは、絶縁性配線を備え、
前記絶縁性配線は、一つの前記 L E D チップにおける前記スルーホールを通った上で、前記一つの L E D チップと隣り合う他の前記 L E D チップの前記スルーホールを通り、
前記絶縁性配線は、前記配線よりも剛性が高い

請求項 9 ~ 1 7 のいずれか 1 項に記載の発光デバイス。

40

【請求項 1 9】

請求項 1 ~ 1 8 のいずれか 1 項に記載の発光デバイスを備える表示装置。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

50

本開示は、発光デバイスに関し、特に、フレキシブルまたはストレッチャブルな発光デバイスに関する。

【背景技術】

【0002】

多数の発光素子を規則的に並べて装着し、この発光素子を適宜点滅させて所定の文字、図形または記号等を表示するディスプレイ装置が知られている。

【0003】

このディスプレイ装置では、薄板状の導体を格子状に配置し、導体の縦列および横列の一方を、アノード、他方をカソードとして、縦列と横列の交点位置に発光素子が装着されている。

10

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開平8-054840号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、従来のディスプレイ装置では、配線基板を曲面状に撓ませて使用する際には、発光デバイスにおいて配線と接続される電極と、配線との接続点に負荷がかかりやすい。また、配線と電極との接続点に負荷がかかる結果、発光デバイスに設けられた電極が剥がれるという問題も生じていた。

20

【0006】

本開示は、配線と発光デバイスの接続点にかかる負荷を低減して、発光デバイスの破損を抑制する。

【課題を解決するための手段】

【0007】

本開示の一態様に係る発光デバイスは、発光領域と、前記発光領域に電気的に接続された第1の電極及び第2の電極とを有する複数のLEDチップと、前記複数のLEDチップに対応して設けられた複数の基板と、少なくとも前記複数の基板をそれぞれ貫通するスルーホールと、糸状の導電性線材で構成された配線と、を備え、前記配線は、一つの前記LEDチップが有する前記第1の電極または前記第2の電極と前記一つのLEDチップと隣り合う他のLEDチップが有する前記第1の電極または前記第2の電極とを、前記スルーホール内を通過した上で導通する発光デバイスを提供する。

30

【発明の効果】

【0008】

本開示の一態様に係る発光デバイスによれば、配線と発光デバイスとの接続点にかかる負荷を低減することができる。

【図面の簡単な説明】

【0009】

【図1】図1は、実施の形態1に係る発光デバイスを備えたLEDアレイの構成を示す概念図である。

40

【図2】図2は、実施の形態1に係る発光デバイスの電気回路図である。

【図3】図3は、実施の形態1に係るLEDチップの構成を示す上面図である。

【図4】図4は、実施の形態1に係るLEDチップの構成を示す上面図である。

【図5】図5は、実施の形態1に係る発光デバイスの製造工程を示す概略図である。

【図6】図6は、実施の形態1に係る発光デバイスの製造工程を示す概略図である。

【図7】図7は、実施の形態1に係る発光デバイスの製造工程を示す概略図である。

【図8】図8は、実施の形態1に係るLEDチップの製造工程を示す上面図である。

【図9】図9は、実施の形態1に係るLEDチップの製造工程を示す上面図である。

【図10】図10は、実施の形態1に係るLEDチップの製造工程を示す上面図である。

50

【図 1 1】図 1 1 は、実施の形態 1 に係る L E Dチップの製造工程を示す上面図である。
 【図 1 2】図 1 2 は、実施の形態 1 に係る L E Dチップの製造工程を示す上面図である。
 【図 1 3】図 1 3 は、実施の形態 1 に係る L E Dチップの構成を示す上面図である。
 【図 1 4】図 1 4 は、孔径の大きさの異なる複数のスルーホールを有する L E Dチップの構成を示す上面図である。

【図 1 5】図 1 5 は、実施の形態 1 に係る発光デバイスの製造工程を示す概略図である。
 【図 1 6】図 1 6 は、実施の形態 1 に係る発光デバイスの製造工程を示す概略図であり、(a) は図 1 5 に対応する概略図、(b) は (a) の一部を拡大した図である。
 【図 1 7】図 1 7 は、実施の形態 1 に係る発光デバイスの構成を示す断面図である。
 【図 1 8】図 1 8 は、実施の形態 1 に係る発光デバイスの構成を示す断面図である。
 【図 1 9】図 1 9 は、実施の形態 1 の変形例に係る発光デバイスの構成を示す断面図である。

10

【図 2 0】図 2 0 は、実施の形態 2 に係る発光デバイスの構成を示す断面図である。
 【図 2 1】図 2 1 は、実施の形態 3 に係る発光デバイスの構成を示す断面図である。
 【図 2 2】図 2 2 は、実施の形態 3 に係る発光デバイスの構成を示す断面図である。
 【図 2 3】図 2 3 は、実施の形態 4 に係る発光デバイスの構成を示す断面図である。
 【図 2 4】図 2 4 は、実施の形態 4 に係る発光デバイスの構成を示す断面図である。
 【図 2 5】図 2 5 は、実施の形態 4 の変形例に係る発光デバイスの構成を示す断面図である。

【図 2 6】図 2 6 は、実施の形態 4 の変形例に係る発光デバイスの構成を示す断面図である。

20

【図 2 7】図 2 7 は、実施の形態 4 の変形例に係る発光デバイスの構成を示す上面図である。

【図 2 8】図 2 8 は、実施の形態 5 に係る発光デバイスの構成を示す断面図である。
 【図 2 9】図 2 9 は、実施の形態 5 に係る発光デバイスの構成を示す断面図である。
 【図 3 0】図 3 0 は、実施の形態 5 に係る発光デバイスの構成を示す断面図である。
 【図 3 1】図 3 1 は、実施の形態 5 の変形例に係る発光デバイスの構成を示す断面図である。

【図 3 2】図 3 2 は、実施の形態 5 の変形例に係る発光デバイスの構成を示す断面図である。

30

【図 3 3】図 3 3 は、実施の形態 5 の変形例に係る発光デバイスの構成を示す断面図である。

【発明を実施するための形態】

【0010】

以下、適宜図面を参照しながら、実施の形態を詳細に説明する。但し、必要以上に詳細な説明は省略する場合がある。例えば、既によく知られた事項の詳細説明や実質的に同一の構成に対する重複説明を省略する場合がある。これは、以下の説明が不必要に冗長になるのを避け、当業者の理解を容易にするためである。

【0011】

本開示の一態様に係る発光デバイスは、発光領域と、前記発光領域に電氣的に接続された第 1 の電極及び第 2 の電極とを有する複数の L E Dチップと、前記複数の L E Dチップに対応して設けられた複数の基板と、少なくとも前記複数の基板をそれぞれ貫通するスルーホールと、糸状の導電性線材で構成された配線と、を備え、前記配線は、一つの前記 L E Dチップが有する前記第 1 の電極または前記第 2 の電極と前記一つの L E Dチップと隣り合う他の L E Dチップが有する前記第 1 の電極または前記第 2 の電極とを、前記スルーホール内を通過した上で導通する。

40

【0012】

この構成によれば、配線がスルーホールを貫通した上で電極と接続されることにより、配線の可動領域が制限される。したがって、配線と電極との接続点にかかる機械的負荷を抑制し、機械的強度の高い発光デバイスを提供することができる。

50

【 0 0 1 3 】

また、上記した一態様において、前記スルーホール内において、前記配線の側面の少なくとも一部が、前記スルーホールの内壁と離間していてもよい。

【 0 0 1 4 】

この構成によれば、配線の側面の少なくとも一部がスルーホールの内壁と離間しており、スルーホール内で動かすことができるので、配線と電極との接続点にかかる機械的負荷を抑制することができる。

【 0 0 1 5 】

また、上記した一態様において、前記第 1 の電極及び前記第 2 の電極は、前記複数の基板において各々の同一の面に形成され、前記スルーホールが貫通する前記基板の両面のうち、前記第 1 の電極及び前記第 2 の電極が形成された面側の前記スルーホールの孔径が、前記第 1 の電極および前記第 2 の電極が形成されていない面側の前記スルーホールの孔径よりも小さくてもよい。

10

【 0 0 1 6 】

この構成によれば、配線の可動範囲が制限されることにより、配線と電極との接続点にかかる機械的負荷をより効果的に抑制できる。

【 0 0 1 7 】

また、上記した一態様において、前記第 1 の電極及び前記第 2 の電極は、前記複数の基板において各々の同一の面に形成され、前記スルーホールが貫通する前記基板の両面のうち、前記第 1 の電極および前記第 2 の電極が形成された面側の前記スルーホールの孔径が、前記第 1 の電極及び前記第 2 の電極が形成されていない面側の前記スルーホールの孔径よりも大きくてもよい。

20

【 0 0 1 8 】

この構成によれば、配線とスルーホールが接触しやすい領域（孔径が小さい側）を、配線が接続する電極に対して離れて位置させることで、配線がスルーホールと接触することによりダメージを受けるのを抑制することができる。

【 0 0 1 9 】

また、上記した一態様において、前記スルーホールが貫通する前記基板の両面のうち、前記スルーホール内を通る前記配線が接続される前記第 1 の電極または前記第 2 の電極が位置する一方の面における前記スルーホールの内面位置が、前記一方の面と対向する他方の面における内面位置よりも、前記スルーホール内を通る前記配線が接続される前記第 1 の電極または前記第 2 の電極側に近接していてもよい。

30

【 0 0 2 0 】

この構成によれば、配線がその撓みに沿って機械的負荷の少ない状態でスルーホール内に配置される。したがって、スルーホール内を通過する配線を、電極と容易に接続することができる。

【 0 0 2 1 】

また、上記した一態様において、前記第 1 の電極および前記第 2 の電極は、各々、導電性材料によって前記配線と接続されていていてもよい。

【 0 0 2 2 】

この構成によれば、配線を第 1 の電極および第 2 の電極に固定することができると共に、配線と第 1 の電極および第 2 の電極とを電氣的に精度よく接続することができる。

40

【 0 0 2 3 】

また、上記した一態様において、前記基板は、絶縁体であってもよい。

【 0 0 2 4 】

この構成によれば、絶縁体基板に形成されたスルーホールに配線を通過させた後、基板上に LED チップを搭載することができる。

【 0 0 2 5 】

また、上記した一態様において、前記発光デバイスは、さらに、絶縁性配線を備え、前記絶縁性配線は、一つの前記 LED チップにおける前記スルーホールを通った上で、前記

50

一つのLEDチップと隣り合う他の前記LEDチップの前記スルーホールを通り、前記絶縁性配線は、前記配線よりも剛性が高くてもよい。

【0026】

この構成によれば、絶縁性配線の剛性を配線の剛性よりも高くすることで、発光デバイスが撓み等により変形された際に配線にかかる機械的負荷を低減することができる。

【0027】

また、本開示の一態様に係る発光デバイスは、複数のLEDチップが配列された発光デバイスであって、前記複数のLEDチップのそれぞれは、基板内または前記基板上に形成された発光領域と、を備え、前記発光デバイスは、前記発光領域に電気的に接続された第1の電極及び第2の電極と、少なくとも前記基板を貫通するスルーホールと、糸状の導電性線材で構成された配線と、を備え、前記配線は、一つの前記LEDチップが有する前記第1の電極または前記第2の電極と、前記一つのLEDチップと隣り合う他のLEDチップが有する前記第1の電極または前記第2の電極とを、前記一つのLEDチップおよび前記他のLEDチップが有する前記スルーホール内を通過した上で導通してもよい。

10

【0028】

この構成によれば、基板の上に発光領域が形成されたLEDデバイスであっても、基板に形成されたスルーホールを配線が貫通することで、配線の可動領域を制限し、配線と電極との接続点にかかる機械的負荷を抑制することができる。

【0029】

また、上記した一態様において、前記第1の電極及び前記第2の電極は、前記基板上に直接形成されていてもよい。

20

【0030】

この構成によれば、LEDチップの基板が発光領域そのものである場合であっても、スルーホールを配線が貫通することで、配線の可動領域を制限し、配線と電極との接続点にかかる機械的負荷を抑制することができる。

【0031】

また、上記した一態様において、前記LEDチップは、前記発光領域を挟むようにn型半導体層及びp型半導体層を積層した積層体であり、前記第1の電極は、前記p型半導体層と導通するアノード電極であり、前記第2の電極は、前記n型半導体層と導通するカソード電極であり、前記スルーホールは、前記スルーホールが形成される位置において、前記基板の両面を貫通してもよい。

30

【0032】

また、上記した一態様において、前記基板はn型半導体層であり、前記基板の上方にはp型半導体層が積層され、前記第1の電極は、前記p型半導体層と導通するアノード電極であり、前記第2の電極は、前記n型半導体層と導通するカソード電極であり、前記スルーホールは、前記スルーホールが形成される位置において、前記基板の両面を貫通してもよい。

【0033】

この構成によれば、配線がスルーホールを貫通した上で電極と接続されることにより、配線の可動領域が制限される。したがって、配線と電極との接続点にかかる機械的負荷を抑制できる。

40

【0034】

また、上記した一態様において、前記スルーホール内において、前記配線の側面の少なくとも一部が、前記スルーホールの内壁と離間していてもよい。

【0035】

この構成によれば、配線の側面の少なくとも一部がスルーホールの内壁と離間しており、スルーホール内で動かすことができるので、配線と電極との接続点にかかる機械的負荷を抑制することができる。

【0036】

また、上記した一態様において、前記第1の電極及び前記第2の電極は、前記複数のL

50

LEDチップにおけるそれぞれの基板において各々の同一の面に形成され、前記スルーホールが貫通する前記それぞれの基板の両面のうち、前記第1の電極及び前記第2の電極が形成された面側の前記スルーホールの孔径が、前記第1の電極および前記第2の電極が形成されていない面側の前記スルーホールの孔径よりも小さくてもよい。

【0037】

この構成によれば、配線の可動範囲が制限されることにより、配線と電極との接続点にかかる機械的負荷をより効果的に抑制できる。

【0038】

また、上記した一態様において、前記第1の電極及び前記第2の電極は、前記複数のLEDチップにおけるそれぞれの基板において各々の同一の面に形成され、前記スルーホールが貫通する前記それぞれの基板の両面のうち、前記第1の電極および前記第2の電極が形成された面側の前記スルーホールの孔径が、前記第1の電極及び前記第2の電極が形成されていない面側の前記スルーホールの孔径よりも大きくてもよい。

10

【0039】

この構成によれば、配線とスルーホールが接触しやすい領域（孔径が小さい側）を、配線が接続する電極に対して離れて位置させることで、配線がスルーホールと接触することによりダメージを受けるのを抑制することができる。

【0040】

また、上記した一態様において、前記スルーホールが貫通する前記基板の両面のうち、前記スルーホール内を通る前記配線が接続される前記第1の電極または前記第2の電極が位置する一方の面における前記スルーホールの内面位置が、前記一方の面と対向する他方の面における内面位置よりも、前記スルーホール内を通る前記配線が接続される前記第1の電極または前記第2の電極側に近接していてもよい。

20

【0041】

この構成によれば、配線がその撓みに沿って機械的負荷の少ない状態でスルーホール内に配置される。したがって、スルーホール内を通過する配線を、電極と容易に接続することができる。

【0042】

また、上記した一態様において、前記第1の電極および前記第2の電極は、各々、導電性材料によって前記配線と接続されていてもよい。

30

【0043】

この構成によれば、配線を第1の電極および第2の電極に固定することができると共に、配線と第1の電極および第2の電極とを電氣的に精度よく接続することができる。

【0044】

また、上記した一態様において、前記発光デバイスは、絶縁性配線を備え、前記絶縁性配線は、一つの前記LEDチップにおける前記スルーホールを通った上で、前記一つの前記LEDチップと隣り合う他の前記LEDチップの前記スルーホールを通り、前記絶縁性配線は、前記配線よりも剛性が高くてもよい。

【0045】

この構成によれば、絶縁性配線の剛性を配線の剛性よりも高くすることで、発光デバイスが撓み等により変形された際に配線にかかる機械的負荷を低減することができる。

40

【0046】

また、本開示の一態様に係る表示装置は、（上記した一態様に係る発光デバイスを備える。

【0047】

この構成によれば、配線がスルーホールを貫通した上で電極と接続されることにより、配線の可動領域が制限される。したがって、配線基板を曲面状に撓ませて使用するような表示装置であっても、配線と電極との接続点にかかる機械的負荷を抑制した表示装置を提供することができる。

【0048】

50

(実施の形態1)

次に、実施の形態1について説明する。図1は、本実施の形態に係る発光デバイスを備えたLEDアレイの構成を示す概念図である。

【0049】

図1に示すように、発光デバイス1は、マトリクス状に配置された複数のLEDチップ10と、複数のデータ線20で構成されるデータ線群20aと、複数のアドレス線30で構成されるアドレス線群30aとを備えている。

【0050】

LEDチップ10は、基板上に発光領域12と、スルーホール14aおよび14bとを有している。

【0051】

図1に示すように、データ線20およびアドレス線30は、スルーホール14aおよび14bにそれぞれ貫通されている。データ線20は、LEDチップ10のスルーホール14bを貫通し、アドレス線30は、スルーホール14aを貫通している。

【0052】

また、データ線20は、複数のLEDチップ10におけるそれぞれ一つのスルーホール14bを順に貫通し、後述する電極パッド(図10参照)を介して複数のLEDチップ10を列方向に接続している。アドレス線30は、複数のLEDチップ10におけるそれぞれの他のスルーホール14aを順に貫通し、後述する電極パッド(図10参照)を介して複数のLEDチップ10を行方向に接続している。これにより、図1に示したように、データ線20とアドレス線30とにより、複数のLEDチップ10は、行列方向に布を織るように接続されている。スルーホール14aおよび14b内において、アドレス線30およびデータ線20は、それぞれアドレス線30およびデータ線20の側面の少なくとも一部が、スルーホール14aおよび14bの内壁と離間している。

【0053】

図2は、発光デバイス1の電気回路図である。図2に示すように、発光デバイス1は、複数のデータ線20のそれぞれと複数のアドレス線30のそれぞれとの間にLEDチップ10が接続された構成をしている。発光デバイス1では、アドレス線30に信号が印加されるタイミングで、データ線20から供給された信号に応じて、LEDチップ10が発光する。

【0054】

図3および図4は、LEDチップ10の構成を示す概略図である。なお、図3および図4に示すLEDチップ10は、図1に示したLEDチップ10の1個に対応している。また、図4に示すLEDチップ10は、図3の構成に電極パッドを設けたものである。

【0055】

LEDチップ10には、積層体構造として、導電性または絶縁性の基板上にn型半導体層と、活性層と、p型半導体層とが積層されている。例えば、絶縁性基板であるサファイア基板11の上に、活性層12b(図17参照)を含む発光領域12を有している。また、LEDチップ10には、発光領域12を挟むように、n型電極16と、p型電極17とが形成されている。

【0056】

さらに、図4に示すように、n型パッド電極18aと接続されたn型電極16と、p型パッド電極18bと接続されたp型電極17が形成されている。詳細には、n型パッド電極18aはn型電極16に電氣的に接続され、n型パッド電極18aと発光領域12とは絶縁膜19(図18を参照)を介して絶縁されている。また、p型パッド電極18bはp型電極17に電氣的に接続され、p型パッド電極18bと発光領域12とは、絶縁膜19(図17を参照)を介して絶縁されている。

【0057】

発光領域12は、n型半導体層12a、活性層(発光層)12bおよびp型半導体層12cによって構成される。発光領域12では、サファイア基板11の主面(図示せず)に

10

20

30

40

50

下から上に順次、n型半導体層12a、活性層12bおよびp型半導体層12cが形成されている。各半導体層の材料としては、活性層12bで発光させる光の波長に応じて適宜選択することができる。例えば、半導体層の材料として、GaAs系やGaN系の化合物半導体が用いられる。

【0058】

発光領域12は、n型電極(カソード電極)16とp型電極(アノード電極)17との間に電圧が印加されることにより、発光領域12に電流が流れて発光する。

【0059】

なお、p型電極17とp型パッド電極18bとは、本開示に係る第1の電極に相当する。n型電極16とn型パッド電極18aとは、本開示に係る第2の電極に相当する。

10

【0060】

スルーホール14aおよび14bは、LEDチップ10のうち少なくともサファイア基板11を貫通するように配置されている。すなわち、LEDチップ10において、スルーホール14aおよび14bは、スルーホールが形成される位置に配置された、少なくともサファイア基板11を貫通するように形成されている。

【0061】

データ線20およびアドレス線30は、糸状の導電性線材(ワイヤ)であり、例えば、金(Au)、銀(Ag)、Cu(銅)等の金属で構成される金属配線である。本実施の形態において、アドレス線30およびデータ線20は、銅電線である。データ線20およびアドレス線30の直径は、例えば0.1mmである。

20

【0062】

なお、アドレス線30およびデータ線20は、導電性を有するだけでなく可撓性や伸縮性を有することが望ましい。この場合、アドレス線30およびデータ線20の材料としては、グラファイトやカーボンナノチューブ等のグラフェンを用いることができる。これにより、発光デバイス1を撓ませたときに生じるアドレス線30およびデータ線20の負荷を緩和させることができる。また、データ線20およびアドレス線30は、樹脂によりコーティングされている構成であってもよい。

【0063】

データ線20およびアドレス線30の各々は、隣り合う2つのLEDチップ10ごとに複数設けられている。つまり、行方向においてアドレス線30とLEDチップ10とが交互に設けられているとともに、列方向においてデータ線20とLEDチップ10とが交互に設けられている。

30

【0064】

そして、LEDチップ10を介して1つの行方向に接続される複数のアドレス線30は、1つの走査線(カソード配線)として構成される。また、LEDチップ10を介して1つの列方向に接続される複数のデータ線20は、1つのデータ線(アノード配線)として構成される。アドレス線およびデータ線は、それぞれ、アドレス線群30aおよびデータ線群20aとして複数設けられている。

【0065】

図2に示したように、本実施の形態において、行方向に配列される複数のLEDチップ10については、隣り合うLEDチップ10のカソード同士がアドレス線30によって順次接続される。また、列方向に配列されるLEDチップ10については、隣り合うLEDチップ10のアノード同士がデータ線20によって順次接続される。

40

【0066】

また、データ線群20aはデータドライバ50(図16の(a)参照)に接続されている。また、アドレス線群30aは、走査データドライバ(ソースドライバ)60に接続されている。

【0067】

データドライバ50および走査データドライバ60は、それぞれデータ線20およびアドレス線30に印加される電圧または電流を制御する。これにより、LEDチップ10の

50

発光動作が制御される。

【0068】

なお、データ線20は、本開示にかかる第2の配線に相当する。また、アドレス線30は、本開示にかかる第1の配線に相当する。

【0069】

次に、発光デバイス1の製造方法について説明する。

【0070】

図5～図7は、発光デバイス1の製造工程を示す概略図である。

【0071】

図5に示すように、まず、発光デバイス1を構成するサファイア基板11の上に複数のLEDデバイスが形成される。ここで、LEDデバイスとは、LEDチップがチップ毎に分割される前の状態のことをいう。LEDデバイス(LEDチップ)10の形成方法については後に詳述する。

10

【0072】

次に、図6に示すように、サファイア基板11にスルーホール14aおよび14bが形成される。レーザーを用いて、サファイア基板11の両面を貫通する複数のスルーホール14aおよび14bが形成される。スルーホール14aおよび14bは、LEDデバイス(LEDチップ)10における発光領域12の周辺に複数形成される。詳細については後に説明するが、スルーホール14aおよび14bは、例えば、LEDデバイス(LEDチップ)10の発光領域12の近傍に設けられてもよい。また、スルーホール14aおよび14bは、LEDデバイス(LEDチップ)10の電極(例えば、n型パッド電極18aまたはp型パッド電極18b)が形成された領域内に設けられてもよい。

20

【0073】

その後、図7に示すように、サファイア基板11をダイシングし、LEDデバイスをそれぞれ分割し、LEDチップ10とする。

【0074】

ここで、LEDチップ(LEDデバイス)10の製造方法について説明する。

【0075】

図8～図14は、LEDチップ10の製造工程を示す上面図である。

【0076】

はじめに、サファイア基板11上に半導体層が積層された基板(積層体構造)を用意する。ここで、半導体層とは、発光領域12を構成する層であり、発光領域12は、n型半導体層12a、活性層12bおよびp型半導体層12cがこの順に積層されている。そして、レジストまたはSiO₂等をマスクにして、図8に示すように活性層12bおよび12cを残し、図12に示すようにn型半導体層12aが露出されるように、当該積層体構造がエッチングされる。これにより、LEDチップ10において、n型半導体層12aが露出される。

30

【0077】

次に、図9に示すように、n型半導体層12aを残してサファイア基板11が露出されるように、n型半導体層12aを除く領域の半導体層がエッチングされる。

40

【0078】

さらに、p型半導体層12c(または、p型電極17)とn型半導体層12a(または、n型電極16)とが短絡しないように、pn接合の絶縁のための絶縁膜(図示せず)が形成される。

【0079】

続いて、図10に示すように、n型半導体層12aにn型電極16が形成される。n型電極は、例えば、n型半導体層12aにおいて、n型半導体層12aの2辺に並行するようにL字状に形成されている。

【0080】

次に、図11に示すように、p型半導体層12cの上にp型電極17が形成される。p

50

型電極 17 は、p 型半導体層 12c の上に、p 型半導体層 12c の形状とほぼ同様の形状に形成される。

【0081】

また、図 12 に示すように、LED チップ 10 にスルーホール 14a および 14b が形成される。スルーホール 14a および 14b は、上記したようにレーザー加工により形成される。

【0082】

さらに、n 型電極 16 と p 型電極 17 に対して、それぞれ n 型パッド電極 18a および p 型パッド電極 18b が形成される。n 型パッド電極 18a および p 型パッド電極 18b は、例えば銅により構成され、所定の形状にパターニング形成されている。これにより、n 型電極 16 と n 型パッド電極 18a とが電氣的に接続され、p 型電極 17 と p 型パッド電極 18b とが電氣的に接続される。

【0083】

以上により、図 13 に示す LED チップ 10 が完成する。この構成によれば、配線（アドレス線 30 およびデータ線 20）がスルーホール 14a および 14b を貫通した上で電極（n 型パッド電極 18a および p 型パッド電極 18b）と接続される。これにより、配線の可動領域が制限され、配線と電極との接続点にかかる機械的負荷を抑制できる。

【0084】

なお、上記した LED チップ 10 の各構成を形成する場合、パターニングに使用するマスクパターンは、上記した実施の形態に示したパターンに限らず他のパターンであってもよい。また、発光デバイス 1 の製造工程は、上記した工程に限らず、工程の順を入れ替えたり他の工程を追加したりしてもよい。また、スルーホール 14a および 14b の形成は、LED チップ 10 の n 型パッド電極 18a および p 型パッド電極 18b の形成後に行ってもよいし、LED チップ 10 の n 型パッド電極 18a および p 型パッド電極 18b の形成の前に行ってもよい。この構成によれば、スルーホール 14a および 14b と、n 型パッド電極 18a および p 型パッド電極 18b とを容易に形成することができる。

【0085】

また、スルーホール 14a および 14b は、サファイア基板 11 だけでなく、サファイア基板 11、p 型半導体層 12c および n 型半導体層 12a を有する積層体を貫通するように形成されていてもよい。また、積層体のうち、n 型半導体層 12a および p 型半導体層 12c の少なくとも一層を貫通するように形成されていてもよい。

【0086】

この構成によれば、データ線 20 およびアドレス線 30 で構成される配線がスルーホール 14a および 14b を貫通した上で電極（n 型電極 16 または p 型電極 17）と接続されるので、配線の可動領域が制限される。これにより、配線と電極との接続点にかかる機械的負荷を抑制できる。

【0087】

また、LED チップ 10 に設けられるスルーホール 14a および 14b は、上記した発光デバイス 1 のように 2 つに限らず、より多くのスルーホールが設けられてもよい。この場合、各スルーホールの孔径は統一する必要は無く、異なる大きさの孔径を有する複数のスルーホールを形成してもよい。以下にその一例を示す。

【0088】

図 14 は、孔径の大きさの異なる複数のスルーホールを有する LED チップ 10 の構成を示す上面図である。

【0089】

図 14 に示すように、LED チップ 10 は、上記した発光デバイス 1 の LED チップ 10 のスルーホール 14a および 14b に加えて、スルーホール 14c、14d、14e および 14f を備えていてもよい。ここで、スルーホール 14a、14c および 14e は、n 型パッド電極 18a の内部に形成されている。また、スルーホール 14b、14d および 14f は、p 型パッド電極 18b の内部に形成されている。

【0090】

n型パッド電極18aに形成されたスルーホール14a、14c、14eの孔径は、スルーホール14aの孔径が最も大きく、続いてスルーホール14c、14eの順に小さく形成されており、スルーホール14eの孔径が最も小さく形成されている。同様に、p型パッド電極18bに形成されたスルーホール14b、14d、14fの孔径は、スルーホール14bの孔径が最も大きく、続いてスルーホール14d、14fの順に小さく形成されており、スルーホール14fの孔径が最も小さく形成されている。

【0091】

このように、孔径の異なる複数のスルーホールを形成することにより、配線の径に応じて孔径の異なるスルーホールを使用することができ、簡便かつ効率よく配線の受ける機械的負荷を低減することができる。

10

【0092】

完成したLEDチップ10は、スルーホール14aおよび14bにそれぞれアドレス線30およびデータ線20が貫通される。データ線20は、複数のLEDチップ10のスルーホール14bを順に貫通し、列方向に複数のLEDチップ10を接続する。アドレス線30は、複数のLEDチップ10のスルーホール14aを順に貫通し、行方向に複数のLEDチップ10を接続する。このように、発光デバイス1では、複数のLEDチップ10がデータ線20とアドレス線30によって行列方向に布を織るように接続される。複数のLEDチップ10の接続方法については、後に詳述する。

【0093】

20

さらに、図15に示すように、複数のLEDチップ10が行列方向に布を織るように接続された発光デバイス1は、可撓性樹脂材等で構成されるフィルム40に固定される。これにより、例えば、パネルのフレキシブル基板等に発光デバイス1を設けることができる。

【0094】

さらに、図16の(a)に示すように、フィルム40に固定された発光デバイス1において、データ線20およびアドレス線30は、それぞれデータドライバ50および走査データドライバ60に接続される。これにより、データドライバ50および走査データドライバ60により、LEDチップ10の発光動作を制御することができる。

【0095】

30

ここで、データ線20およびアドレス線30による複数のLEDチップ10の接続方法の一例を示す。

【0096】

図17は、図16の(b)に示した発光デバイス1のA-A'線における断面図である。図18は、図16の(b)に示した発光デバイス1のB-B'線における断面図である。なお、図17および図18におけるLEDチップ10a~10cは、図16の(b)に示したLEDチップ10a~10cに対応している。

【0097】

図17に示すように、配線であるデータ線20は、一つのLEDチップ10aの表面に形成されたp型パッド電極18bに、導電性材料(例えば導電性樹脂)18cによって接続され、LEDチップ10aに形成されたスルーホール14bを表面から裏面へと貫通する。さらに、データ線20は、他のLEDチップ10bに形成されたスルーホール14bを裏面から表面に貫通し、当該他のLEDチップ10bの表面に形成されたp型パッド電極18bに、導電性樹脂18cによって接続される。

40

【0098】

これにより、LEDチップ10aのスルーホール14bを貫通したデータ線20は、隣り合うLEDチップ10bと電氣的に接続され、かつ、データ線20の可動領域が制限される構成となる。これにより、データ線20と各p型パッド電極18bとの接続点にかかる機械的負荷を抑制することができる。

【0099】

50

また、図18に示すように、配線であるアドレス線30は、一つのLEDチップ10aの表面に形成されたn型パッド電極18aに、導電性材料(例えば導電性樹脂)18dによって接続され、LEDチップ10aに形成されたスルーホール14aを表面から裏面へと貫通する。さらに、アドレス線30は、他のLEDチップ10cに形成されたスルーホール14aを裏面から表面に貫通し、当該LEDチップ10cの表面に形成されたn型パッド電極18aに、導電性樹脂18cによって接続される。

【0100】

これにより、LEDチップ10aのスルーホール14aを貫通したアドレス線30は、隣り合うLEDチップ10cと電気的に接続され、かつ、アドレス線30の可動領域が制限される構成となる。これにより、アドレス線30と各n型パッド電極18aとの接続点にかかるとの機械的負荷を抑制することができる。

10

【0101】

以上により、本実施の形態に係る発光デバイス1が完成する。

【0102】

以上の構成によれば、配線(データ線20とアドレス線30)がスルーホールを貫通した上で電極と接続されることにより、配線の可動領域が制限される。したがって、配線と電極との接続点にかかるとの機械的負荷を抑制できる。

【0103】

なお、上記したLEDチップ10の各構成を形成する場合、パターンニングに使用するマスクパターンは、上記した実施の形態に示したパターンに限らず他のパターンであってもよい。また、発光デバイス1の製造工程は、上記した工程に限らず、工程の順を入れ替えたり他の工程を追加したりしてもよい。また、スルーホール14aおよび14bの形成は、LEDチップ10のn型パッド電極18aおよびp型パッド電極18bの形成後に行ってもよいし、LEDチップ10のn型パッド電極18aおよびp型パッド電極18bの形成の前に行ってもよい。以上の構成によれば、スルーホールと、n型パッド電極およびp型パッド電極とを容易に形成することができる。

20

【0104】

また、スルーホール14aおよび14bは、基板だけでなく、サファイア基板11、p型半導体層12cおよびn型半導体層12aを有する積層体を貫通するように形成されていてもよい。また、積層体のうち、n型半導体層12aおよびp型半導体層12cの少なくとも一層を貫通するように形成されていてもよい。この構成によれば、データ線20およびアドレス線30で構成される配線がスルーホール14aおよび14bを貫通した上で電極(n型電極16またはp型電極17)と接続されるので、配線の可動領域が制限される。これにより、配線と電極との接続点にかかるとの機械的負荷を抑制できる。

30

【0105】

また、基板は、上記したサファイア基板11に限らず、導電性の基板であってもよいし、n型半導体層で構成されていてもよい。導電性の基板としては、例えば酸化物半導体であってもよい。また、n型半導体層としては、例えばGaNであってもよい。これにより、発光デバイス1を容易に形成することができる。この場合、スルーホール14aおよび14bは、積層体構造の両面、すなわち、積層体構造の表面から裏面を貫通するように形成されていけばよい。すなわち、例えばスルーホール14aおよび14bを形成する位置における積層体構造がn型半導体層のみで構成されている場合は、当該n型半導体層に対し、積層体構造の両面を貫通するようにスルーホール14aおよび14bを形成すればよい。

40

【0106】

以上、本実施の形態に係る発光デバイス1によると、一つのLEDチップ10aのp型パッド電極18bおよびn型パッド電極18aに接続された配線、すなわち、データ線20およびアドレス線30が当該一つのLEDチップ10aに形成されたスルーホール14bおよび14aをそれぞれ貫通した上で他のLEDチップ10bおよび10cの電極と接続されることにより、配線の可動領域が制限される。これにより、配線と電極との接続点

50

にかかる機械的負荷を抑制することができる。

【0107】

(実施の形態1の変形例)

次に、実施の形態1の変形例について説明する。本変形例に係る発光デバイスは、LEDチップを構成する基板が半導体基板であり、この半導体基板にスルーホールが設けられているものである。

【0108】

図19は、LEDチップ100aおよび100bの構成を示す断面図である。なお、図19において、データ線20およびアドレス線30を合わせて配線170と示している。

【0109】

図19に示すように、LEDチップ100aおよび100bは、基板111上に、第1の電極であるp型パッド電極118bと第2の電極であるn型パッド電極118aとを備えている。ここで、基板111には、半導体基板が用いられている。基板111は、例えば、n型の半導体層からなる基板である。ここで、基板111は、その内部に、上述した実施の形態1で述べたように、n型半導体層、活性層(発光層)、p型半導体層からなる積層構造を備えていてもよい。

【0110】

n型パッド電極118aおよびp型パッド電極118bと、スルーホール114を貫通する配線170との間には、絶縁膜(図示せず)が形成されている。例えば、絶縁膜は、スルーホール114の内面に形成されている。絶縁膜をスルーホール114の内面に形成することにより、n型パッド電極118aおよびp型パッド電極118bと配線との間の絶縁性を確保することができる。なお、絶縁膜は、スルーホール114だけでなく配線に形成されていてもよい。例えば、配線は樹脂によりコーティングされている構成であってもよい。

【0111】

配線170は、LEDチップ100aの表面に形成されたp型パッド電極118bに接続され、LEDチップ100aに形成されたスルーホール114を表面から裏面へと貫通する。さらに、配線170は、LEDチップ100bに形成されたスルーホール114を裏面から表面に貫通し、他のLEDチップ100bの表面に形成されたp型パッド電極118bに接続される。

【0112】

これにより、配線170は、隣り合うLEDチップ100aおよび100bとの間で電氣的に接続され、かつ、配線170の可動領域が制限される構成となる。したがって、配線170と各p型パッド電極118bとの接続点にかかる機械的負荷を抑制することができる。

【0113】

なお、図19では、配線170がp型パッド電極118b同士を接続した発光デバイスについて説明したが、この例に限られない。配線170は、隣り合うLEDチップ100aおよび100bとの間で接続される際に、スルーホール114を通過していればよく、n型パッド電極118a同士を接続するものであってもよい。また、LEDチップ100aのn型パッド電極118aと、これに隣り合うLEDチップ100bのp型パッド電極118bとを接続するものであってもよい。

【0114】

なお、スルーホール114を貫通する配線170は、データ線20およびアドレス線30に限らず、導電性を有しない絶縁性配線であってもよい。この場合、絶縁性配線はn型パッド電極118aおよびp型パッド電極118bには接続されず、他の複数のLEDチップのスルーホール114を順に貫通して、複数のLEDチップを機械的に接続するために用いる。

【0115】

以上、本変形例に係る発光デバイスによると、LEDチップ100aおよび100bを

10

20

30

40

50

構成する基板が半導体基板である場合にも、LEDチップ100aおよび100bのスルーホール114を順に貫通して複数のLEDチップを接続することにより、配線と電極との接続点にかかる機械的負荷を抑制することができる。

【0116】

(実施の形態2)

次に、実施の形態2について説明する。

【0117】

図20は、本実施の形態に係る発光デバイスの構成を示す断面図である。

【0118】

本実施の形態に係る発光デバイスが実施の形態1に係る発光デバイスと異なる点は、複数のスルーホールが設けられた基板の上に、LEDチップが実装されている点である。スルーホールを有する基板は、LEDの発光領域を形成する基板とは異なってもよい。すなわち、スルーホールを有する基板は、導電性の基板でなくてもよい。

10

【0119】

図20に示すように、LEDチップ10dは、サファイア基板11と、カソード電極であるn型パッド電極18aと、アノード電極であるp型パッド電極18bとを備えている。発光領域12は、サファイア基板11上にn型半導体層12aと、活性層12bと、p型半導体層12cとが積層された構成をしている。n型パッド電極18aとp型パッド電極18bとは、サファイア基板11の側面を介してサファイア基板11の裏面にまで伸びている。

20

【0120】

一方、サファイア基板11は、スルーホール124aおよび124bが形成された別の基板120の上に実装されている。基板120には、スルーホール124aの開口の周囲の基板表面上にn型接続電極128aが形成されている。また、基板120には、スルーホール124bの開口の周囲の基板表面上にp型接続電極128bが形成されている。n型接続電極128aとp型接続電極128bは、それぞれn型パッド電極18aおよびp型パッド電極18bと電氣的に接続されている。なお、基板120は、一例としてプリント基板やガラス基板でもよい。

【0121】

LEDチップ10dのp型接続電極128bにはデータ線20が接続されている。データ線20は、LEDチップ10dのスルーホール124bを貫通し、隣り合うLEDチップ10eのスルーホール124bを貫通して、LEDチップ10eのp型接続電極128bと接続される。

30

【0122】

また、LEDチップ10dのn型接続電極128aにはアドレス線30が接続されている。アドレス線30は、LEDチップ10dのスルーホール124aを貫通し、隣り合うLEDチップ10eのスルーホール124aを貫通して、LEDチップ10eのn型接続電極128aと接続される。

【0123】

データ線20とLEDチップ10dのp型接続電極128b、およびデータ線20とLEDチップ10eのp型接続電極128bとは、上述した実施の形態1で述べたのと同様に、p型接続電極128bの上面に導電性樹脂128cを形成することによって接続してもよい。

40

【0124】

同様に、アドレス線30とLEDチップ10dのn型接続電極128a、およびアドレス線30とLEDチップ10eのn型接続電極128aとも、n型接続電極128aの上面に導電性樹脂128dを形成することによって接続してもよい。

【0125】

なお、本実施の形態では、サファイア基板11と基板120とは、表面実装により電極間を接続する構成を示したが、ワイヤボンディングなどで接続をとってもよい。

50

【 0 1 2 6 】

以上、本実施の形態に係る発光デバイスによると、複数のスルーホールを有する基板と複数のLEDチップ10とを別々に用意することができる。したがって、発光デバイスの製造が容易である。

【 0 1 2 7 】

(実施の形態3)

次に、実施の形態3について説明する。

【 0 1 2 8 】

図21および図22は、本実施の形態に係る発光デバイスの構成を示す断面図である。

【 0 1 2 9 】

本実施の形態に係る発光デバイスが実施の形態1および2に示した発光デバイスと異なる点は、スルーホールの内部が導電性の材料で被覆されている点である。

【 0 1 3 0 】

図21に示すように、LEDチップ10fおよび10gのサファイア基板11に設けられたスルーホール14bの内面は、p型パッド電極138bで被覆されている。このように、スルーホール14bの内面がp型パッド電極138bで被覆されると、データ線20との電氣的接続が容易に行える。

【 0 1 3 1 】

同様に、図22に示すように、LEDチップ10fおよび10hのサファイア基板11に設けたスルーホール14aの内面は、n型パッド電極138aで被覆されている。このように、スルーホール14aの内面がn型パッド電極138aで被覆されると、配線30との電氣的接続が容易に行える。

【 0 1 3 2 】

なお、スルーホール14aおよび14bを貫通する配線は、データ線20およびアドレス線30に限らず、導電性を有しない絶縁性配線であってもよい。この場合、絶縁性配線はn型パッド電極138aおよびp型パッド電極138bには接続されず、他の複数のLEDチップのスルーホールを順に貫通して、複数のLEDチップを機械的に接続するものであってもよい。導電性を有しない絶縁性配線をスルーホールに貫通する場合については、後に詳述する。

【 0 1 3 3 】

以上、本実施の形態に係る発光デバイスによると、スルーホールの内部が導電性の材料で被覆されているので、n型パッド電極138aまたはp型パッド電極138bと、スルーホールを貫通する配線との電氣的接続を容易にすることができる。

【 0 1 3 4 】

(実施の形態4)

次に、実施の形態4について説明する。

【 0 1 3 5 】

上記した発光デバイスは、導電性を有する配線だけでなく、導電性を有しない絶縁性配線を有してもよい。以下、絶縁性配線を有する発光デバイスについて説明する。

【 0 1 3 6 】

図23および図24は、本実施の形態に係る発光デバイスの構成を示す断面図である。

【 0 1 3 7 】

図23に示すように、本実施の形態に係る発光デバイスは、LEDチップ10iの基板11の表面にカソード電極であるn型パッド電極18aを備え、LEDチップ10iと隣り合うLEDチップ10jの基板11の表面にアノード電極であるp型パッド電極18bを備えている。また、LEDチップ10i、10jには、それぞれスルーホール14a、14bおよび144が形成されている。また、LEDチップ10iのn型パッド電極18aには、導電性を有する配線170(例えば、データ線20またはアドレス線30)が導電性樹脂18cにより接続されている。

【 0 1 3 8 】

配線170は、LEDチップ10iに形成されたスルーホール14aを貫通し、隣り合う他のLEDチップ10jのスルーホール14bを貫通してp型パッド電極18bに導電性樹脂18cにより接続されている。すなわち、スルーホール14aおよび14bを介して、LEDチップ10iのn型パッド電極18aとLEDチップ10jのp型パッド電極18bとが接続されている。

【0139】

また、LEDチップ10iに形成されたスルーホール144には、導電性を有しない絶縁性配線180が貫通している。絶縁性配線180は、例えば、樹脂材料で構成される。また、絶縁性配線180は、金属性配線を樹脂材料等の絶縁性物質で被覆したものであってもよい。絶縁性配線180は、隣り合うLEDチップ10jのスルーホール144も貫通している。絶縁性配線180は、さらに、隣り合う複数のLEDチップ(図示せず)のスルーホールを順に貫通し、複数のLEDチップにより、布状の発光デバイスが形成されている。このように、絶縁性配線180を用いることにより、複数のLEDチップは絶縁性配線180により互いに固定されるため、機械的強度の高い布状の発光デバイスを得ることができる。

10

【0140】

ここで、絶縁性配線180は、配線170よりも剛性が高い材料により形成されていてもよい。絶縁性配線180の剛性を配線170の剛性よりも高くすることで、発光デバイスが撓み等により変形された際に配線170にかかる機械的負荷をより低減することができる。

20

【0141】

なお、配線170は、LEDチップ10iにおけるn型パッド電極18aとLEDチップ10jにおけるp型パッド電極18bとを接続することに限らず、隣り合うLEDチップ10iおよび10jのp型パッド電極18b同士またはn型パッド電極18a同士を接続してもよい。

【0142】

例えば、図24に示すように、配線170は、LEDチップ10iのp型パッド電極18bに接続されている。そして、配線170は、LEDチップ10iに形成されたスルーホール14bを貫通し、隣り合うLEDチップ10kのp型パッド電極18bに接続されている。これにより、配線170により隣り合うLEDチップ10iおよび10kのp型パッド電極18b同士が接続される。

30

【0143】

なお、配線170は、LEDチップ10iのn型パッド電極18aに接続され、LEDチップ10iに形成されたスルーホール14aを貫通し、隣り合う他のLEDチップ10kのn型パッド電極18aに接続されてもよい。これにより、配線170により隣り合うLEDチップ10iおよび10kのn型パッド電極18a同士が接続される。

【0144】

このように、絶縁性配線180を用いることにより、複数のLEDチップが互いに固定されるため、機械的強度の高い布状の発光デバイスを得ることができる。

【0145】

(実施の形態4の変形例)

次に、実施の形態4の変形例について説明する。

【0146】

図25および図26は、本変形例に係る発光デバイスの構成を示す断面図である。

【0147】

本実施の形態に係る発光デバイスが実施の形態4にかかる発光デバイスと異なる点は、LEDチップを構成する基板が半導体基板であり、この半導体基板にスルーホールが設けられている点である。半導体基板とは、半導体層が積層された基板(積層体構造)である。ここで、半導体層とは、上述した各実施の形態のように、発光領域12を構成する層であり、発光領域12は、n型半導体層12a、活性層12bおよびp型半導体層12cが

40

50

この順に積層されている。

【0148】

図25に示すように、本変形例に係る発光デバイスにおいて、各LEDチップ100cおよび100dは、それぞれ、基板(積層体構造)111の裏面にカソード電極であるn型パッド電極118aを備え、基板(積層体構造)111の表面にアノード電極であるp型パッド電極118bを備えている。

【0149】

また、LEDチップ100cおよび100dには、それぞれスルーホール154aおよび154bが形成されている。また、LEDチップ100cのp型パッド電極118bには、導電性を有する配線170(例えば、データ線20またはアドレス線30)が接続されている。

10

【0150】

配線170は、LEDチップ100cに形成されたスルーホール154aを貫通し、隣り合うLEDチップ100dのn型パッド電極118aに接続されている。すなわち、スルーホール154aを介して、LEDチップ100cのp型パッド電極118bと、隣り合うLEDチップ100dのn型パッド電極118aとが接続されている。

【0151】

また、LEDチップ100cに形成されたスルーホール154bには、導電性を有しない絶縁性配線180が貫通している。絶縁性配線180は、例えば、樹脂材料で構成される。また、絶縁性配線180は金属性配線を樹脂材料等の絶縁性物質で被覆したものであってもよい。絶縁性配線180は、隣り合うLEDチップ100dのスルーホール154bを貫通している。絶縁性配線180は、さらに、隣り合う複数のLEDチップ(図示せず)のスルーホール154bを順に貫通し、複数のLEDチップにより、布状の発光デバイスが形成されている。このように、絶縁性配線180を用いることにより、複数のLEDチップは絶縁性配線180により互いに固定されるため、機械的強度の高い布状の発光デバイスを得ることができる。

20

【0152】

ここで、絶縁性配線180は、配線170よりも剛性が高い材料により形成されていてもよい。絶縁性配線180の剛性を配線170の剛性よりも高くすることで、発光デバイスが撓み等により変形された際に配線170にかかる機械的負荷をより低減することができる。

30

【0153】

なお、配線170は、図25においては、LEDチップ100cにおけるp型パッド電極118bとLEDチップ100dにおけるn型パッド電極118aとを接続する例を示したが、これに限らず、隣り合うLEDチップ100cおよび100dのp型パッド電極118b同士またはn型パッド電極118a同士を接続してもよい。

【0154】

例えば、図26に示すように、LEDチップ100cにおけるp型パッド電極118bとLEDチップ100dにおけるp型パッド電極118bとを接続してもよい。図26においては、配線170は、LEDチップ100cのp型パッド電極118bに接続されている。そして、配線170は、LEDチップ100cに形成されたスルーホール154aを貫通し、隣り合うLEDチップ100dのp型パッド電極118bに接続されている。これにより、隣り合うLEDチップ100cおよび100dのp型パッド電極118b同士が配線170によって接続される。

40

【0155】

なお、配線170は、LEDチップ100cのn型パッド電極118aに接続され、LEDチップ100cに形成されたスルーホール154aを貫通し、さらに、隣り合うLEDチップ100dのスルーホール154aを貫通してn型パッド電極118aに接続されてもよい。これにより、隣り合うLEDチップ100cおよび100dのn型パッド電極118a同士が配線170によって接続される。

50

【 0 1 5 6 】

このように、絶縁性配線 1 8 0 を用いることにより、複数の L E D チップは絶縁性配線 1 8 0 により互いに固定されるため、機械的強度の高い布状の発光デバイスを得ることができる。

【 0 1 5 7 】

図 2 7 は、本変形例に係る発光デバイスの構成を示す上面図である。

【 0 1 5 8 】

図 2 7 に示すように、L E D チップ 1 0 0 c および 1 0 0 d は、配線 1 7 0 が通る第 1 のスルーホール 1 5 4 a と、絶縁性配線 1 8 0 が通る第 2 のスルーホール 1 5 4 b とを有している。また、隣り合う L E D チップ 1 0 0 c および 1 0 0 d との間で、第 2 のスルーホール 1 5 4 b 同士の距離は、第 1 のスルーホール 1 5 4 a 同士の距離よりも短くなるように配置されている。このように、配線 1 7 0 が通る第 1 のスルーホール 1 5 4 a 同士の距離と、絶縁性配線 1 8 0 が通る第 2 のスルーホール 1 5 4 b 同士の距離とを变えることにより、発光デバイスの機械的強度を調整することができる。また、絶縁性配線 1 8 0 が通る第 2 のスルーホール 1 5 4 b 同士の間の距離を第 1 のスルーホール 1 5 4 a 同士の距離よりも短くすることで、配線にかかる負荷および配線と電極との接続点にかかる負荷をより低減することができる。

【 0 1 5 9 】

(実施の形態 5)

次に、実施の形態 5 について説明する。本実施の形態に係る発光デバイスが実施の形態 1 ~ 4 に示した発光デバイスと異なる点は、L E D チップに設けられたスルーホールの孔径が、基板の表面と裏面とで異なる点である。

【 0 1 6 0 】

図 2 8 ~ 図 3 0 は、本実施の形態に係る発光デバイスの L E D チップの構成を示す断面図である。

【 0 1 6 1 】

図 2 8 に示すように、L E D チップ 1 0 l および 1 0 m は、基板 1 1 と、カソード電極である n 型パッド電極 (図示せず) と、アノード電極である p 型パッド電極 1 8 b とを備えている。発光領域 1 2 は、基板 1 1 上に n 型半導体層 1 2 a と、活性層 1 2 b と、p 型半導体層 1 2 c とが積層された構成をしている。また、基板 1 1 には、スルーホール 2 1 4 a および 2 1 4 b が形成されている。データ線 2 0 は、L E D チップ 1 0 l のスルーホール 2 1 4 b を貫通し、L E D チップ 1 0 l の p 型パッド電極 1 8 b に、導電性樹脂 1 8 c により接続されている。このデータ線 2 0 は、隣り合う L E D チップ 1 0 m のスルーホール 2 1 4 b を貫通し、L E D チップ 1 0 m の p 型パッド電極 1 8 b と導電性樹脂 1 8 c により接続されている。

【 0 1 6 2 】

ここで、スルーホール 2 1 4 b は、データ線 2 0 が接続された p 型パッド電極 1 8 b に近い面、すなわち、基板 1 1 の表面の孔径が、基板 1 1 の裏面の孔径よりも大きくなるように形成されている。このように、データ線 2 0 が接続されている p 型パッド電極 1 8 b に近い面側の孔径を p 型パッド電極 1 8 b から遠い面側の孔径よりも大きく形成することで、データ線 2 0 がスルーホール 2 1 4 b と接触することによりダメージを受けるのを抑制することができる。

【 0 1 6 3 】

また、データ線 2 0 は、p 型パッド電極 1 8 b に限らず、n 型パッド電極 1 8 a と接続されてもよい。この場合、n 型パッド電極 1 8 a が形成された面の孔径が、n 型パッド電極 1 8 a が形成されていない面 (図 2 8 では、基板 1 1 の裏面) の孔径よりも大きくなるように、スルーホール 2 1 4 a を形成するとよい。

【 0 1 6 4 】

また、図 2 9 に示す L E D チップ 1 0 n および 1 0 p は、図 2 8 に示した L E D チップ 1 0 l および 1 0 m と同様の基板 1 1 と、n 型パッド電極 (図示せず) と、p 型パッド電

10

20

30

40

50

極 1 8 b とを備えている。また、基板 1 1 には、スルーホール 2 1 5 a および 2 1 5 b が形成されている。さらに、データ線 2 0 は、LEDチップ 1 0 n のスルーホール 2 1 5 b を貫通し、LEDチップ 1 0 n の p 型パッド電極 1 8 b に、導電性樹脂 1 8 c により接続されている。このデータ線 2 0 は、隣り合う LEDチップ 1 0 p のスルーホール 2 1 5 b を貫通し、LEDチップ 1 0 p の p 型パッド電極 1 8 b と導電性樹脂 1 8 c により接続される。

【 0 1 6 5 】

ここで、スルーホール 2 1 5 b は、データ線 2 0 が接続された p 型パッド電極 1 8 b に近い面、すなわち、基板 1 1 の表面の孔径が、基板 1 1 の裏面の孔径よりも小さくなるように形成されている。このように、データ線 2 0 が接続されている p 型パッド電極 1 8 b に近い面側の孔径が p 型パッド電極 1 8 b から遠い面側の孔径よりも小さく形成されることで、データ線 2 0 の可動範囲が制限される。したがって、データ線 2 0 と p 型パッド電極 1 8 b との接続点にかかる機械的負荷をより効果的に抑制することができる。

10

【 0 1 6 6 】

また、データ線 2 0 は、p 型パッド電極 1 8 b に限らず、n 型パッド電極 1 8 a と接続されてもよい。この場合、n 型パッド電極 1 8 a が形成された面の孔径が、n 型パッド電極 1 8 a が形成されていない面（図 2 9 では、基板 1 1 の裏面）の孔径よりも小さくなるように、スルーホール 2 1 5 b を形成するとよい。

【 0 1 6 7 】

また、図 2 8、図 2 9 のさらなる変形例も考えられる。図 3 0 に示す LEDチップ 1 0 q および 1 0 r は、LEDチップ 1 0 q および 1 0 r に設けられたスルーホールの内面が、スルーホール内を通る配線が接続される電極側（図 3 0 では、基板 1 1 の表面側）に傾斜したものである。スルーホールの傾斜以外の構成については、図 2 8、図 2 9 の説明で述べた内容と同じであるので、説明を省略する。

20

【 0 1 6 8 】

図 3 0 に示すように、隣り合う LEDチップ 1 0 q および 1 0 r において、スルーホール 2 1 6 b の内面は、スルーホール 2 1 6 b 内を通るデータ線 2 0 が接続された p 型パッド電極 1 8 b 側（LEDチップ 1 0 q、1 0 r の各々の中心側）に傾斜している。さらに詳細には、スルーホール 2 1 6 b が貫通する基板 1 1 の両面のうち、スルーホール 2 1 6 b 内を通るデータ線 2 0 が接続される p 型パッド電極 1 8 b が位置する一方の面（上面）におけるスルーホール 2 1 6 b の内面位置が、上述した一方の面と対向する他方の面（下面）における内面位置よりも、スルーホール 2 1 6 b 内を通るデータ線 2 0 が接続される p 型パッド電極 1 8 b 側に近接している。このように、スルーホール 2 1 6 b の内面を、p 型パッド電極 1 8 b 側（LEDチップ 1 0 q、1 0 r の各々の中心側）に傾斜して形成することにより、データ線 2 0 がその撓みに沿って機械的負荷の少ない状態でスルーホール 2 1 6 b 内に配置される。したがって、スルーホール 2 1 6 b 内を通過するデータ線 2 0 を、p 型パッド電極 1 8 b と容易に接続することができる。

30

【 0 1 6 9 】

なお、スルーホール 2 1 6 b の内面の傾斜は、p 型パッド電極 1 8 b に近い内面のみに限らず、スルーホール 2 1 6 b の内面全面が p 型パッド電極 1 8 b 側に傾斜していてもよい。

40

【 0 1 7 0 】

また、データ線 2 0 は、p 型パッド電極 1 8 b に限らず、n 型パッド電極（図示せず）と接続されてもよい。この場合、スルーホール 2 1 6 a の内面を、n 型パッド電極側に傾斜して形成することにより、スルーホール 2 1 6 a 内を通過する配線 3 0 を、n 型パッド電極 1 8 a と容易に接続することができる。

【 0 1 7 1 】

なお、上記に説明した図 2 8 から図 3 0 に示した接続は、データ線 2 0 に代えて、アドレス線 3 0 についても同様に適用することが可能である。

【 0 1 7 2 】

50

以上、本実施の形態に係る発光デバイスによると、LEDチップに設けられたスルーホールの孔径が基板の表面と裏面とで異なるように形成されているので、配線とLEDチップとの接続点にかかる負荷を低減して、発光デバイスの破損を効果的に抑制することができる。また、LEDチップに形成されたスルーホールの内面を電極側に傾斜して形成することにより、配線がその撓みに沿って機械的負荷の少ない状態でスルーホール内に配置される。したがって、スルーホール内を通過する配線を、電極と容易に接続することができる。

【0173】

(実施の形態5の変形例)

次に、実施の形態5の変形例について説明する。本実施の形態に係る発光デバイスが実施の形態5に示した発光デバイスと異なる点は、LEDチップを構成する基板が半導体基板であり、半導体基板内にスルーホールを形成している点である。

【0174】

図31～図33は、本実施の形態に係る発光デバイスのLEDチップの構成を示す断面図である。

【0175】

図31に示すように、LEDチップ100eは、基板(積層体構造)310と、カソード電極であるn型パッド電極318aと、アノード電極であるp型パッド電極318bとを備えている。基板(積層体構造)310は、導電基板310a上にn型半導体層310bと、活性層310cと、p型半導体層310dとが積層された構成をしている。また、基板(積層体構造)310には、スルーホール314が形成されている。さらに、p型パッド電極318bには、配線370(例えば、データ線20、アドレス線30)が接続されている。配線370の表面は、絶縁膜によりコーティングされている。配線370は、スルーホール314を貫通し、隣り合うLEDチップ(図示せず)の電極と接続される。

【0176】

ここで、スルーホール314は、配線370が接続されたp型パッド電極318bに近い面、すなわち、基板(積層体構造)310の表面の孔径が、裏面の孔径よりも大きくなるように形成されている。このように、配線370が接続されているp型パッド電極318bに近い面側の孔径をp型パッド電極318bから遠い面側の孔径よりも大きく形成することで、配線370がスルーホール314と接触することによりダメージを受けるのを抑制することができる。

【0177】

なお、配線370は、絶縁膜によりコーティングされていなくてもよい。この場合、スルーホール314の内面が絶縁膜によりコーティングされていればよい。また、配線370は、p型パッド電極318bに限らず、n型パッド電極318aと接続されてもよい。この場合、n型パッド電極318aが形成された面の孔径が大きくなるように、スルーホール314を形成するとよい。

【0178】

また、図32に示すように、LEDチップ100fのスルーホール315は、配線370が接続されたp型パッド電極318bに近い面、すなわち、基板(積層体構造)310の表面の孔径が、裏面の孔径よりも小さくなるように形成されていてもよい。このように、配線370が接続されているp型パッド電極318bに近い面側の孔径が、p型パッド電極318bから遠い面側の孔径よりも小さく形成されることで、配線370の可動範囲が制限される。したがって、配線370とp型パッド電極318bとの接続点にかかる機械的負荷をより効果的に抑制することができる。

【0179】

なお、図32の構成においても、配線370は、絶縁膜によりコーティングされていなくてもよい。この場合、スルーホール315の内面が絶縁膜によりコーティングされていればよい。また、配線370は、p型パッド電極318bに限らず、n型パッド電極318aと接続されてもよい。この場合、n型パッド電極318aが形成された面の孔径がp

10

20

30

40

50

型パッド電極 318b から遠い面側の孔径よりも小さくなるように、スルーホール 315 を形成するとよい。

【0180】

図 31 および図 32 に示した発光デバイスによると、LED チップに設けられたスルーホールの孔径が基板の表面と裏面とで異なるように形成することで、配線と LED チップとの接続点にかかる負荷を低減して、発光デバイスの破損を効果的に抑制することができる。

【0181】

また、図 33 に示すように、LED チップ 100g に設けられたスルーホール 316 の内面は、スルーホール 316 内を通る配線 370 が接続される p 型パッド電極 318b 側に傾斜していてもよい。

10

【0182】

ここで、スルーホール 316 の内面は、スルーホール 316 内を通る配線 370 が接続された p 型パッド電極 318b 側に傾斜している。さらに詳細には、スルーホール 316 が貫通する基板 310 の両面のうち、スルーホール 316 内を通る配線 370 が接続される p 型パッド電極 318b が位置する一方の面（上面）におけるスルーホール 316 の内面位置が、上述した一方の面と対向する他方の面（下面）における内面位置よりも、スルーホール 316 内を通る配線 370 が接続される p 型パッド電極 318b 側に近接している。このように、スルーホール 316 の内面を、p 型パッド電極 318b 側に傾斜して形成することにより、配線 370 がその撓みに沿って機械的負荷の少ない状態でスルーホール 316 内に配置される。したがって、スルーホール 316 内を通過する配線 370 を、p 型パッド電極 318b と容易に接続することができる。

20

【0183】

なお、スルーホール 316 の内面の傾斜は、p 型パッド電極 318b に近い内面のみに限らず、スルーホール 316 の内面全面が p 型パッド電極 318b 側に傾斜していてもよい。

【0184】

また、配線 370 は、p 型パッド電極 318b に限らず、n 型パッド電極 318a と接続されてもよい。この場合、スルーホール 316 の内面を、n 型パッド電極 318a 側に傾斜して形成することにより、スルーホール 316 内を通過する配線 370 を、n 型パッド電極 318a と容易に接続することができる。

30

【0185】

以上、本実施の形態に係る発光デバイスによると、LED チップを構成する基板が半導体基板である場合であっても、LED チップに設けられたスルーホールの孔径が基板の表面と裏面とで異なるように形成することで、配線と LED チップとの接続点にかかる負荷を低減して、発光デバイスの破損を効果的に抑制することができる。また、LED チップに形成されたスルーホールの内面を電極側傾斜して形成することにより、配線がその撓みに沿って機械的負荷の少ない状態でスルーホール内に配置される。したがって、スルーホール内を通過する配線を、電極と容易に接続することができる。

【0186】

なお、上記した実施の形態は一例であり、本開示は上記した実施の形態に限定されるものではない。

40

【0187】

例えば、LED チップを構成する基板は、導電性基板であってもよいし、絶縁性基板（絶縁体）であってもよいし、n 型半導体基板であってもよい。

【0188】

また、絶縁性配線は配線（データ線およびアドレス線）と同一のスルーホール内を通過するものであってもよい。

【0189】

また、スルーホールの数は上記した実施の形態に示した数に限定されず、他の数であっ

50

てもよい。また、スルーホールの孔径の大きさは、上記した実施の形態に示したものに限定されず、適宜変更してもよい。また、スルーホールの孔径の形状は、どのような形状であってもよいが、スルーホールを貫通する配線または絶縁性配線に機械的負荷がかからない形状であるのが好ましい。

【0190】

また、LEDチップの各構成を形成する際に、パターンングに使用するマスクパターンは、上記した実施の形態に示したパターンに限らず他のパターンであってもよい。

【0191】

また、発光デバイスの製造工程は、上記した工程に限らず、工程の順を入れ替えたり他の工程を追加したりしてもよい。

【0192】

また、スルーホールの形成は、LEDチップのn型パッド電極およびp型パッド電極の形成後に行ってもよいし、LEDチップのn型パッド電極およびp型パッド電極の形成前に行ってもよい。

【0193】

また、スルーホールを貫通する配線は、導電性を有する配線であってもよいし、導電性を有さない絶縁性配線であってもよい。また、配線または絶縁性配線のスルーホールへの貫通の方法は、適宜変更してもよい。

【0194】

また、上述した説明では、配線をマトリクス状に接続する回路を中心に説明したので、LEDチップのアノード(p型半導体層)同士、カソード(n型半導体層)同士を接続する構成を示したが、LEDチップを直線状に接続する場合は、上述した全ての実施の形態において、図23や図25に示すようにアノード(p型半導体層)とカソード(n型半導体層)を接続してもよい。

【0195】

また、上記した特徴を有する発光デバイスは、表示装置として用いてもよい。これにより、配線基板を曲面状に撓ませて使用するような表示装置であっても、導体と発光デバイスの接続点にかかる負荷を低減して、発光デバイスの破損を抑制することができる。

【0196】

以上、本実施の形態に係る発光デバイスについて、実施の形態に基づいて説明したが、本開示はこの実施の形態に限定されるものではない。本開示の主旨を逸脱しない限り、当業者が思いつく各種変形を本実施の形態に施したもののや、異なる実施の形態における構成要素を組み合わせ得られる形態も本開示の範囲内に含まれる。

【産業上の利用可能性】

【0197】

本開示に係る発光デバイスは、曲面状に撓ませて使用するディスプレイ装置等に利用することができる。

【符号の説明】

【0198】

- 1 発光デバイス
- 10 LEDチップ、LEDデバイス
- 11 サファイア基板(基板)
- 12 発光領域
- 12 a、310 b n型半導体層
- 12 b、310 c 活性層(発光層)
- 12 c、310 d p型半導体層
- 14、14 a、14 b、14 c、14 d、14 e、14 f、114、214 a、214 b、215 a、215 b、216 a、216 b、314、315、316 スルーホール
- 16 n型電極(第2の電極)
- 17 p型電極(第1の電極)

10

20

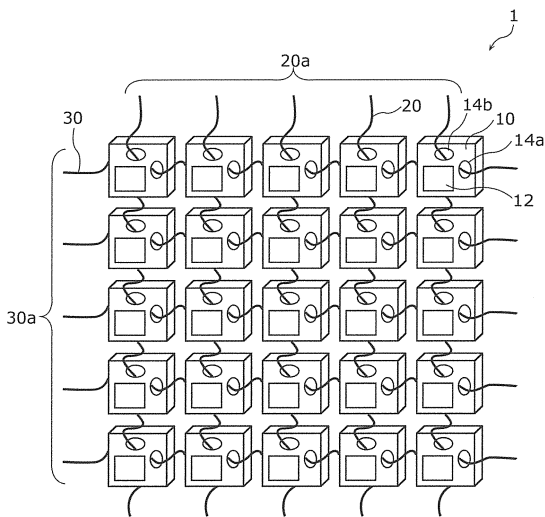
30

40

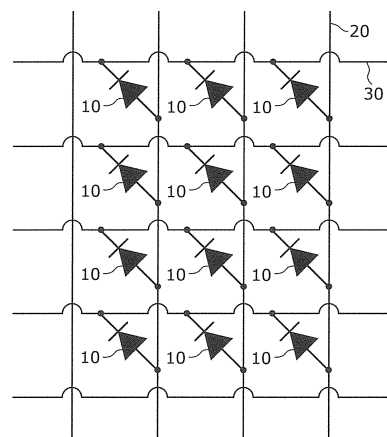
50

- 18 a、138 a、318 a n型パッド電極 (第2の電極)
- 18 b、138 b、318 b p型パッド電極 (第1の電極)
- 18 c、18 d 導電性材料
- 20 データ線 (配線)
- 20 a データ線群 (配線)
- 30 アドレス線 (配線)
- 30 a アドレス線群 (配線)
- 40 フィルム
- 50 データドライバ
- 60 走査データドライバ
- 170、370 配線
- 180 絶縁性配線
- 310 基板 (積層体構造)
- 310 a 導電基板

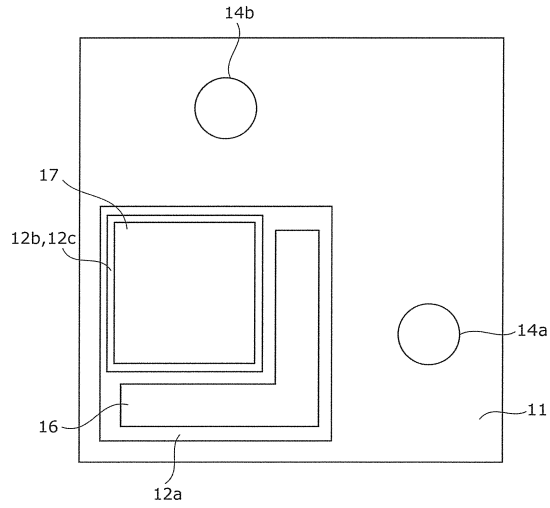
【図1】



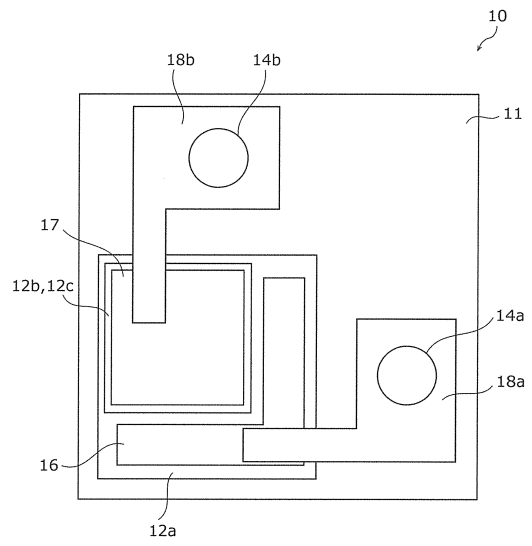
【図2】



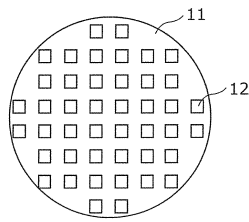
【 図 3 】



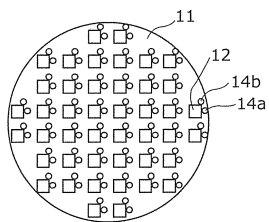
【 図 4 】



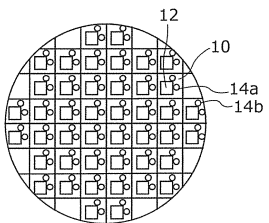
【 図 5 】



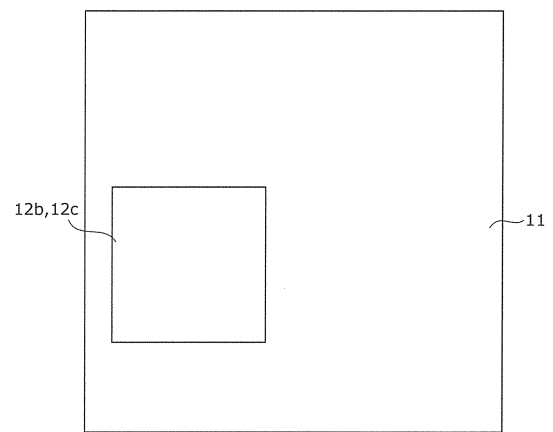
【 図 6 】



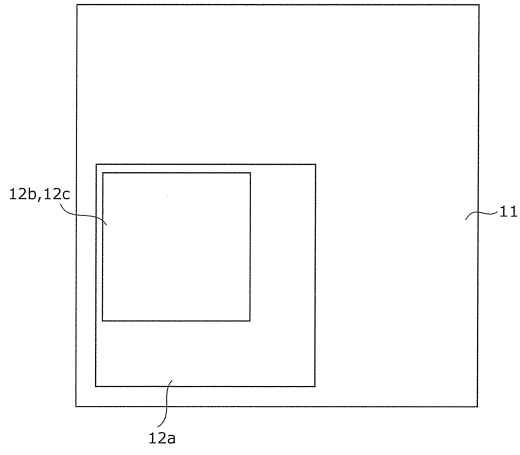
【 図 7 】



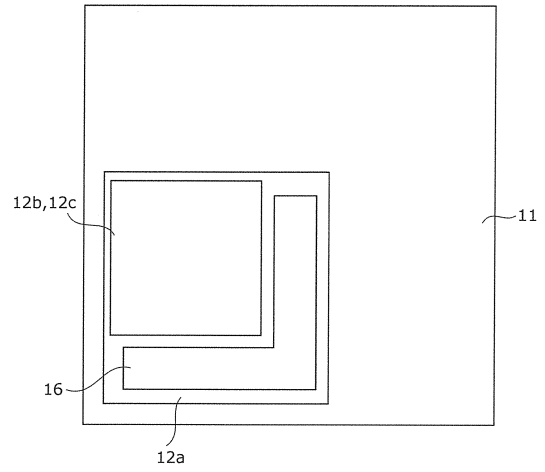
【 図 8 】



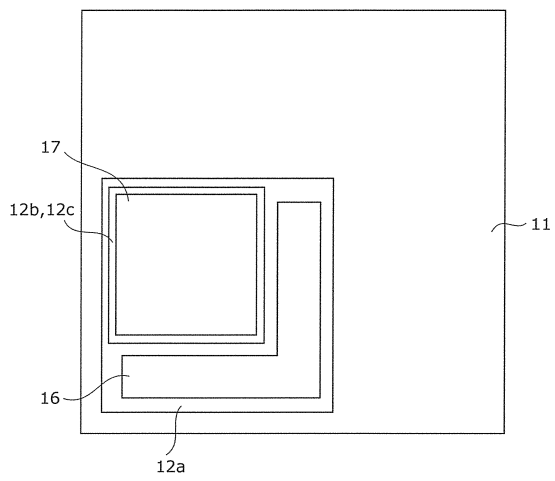
【図 9】



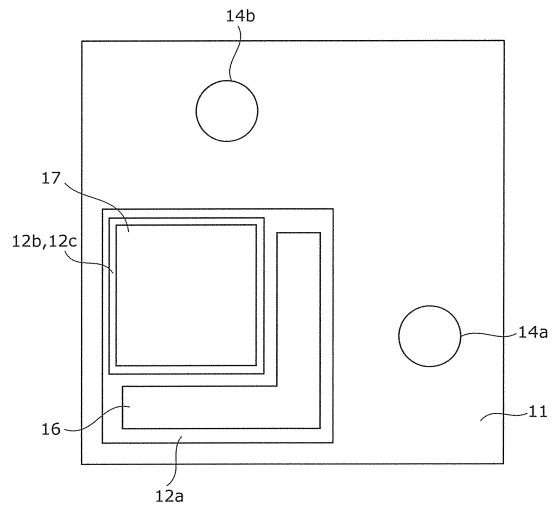
【図 10】



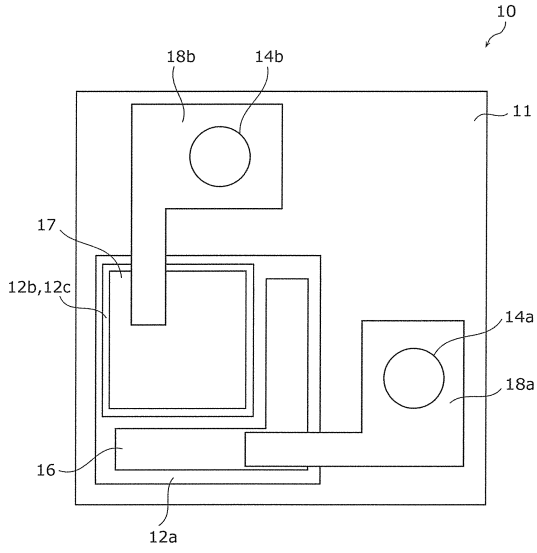
【図 11】



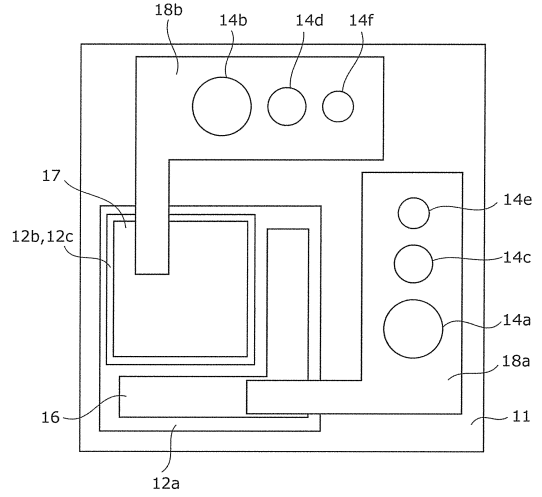
【図 12】



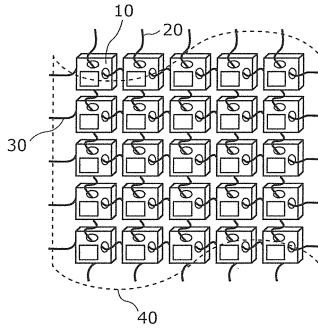
【図13】



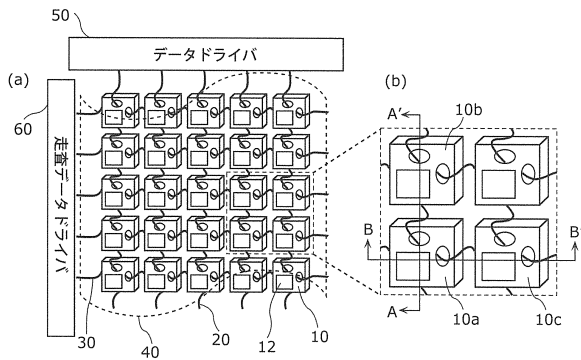
【図14】



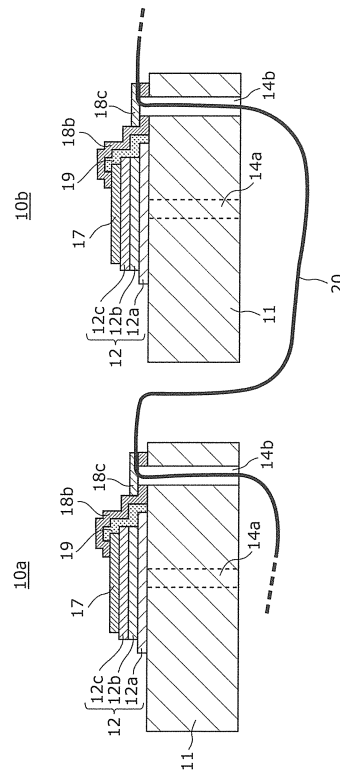
【図15】



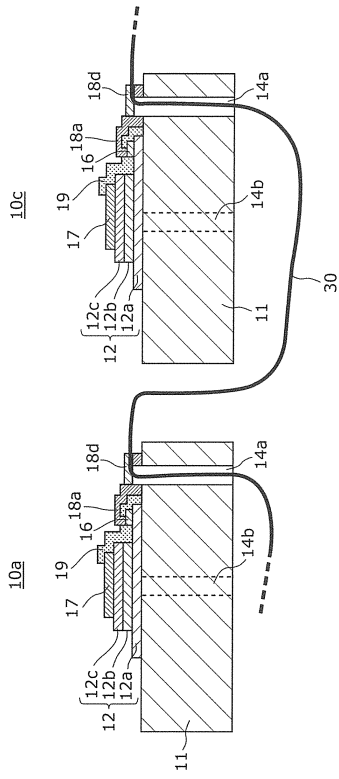
【図16】



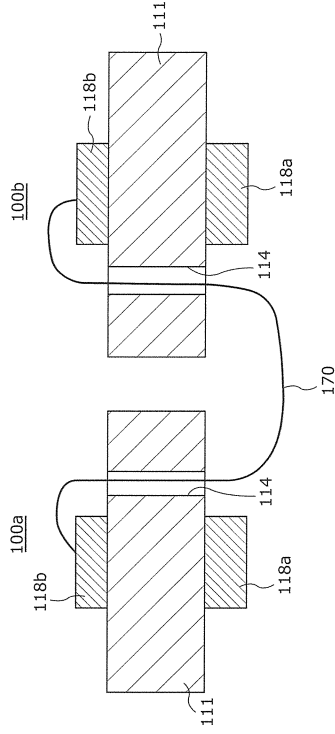
【図17】



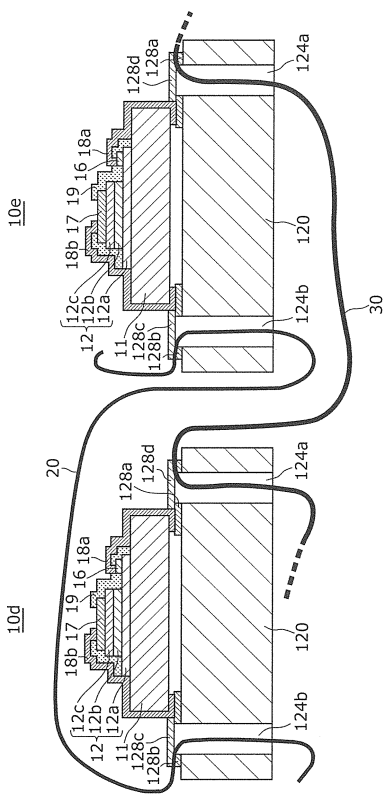
【 図 18 】



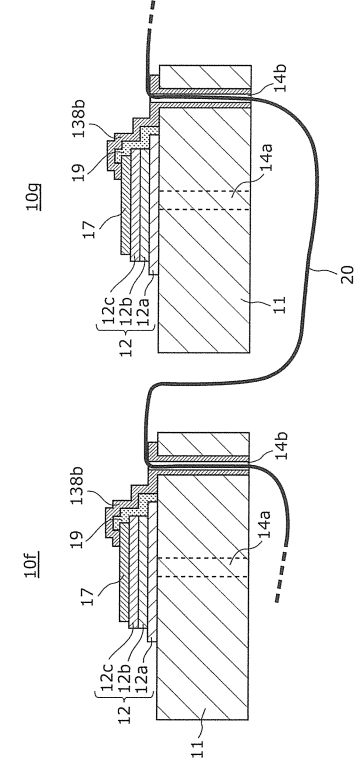
【 図 19 】



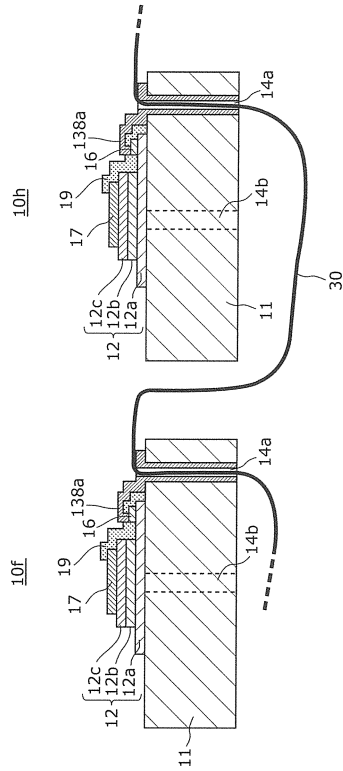
【 図 20 】



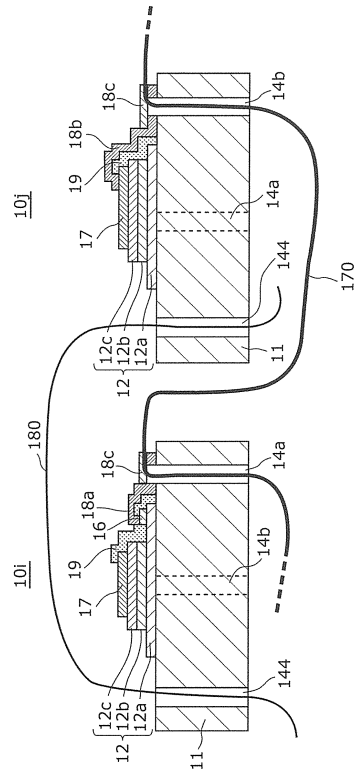
【 図 21 】



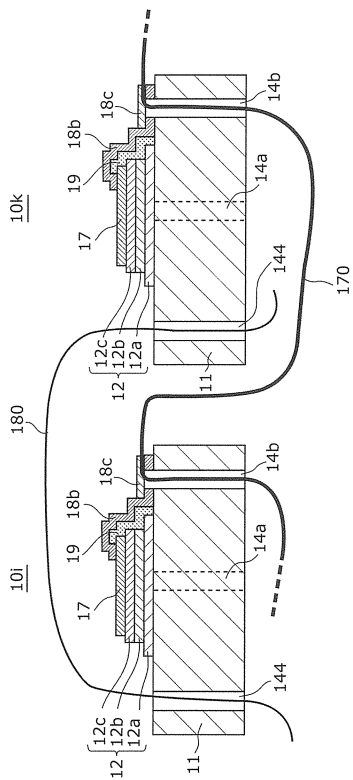
【 2 2 】



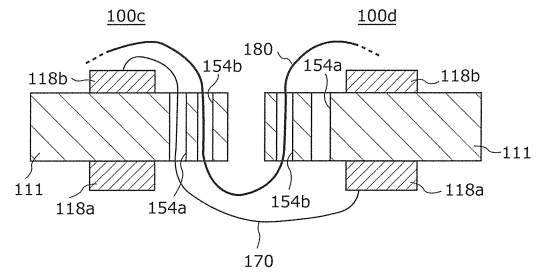
【 2 3 】



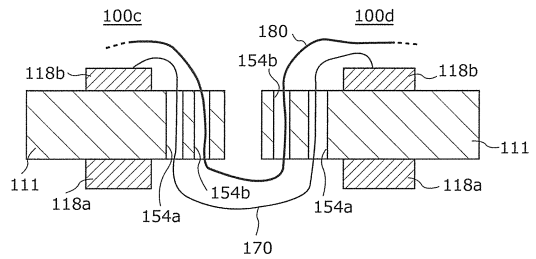
【 2 4 】



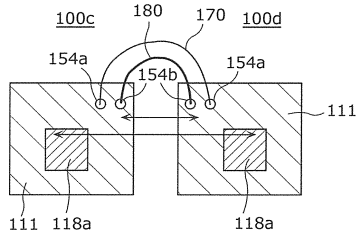
【 2 5 】



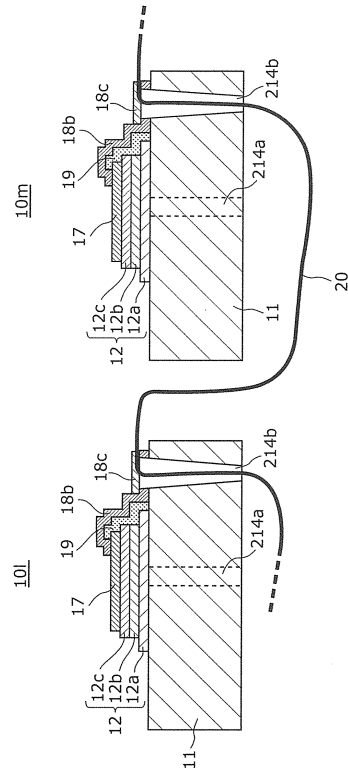
【 2 6 】



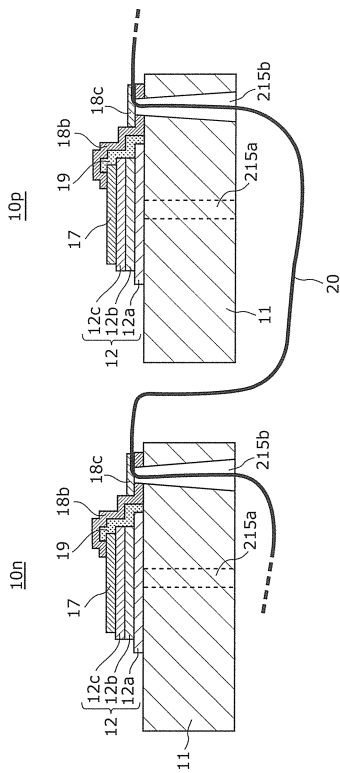
【 27 】



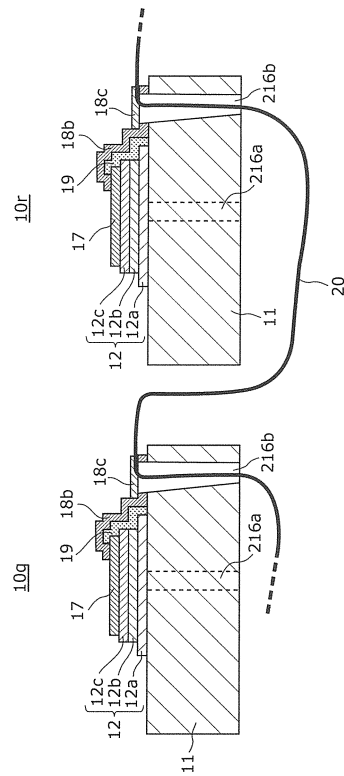
【 28 】



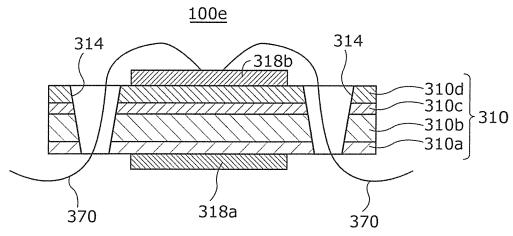
【 29 】



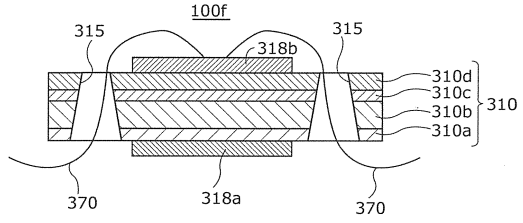
【 30 】



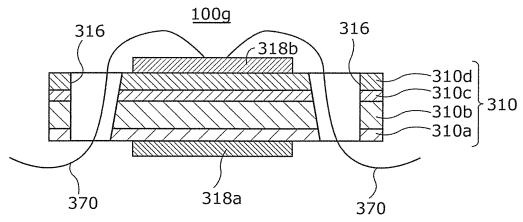
【図 3 1】



【図 3 2】



【図 3 3】



フロントページの続き

- (72)発明者 山田 篤志
大阪府門真市大字門真1006番地 パナソニック株式会社内
- (72)発明者 上田 大助
大阪府門真市大字門真1006番地 パナソニック株式会社内

審査官 高橋 健司

- (56)参考文献 特開2004-079619(JP,A)
特開平6-077537(JP,A)
特開平5-072978(JP,A)
特開2001-034195(JP,A)
特開2005-32649(JP,A)
国際公開第03/034792(WO,A1)
米国特許第7140751(US,B2)

(58)調査した分野(Int.Cl., DB名)

H01L 27/32, 33/00 - 33/64
H01S 5/00 - 5/50
F21S 2/00
F21V 8/00, 19/00 - 19/06, 23/00 - 37/00,
99/00
G09F 9/00 - 9/46
G09G 3/00 - 3/08, 3/12, 3/16,
3/19 - 3/26, 3/30, 3/34, 3/38