

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-216918
(P2006-216918A)

(43) 公開日 平成18年8月17日(2006.8.17)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 K	5 F 0 5 8
HO 1 L 29/12 (2006.01)	HO 1 L 29/78 6 5 2 T	
HO 1 L 21/318 (2006.01)	HO 1 L 21/318 M	
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 5 8 F	

審査請求 未請求 請求項の数 7 O L (全 15 頁)

(21) 出願番号	特願2005-31093 (P2005-31093)	(71) 出願人	504132272 国立大学法人京都大学 京都府京都市左京区吉田本町36番地1
(22) 出願日	平成17年2月7日(2005.2.7)	(74) 代理人	110000338 特許業務法人原謙三国際特許事務所
		(72) 発明者	木本 恒暢 京都府京都市西京区京都大学桂 国立大学 法人京都大学大学院工学研究科内
		(72) 発明者	須田 淳 京都府京都市西京区京都大学桂 国立大学 法人京都大学大学院工学研究科内
		(72) 発明者	河野 広明 京都府京都市西京区京都大学桂 国立大学 法人京都大学大学院工学研究科内
		Fターム(参考)	5F058 BB01 BC02 BC12 BF02 BF29 BF56 BF62 BF64 BJ01

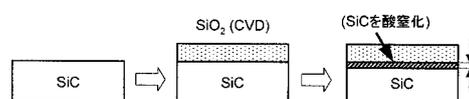
(54) 【発明の名称】 半導体素子の製造方法

(57) 【要約】

【課題】 チャネル移動度が高い半導体素子およびその製造方法を提供する。

【解決手段】 SiCからなる半導体基板上に酸化膜が形成された半導体素子の製造方法において、上記SiCを酸化させない条件で、SiO₂からなる酸化膜を、上記半導体基板上に形成する酸化膜形成工程と、上記酸化膜と上記半導体基板との界面のSiCを酸窒化させることにより、酸窒化膜を形成する酸窒化膜形成工程とを含む製造方法である。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

S i C からなる半導体基板上に酸化膜が形成された半導体素子の製造方法において、上記 S i C を酸化させない条件で、上記半導体基板上に S i O₂ を形成することにより、当該 S i O₂ からなる酸化膜を形成する酸化膜形成工程と、

上記酸化膜と上記半導体基板との界面の S i C を酸窒化させることにより、酸窒化膜を形成する酸窒化膜形成工程とを含むことを特徴とする半導体素子の製造方法。

【請求項 2】

上記酸化膜形成工程は、C V D 法により、上記酸化膜を形成することを特徴とする請求項 1 記載の半導体素子の製造方法。

10

【請求項 3】

上記酸化膜形成工程は、上記半導体基板上に S i を堆積することにより S i 膜を形成する薄膜形成工程と、

上記 S i 膜を酸素を含むガス雰囲気下で熱処理することにより、上記 S i O₂ からなる酸化膜を形成する熱処理工程とを含むことを特徴とする請求項 1 記載の半導体素子の製造方法。

【請求項 4】

上記酸窒化膜形成工程は、N₂ O または N O 雰囲気下で熱処理することを特徴とする請求項 1 記載の半導体素子の製造方法。

【請求項 5】

上記酸窒化膜形成工程では、厚さ 1 n m 以上 1 0 n m 以下の酸窒化膜を形成することを特徴とする請求項 1 記載の半導体素子の製造方法。

20

【請求項 6】

上記酸窒化膜形成工程では、厚さ 1 n m 以上 6 n m 以下の酸窒化膜を形成することを特徴とする請求項 1 記載の半導体素子の製造方法。

【請求項 7】

S i C からなる半導体基板上に酸化膜が形成された半導体素子の製造方法において、上記 S i C を酸化させない条件で、上記半導体基板上に S i O₂ を形成することにより、当該 S i O₂ からなる酸化膜を形成する酸化膜形成工程と、

N₂ O または N O 雰囲気下で酸化膜が積層された半導体基板を熱処理する熱処理工程とを含むことを特徴とする半導体素子の製造方法。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、M O S 型トランジスタのチャネル移動度が高い半導体素子およびその製造方法に関するものであり、より詳細には半導体基板として S i C を用いた半導体素子およびその製造方法に関するものである。

【背景技術】

【0002】

炭化珪素 (S i C) は、高電力、高周波、高温デバイス応用に有望な半導体材料である。そして、既存の半導体材料では達成できない上記 S i C を用いた高性能トランジスタの実現が期待されているが、S i C を半導体基板として半導体素子を製造した場合、酸化膜と S i C との界面に高密度の欠陥が存在し、この部分の抵抗成分がデバイス性能を大幅に低下させることが知られている。

40

【0003】

具体的には、S i C の M O S 型トランジスタを作製するとき、従来では O₂ などのガス雰囲気中で S i C を酸化することにより厚い酸化膜を形成している。しかし、この方法で形成した M O S 型トランジスタは、酸化膜と S i C との界面に多数の欠陥が発生してしまう。そして、この欠陥によって電子の走行が著しく妨げられ、トランジスタの性能指標であるチャネル移動度が 5 ~ 2 0 c m² / V s に留まっている。

50

【0004】

そこで、チャネル移動度を向上させるために、例えば、半導体基板であるSiC上に、ゲート絶縁膜を形成した後、H₂Oで熱処理を施したり（特許文献1参照）、温度の異なる2段階の酸化工程を行ったり（特許文献2参照）することが提案されている。

【特許文献1】特開2003-86792公報（公開日；2003年3月20日）

【特許文献2】特開2002-222945公報（公開日；2002年8月9日）

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、上記従来の構成では、実際に半導体素子として使用できるレベルのチャネル移動度は得られていない。

【0006】

本発明は、上記の問題点を鑑みてなされたものであり、その目的は、チャネル移動度が高い半導体素子およびその製造方法を提供することにある。

【課題を解決するための手段】

【0007】

本発明者らは、これらの問題点を解決すべく、半導体素子およびその製造方法について鋭意検討した。その結果、チャネル移動度の高速化を阻害する要因の一つとして、従来の方法では、SiCと酸化膜であるSiO₂との界面に「界面遷移層」が生じることを見出した。

【0008】

具体的には、例えばMOSデバイス（MOSFET（Metal Oxide Semiconductor Field Effect Transistor）など）等の半導体素子を作製する場合、SiCである半導体基板の表面に酸化膜であるSiO₂膜を形成することが必須である。そして、従来では、上記SiCを熱酸化させることにより上記SiO₂膜を形成している。しかしながら、SiCを熱酸化させてSiO₂膜を形成する従来の方法では、SiO₂とSiCとの界面に多量の欠陥が発生し、この領域を走行する電子の速度が著しく遅くなってしまい、例えば、抵抗が増大する等のデバイス性能が低下してしまう。本発明者らは、例えば、O₂、H₂O、N₂O等の雰囲気下でSiCを加熱、酸化することによってSiC表面にSiO₂を形成すると、SiO₂とSiCとの界面に、上記問題の原因となるSiC_xO_yで表される厚い「界面遷移層（SiO₂でもSiCでもない中間層）」が形成されることを見出した。

【0009】

そして、本発明者らは、さらに鋭意検討した結果、上記SiO₂とSiCとの界面に生じる界面遷移層を無くすとともに、SiO₂とSiCとの界面に、界面遷移層とは異なる別の層を形成することにより、従来と比べて、著しくチャネル移動度を向上させることができることを見出し、本発明を完成するに至った。

【0010】

すなわち、本発明に係る半導体素子の製造方法は、上記課題を解決するために、SiCからなる半導体基板上に酸化膜が形成された半導体素子の製造方法において、上記SiCを酸化させない条件で、上記半導体基板上にSiO₂を形成することにより、当該SiO₂からなる酸化膜を形成する酸化膜形成工程と、上記酸化膜と上記半導体基板との界面のSiCを酸窒化させることにより、酸窒化膜を形成する酸窒化膜形成工程とを含むことを特徴としている。

【0011】

上記の方法では、半導体基板であるSiC上に、当該SiCを酸化させたものではないSiO₂からなる酸化膜を形成し、その後で、SiCとSiO₂との界面に存在するSiCを酸窒化させたSiCの酸窒化膜を形成している。これにより、従来のようにSiCを酸化させた際に生じるSiC_xO_yで表される界面遷移層を生じさせることがない。従って、上記界面遷移層が生じることによるチャネル移動度の減少を防止することができる。

10

20

30

40

50

そして、さらに、SiCとSiO₂との界面にSiCの酸窒化膜を形成するので、より一層チャンネル移動度を向上させることができる。

【0012】

また、本発明に係る半導体素子の製造方法は、上記酸化膜形成工程が、CVD（気相化学堆積法）により、上記酸化膜を形成する方法であることがより好ましい。

【0013】

また、本発明に係る半導体素子の製造方法は、上記SiC上に堆積したSi膜を酸素を含むガス雰囲気下で熱処理することにより、上記SiO₂からなる酸化膜を形成する熱処理工程とを含むことがより好ましい。

【0014】

上記の構成とすることで、より確実にSiCを酸化させることなくSiO₂からなる酸化膜を形成することができる。

【0015】

また、本発明に係る半導体素子の製造方法は、上記酸窒化膜形成工程が、N₂OまたはNO雰囲気下で熱処理することがより好ましい。

【0016】

上記の構成とすることで、SiCとSiO₂との界面に存在するSiCを確実に酸窒化することができる。

【0017】

また、本発明に係る半導体素子の製造方法は、上記酸窒化膜形成工程では、厚さ1nm以上10nm以下、より好ましくは1nm以上6nm以下の酸窒化膜を形成することがより好ましい。上記酸窒化膜の膜厚が、1nmよりも薄い場合には、SiO₂膜/SiC界面に発生する欠陥の影響を強く受けることになり、チャンネル移動度が低くなる虞がある。一方、上記酸窒化膜の膜厚が、10nmよりも厚い場合には、この酸窒化膜形成時に、やはり上記界面遷移層が形成され、チャンネル移動度が低くなる虞がある。従って、上記酸窒化膜を上記範囲内となるように形成することで、チャンネル移動度をより一層向上させることができる。

【0018】

また、本発明に係る半導体素子の製造方法は、SiCからなる半導体基板上に酸化膜が形成された半導体素子の製造方法において、上記SiCを酸化させない条件で、上記半導体基板上にSiO₂を形成することにより、当該SiO₂からなる酸化膜を形成する酸化膜形成工程と、N₂OまたはNO雰囲気下で酸化膜が積層された半導体基板を熱処理する熱処理工程とを含む方法であってもよい。

【0019】

また、本発明に係る半導体素子は、上記製造方法によって得られたものである。これにより、チャンネル移動度がより一層向上した半導体素子を提供することができる。

【発明の効果】

【0020】

本発明に係る半導体素子の製造方法は、上記酸化膜形成工程は、上記半導体基板上にSiO₂を形成することによりSiO₂からなる酸化膜を形成する工程、あるいは上記半導体基板上にSiを堆積することによりSi膜を形成する薄膜形成工程と、上記Si膜を酸素を含むガス雰囲気下で熱処理することにより、上記SiO₂からなる酸化膜を形成する熱処理工程とを含むので、チャンネル移動度がより一層向上した半導体素子を提供することができる。

【発明を実施するための最良の形態】

【0021】

本発明の実施の一形態について説明すれば、以下の通りである。本実施の形態にかかる半導体素子の製造方法は、半導体基板であるSiC上に、当該SiCを熱酸化させない条件でSiO₂からなる酸化膜を形成（酸化膜形成工程）した後で、SiCとSiO₂との界面に存在するSiCを酸窒化させたSiCの酸窒化膜（SiO_xN_y）を形成（酸窒化

10

20

30

40

50

膜形成工程)する方法である。これについて説明する。

【0022】

(酸化膜形成工程)

以下に、SiC上にSiO₂膜を形成する酸化膜形成工程について説明する。本実施の形態では、SiCをO₂、H₂O、N₂O、NOなどの雰囲気ガス中で高温(通常1000~1200)に加熱することにより形成されるSiO₂膜とは、異なる方法で形成されたSiO₂膜を上記SiC上またはSiC表面に形成している。

【0023】

具体的な形成方法としては、例えば、(A)上記SiCが熱酸化されない条件でCVDを行うことにより、SiC上にSiO₂膜を堆積させる方法、(B)SiC上にSi膜を形成した後、当該Siを上記SiCが熱酸化されない条件で酸化させることにより、SiO₂膜を形成する方法が挙げられる。なお、これらの方法について以下に詳述するが、具体的なSiO₂膜の形成方法については、上記に限定されるものではなく、SiCを熱酸化してSiO₂膜を得る方法以外の方法で、SiO₂膜を形成する方法であればよい。

10

【0024】

ここで、上記(A)SiC上にCVD法によって、SiO₂膜を堆積させる方法について説明する。上記CVD法としては、例えば、熱CVD、および、プラズマCVD等が挙げられる。なお、これらCVDを用いて、SiCにSiO₂膜を堆積させる場合、上記SiCが熱酸化されない条件で当該CVDを行う。

【0025】

具体的には、熱CVDにより、上記SiCにSiO₂膜を堆積(形成)する場合の操作条件としては、例えば、SiH₄流量:2sccm、N₂O流量:250sccm、N₂流量:1000sccm、圧力:2660Pa、基板温度:600等の条件であればよい。なお、堆積時間については、堆積させるSiO₂膜の膜厚によって適宜設定すればよく、例えば、3分程度でよい。

20

【0026】

また、プラズマCVDにより、上記SiCにSiO₂膜を堆積する場合の操作条件としては、SiH₄流量:3sccm、N₂O流量:200sccm、N₂流量:200sccm、圧力:50Pa、高周波電力:120W、基板温度:450等の条件であればよい。なお、堆積時間(処理時間)については、堆積させるSiO₂膜の膜厚によって適宜設定すればよく、例えば、2分程度でよい。

30

【0027】

そして、上記条件で熱CVD、プラズマCVDを行った場合には、SiCを熱酸化することなく、当該SiC上にSiO₂膜を形成することができる。

【0028】

次に、上記(B)SiC上にSi膜を形成した後、当該Siを上記SiCが熱酸化されない条件で酸化させることによりSiO₂膜を形成する方法について説明する。

【0029】

SiC上にSi膜を堆積させる方法としては、例えば、熱CVDを用いて堆積させる方法が挙げられる。なお、上記以外の方法を用いて、SiC上にSi膜を堆積させてもよいが、熱CVDを用いる場合であっても、他の方法であっても、上記SiCが熱酸化されない条件でSi膜を堆積させる必要がある。

40

【0030】

具体的には、熱CVDによってSi膜を堆積する場合には、例えば、SiH₄流量:3sccm、H₂流量:2000sccm、圧力:10640Pa、基板温度:700の条件で行えばよい。なお、堆積時間(処理時間)については、堆積させるSi膜の膜厚によって適宜設定すればよく、例えば、4分程度でよい。

【0031】

次に、堆積したSi膜を例えばドライO₂雰囲気中で熱処理することにより、Siが熱酸化されたSiO₂膜を形成することができる。換言すると、SiC上に堆積したSi膜を

50

酸化させて SiO_2 膜にする。具体的には、 O_2 流量：1000 sccm、温度800程度で、2時間反応させることにより、 Si が熱酸化された SiO_2 膜を形成することができる。そして、 SiC を熱酸化させることなく、当該 SiC 上に堆積させた Si を熱酸化させることにより、高品質な（欠陥の少ない） SiO_2/SiC 界面を形成することができる。上記の堆積した Si 膜を酸化する雰囲気として、ウェット O_2 、 N_2O などであってもよい。

【0032】

このように、 SiC を酸化させることなく、当該 SiC 上に SiO_2 膜を形成させることにより、 SiC を酸化させて SiO_2 膜を得る従来の方法のように厚い界面遷移層が生成されることがない。

10

【0033】

ここで、上記(A)、(B)の方法が、 SiC を熱酸化させない理由について説明する。 SiC は結晶面によって熱酸化の速度および熱酸化が起こる温度が異なる。最もよく用いられる(0001)面では、約900以上の温度で熱酸化が始まることになる。また、(000-1)面、(11-20)面は酸化が進行しやすく、850程度から酸化されることになる。従って、上記 SiC を熱酸化して、 SiO_2 膜を形成するには、上記以上の温度が必要となる。実際には、900では形成速度が遅すぎるので、実用上成膜速度の関係から、デバイス作製に必要な厚さ(40~80nm程度)の SiO_2 膜(酸化膜)を形成するために、通常は1100~1200の高温が用いられる。

【0034】

ところが、上記(A)、(B)の方法では、上記 SiC が熱酸化する温度よりも低い温度で、 SiO_2 膜の堆積を行っているために、 SiC を熱酸化させることなく、 SiO_2 膜を堆積することができる。なお、結晶学では数字の上に-を付けることが慣例であるが、本実施の形態では負の表示としている。

20

【0035】

上記酸化膜形成工程において、上記半導体基板である SiC の上に堆積させる SiO_2 膜の膜厚としては、使用する用途や条件等によって変わるが、例えば、電力用デバイス応用の場合は40~80nm程度の SiO_2 膜厚、高周波用デバイス応用の場合は5~40nm程度の SiO_2 膜厚がより好ましい。

【0036】

(酸窒化膜形成工程)

次に、 SiC の上に SiO_2 膜を形成した後、当該 SiC を酸窒化させて SiC と SiO_2 膜との界面に SiC の酸窒化膜を形成する酸窒化膜形成工程について説明する。

30

【0037】

SiC の酸窒化膜を形成するには、例えば、 N_2O または NO 雰囲気下で熱処理を行えばよい。

【0038】

具体的には、 N_2O 流量：100 sccm、 N_2 流量：1000 sccm、圧力：1気圧、温度：1300の条件下で、例えば、3時間熱処理を行えばよい。あるいは、 N_2O 流量：1000 sccm、圧力：1気圧、温度：1300の条件下で、例えば、2時間の熱処理でもよい。なお、最適な酸窒化条件は、 SiC 上に形成されている SiO_2 膜の厚さによって変わる。すなわち、 SiC 上に形成されている SiO_2 膜が薄い場合には、比較的短時間の酸窒化処理が望ましく、 SiC 上に形成されている SiO_2 膜が厚い場合には、最適な酸窒化処理時間が相対的に長くなる。この理由は、後述のように、酸窒化処理によって形成される酸窒化膜の膜厚と深く関連している。また、上記の説明では、 N_2O を用いた場合における条件を示しているが、 NO の場合も上記と同様である。

40

【0039】

そして、この酸窒化膜形成工程において、形成する酸窒化膜の膜厚としては、少しでも存在していればよいが、1~10nmの範囲内がより好ましく、1~6nmの範囲内がさらに好ましく、2~5nmの範囲内が特に好ましい。上記酸窒化膜の膜厚が、1nmより

50

も薄い場合には、 SiO_2 膜/ SiC 界面に発生する欠陥の影響を強く受けることになり、実効チャネル移動度が低くなる虞がある。一方、上記酸窒化膜の膜厚が、 10nm よりも厚い場合には、この酸窒化膜形成時に、やはり上記界面遷移層が形成され、チャネル移動度が低くなる虞がある。

【0040】

(半導体素子)

そして、上記の酸化膜形成工程と酸窒化膜形成工程とを行うことにより、 SiC からなる半導体基板に酸化膜が形成された半導体素子を製造することができる。

【0041】

具体的には、上記酸化膜形成工程の上記(A)の方法を用いて絶縁膜を形成する場合、例えば、図1に示すように、半導体基板である SiC 上にCVDによって SiO_2 膜を堆積した後、 SiC と SiO_2 との界面に存在している SiC を酸窒化することにより酸窒化膜を形成している。

10

【0042】

また、上記酸化膜形成工程の上記(B)の方法を用いて絶縁膜を形成する場合、例えば、図2に示すように、半導体基板である SiC 上にCVDによって Si 膜を形成した後、 SiC が熱酸化されない条件にて Si 堆積膜を熱酸化させることにより、 SiC 上に SiO_2 膜を積層している。そして、その後で、 SiC と SiO_2 との界面に存在している SiC を酸窒化することにより酸窒化膜を形成している。

【0043】

このように、半導体素子を製造することで、上記酸窒化膜は、大気と接することなく形成される。これにより、上記酸窒化膜が、大気と接することにより、生じる欠陥を防止することができる。

20

【0044】

そして、本実施の形態にかかる半導体素子は、半導体基板である SiC 上に当該 SiC が酸窒化された酸窒化膜と SiO_2 とが順に積層された構成であって、 SiC と酸窒化膜と、および、酸窒化膜と SiO_2 とが直接、接している構成である。より具体的には、本実施の形態にかかる半導体素子は、 SiC が酸化されることにより発生する SiC_xO_y で表される界面遷移層(SiO_2 でも SiC でもない中間層)を有していない。

【0045】

以上のように、本実施の形態にかかる半導体素子の製造方法は、 SiC からなる半導体基板上に酸化膜が形成された半導体素子の製造方法において、上記 SiC を酸化させない条件で、 SiO_2 からなる酸化膜を、上記半導体基板上に形成する酸化膜形成工程と、上記酸化膜と上記半導体基板との界面の SiC を酸窒化させることにより、酸窒化膜を形成する酸窒化膜形成工程とを含む方法である。

30

【0046】

上記の方法では、半導体基板である SiC 上に、当該 SiC を酸化させたものではない SiO_2 からなる酸化膜を堆積し、 SiC と SiO_2 との界面に存在する SiC を酸窒化させた SiC の酸窒化膜を形成している。これにより、 SiC を酸化させた際に生じる SiC_xO_y で表される界面遷移層を生じさせることがない。これにより、上記界面遷移層が生じることによるチャネル移動度の減少を防止することができる。そして、さらに、 SiC と SiO_2 との界面に SiC の酸窒化膜を形成するので、より一層チャネル移動度を向上させることができる。

40

【0047】

また、本実施の形態にかかる半導体素子の製造方法は、上記酸化膜形成工程が、(A)CVD法により SiO_2 からなる酸化膜を上記半導体基板上に堆積する方法、または、(B)上記半導体基板上に Si からなる Si 薄膜を堆積する薄膜形成工程と、上記 Si 薄膜を酸素を含むガス雰囲気下で熱処理することにより、 SiO_2 からなる酸化膜を形成する熱処理工程とを含む方法であることがより好ましい。これにより、より確実に SiC を酸化させることなく SiO_2 からなる酸化膜を形成することができる。

50

【0048】

また、本実施の形態にかかる半導体素子の製造方法は、上記酸窒化膜形成工程を、 N_2O または NO 雰囲気下で熱処理する方法とすることで、 SiC と SiO_2 との界面に存在する SiC を確実に酸窒化することができる。

【0049】

また、本実施の形態にかかる半導体素子の製造方法は、上記酸窒化膜形成工程では、厚さ 1nm 以上 10nm 以下、より好ましくは 1nm 以上 6nm 以下の酸窒化膜を形成する方法がより好ましい。上記酸窒化膜の膜厚が、 1nm よりも薄い場合には、 SiO_2 膜/ SiC 界面に発生する欠陥の影響を強く受けることになり、チャンネル移動度が低くなる虞がある。一方、上記酸窒化膜の膜厚が、 10nm よりも厚い場合には、この酸窒化膜形成時に、やはり上記界面遷移層が形成され、チャンネル移動度が低くなる虞がある。従って、上記酸窒化膜を上記範囲内となるように形成することで、チャンネル移動度をより一層向上させることができる。

10

【0050】

また、本実施の形態にかかる半導体素子は、上記製造方法によって得られたものであるので、チャンネル移動度がより一層向上した半導体素子を提供することができる。

【0051】

なお、上記界面遷移層(SiC_xO_y)が存在するか否かを確認する方法としては、例えば、二次イオン質量分析($SiMS$)および X 線光電子分光(XPS)の深さ分析等の方法が挙げられる。具体的には、 $SiMS$ によって C 、 O 、 N 、 Si 原子の深さ方向分布を分析すれば、界面遷移層の存在の有無と厚さを決定できる。

20

【0052】

また、本実施の形態にかかる半導体素子の製造方法は、 SiC からなる半導体基板上に酸化膜が形成された半導体素子の製造方法において、上記半導体基板上に、上記 SiC を熱酸化して得られる SiO_2 以外の方法により、 SiO_2 からなる酸化膜を形成する酸化膜形成工程と、上記酸化膜と上記半導体基板との界面の SiC を酸窒化させることにより、酸窒化膜を形成する酸窒化膜形成工程とを含む方法であってもよい。上記の構成によれば、半導体基板である SiC 上に、 SiC を酸化させることなく SiO_2 からなる酸化膜を形成することで、 SiC と SiO_2 との界面に、当該 SiC と SiO_2 とは組成が異なる別の層(SiC_xO_y (x と y は任意の定数))が形成されることを防止できる。また、酸窒化膜を形成することで、従来のように SiC と SiO_2 との界面に生じる欠陥を防止できるので、界面を急峻にすることができる。

30

【0053】

また、本発明にかかる半導体素子は、上記以外の方法によって製造してもよく、例えば、 SiC 上に数 nm の酸窒化膜を形成した後、 CVD 法によって SiO_2 膜を堆積し、さらに N_2O または NO により酸窒化を行うことにより製造してもよい。

【実施例】

【0054】

以下、実施例および比較例により、本発明をさらに詳細に説明するが、本発明はこれらにより何ら限定されるものではない。

40

〔実施例1〕

本実施例では、上記半導体素子を備えた半導体装置である反転型 n チャンネル $MOSFET$ を作成して、実効チャンネル移動度を評価した。以下に上記 $MOSFET$ の製造工程について説明する。

(MOSFET)

本実施例における、 $MOSFET$ の製造工程は、(A)ソース・ドレイン領域の形成工程、(B)ゲート絶縁膜の形成工程、(C)ソース・ドレイン電極の形成工程、(D)ゲート電極の形成工程の4つの工程を含むものである。なお、以下の説明では、半導体基板として、 $4H-SiC(0001)$ エピタキシャル基板を用いた例について説明している。

50

【0055】

(A) ソース・ドレイン領域の形成工程

図3は、本実施例にかかるMOSFETの製造工程の一工程であるソース・ドレイン領域の形成工程を説明する図面である。

【0056】

まず、図3(a)に示すように、基板31とエピタキシャル層(本発明における半導体基板(SiC)に相当)32とを有するエピタキシャル基板を用いて、当該エピタキシャル層32の表面にAl膜33を形成した後、このAl膜33上にレジストを塗布し、露光・現像を行うことで、レジスト38のパターニングを行った。次に、図3(b)に示すように、パターニングされたレジスト38をマスクとしてAl膜33のエッチングを行うことにより、Al膜33のパターニングを行った。その後、図3(c)に示すように、パターニングされたレジスト38およびAl膜33をマスクとして、表面が露出している部分に、エピタキシャル層32に、P(リン)イオン(P^+)の注入を行った。次に、図3(d)に示すように、レジスト38およびAl膜33を除去した後、アニールすることにより、 n^+ 拡散層40、41を形成した。 P^+ イオン注入は300で行った。注入ドーズ量は $4 \times 10^{15} \text{ cm}^{-2}$ である。また、注入後に1600、20分間のアニールを行ってイオン注入により発生した結晶欠陥を低減した。

10

【0057】

これにより、エピタキシャル基板にソース・ドレイン領域を形成した。

【0058】

(B) ゲート絶縁膜の形成工程

図4は、本実施例にかかるMOSFETの製造工程の一工程であるゲート絶縁膜の形成工程を説明する図面である。

20

【0059】

まず、熱CVDによって上記4H-SiC(0001)エピタキシャル層32上に、 SiO_2 膜(酸化膜)42を形成した。このときの処理条件は、 SiH_4 流量:2sccm、 N_2O 流量:250sccm、 N_2 流量:1000sccm、圧力:2660Pa、基板温度:600であり、この処理条件で3分間処理した。これにより、エピタキシャル層(SiC)32上に、70nmの SiO_2 膜42を堆積した(酸化膜形成工程)。このとき、SiCと SiO_2 との界面には、当該SiCが酸化されることにより生じる界面遷移層は、生じていなかった。

30

【0060】

次に、 N_2O 流量:100sccm、 N_2 流量:1000sccm、圧力:1気圧、温度:1300の条件下で、3時間熱処理することにより、エピタキシャル層32であるSiCと、当該SiC上に堆積した SiO_2 膜42との界面に、SiCの酸窒化膜を形成した(酸窒化膜形成工程)。すなわち、SiCと SiO_2 との界面に存在するSiCを酸窒化させることにより、SiCの酸窒化膜39を形成した。

【0061】

これにより、 SiO_2 膜42とSiCの酸窒化膜39とからなるゲート絶縁膜を形成した。

40

【0062】

(C) ソース・ドレイン電極の形成工程

図5は、本実施例にかかるMOSFETの製造工程の一工程であるコンタクトホール形成工程を説明する図面である。

【0063】

まず、図5(a)に示すように、ゲート絶縁膜(SiO_2 膜42とSiCの酸窒化膜39)上にフォトリソグラフィによってコンタクトホール形成用のレジストパターン43を形成した。次に、図5(b)に示すように、レジストパターン43をマスクして、ゲート絶縁膜をエッチングした。その後、図5(c)に示すように、レジストパターン43の上からNi膜44を蒸着した。次に、図5(d)に示すように、ゲート絶縁膜上に形成さ

50

れているNi膜44およびレジストパターン43を除去することにより、ソース・ドレイン電極45、46を形成した。また、基板31の裏側にTi/Al電極膜47を蒸着した。これらの電極の接触抵抗を低減するために、N₂ガス雰囲気中で1000、2分の熱処理を行った。

【0064】

(D)ゲート電極の形成工程

図6は、本実施例にかかるMOSFETの製造工程の一工程であるゲート電極の形成工程を説明する図面である。

【0065】

まず、図6(a)に示すように、ソース・ドレイン電極45、46およびゲート絶縁膜の表面にレジスト48を塗布し、露光・現像を行うことにより、当該レジスト48のパターニングを行った。

【0066】

次に、図6(b)に示すように、パターニングされたレジスト48上にAl膜49を蒸着した。その後、図6(c)に示すように、レジスト48と当該レジスト上に形成されているAl膜49を除去することにより、ゲート電極50を形成した。そして、最後にフォーミングガス雰囲気中で、400、10分間の熱処理を行った。

【0067】

これにより、本実施例にかかるMOSFETを製造した。

(実効チャネル移動度の測定)

上記のようにして得られたMOSFETの実効チャネル移動度を測定した。具体的には、上記(B)ゲート絶縁膜の形成工程の酸化膜形成工程において、熱処理時間を変えることによって、SiCの酸化膜39の膜厚、換言すると、酸化膜厚を変化させたときの、実効チャネル移動度を測定した。その結果を、表1および図7に示す。SiC酸化膜の厚さが2~10nmのとき、高いチャネル移動度が得られている。特にSiC酸化膜の厚さが2~5nmのとき、チャネル移動度は50~60cm²/Vsとなり、従来のドライO₂酸化の場合(酸化膜なし)に比べて約8倍の値となった。

【0068】

【表1】

SiC酸化膜の膜厚 (nm)	0	1.5	2	3.6	5	6.2	7.5	9	12	16	18	24
実効チャネル移動度 (cm ² /Vs)	21	51	57	53	49	36	28	26	24	21	22	20

【0069】

〔実施例2〕

4H-SiC(000-1)エピタキシャル基板を用いた以外は、実施例1と同様にして、MOSFETを製造した。そして、得られたMOSFETの実効チャネル移動度を測定した。測定結果を図7に示す。なお、この実効チャネル移動度の最高値は、SiC酸化膜の膜厚が2~3nmのとき、81cm²/Vsであった。

〔実施例3〕

4H-SiC(11-20)エピタキシャル基板を用いた以外は、実施例1と同様にして、MOSFETを製造した。そして、得られたMOSFETの実効チャネル移動度を測定した。測定結果を図7に示す。なお、この実効チャネル移動度の最高値は、SiC酸化膜の膜厚が2~3nmのとき、128cm²/Vsであった。

〔実施例4〕

MOSFETの製造工程のうち、上記(B)ゲート絶縁膜の形成工程の(酸化膜形成工程)以外は、実施例1と同様にして、MOSFETを製造した。以下に、本実施例にお

10

20

30

40

50

る (B) ゲート絶縁膜の形成工程以外について説明する。

(酸化膜形成工程)

まず、熱 C V D によって上記エピタキシャル層上に、 S i 膜を形成した。このときの処理条件は、 S i H ₄ 流量 : 3 s c c m、 H ₂ 流量 : 2 0 0 0 s c c m、圧力 : 1 0 6 4 0 P a、基板温度 : 7 0 0 であり、この条件で 4 分間処理した。これにより、エピタキシャル層 (S i C) 上に、厚さ約 4 0 n m の S i 膜を堆積した。

【 0 0 7 0 】

次に、 S i 膜が堆積されたエピタキシャル基板を、 O ₂ 流量 : 1 0 0 0 s c c m、温度 8 0 0 程度で、 2 時間反応させることにより S i 膜を熱酸化して、 S i O ₂ 膜 4 2 を形成した。

10

【 0 0 7 1 】

このようにして、本実施例にかかる M O S F E T を製造した。そして、得られた M O S F E T の実効チャネル移動度を測定した。具体的には、上記 (B) ゲート絶縁膜の形成工程の酸化膜形成工程において、熱処理時間を変えることによって、 S i C の酸化膜 3 9 の膜厚、換言すると、酸化膜厚の増分を変化させたときの、実効チャネル移動度を測定した。その結果を、表 2 および図 8 に示す。 S i C 酸化膜の厚さが 2 ~ 1 0 n m のとき、チャネル移動度の向上が確認された。特に S i C 酸化膜の厚さが 2 ~ 5 n m のとき、チャネル移動度は 5 0 ~ 6 0 c m ² / V s となり、従来のドライ O ₂ 酸化の場合 (酸化膜なし) に比べて約 8 倍の値となった。

20

【 0 0 7 2 】

【 表 2 】

SiC酸化膜の膜厚 (nm)	0	1.5	2	3.6	5	6.2	7.5	9	12	16	18
実効チャネル移動度 (cm ² /Vs)	13	38	54	61	51	40	32	27	25	26	25

【 0 0 7 3 】

〔 比較例 1 〕

上記 (B) ゲート絶縁膜の形成工程の代わりに、 O ₂ 雰囲気、 1 1 5 0 、 4 時間の S i C 熱酸化によりゲート絶縁膜を形成した以外は、実施例 1 と同様にして、本比較例の M O S F E T を製造した。つまり、この比較例では、 S i C の酸化膜がなく、 S i C を熱酸化させることにより、ゲート絶縁膜である S i O ₂ 膜を形成している。そして得られた 4 H - S i C (0 0 0 1) 上 M O S F E T のチャネル移動度を測定したところ 7 . 3 c m ² / V s であった。

30

〔 比較例 2 〕

上記 (B) ゲート絶縁膜の形成工程の代わりに、 H ₂ O 雰囲気、 1 1 0 0 、 2 時間の S i C 熱酸化によりゲート絶縁膜を形成した以外は、実施例 1 と同様にして、本比較例の M O S F E T を製造した。つまり、この比較例では、 S i C の酸化膜がなく、 S i C を熱酸化させることにより、ゲート絶縁膜である S i O ₂ 膜を形成している。そして得られた 4 H - S i C (0 0 0 1) 上 M O S F E T のチャネル移動度を測定したところ 1 2 c m ² / V s であった。

40

〔 比較例 3 〕

上記 (B) ゲート絶縁膜の形成工程の代わりに、 O ₂ 雰囲気、 1 2 5 0 、 2 時間の S i C 熱酸化によりゲート絶縁膜を形成した以外は、実施例 1 と同様にして、本比較例の M O S F E T を製造した。つまり、この比較例では、 S i C の酸化膜がなく、 S i C を熱酸化させることにより、ゲート絶縁膜である S i O ₂ 膜を形成している。そして得られた 4 H - S i C (0 0 0 1) 上 M O S F E T のチャネル移動度を測定したところ 2 . 6 c m ² / V s であった。

50

〔比較例 4〕

上記(B)ゲート絶縁膜の形成工程の代わりに、 N_2O 雰囲気、1300、8時間のSiC熱酸化によりゲート絶縁膜を形成した以外は、実施例1と同様にして、本比較例のMOSFETを製造した。つまり、この比較例では、SiCを酸窒化させることにより、ゲート絶縁膜を形成している。そして得られた4H-SiC(0001)上MOSFETのチャンネル移動度を測定したところ $21\text{ cm}^2/\text{Vs}$ であった。

〔比較例 5〕

上記(B)ゲート絶縁膜の形成工程の代わりに、CVDによってSiC上に SiO_2 膜を堆積した後、 O_2 雰囲気、1200、60分の熱処理することによりゲート絶縁膜を形成した以外は、実施例1と同様にして、本比較例のMOSFETを製造した。つまり、この比較例では、SiCを酸窒化させることなく堆積したゲート絶縁膜を形成している。そして得られた4H-SiC(0001)上MOSFETのチャンネル移動度を測定したところ $7.0\text{ cm}^2/\text{Vs}$ であった。

〔参考比較例〕

上記(B)ゲート絶縁膜の形成工程の代わりに、 O_2 雰囲気、4H-SiC(0001)を熱酸化した後に、 N_2O 雰囲気、熱処理する方法が、文献〔藤平、樽井、今泉、大塚、高見、尾関、応用物理学会SiC及び関連ワイドギャップ半導体研究会第12回講演会予稿集 p.73〕に開示されている。このときのチャンネル移動度は、 $25\text{ cm}^2/\text{Vs}$ である。

【0074】

そして、これら、実施例および比較例の結果を表3に示す。なお、表中の実施例1および4の実効チャンネル移動度については、最大値を記載している。

【0075】

【表3】

		実効チャンネル移動度 (cm^2/Vs)
実施例1	SiCの非熱酸化(酸窒化あり)	58
実施例4	SiCの非熱酸化(酸窒化あり)	61
比較例1	O_2 によるSiCの熱酸化(酸窒化なし)	7.3
比較例2	H_2O によるSiCの熱酸化(酸窒化なし)	12
比較例3	O_2 によるSiCの熱酸化(酸窒化なし)	2.6
比較例4	N_2O によるSiCの酸窒化	21
比較例5	SiCの非熱酸化(酸窒化なし)	7
参考比較例	O_2 によるSiCの熱酸化(酸窒化あり)	25
実施例2	SiCの非熱酸化(酸窒化あり)	81
実施例3	SiCの非熱酸化(酸窒化あり)	128

【0076】

この表3の結果より、SiCを熱酸化させることなく(SiCの非熱酸化)酸化膜である SiO_2 膜をSiCに形成し、その後、SiCと SiO_2 との界面のSiCを酸窒化することにより、実効チャンネル移動度が著しく向上していることがわかる。

【0077】

具体的には、例えば、実施例1と比較例5とを比較すると、SiCを熱酸化させることなく SiO_2 膜を形成しただけでは、実効チャンネル移動度は低いことがわかる。また、実施例1と参考比較例とを比較すると、 SiO_2 膜を酸窒化しただけでは、実効チャンネル移動度は低いことがわかる。また、実施例1と比較例1、3とを比較すると、SiCを熱酸

化させることにより SiO_2 膜を形成して、酸窒化させないと実効チャネル移動度が最も悪いことがわかる。

【0078】

つまり、実効チャネル移動度を従来よりも向上させるには、(1) SiC の非熱酸化(界面遷移層を形成しないこと)、および、(2) SiC と SiO_2 との界面の SiC を酸窒化、の2つの条件が必要であることがわかる。そして、2つの条件を満たした本発明にかかる MOSFET は、従来の方法(比較例)により製造された MOSFET と比べて、2~8倍の特性が得られることがわかる。

【0079】

また、表1、2の結果より、形成する酸窒化膜の膜厚は、1~10nmの範囲内がより好ましく、1~6nmの範囲内がさらに好ましく、2~5nmの範囲内が特に好ましいことが分かる。

【産業上の利用可能性】

【0080】

本発明にかかる半導体素子は、例えば、 MOSFET 等の半導体装置に好適に適用できる。

【図面の簡単な説明】

【0081】

【図1】半導体基板である SiC 上に CVD によって SiO_2 膜を堆積した後、 SiC と SiO_2 との界面に存在している SiC を酸窒化することにより酸窒化膜を形成することにより半導体素子を製造する製造方法を説明する図面である。

【図2】半導体基板である SiC 上に CVD によって Si 膜を形成した後、 SiC が熱酸化されない条件にて Si 膜を熱酸化させることにより、 SiC 上に SiO_2 膜を積層させ、かつ酸窒化することにより酸窒化膜を形成することにより半導体素子を製造する製造方法を説明する図面である。

【図3】本実施例にかかる MOSFET の製造工程の一工程であるソース・ドレイン領域の形成工程を説明する図面である。

【図4】本実施例にかかる MOSFET の製造工程の一工程であるゲート絶縁膜の形成工程を説明する図面である。

【図5】本実施例にかかる MOSFET の製造工程の一工程であるソース・ドレイン電極の形成工程を説明する図面である。

【図6】本実施例にかかる MOSFET の製造工程の一工程であるゲート電極の形成工程を説明する図面である。

【図7】実施例1~3における酸化膜厚を変化させたときの実効チャネル移動度を測定したグラフである。

【図8】実施例4における酸化膜厚を変化させたときの実効チャネル移動度を測定したグラフである。

【符号の説明】

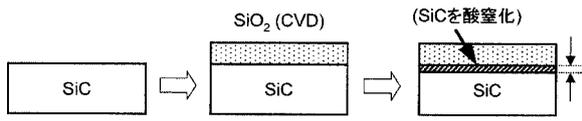
【0082】

- 31 基板
- 32 エピタキシャル層
- 38 レジスト
- 39 酸窒化膜
- 40 イオン注入層
- 43 レジストパターン
- 45 ソース・ドレイン電極(Ni)
- 46 ソース・ドレイン電極(Ni)
- 47 Ti/Al電極膜
- 48 レジスト
- 50 ゲート電極(Al)

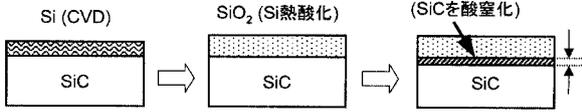
40

50

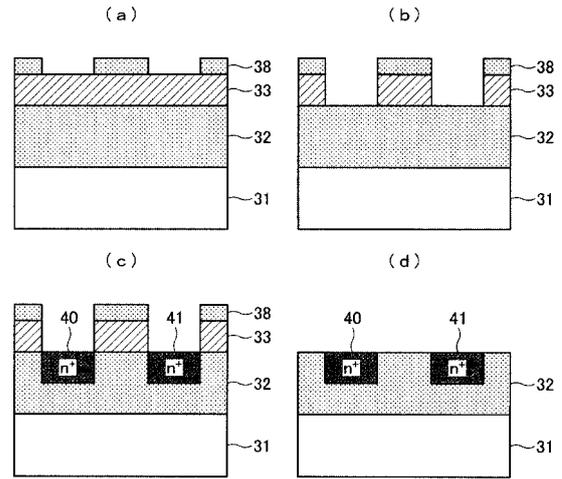
【 図 1 】



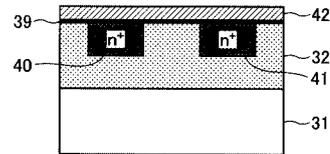
【 図 2 】



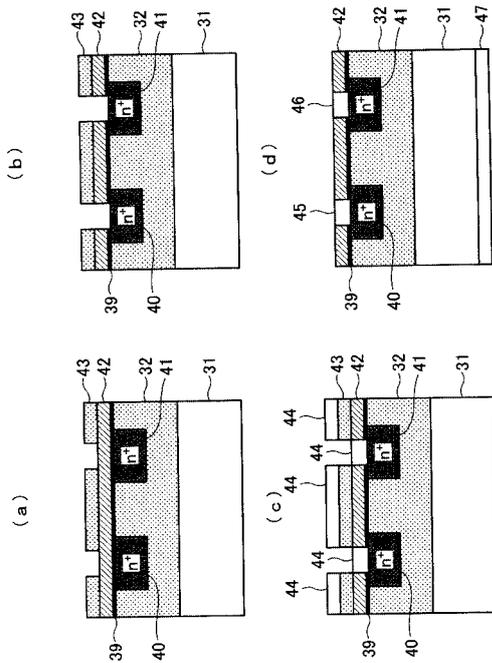
【 図 3 】



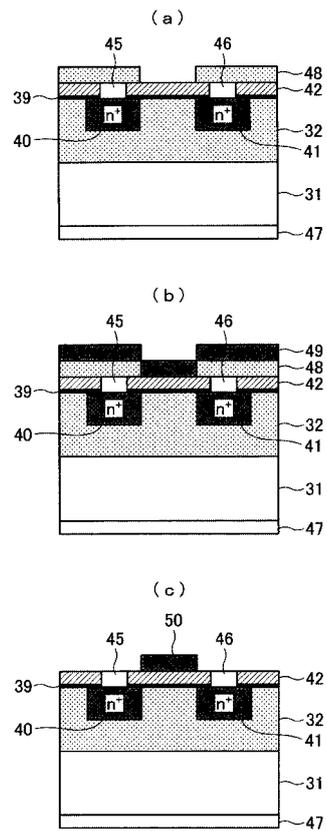
【 図 4 】



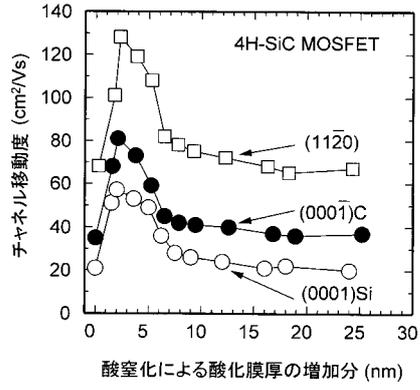
【 図 5 】



【 図 6 】



【 図 7 】



【 図 8 】

