



NORGE

(19) [NO]

[B] (12) **UTLEGNINGSSKRIFT** (11) Nr. 166019

STYRET FOR DET
INDUSTRIELLE RETTSVERN

(51) Int. Cl.³ G 11 C 8/02

(21) Patentsøknad nr. **841169**
(22) Inngivelsesdag 23.03.84
(24) Lopedag 23.03.84
(62) Avdelt/utskilt fra søknad nr.

(86) Internasjonal søknad nr. -
(86) Internasjonal inngivelsesdag -
(85) Videreføringsdag -
(41) Alment tilgjengelig fra 01.10.84
(44) Utlegningsdag 04.02.91

(71)(73) Søker/Patenthaver **HONEYWELL INFORMATION SYSTEMS
INC.**,
200 Smith Street,
Waltham, MA 02154, US

(72) Oppfinner EDWARD R. SALAS, Middlesex, MA,
EDWIN P. FISHER, Plymouth, MA,
ROBERT B. JOHNSON, Middlesex, MA,
CHESTER M. NIBBY JR., Essex, MA,
DANIEL A. BOUDREAU, Middlesex, MA,
US

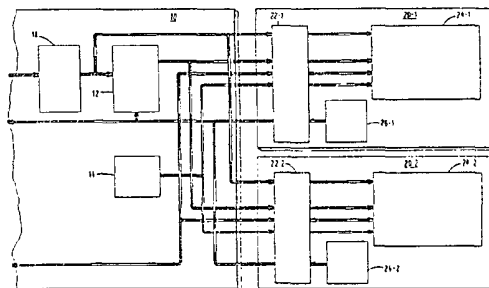
(74) Fullmektig Bryn & Aarflot AS, Oslo.

(30) Prioritet begjært 31.03.83, US, nr. 480964.

(54) Oppfinnelsens benevnelse **HUKOMMELSES-SYSTEM.**

(57) Sammendrag

Et hukommelses-system omfatter minst ett eller flere hukommelses-modulkort som er identiske av konstruksjon og et enkelt datamaskin-kort som inneholder styrekretsene for styring av hukommelses-operasjoner. Hvert kort kan plugges inn i hovedkortet og omfatter en hukommelses-seksjon som har et antall rader med hukommelses-brikker, og en identifiserings-seksjon som inneholder kretser for generering av signaler som indikerer kort-tettheten og den type hukommelses-deler som brukes ved konstruksjon av kortets hukommelses-seksjon. Styrekretsene på hovedkortet omfatter et antall dekode-kretser som er koblet til identifiserings-seksjonen og hukommelses-seksjonen på hvert hukommelses-modulkort. Dekoderkretsene mottar forskjellige adressebit-kombinasjoner av en forutbestemt flerbits adressedel av hver hukommelses-forespørselsadresse. Som reaksjon på signaler generert av identifiserings-seksjonene i de installerte hukommelseskort, blir dekodekretsene selektivt klargjort for å dekode de bitkombinasjoner av adresse-delen som spesifiseres av seksjonene for å gjøre mulig suksessiv adressering av alle blokkene med lagersteder i systemet.



(56) Anførte publikasjoner

USA (US) patent nr. 4281392.

Foreliggende oppfinnelse vedrører hukommelses-systemer og mer spesielt et apparat for forenkling av konstruksjon og utvidelse av slike systemer.

Det er velkjent at modulære hukommelses-systemer tillater lett utvidelse av bruker-hukommelses-system eller hukommelses-plass. For å romme slike utvidelser har leverandører av hukommelses-systemer måttet konstruere et antall forskjellige hukommelses-systemer med forskjellige hukommelses-kapasiteter eller forskjellige størrelsesinkremerter av hukommelsen. Dette har så nødvendiggjort konstruksjonen av et antall forskjellige typer hukommelsesenheter.

Et tidligere kjent system som er beskrevet i U.S. patent nr. 4.001.790 bruker et arrangement som kan benytte den samme hukommelseskort-konstruksjon for hver av et antall hukommelses-moduler som er koblet til en hukommelses-styreenhet. I dette arrangementet omfatter én type hukommelses-kort (moderkort) styrelogikk-kretsene og en annen type hukommelses-kort (datterkort) inneholder hukommelses-modulen. Det er nødvendig at hukommelses-modulen er istand til å kunne plugges inn i enhver av et antall forskjellige posisjoner.

I et arrangement av denne typen er det mulig å oppgradere og utvide kapasiteten til et hukommelses-system ved å benytte de to typer hukommelses-kort som er nevnt ovenfor. Hukommelsesinkrementet eller hukommelses-størrelsen i dette tilfelle svarer til kapasiteten på datter-kortet.

For å redusere antallet forskjellige typer hukommelses-kort anvender det tidligere kjente system som er beskrevet i U.S. patent nr. 4.296.467 et antall hukommelses-moduler som er identiske med hensyn til layout og konstruksjon. Hvert kort omfatter roterende brikke-velgerkretser som omfatter et sett med koblingsanordninger og en aritmetisk enhet. Ved å endre settet med koblingsanordninger, blir den aritmetiske kretsen klargjort for å generere en ønsket logisk radadresse for klargjøring av brikker som fysisk er anordnet ved et innledende radsted som reaksjon på forskjellige adresseverdier.

Mens arrangementet reduserer antallet forskjellige typer hukommelseskort til et minimum, må systemet innbefatte adresse-konfigurasjonskretser. Slike kretser inneholder vanligvis ytterligere et sett med koblingsanordninger og sammenlignende

logiske kretser for generering av signaler som er representative for det adresserbare hukommelsesrommet eller hukommelsesinkrementet som tilveiebringes av et spesielt kort. Også utvidelse utover den maksimale kapasiteten for kortet krever fremdeles anvendelse av forskjellige kort-typer.

I U.S. patent nr. 4.303.993 er det beskrevet et hukommelses-subsystem som benytter hukommelses-modulkort av identisk konstruksjon. Hvert kort omfatter et sett med koblingsanordninger som er koblet til hukommelses-tilstedeværelseskretsene. Ved å endre settet med koblingsanordninger kan hukommelses-tilstedeværelseskretsene klargjøres til å generere et utgangssignal som indikerer det samme hukommelsesinkrement eller hukommelses-modulkort som tilkobles når et forskjellig hukommelsessegment blir adressert.

Arrangementer av den type som er beskrevet ovenfor krever monteringspersonale til å sette opp settet med koblingsanordninger på hvert hukommelseskort for å definere størrelsen, segment- eller hukommelsesrommet som blir tilføyet eller installert i systemet. Dette har en tendens til å komplisere monterings- eller vedlikeholds-prosedyrene, spesielt når hukommelses-systemet kan konstrueres for å tilveiebringe en rekke forskjellige adresseringsområder. Problemet blir ytterligere komplisert når hukommelses-kortene kan konstrueres fra en rekke forskjellige typer hukommelses-deler og med forskjellige tettheter av hukommelses-brikker.

US patent nr. 4.281.392 viser et hukommelsessystem bestående av et hovedkort og et antall hukommelsesmodulkort. Hovedkortet omfatter en dekodekrets-anordning som genererer velgersignaler for de respektive hukommelsesmodulkort som reaksjon på hver hukommelsesforespørsel som tilføres systemet. Hukommelsesmodulkortene omfatter hukommelse med en rekke lagringssteder samt en anordning som er koblet til dekodekrets-anordningen, hvilken anordning genererer identifiserings-signaler som setter dekodekrets-anordningen i stand til å generere riktige velgersignaler når hukommelsessystemet adresseres.

I en spesiell utførelse viser US 4.281.392 bruk av to signaler med hensyn på hver hukommelsesmodul, men disse hukommelsesmodulene foreligger ikke i form av datter-kort med

variabel populasjon. Derimot vises de som enkelte, separate elementer som implementeres enten som ROM-kretser eller RAM-kretser. Bare ett av signalene fra disse elementene har noen funksjon som har å gjøre med struktureringen av adresse-rommet, og overfører i realiteten et signal som i seg selv bare representerer størrelsen av den respektive brikken. Det andre signalet har intet å gjøre med adresse-rommet, men angår isteden andre, urelaterte aspekter ved hukommelsesstyring som avhenger av om elementet er en ROM- eller en RAM-brikke.

Fordi US 4.281.392 ser for seg bruk av ett eneste signal for å spesifisere modul-størrelsen, er patentet iboende begrenset med hensyn til dets evne til restrukturering av adresse-rommet. Til sammenligning muliggjør de minst to logiske signalene som tilveiebringes i foreliggende oppfinnelse, fordi hukommelsesstrukturen er uten føringer innen mye videre grenser (fordi datter-kortet har variabel, valgbar populasjon eller besetning), at adresse-rommet kan struktureres passende over dette hovedsakelig fullstendig variable området.

Det er følgelig et hovedformål med den foreliggende oppfinnelse å tilveiebringe en teknikk og et apparat for konstruksjon av et billig modulært hukommelsessystem.

Det er videre et formål med oppfinnelsen å tilveiebringe et billig hukommelsessystem som kan konstrueres fra en rekke forskjellige typer hukommelsesdeler og som tilveiebringer en rekke forskjellige hukommelses-tettheter.

De ovennevnte og andre formål oppnås ved tilveiebringelse av et hukommelsessystem av den type som defineres i de vedføyde patentkravene. I en utførelse omfatter systemet ett eller flere hukommelses-modulkort som er identiske av konstruksjon og et enkelt datamskin-hovedkort (moderkort) som inneholder styrekretsene for styring av hukommelses-operasjoner. Hvert kort kan plugges inn i moderkortet og omfatter en hukommelses-seksjon som har et antall rader med hukommelses-brikker og en identifiserings-seksjon som inneholder krefter for generering av signaler som indikerer karakteristikker ved kortet, slik som tetthet og den type hukommelsesdeler som brukes ved konstruksjon av kortets hukommelses-seksjon. Identifiserings-seksjonene på hvert kort har felles tilkobling.

166019

4

Styrekretsene på hovedkortet omfatter et antall dekodekretser som er koblet til identifiserings-seksjonen og til hukommelses-seksjonen på hvert hukommelses-modulkort. Dekodekretsene er koblet for å motta forskjellige kombinasjoner av adressebit i en forutbestemt flerbits adressedel av hver hukommelses-spørreadresse som brukes for å få tilgang til innholdet i et lagersted. Som reaksjon på signalet som genereres av identifiserings-seksjonene i de installerte hukommelses-kort, blir dekodekretsene selektivt klargjort for å dekode de bitkombinasjoner av adressedelen som identifiseres av seksjonene. Dette frembringer igjen den ønskede sekvens av velgersignaler for radadresser som selektivt tilføres de hukommelseskortene som er installert i systemet for klargjøring av den suksessive adressering av alle blokkene med lagersteder i radene av hukommelsesbrikker som befinner seg i kortenes hukommelses-seksjoner.

I den foretrukne utførelsesform kan hukommelses-modulkortene konstrueres fra én av to typer med hukommelsesbrikker og ha én av to tettheter. Når hukommelses-seksjonen er fullsatt, har hukommelses-modulkortet en høy tetthet med brikker kalt "dobbel tetthet". Når hukommelses-seksjonen er halvt besatt, har hukommelses-modulkortet en lavere tetthet kalt "normal tetthet". Gjennom innføringen av en identifiserings-seksjon i hvert modulkort blir systemet i henhold til oppfinnelsen istand til automatisk å generere den ønskede sekvens av velgesignaler for radadresser for adressering av ethvert sted i hukommelses-systemet. Dette eliminerer behovet for å anvende ytterligere oppsetnings-trinn ved montering eller utskifting av hukommelses-modulkort i systemet. Det forbedrer også systemets pålitelighet.

Blokkene eller radene med adresser som tilveiebringes av hukommelses-modulkortene som er installert i systemet, blir dessuten fastslått automatisk og uten at det er nødvendig med ytterligere koblingsanordninger eller logiske kretser. Hukommelses-modulkort med normal tetthet kan også erstattes med hukommelses-modulkort med dobbel tetthet og hukommelses-modulkort som er konstruert med en type hukommelsesdel (f.eks. 64K RAM-brikker) kan erstattes med hukommelses-modulkort som er konstruert med en annen type hukommelsesdel (f.eks. 256K RAM-brikke) uten at det er nødvendig med forandringer i systemet.

De nye trekk som man mener er karakteristiske for oppfinnelsen både med hensyn til dens organisering og virkemåte, jfr. patentkravene, sammen med ytterligere formål og fordeler vil fremgå tydeligere av den følgende beskrivelse i forbindelse med de vedføyde tegninger. Det skal imidlertid understrekes at hver av tegningene er gitt med det formål bare å illustrere og beskrive og ikke har til hensikt å definere grensene for den foreliggende oppfinnelse.

Figur 1 er et blokkskjema over et hukommelses-system som innbefatter fremgangsmåten og apparatet i henhold til den foreliggende oppfinnelse.

Figurene 2a til 2c viser forskjellige utførelsesformer av dekodings-apparatet på figur 1 som er konstruert i henhold til den foreliggende oppfinnelse.

Figurene 3 til 5 viser i større detalj forskjellige av blokkene på figur 1.

Figur 6 illustrerer formatet til et hukommelses-adresseord som brukes for aksess til et hukommelses-sted.

Figur 7 illustrerer de forskjellige typer hukommelses-modulkort som kan brukes i systemet på figur 1.

Figurene 8a til 8d illustrerer konstruksjonen av modulkortene på figur 1 i henhold til læren i den foreliggende oppfinnelse.

Figur 1 viser i form av et blokkskjema en foretrukket utførelsesform av hukommelses-systemet i henhold til oppfinnelsen. Som vist omfatter hukommelses-systemet et enkelt datamaskin-hovedkort/moderkort 10 og et par innpluggbare hukommelses-modulkort/datterkort 20-1 og 20-2. Datterkortene 20-1 og 20-2 er koblet til kortet 10 over inn/ut-forbindelsesanordninger med 80 ben, 22-1 og 22-2.

Kortet 10 omfatter alle de logiske styrekretsene for hukommelses-systemet. Disse kretsene omfatter adresseregister-

kretsene i blokk 18, hukommelsestakt- og -styrekretsene i blokk 14 og kretsene for brikketype og hukommelses-tetthet i blokk 12. Adresseregister-kretsene i blokk 18 som er vist mer detaljert på figur 4, mottar for lagring adressedelen av hver hukommelsesforespørsel eller -ordre som tilføres via en systembuss eller systemsamleledning. Register-kretsene tilfører forskjellige av disse adresse-signalene til datterkort 20-1 og 20-2 og til kretsene i blokk 12.

Kretsene i blokk 14 som er vist mer detaljert på figur 3, genererer den nødvendige rekkefølge av taktstrobe-signaler for utførelse av en hukommelseslese- eller -skrivesyklus i en operasjon. Som vist leverer disse kretsene taktsignaler til datterkortene 20-1 og 20-2.

Kort-type- og hukommelsestetthet-dekoderkretsene i blokk 12 som er vist mer detaljert på figurene 2a til 2c, genererer et antall radadresse-dekodesignaler som reaksjon på valgte kombinasjoner av adressesignaler som mottas fra kretsene i blokk 18 som en funksjon av de signaler som er mottatt fra datterkortene 20-1 og 20-2. Kretsene i blokk 12 leverer valgte forskjellige av disse signaler til datterkort 20-1 og 20-2.

Hvert av datterkortene 20-1 og 20-2 er identiske i form og konstruksjon. Følgelig vil det bare være nødvendig å beskrive ett datterkort i detalj. Det enkle hukommelses-datterkort i henhold til oppfinnelsen er konstruert for bruk med forskjellige typer hukommelsesdeler som diskutert foran. For å oppnå dette er kortet konstruert (etset) for å romme hukommelsesbrikken med den maksimale størrelse. De områder som krever forskjellige signalarrangementer slik som adressering, er konstruert på plass på kortet.

Som det fremgår av figur 1 omfatter hvert datterkort en hukommelses-seksjon (f.eks. seksjonene 24-1 og 24-2), en brikketype- og tetthets-identifiserings-seksjon (f.eks. seksjonene 26-1 og 26-2) og en inngangs/utgangs-kontaktanordning (f.eks. kontaktanordningene 22-1 og 22-2). Hukommelses-seksjonen inneholder opp til 4 rader med 64K eller 256K (1K=1.024) dynamiske RAM-brikker.

Hver hukommelses-seksjon tilveiebringer maksimalt 256K eller 1.024K ord med lagringsplass organisert som fire blokker med 64K eller 256K ord som omfatter 16 databit og seks EDAC-

kontrollbit. De dynamiske RAM-brikkene av MOS-typen med 64K bit eller 256K bit har en konvensjonell konstruksjon. De kan være i form av de 65.536 ord eller 262.144 ord ganger 1-bit brikker som henholdsvis er betegnet 2164 og som leveres av Intel Corporation og MSM37256 som leveres av Oki Semiconductor Corporation.

Hver kort identifiserings-seksjon er konstruert for å identifisere brikketyper og tetthetskarakteristikkene til dens tilknyttede hukommelses-seksjon. Siden hukommelseskortene er identiske er utgangsklemmene til begge seksjoner koblet i fellesskap (dvs. ELLER-ledningsføring).

De forskjellige deler av hukommelseskortet 10 som vedrører den foreliggende oppfinnelse, vil nå bli beskrevet i større detalj. Slik deler er vist på figurene 2a til 4.

Figurene 2a til 2c viser forskjellige utførelsesformer av dekodekretsene ifølge den foreliggende oppfinnelse. Det vises først til figur 2a hvor det er vist en rekke dekodekretser 12-4 til 12-8 med tilhørende inngangskretser innbefattet NOG-port 12-2, OG-port 12-20 og belastningsmotstander 12-40 og 12-42 og utgangskretser omfattende NOG-porter 12-22 til 12-36 anordnet som vist. Dette arrangement av dekodekretser tilveiebringer den nødvendige sekvens av strobesignaler for dekoding av radadresser for adressering av den maksimale hukommelses-størrelse (dvs. 2^{20}).

Det ene megaord eller to megabyte med adressérbar hukommelse svarer til fire rader med 256K RAM-brikker. I dette tilfelle vil derfor bare ett datterkort være installert i systemet når datterkortet er fullt besatt (alle fire rader) med 256K RAM-brikker.

I tillegg til å konstruere et datterkort med forskjellige hukommelses-deler kan kortet være konstruert for å ha én av to tettheter (normal/standard-tetthet eller dobbel tetthet). Et hukommelses-modulkort som er besatt for å inneholde det dobbelte antall brikker (dvs. brikker i fire rader) som et kort med normal tetthet (dvs. brikker i to rader) er kalt "dobbelt tetthet". "Standard eller normal tetthet" refererer, sagt på en annen måte, til et halvt besatt hukommelses-modulkort mens "dobbelt tetthet" refererer til et fullt besatt datterkort.

Dekoder-kretsen 12-4 på figur 2a tilveiebringer rad

dekodings-utgangssignaler for to datterkort med normal tetthet konstruert fra 64K RAM-hukommelsesbrikker. Dekoderkretsen 12-6 tilveiebringer rad dekodings-utgangssignaler for to datterkort med dobbel tetthet konstruert fra 64K RAM-hukommelsesbrikker. Den siste dekodekretsen 12-8 på figur 2a tilveiebringer rad dekodings-utgangssignaler for to datterkort med normal tetthet konstruert fra 256K RAM-hukommelsesbrikker. Den samme kretsen tilveiebringer i tillegg rad dekodings-utgangssignaler for et enkelt datterkort med dobbel tetthet konstruert fra 256K RAM-brikker.

Hver av dekodekretsene 12-4 til 12-8 mottar utvalgte av signalene MDDBEN100, MDDBEN200, M256PR100 og M256PR200 fra identifiserings-seksjonene til datterkortene 20-1 og 20-2 og forskjellige kombinasjoner av adressesignaler MMAD03010 til MMAD06010 fra adresse-registerkretsene i blokk 18.

Som vist på figur 2a er signalene MDDBEN100 og MDDBEN200 ført sammen på en ELLER-måte. Det resulterende signal MDDBEN000 identifiserer tettheten til begge hukommelses-modulkortene. Dvs. at når signalet MDDBEN000 er på jordpotensial som representerer en binær NULL, indikerer dette at hvert av hukommelses-datterkortene som er installert i systemet, har dobbel tetthet (dvs. har fire blokker/rader med hukommelse). Når signalet MDDBEN000 er ved en +V-spenningspotensiale som er representativt for en binær EN, indikerer dette derimot at hvert av de monterte datterkort har normal tetthet (dvs. har to blokker/rader med hukommelse).

Likeledes er signalene M256PR100 og M256PR200 ført sammen på en ELLER-måte. Det resulterende signal M256PR000 identifiserer den type hukommelsesbrikker som befinner seg på begge hukommelses-modulkortene. Når signalet M256PR000 er ved jordpotensialet, en binær NULL, indikerer dette at hvert installert datterkort inneholder 256K RAM-brikker. Når signalet M256PR000 er ved en +V-spenningspotensiale, en binær EN, indikerer dette at hvert av de installerte datterkort inneholder 64K RAM-brikker.

Som vist på figur 2a kombinerer NOG-port 12-2 begge identifiserings-signaler MDDBEN000 og M256PR000 for å generere klargjørings-signal 64KRAM000. Når NOG-port 12-2 tvinger signal 64KRAM000 til en binær NULL, blir dekodekretsen 12-4 klargjort for dekoding av en første kombinasjon av inngangs-adressesignaler

MMAD06010 og MMAD05010 som leveres til dens velger-inngangsklemmer. Som en funksjon av kodingen av disse adressesignaler, er dekoderkretsen 12-4 anordnet for å tvinge en av sine fire utgangsklemmer Y0 til Y3 til en binær NULL.

Hver av de fire dekode-utgangsklemmene fra krets 12-4 er koblet som en inngang til en forskjellig tilsvarende av NOG-portene 12-22 til 12-28. Når således dekoderkretsen 12-4 tvinger signal 64KDC0000 til en binær NULL, er NOG-port 12-22 konstruert for å tvinge rad-dekodesignalet DRAST0010 til en binær EN.

En rekke klargjørings-inngangsklemmer G1 til G2A i dekoderkretsen 12-6 er koblet for å motta identifiserings-signaler MDDBEN000 og M256PR000, som vist. Når signal MDDBEN000 er en binær NULL og signal M256PR000 er en binær EN, blir dekoderkretsen 12-6 klargjort for dekoding av en annen kombinasjon av inngangsadresse-signaler MMAD06010 til MMAD04010 som leveres til dens velgerinngangsklemmer. Som en funksjon av kodingen av disse adresse-signaler, er dekoderkretsen 12-6 anordnet for å tvinge én av sine åtte utgangsklemmer Y0 til Y7 til en binær NULL.

Hver av disse åtte dekode-utgangsklemmene til krets 12-6 er koblet som en inngang til en forskjellig tilsvarende av NOG-portene 12-22 til 12-36, som vist. Når således dekoderkretsen 12-6 tvinger signal D64DC0000 til en binær NULL, er NOG-port 12-22 klargjort til å tvinge rad-dekode-signalet DRAST0010 til en binær EN.

Klargjørings-inngangsklemmen til dekoderkretsen 12-8 er koblet for å motta signal M256PR000. Når dette signalet er en binær NULL, er dekoderkretsen 12-8 klargjort for dekoding av en tredje kombinasjon av inngangsadresse-signaler MMAD04010 og MMAD03010 som leveres til dens velgerinngangsklemmer.

Hver av de fire utgangsklemmene fra dekoderkretsen 12-8 leveres som en inngang til valgte av NOG-portene 12-22 til 12-32. Dvs. at utgangsklemme Y0 er koblet til NOG-port 12-22 mens utgangsklemmene Y1 er koblet til NOG-port 12-24 i likhet med forbindelsen av de ovenfor diskuterte dekode-kretser. Imidlertid er utgangsklemme Y2 koblet til både NOG-portene 12-26 og 12-30 mens utgangsklemme Y3 er koblet til både NOG-port 12-28 og 12-32. Dette arrangementet gjør det mulig for dekoderen 12-8 å generere den ønskede sekvens av dekodete rad-adresse-strobesignaler når

to datterkort med standard tetthet 256KRAM eller ett datterkort med dobbel tetthet 256KRAM er installert i systemet.

I tillegg mottar hver av NOG-portene 12-22 til 12-36 som en inngang, et opphevelses-dekodesignal OVRDEC000 fra OG-port 12-20. I løpet av enten en oppfrisknings-syklus av operasjonen eller når systemet blir igangsatt tvinger OG-port 12-20 signal OVRDEC000 til en binær NULL. Dette klargjør alle NOG-portene 12-22 og 12-36 til å tvinge alle radadresse-strobesignalene til binære ENERE. Vanligvis er således OG-port 12-20 klargjort for å holde signalet OVRDEC000 på en binær EN.

Figurene 2b og 2c viser arrangementer som tilveiebringer en utvidet adresserings-kapasitet. Dvs. at hver tilveiebringer den nødvendige sekvens av dekode-radadresse-strobesignaler for adressering av en maksimal hukommelsesmengde som svarer til to megaord eller fire megabyte. I dette tilfelle kan to hukommelses-modulkort eller datterkort med dobbel tetthet inneholdende 256K RAM-brikker installeres i systemet. For å tilveiebringe denne ytterligere adresserings-kapasitet blir antall hukommelses-adressebit øket med én bit.

Det vises først til figur 2b hvor man ser at en fjerde dekodekrets 12-10 sammen med tilhørende NOG-inngangsporter 12-12 og 12-14 er blitt tilføyet utførelsesformen på figur 2a. De samme referansetall som er brukt på figur 2a, er brukt på figurene 2b og 2c for å identifisere de samme elementer.

En rekke klargjørende inngangsklemmer G1 til G2A til dekodekretsen 12-10 er koblet for å motta identifiserings-signaler M256PR000 og 256RAM000. Signalet M256PR000 blir ført direkte til klargjøringsklemmer G2A og G2B, mens signalet M256PR000 blir kombinert med komplementet av signal M256PR000 i NOG-port 12-14. Det resulterende signal 256RAM000 blir tilført klargjøringsklemmen G1. I tillegg blir det samme signal brukt som klargjørings-signal for dekodekretsen 12-8 som forklart.

Når signal M256PR000 blir tvunget til en binær NULL og NOG-port 12-14 tvinger signal 256RAM000 til en binær EN som reaksjon på at signal M256PR000 er en binær NULL, blir dekodekretsen 12-10 klargjort for dekoding av en fjerde kombinasjon av inngangsadresse-signaler MMAD04010 til MMAD02010 som tilføres dens velger-inngangsklemmer. Som en funksjon av kodingen

av disse adresse-signaler blir dekodekretsen 12-10 klargjort til å tvinge en av sine åtte utgangsklemmer Y0 til Y7 til en binær NULL.

Hver av de åtte dekode-inngangsklemmene til krets 12-10 er koblet som en inngang til en forskjellig tilsvarende av NOG-portene 12-22 til 12-36 som vist. Når derfor dekodekretsen 12-10 tvinge signal D256DC000 til en binær NULL, blir NOG-port 12-22 klargjort for å tvinge raddekode-signal DRAST0010 til en binær EN.

Med den utvidede hukommelses-adressekapasitet er nå hver av utgangsklemmene til dekodekretsen 12-8 koblet til forskjellige tilsvarende av NOG-portene 12-22 til 12-28. Dvs. at utgangsklemmene Y2 og Y3 ikke lenger er koblet til NOG-portene 12-30 og 12-32. Når signal 256RAM000 blir tvunget til en binær NULL ved at signal M256PR000 er en binær NULL og signal MddbEN000 er en binær EN, blir dekodekretsen 12-8 klargjort for å dekode den samme tredje kombinasjon av adressesignaler MMAD04010 og MMAD03010 på samme måte som diskutert ovenfor.

Figur 2c viser en annen utførelsesform for tilveiebringelse av den utvidede adressekapasitet. Utførelsesformen reduserer antallet dekodekretser til det halve og benytter en adresse-multiplekserkrets 12-46 for å velge de forskjellige ønskede kombinasjoner av adressesignaler som leveres til velger-inngangsklemmene til de dekodekretsene som er under styring av brikke-type-identifiseringssignalet M256PR000. Som man ser av figur 2c, omfatter arrangementet en dekodekrets 12-48 med normal tetthet og en dekodekrets 12-610 med dobbel tetthet. Hver av utgangsklemmene fra begge dekodekretsene er koblet til en forskjellig tilsvarende av NOG-portene 12-22 til 12-36 som vist.

Klargjørings-inngangsklemmen til dekodekretsen 12-48 mottar komplementet eller inversjonen av signal MddbEN000 via en NOG-inngangsport 12-44. Dette signalet NORBEN000 blir også tilført inngangsklemmen G1 til dekodekrets 12-610. I tillegg mottar inngangsklemmene G2A og G2B til dekodekretsen 12-610 signalet MddbEN000. Velger-inngangsklemmene til dekodekretsen 12-48 og de første to velger-inngangsklemmene til dekodekretsen 12-610 er koblet for å motta signaler MSELA1000 og MSELA2000 fra multiplekserkretsen 12-46. Den tredje velger-inngangsklemmen til dekodekretsen 12-610 er også koblet for å motta signal

MSELA4000 fra multiplekserkretsen 12-46.

Multiplekserkretsen 12-46 har sin velger-inngangsklemme koblet for å motta signal M256PR000 mens dens første tre par med inngangsklemmer er koblet for å motta forskjellige kombinasjoner av adressesignaler MMAD02010 til MMAD06010, som vist. Siden dens klargjørende inngangsklemmer er koblet til jord, er kretsen 12-46 alltid klargjort for operasjon.

Når signalet for normal tetthet NORBEN000 er en binær NULL, er dekodekretsen 12-48 klargjort for dekoding av en første eller annen kombinasjon av adressesignaler valgt som en funksjon av tilstanden til brikketype-signalet M256PR000. Dvs. at når signalet M256PR000 er en binær NULL, dekodekretsen 12-48 adressesignaler MMAD04010 og MMAD03010. Omvendt når signal M256PR000 er en binær EN, da dekodekretsen 12-48 adressesignaler MMAD06010 og MMAD05010.

Når imidlertid signalet NORBEN000 for normal tetthet er en binær EN, i hvilket tilfelle signalet MMBEN000 er en binær NULL, er dekodekretsen 12-610 klargjort for å dekode tredje eller fjerde kombinasjoner av adressesignaler valgt som en funksjon av tilstanden til brikke-typesignalet M256PR000. Dvs. at når signal M256PR000 er en binær NULL, dekodekretsen 12-610 adressesignaler MMAD02010 til MMAD04010. Når signalet M256PR000 er en binær EN, dekodekretsen 12-610 adressesignaler MMAD04010 til MMAD06010. Man vil forstå at selv om arrangementet reduserer mengden med brikker betydelig, er det en viss økning i kretsforsinkelsen som frembringes ved å velge kombinasjoner av signaler ved å bruke adresse-multiplekserkretsen 12-46.

Figur 3 viser mer detaljert en del av hukommelses-takt og styrekretsene i blokk 14. Disse kretsene genererer radadresse-strobe og spalteadresse-strobe taktsignaler MRASTS010 og MCASTS010, som blir tilført hver av brikkene i radene med brikker som befinner seg i hukommelses-seksjonene til datterkortene 20-1 og 20-2. I tillegg genererer disse kretsene adresse-register-styresignaler MCASI0000 og MRASI000 som klargjør hukommelses-adressesignalene for en hukommelses-spørring for tilførsel til brikkeradene på datterkortene 20-1 og 20-2.

Som vist på figur 3 omfatter kretsene på blokk 14 en forsinkelseslinje-tidsgenerator 14-2, som er av konvensjonell konstruksjon, og en rekke buffer-inverterkretser 14-4 til 14-8,

hver av hvilke er koblet for å motta en forskjellig av en rekke taktsignaler DLY020000 til DLY100000 fra generator 14-2.

Kretsene i blokk 14 omfatter videre en rekke OG-porter 14-10 til 14-14, et par NOG-porter 14-16 og 14-18 og en inverterkrets 14-20, hver av hvilke er koblet til utgangsklemmen på en av buffer-inverterkretsene 14-4 til 14-8 som vist.

Mer detaljert klargjør buffer- og inverter-krets 14-4 som reaksjon på et negativt gående taktpuls-signal DLY02000 OG-port 14-10 til å generere radadresse-strobesignal MRASTS010. Signalet MRASTS010 er et positivt gående puls-signal som blir generert ved begynnelsen av en hukommelses-syklus (dvs. ved tiden 0) som reaksjon på signal MCYCLE010, generert av ikke viste forbindelsesbrytende kretser som er innbefattet systemet. Vanligvis har den en puls-bredde fra 240 til 260 nanosekunder.

Buffer- og inverter-kretsen 14-6 klargjør som reaksjon på det negativt gående taktpuls-signalet DLY100000 OG-port 14-12 ved fravær av en hukommelse-oppfriskningssyklus (dvs. når signal RFRNT100 er en binær EN), for å generere søyleadresse-strobesignal MCASTS010. Signalet MCASTS010 er et positivt gående puls-signal som blir generert omkring 65-75 nanosekunder etter begynnelsen av en hukommelses-syklus eller etter begynnelsen av radadresse-strobesignalet MRASTS010. Det har en pulsbredde fra 210 til 230 nanosekunder.

Buffer- og inverter-krets 14-8 klargjør ved fravær av et negativt gående taktpuls-signal DLY060000 inverterkretsen 14-20 for å tvinge radadresse-taktsignalet RASTME010 til en binær EN. Signal RASTME010 klargjør NOG-port 14-18 for å tvinge signal MRASI0000 til en binær NULL. Dette klargjør adresseregisterkretsene i blokk 18 til å levere radadresse-signalene til radene med RAM-brikker på datterkortene 20-1 og 20-2. På dette tidspunkt er signalene IOGRNT010 og RFRNT100 som genereres av de forbindelsesbrytende kretsene begge binære ENERE.

Når krets 14-8 tvinger signalet DLY060110 til en binær EN som reaksjon på det negativt gående taktpuls-signal DLY060000, blir OG-port 14-14 klargjort for å tvinge søyleadresse-taktsignalet CASTME010 til en binær EN. På det tidspunkt blir signal RASTME010 tvunget til binær NULL ved fravær av en hukommelses-oppfriskningssyklus (dvs. signal RFRNT100 er en binær EN. Signal CASTME010 klar-

gjør NOG-port 14-16 til å tvinge signal MCASI0000 til en binær NULL. Dette klargjør adresseregister-kretsene i blokk 18 til å tilføre søyleadresse-signalene til radene med RAM-brikker på datterkortene 20-1 og 20-2. På dette tidspunkt er signalet IOGRNT010 en binær EN.

I tillegg tilveiebringer kretsene i blokk 14 signaler IOGRNT000, RFGRT010 og MEACKR710 som ytterligere innganger til kretsene i blokk 18. Signalene IOGRNT000 og RFGRT010 blir også generert av de forbindelsesbrytende kretsene, mens hukommelses-kvitteringssignalet MEACKR710 blir generert av hukommelses-reaksjonskretsene som ikke er vist. For formålet med den foreliggende oppfinnelse kan signalene IOGRNT010, RFGRT100 og MEACKR710 antas å være binære ENERE i løpet av en hukommelses-syklus der taktsignalet MYCYCLE010 er tvunget til en binær EN. For ytterligere informasjon om hvordan disse signalene blir generert, vises det til U.S. patentsøknader av David A. Boudreau og Edward R. Salas, med tittel "Priority Resolver with Lowest Priority Priority Level Having Shortest Logic Path", med søknadsnummer 449.703 og inngitt 14. desember 1982.

Det siste signal som er vist på figur 3 er lese/skrive-signalet WTMODE100. Dette signalet blir utledet fra den type hukommelsesforespørsel som mottas av systemet. Dvs. i det tilfelle at en hukommelsesforespørsel spesifiserer en lesesyklus av hukommelsen, blir signal WTMODE100 tvunget lav til en binær NULL. Når imidlertid forespørselen spesifiserer en skrive-syklus, blir signalet WTMODE100 tvunget høy til en binær EN. For formålet med den foreliggende oppfinnelse kan de kretsene som genererer signalet WTMODE100 antas å ha konvensjonell konstruksjon.

Figur 4 viser mer detaljert en del av adresseregister-kretsene i blokk 18. Som vist omfatter disse kretsene tre 8-bits adresseregistre 18-2 til 18-6 av D-typen, en multiplekser-krets 18-8 og en binær vippekrets 18-9. Hvert av registrene 18-2 til 18-6 mottar forskjellige deler av hukommelses-spørre-adressen fra systembussen. Mer spesielt mottar adresseregisteret 18-2 adressebit 15-22 som svarer til radadresse-delen av hukommelsesadressen som har det format som er vist på figur 6. Adresseregister 18-4 mottar adressebit 7-14 som svarer til søyleadresse-delen av hukommelsesadressen. Det tredje adresse-

registeret 18-6 mottar adressebit 2-6 av hukommelses-adressen. Hukommelsesadresse-biten 2 er bare innbefattet i tilfelle av et hukommelses-system som har en utvidet hukommelsesadresserende kapasitet (dvs. to megaord).

Som vist på figur 4 mottar hvertav de tre registrene hukommelses-kvitterings-signal MEACKR710 som et inngangstaktsignal. Adresseregister 18-2 lagrer radadresse-signalene som tilføres dets inngangsklemmer når signalet MEACKR710 går positivt. Adresseinnholdet av registeret 18-2 blir tilført dets utgangsklemmer når utgangs-klargjørings-signalet MRASI0000 blir tvunget til binær NULL ved hjelp av kretsene i blokk 14.

Likeledes blir adresseregisteret 18-4 klargjort for lagring av søyleaddressesignaler som tilføres dets inngangsklemmer når signalet MEACKR710 går positivt. Registeret 18-4 leverer sitt adresseinnhold til sine utgangsklemmer når signalet MCASI0000 blir tvunget til en binær NULL ved hjelp av kretsene i blokk 14. Til slutt blir register 18-6 klargjort på den positivt gående flanke av signalet MEACKR710 til å lagre hukommelsesblokken eller segmentadresse-signalene. Når signalet IOGRNT000 blir tvunget til en binær NULL av kretsene 14, leverer register 18-6 de lagrede addressesignaler til sine utgangsklemmer.

Multiplekserkretsen 18-8 og vippen 18-9 tilveiebringer sammen verdien av den niende adressebit for hver rad- og søyleadresse som brukes til å adressere de datterkort som inneholder rader med 256K RAM-brikker. Multiplekserkretsen 18-8 blir når den er klargjort med signalet M256PR000, tvunget til en binær NULL og genererer signal MADD08010 som en funksjon av tilstandene til signalene CASTME010 og RFGNT010. Dvs. at i løpet av radadresse-tiden i fravær av en oppfrisknings-syklus, er signal CASTME010 og signal RFGNT010 henholdsvis binær EN og binær NULL. Dette bringer multiplekserkretsen 18-8 til å velge signal MMAD05010 som leveres til datainngangs-klemmen 1 som en utgang. Derfor blir adressebit 5 brukt som den niende adressebit i en 9-bit søyleadresse.

I tilfelle av en oppfrisknings-syklus av operasjonen i løpet av radadresse-tiden, er signalet CASTME010 en binær NULL mens signalet RFGNT010 er en binær EN. Dette bringer multiplekserkretsen 18-8 til å velge signal REFAD8010 som leveres til datainngangsklemmen 2, som en utgang. Således blir signalet

REFAD8010 som genereres av vippen 18-9, brukt som den niende bit i oppfrisknings-radadressesignalene REFAD0010 til REFAD7010 tilveiebragt av kretser for oppfriskning av hukommelsesadresser, ikke vist. Vippe 18-9 er koblet for å komplementere sin tilstand ved hver opptreden av signal REFAD0010.

For formålet med den foreliggende oppfinnelse kan kretsene for adresseoppfriskning antas å være av konvensjonell konstruksjon. De virker til å frembringe en ønsket sekvens av adresse-signaler for oppfriskning av radene med RAM-brikker som befinner seg på datterkortene 20-1 og 20-2. Under søyleadresse-tiden til en oppfrisknings-syklus blir det tilveiebragt en søyleadresse med bare NULLER. På det tidspunkt er begge signalene CASTME010 og RFGNT010 binære NULLER. Dette bringer multiplekserkretsen 18-8 til å velge den binære NULL som leveres til dataklemme 3 som en utgang. Dette kompletterer genereringen av en 9-bits søyleadresse med bare NULLER.

Man vil forstå at de forskjellige deler av kortet 10 kan konstrueres av integrerte standard-brikker. Eksempler på disse brikker er vist i de spesielle blokker i de forskjellige tegninger (f.eks. figurene 2a-74S138-dekoderkrets 12-6, figur 3 - 74S240-kretser 14-4, osv., og figur 4-74S374-register 18-2, osv.).

Figur 5 viser mer detaljert hukommelses-modulkort konstruert i henhold til læren i den foreliggende oppfinnelse. Siden hvert av hukommelses-modulkortene er identiske av konstruksjon som diskutert ovenfor, er bare ettt hukommelseskort 20-1 vist fullstendig detaljert.

Som vist på figur 5 omfatter hvert datterkort 20-1 en inngangs/utgangs-kontaktanordning 22-1 som kan plugges inn i den tilsvarende av soklene på kortet 10. Bare de signaler som bidrar til å forstå den foreliggende oppfinnelse, er vist spesielt.

Som diskutert ovenfor, omfatter kortet 20-1 også en brikke-type- og tetthets-identifiserings-seksjon 26-1 og en hukommelses-seksjon 24-1. Som vist på figur 5 omfatter identifiserings-seksjonen 26-1 et par korte ledningsforbindelser A00A og A00B som brukes til generering av identifiserings-signaler MDDBEN000 og M256PR000. Disse signalene blir generert i henhold til de ledningsforbindelser som er vist på figur 7.

Når datterkortet 20-1 er fullstendig besatt for å tilveiebringe fire blokker eller rader med hukommelses-brikker (dvs.

et kort med dobbel tetthet), blir ledningsforbindelsen A00A bragt på plass. Dette resulterer i at signal MDDBEN000 blir tvunget til jord som svarer til en binær NULL på grunn av jordingen av én ende av ledningsklemmen. Når imidlertid datterkortet 20-1 er halvt besatt for å tilveiebringe to blokker eller rader med hukommelsesbrikker (dvs. et kort med enkel tetthet), utelates ledningsforbindelsen A00A. Den klemmen som tilveiebringer signalet MDBEN000 blir således tillatt å flyte (dvs. ikke jord). Siden den andre side av kontaktnordningen 22-1 forbindes til en spenning +V gjennom tiltrekningsmotstand 12-40, antar signalet MDDBEN000 en +V-verdi som svarer til en binær EN.

Av figur 7 ser man også at når datterkortet 20-1 er besatt med 256K RAM-brikker, er ledningsforbindelsen A00B bragt på plass. På samme måte som diskutert ovenfor, resulterer dette i at signalet M256PR000 blir tvunget til en binær NULL. Når imidlertid datterkortet 20-1 er besatt med 64K RAM-brikker, utelates ledningsforbindelsen A00B. Dette resulterer i at signalet M256PR000 blir tvunget til en binær EN.

De gjenværende ledningskonfigurasjoner som er vist på figur 7, vedrører adresseringen av 64K og 256K RAM-brikker. Mer spesielt definerer de kollektivt verdien av den niende adressebit i forhold til oppfriskningsoperasjoner som svarer til signal MADE08010. Dvs. at når datterkortet 20-1 er besatt med 64K RAM-brikker, er ledningsforbindelsen A00C bragt på plass mens ledningsforbindelse A00D er utelatt som en del av hukommelsesseksjonen 24-1. Dette resulterer i at signalet MADE08110 får en binær NULL-verdi på grunn av jordingen av én ende av ledningsforbindelsen A00C. Dette får en inverterkrets 246 til å tvinge signal MADE08100 høyt eller til en binær EN. Ved å holde oppfrisknings-klargjøringsklemmen (RFE) på hver brikke høy, kan oppfriskningsoperasjoner styres eksternt ved hjelp av kretsene på kort tid.

Når imidlertid datterkortet 20-1 er besatt med 256K RAM-brikker, blir ledningsforbindelsen A00C utelatt mens ledningsforbindelse A00D blir bragt på plass. Signalet MADE08010 blir derfor tillatt å innta tilstanden til signalet MADD08010 som mottas fra adresseregister-kretsene i blokk 18.

Som man ser av figur 5 består hoveddelen av hukommelsesseksjonen 24-1 av fire rader med hukommelsesbrikker betegnet

som rad 0 til rad 3. Som tidligere nevnt, kan de fire radene være konstruert av enten 64K RAM-brikker eller 256K RAM-brikker. Alle hukommelsesbrikkene i radene 0-3 er koblet for å motta søyleadresse-velgetaktsignal MCAST0010. Dette signalet er komplementet eller inverseringen av signal MCASTS010 som mottas fra kontaktanordningen 22-1 via en NOG-port 248.

I tillegg mottar brikkene i hver rad en spesiell av dekodings-radadresse-taktsignalene DRAST0010 til DRAST5010. Som vist blir hvert av signalene DRAST0010 til DRAST5010 kombinert med radadresse-velgertaktsignalet MRASTS010 innenfor en tilsvarende av NOG-portene 250 til 256. Hver av de resulterende signaler DRASE0100 til DRASE3100 blir tilført radadressesignal-inngangsklemmene på alle brikkene i en spesifisert av radene 0-3. Dvs. at signalet DRASE0100 blir tilført RAS-inngangsklemmene til de brikker som er anbragt i rad 0, signal DRASE1100 blir tilført RAS-inngangsklemmene til alle brikkene i rad 1, signal DRASE2100 blir tilført RAS-inngangsklemmene til alle brikkene i rad 2 og signal DRASE3100 blir tilført RAS-inngangsklemmene til alle brikkene i rad 3.

Alle fire rader med hukommelsesbrikker er koblet for å motta skrivestyresignal WTMODE100 fra kretsene i blokk 14. Dette signalet svarer til signal MREAD0010 og blir tilført WE-inngangsklemmene til alle hukommelsesbrikkene som vist. Adresseinngangs-klemmene 0-7/8 på hver RAM-brikke er koblet for å motta 8- eller 9-bit rad og søyleaddressedeler av hver hukommelsesadresse via inngangs/utgangs-kontaktanordning 22-1 fra kretsene i blokk 18. Signalene MADD00010 til MADD08010 blir invertert via et tilsvarende antall inverterkretser i blokkene 246 og 247 og tilført som signaler MADE00000-MADE08000 til brikkenes inngangsadresseklemmer.

I tillegg blir de 16 databit og 6 EDAC-kontrollbit i hvert dataord som skal skrives inn i hukommelses-seksjonen 24-1 i løpet av hver skrivesyklus for hukommelsen, tilført via inngangs/utgangs-kontaktanordningen 22-1 til datainngangen (DI)-klemmene på hukommelsesbrikkene i hver rad. De 16 data-bitene og 6 EDAC-kontrollbitene i hvert dataord som skal leses ut fra hukommelses-seksjonen 24-1 i løpet av hver lesesyklus blir tilført datautgangs (DO)-klemmene til hukommelsesbrikkene i hver rad til inngangs/utgangs-kontaktanordning 22-1 for overføring til systembussen.

Datterkortet 20-1 har den samme konstruksjon når det er besatt for normal tetthet i stedet for dobbel tetthet som vist på figur 5. Den eneste forskjellen er at hukommelses-seksjonen 24-1 ikke vil ha brikker i radene 2 og 3. Derfor har signalene DRAST4010 og DRAST5010 ingen virkning på hukommelsesoperasjonene.

Det ovennevnte er tilfelle for kort 20-2. Man vil også legge merke til på figur 5 at når det er installert, er datterkortet 20-2 koblet for å motta signalet DRAST2010 til DRAST7010 som blir tilført til forskjellige av NOG-portene 250 til 256 på kortet. Det identisk konstruerte kortet reagerer således på de forskjellige valgte grupper med dekodingsrad-strobesignaler. Når datterkortet 20-2 er besatt for normal tetthet, vil hukommelses-seksjonen 24-2 ikke ha brikker i radene 2 og 3. Derfor har signalene DRAST6010 og DRAST7010 ingen virkning på hukommelsesoperasjonene.

For fullstendighetens skyld er hukommelses-tilstedeværelses-signaler ONEDTR000 og TWODTR000 vist. Hvert av disse signalene blir tvunget til jord, noe som er representativt for en binær NULL, når det tilhørende datterkortet plugges inn i systemet. Begge signaler blir sendt til kretsene på kort 10 hvor de brukes sammen med de andre identifiserings-signalene til å sikre at et gyldig hukommelses-sted i hukommelses-systemet blir adressert. For ytterligere informasjon vedrørende bruken av hukommelses-tilstedeværelses-signaler, vises det til den beslektede U.S. patentsøknaden til Daniel A. Boudreau og Edward R. Salas som er nevnt i den innledende del av denne søknaden.

Under henvisning til figurene 1-7 og diagrammene på figurene 8A til 8D, skal virkemåten til de foretrukne utførelsesformer av den foreliggende oppfinnelse nå beskrives.

Figur 8a viser konstruksjonen av hukommelses-modulkort 20-1 og 20-2 med normal tetthet ved bruk av 64K RAM-hukommelsesbrikker. Som vist omfatter hvert kort 64K RAM-brikker anbragt i rader 0 og 1. Begge kort tilveiebringer en hukommelses-adresseringskapasitet på 256K ord. Når kortet 21 er installert i dette arrangementet, er brikkene i radene 0 og 1 koblet for å motta dekodingsrad-strobesignaler DRAST0010 og DRAST1010. Når kortet 20-2 er installert, er brikkene i radene 0 og 1 koblet for å motta dekodingsrad-strobesignaler DRAST2010 og DRAST3010. Identifiserings-seksjonene 26-1 og 26-2 er konstruert for å ute-

late ledningsforbindelser A00A og A00B i henhold til figur 7. Dermed tvinger identifiserings-seksjonene 26-1 og 26-2 begge signalene MddbEN000 og M256PR000 til binære ENERE.

Den korte ledningsforbindelsen A00C er også koblet på plass mens ledningsforbindelsen A00D er utelatt fra hukommelses-seksjonene 26-1 og 26-2 på kortene. Dette tillater ekstern styring av oppfriskningsoperasjoner.

Som et eksempel blir det antatt at en serie på fire hukommelsesforespørsler blir tilført hukommelsen ved hjelp av systembussen, og som krever utlesning av ord fra påfølgende segmenter eller blokker i hukommelsen. Adressene i forespørslene har formatet på figur 6 og svarer til gyldige hukommelses-steder (dvs. som er tilstede i systemet).

Den første slike hukommelses-forespørsel blir antatt å ha en hukommelsesadresse med bare NULLER. Forskjellige deler av hukommelsesadressen blir lastet inn i adresseregisteret 18-2 til 18-6 på figur 4 ved begynnelsen av hukommelses-syklusen som signaliserer ved hjelp av at signalet MEACKR710 går positivt som reaksjon på hukommelses-systemets mottagelse av en gyldig forespørsel.

Siden signalet M256PR000 er en binær ENER, blir multiplekserkretsen 18-1 frakoblet. Dermed er signalet MADD08010 som svarer til den niende adressebit, blitt effektivt utelatt. Det kan antas at signalet IOGRNT000 er en binær NULL ved begynnelsen av hukommelses-syklusen. Dermed er register 18-6 klargjort for å tilføre hukommelses-adressebit 2-6 til dekoderkretsene i blokk 12 som signaler MMAD02010 til MMAD06010. Det vises til figur 2a hvor man ser at siden begge signalene MddbEN000 og M256PR000 er binære ENERE, er NOG-port 12-2 klargjort for å tvinge signalet 64KRAM000 til en binær NULL.

Når den er klargjort for operasjon ved hjelp av signalet 64KRAM000, opererer dekodingskretsen 12-4 til å dekode adresse-signaler MMAD06010 og MMAD05010. Siden begge disse signaler er binære NULLER, tvinger dekoderkretsen 12-4 utgangs-signal 64KDC000 til en binær NULL. Dette får NOG-port 12-22 til å tvinge rad-dekodersignalet DRAST0010 til en binær EN-tilstand. Som vist på figurene 2a og 5, blir dette signalet tilført inngangs/utgangs-kontaktanordningen 22-1 som en inngang til hukommelses-seksjon 24-1.

Ved begynnelsen av hukommelses-syklusen virker også kretsene i blokk 14 til å tvinge hukommelses-radadressesignalet MRASI0000 til en binær NULL. Fra figur 3 ser man at til å begynne med er signalet DLY060000 høyt og går lavt i løpet av hukommelses-syklusen. Derfor er signalet DLY060110 en binær NULL som får inverterkretsen 14-20 til å tvinge signalet RASTME010 til en binær EN. Siden begge signalene IOGRNT010 og RFRNT100 er binære ENERE, blir NOG-port 14-18 klargjort av signal RASTME010 til å tvinge signal MRASI0000 til en binær NULL.

Ved begynnelsen av hukommelses-syklusen får derfor signal MRASI0000 adresseregistere 18-2 på figur 4 til å tilføre rad-adresse-bitene som alle er NULL 15-22 i hukommelsesadressen til sine utgangs-klemmer som signaler MADD00010 til MADD07010. Disse radadresse-signalene blir tilført via inngangs/utgangs-kontaktanordningene 22-1 og 22-2 til adresseinngangs-klemmene på hver av brikkene i radene 0 og 1 på begge kort 20-1 og 20-2.

Så snart som dekodekretsene i blokk 12 tvinger signalet DRAST0010 til en binær NULL, klargjør dette derfor delvis NOG-port 250 på figur 5. NOG-port 250 blir fullstendig klargjort når kretsene i blokk 14 tvinger radadresse-strobetaktsignal MRASTS010 til en binær EN. Som vist på figur 3 inntreffer dette når generatoren 14-2 genererer negativt gående puls-signal DLY020000.

Når alle betingelser er oppfylt tvinger NOG-port 250 på figur 5 signalet DRASE0100 til en binær NULL. Dette får så alle brikkene i rad 0 på kort 20-1 til å lagre radadresse-signalene MADE07010-0010 som svarer til lageradresse-bitene 15-22 i rad-adresse-bufferkretser i brikkene. Dette fullfører den første halvdel av en aksess-syklus.

Dvs. at hver 64K hukommelsesbrikke inneholder et antall lagringsgrupper som er organisert i en matrise med rader og søyler av lagerceller (dvs. 256 x 256, 128 x 512, osv.). I denne utførelsesformen skal det antas at 64K brikkematrisen er organisert for å ha 256 rader x 256 søyler. Aksess eller tilgang til en av de 65.536 (64K) lagerstedene i en brikke blir utført i to trinn som diskutert her. I det første trinn eller i løpet av en første halvdel av aksess-syklusen, blir 256 lagersteder i en fullstendig rad tilført 256 søyler av føler-

forsterker-kretser som er anbragt på brikken. I et annet trinn eller under en annen halvdel av syklusen, blir en av de 256 søylene med følerforsterker-kretser lest ut til brikkens data-utgangs-klemme Do. For ytterligere informasjon vedrørende den interne virkemåte av 64K brikker, vises det til en publikasjon med tittel "The MOS Memory Data Book" av Texas Instruments Incorporated, Copyright 1980.

Genereringen av radadresse-strobesignal MRASTS010 blir fulgt 65-75 nanosekunder senere av genereringen av søyleadresse-strobetaktsignalet MCASTS010. Som man ser av figur 3 får dette OG-port 14-12 til å tvinge signal MCASTS010 til en binær EN når generatoren 14-2 tvinger signal DLY100000 lavt.

Før dette tvinger imidlertid generator 14-2 signal DLY060000 lavt. Dette bringer OG-port 14-14 til å tvinge søyleadresse-strobetaktsignalet til en binær EN mens det samtidig får inverterkretsen 14-20 til å tvinge radadresse-taktsignalet MRASI0000 til en binær NULL. Dette resulterer i at NOG-port 14-16 tvinger søyleadresse-strobesignal MCASI0000 til en binær NULL mens NOG-port 14-18 tvinger radadresse-signalet MRASI000 til en binær EN.

Som vist på figur 4 klargjør signal MCASI0000 når det er en binær NULL, søyleadresse-register 18-4 til å tilføre søyleadresse-bit 7-14 som alle er NULL til sine utgangsklemmer som signalet MADD00010 til MADD07010. Siden signal M256OR000 er en binær EN, forblir multiplekserkretsen 18-8 frakoblet. Etter 75 nanosekunder blir så den åtte-bit radadressen erstattet med den åtte-bits søyleadressen. Når søyleadresse-strobetaktsignalet MCASTS010 blir tvunget til en binær EN, tvinger NOG-port 248 på figur 5 på hvert av kortene 20-1 og 20-2 signal MCAST0010 til en binær NULL. På det tidspunkt blir den åtte-bits søyleadresse med bare NULLER låst inn i søylebuffer-kretser i alle brikkene i radene 0-4 på kortene 20-1 og 20-2. Dette fullfører den annen del av aksess-syklusen.

Resultatet er at under utlesnings-syklusen (dvs. når signal MREAD0010 er en binær EN) blir bit-sted 0 i de 64K bit-steder i hver brikke lest ut til datautgangs-klemmen på hver av brikkene i rad 0 på kort 20-1. Det resulterende 22-bits ord består av 16 databit og 6 EDAC-kontrollbit og sendes til system-bussen via inngangs/utgangs-kontaktanordningen 22-1.

Med unntak av kretsene i blokk 12 kan virkemåten til kretsene på figur 1 for det meste betraktes å være de samme for behandling av de gjenværende hukommelses-forespørseler. Derfor vil denne diskusjonen bli utelatt her. Det antas at de gjenværende hukommelses-forespørseler i serien med forespørseler er kodet til å ha bare NULL-adresser med et mulig unntak for adressebit 5 og 6. I den neste hukommelses-forespørsel antas det at adressebit 6 og 5 har verdien "01".

Som det fremgår av figur 2a, vil dekamerkretsen 12-4 som reaksjon på "01"-verdiene av signalene MMAD06010 og MMAD05010 tvinge signalet 64KDC1000 til en binær NULL. Dette bringer NOG-port 12-24 til å tvinge dekoderrad-adresse-strobesignalet DRAST1010 til en binær EN.

Som det fremgår av figur 5 blir NOG-port 252 ved genereringen av radadresse-strobetaktsignal MRASTS010 av kretsene i blokk 14, klargjort av signal DRAST1010 til å tvinge signal DRASE1100 til en binær NULL. Dette bringer alle brikkene i rad 1 på kort 20-1 til å lagre radadresse-signalene MADE07010-0010 i radadresse-bufferkretser i brikkene. Ved slutten av aksesssyklusen blir følgende bit-sted 0 i hver av brikkene i rad 1 lest ut og overført til systembussen via inngangs/utgangskontaktanordningen 22-1.

Når en ytterligere hukommelses-forespørsel blir mottatt i hvilken adressebit 6 og 5 har verdien "10", tvinger dekamerkretsen 12-4 signalet 64KDC2000 til en binær NULL. Dette får NOG-port 12-26 til å tvinge dekoderrad-adresse-taktsignalet DRAST2010 til en binær EN.

Som man ser av figur 5 tvinger NOG-port 250 i hukommelsesseksjon 24-2 på kort 20-2 dekoderrad-adresse-strobesignalet DRASE0100 til en binær NULL når kretsene i blokk 14 tvinger taktsignalet MRASTS010 til en binær EN. Dette får alle brikkene i rad 0 på kort 20-2 til å lagre radadresse-signalene MADE07010-0010 i interne radadresse-bufferkretser. Ved slutten av aksesssyklusen blir følgende innholdet av bit-sted 0 i hver av brikkene i rad 0 lest ut og overført til systembussen.

Når en siste hukommelses-forespørsel blir mottatt i hvilken adressebit 6 og 5 har verdien "11", tvinger dekamerkretsen 12-4 signalet 64KDC3000 til en binær NULL. Dette får NOG-port 12-28 til å tvinge dekamer-radadresse-strobesignalet DRAST3010 til en

binær EN.

Som vist på figur 5 tvinger NOG-port 252 i hukommelses-seksjonen 24-2 dekoderrad-adresse-strobesignalet DRASE1100 til en binær NULL som reaksjon på at signal MRASTS010 blir koblet til en binær EN. Dette bringer alle brikkene i rad 1 på kort 20-2 til å lagre radadresse-signaler MADE07010-0010 i interne radadresse-bufferkretser. Ved slutten av aksess-syklusen blir følgelig innholdet av bitsted 0 i hver av brikkene i rad 1 lest ut og overført til systembussen.

Det ovennevnte viser hvordan en første dekodekrets på figur 2a virker til å adressere suksessive rader av brikker på kort 20-1 og 20-2 med normal tetthet som en funksjon av identifiserings-signaler M256PR000 og MddbEN000 som genereres av identifiserings-seksjonene 26-1 og 26-2 som reaksjon på de mulige forskjellige verdier av en første valgt kombinasjon av lageradresse-bit. Adressering fortsetter automatisk gjennom de forskjellige lagersegmenter som antydnet ved tall 1 til 4 på figur 8a, og krever ikke ytterligere kretser og koblings-anordninger for etablering av det segment eller den blokk i hukommelsen som blir adressert.

Figur 8b viser konstruksjonen av hukommelses-modulkort 20-1 og 20-2 med dobbel tetthet som bruker 64K RAM-brikker. Som vist omfatter hvert kort 64K RAM-brikker anordnet i rader 0 til 3. Begge hukommelseskort tilveiebringer en hukommelse-adresseringskapasitet på 512K ord. Når kort 20-1 er installert, blir brikkene i radene 0 til 3 koblet for å motta dekoderrad-strobesignaler DRAST0010 til DRAST5010. Når kort 20-2 er installert, er brikkene i radene 0 til 3 koblet for å motta dekoderrad-signaler DRAST2010 til DRAST7010. Siden kortene har dobbel tetthet med 64K RAM-brikker, er begge identifiserings-seksjoner 26-1 og 26-2 konstruert for å innbefatte ledningsforbindelse A00A og utelate ledningsforbindelse A00B i henhold til figur 7. Hver av identifiserings-seksjonene 26-1 og 26-2 tvinger derfor signal MddbEN000 til en binær NULL og signal M256PR000 til en binær EN. De gjenværende ledningsforbindelser A00C og A00D er utført på samme måte som kortene på figur 8a.

Det skal igjen antas at en serie på åtte hukommelsesforespørseler blir tilført hukommelsen for å be om utlesning av ord fra suksessive blokker eller rader i hukommelsen. Hver

hukommelse-forespørsel har en adresse med bare NULLer med det mulige unntak av adressebit 4 til 6. I tilfelle av den første hukommelses-forespørsel, antas det at bit 4 til 6 har verdien "000".

De forskjellige deler av hukommelses-forespørsels-adressen blir lagret i registeret 18-2 til 18-6 på figur 4, og tilført dekodekretsene på figur 2a og kortene 20-1 og 20-2 som forklart ovenfor. Det vises til figur 2a hvor det er vist at siden signalet MDDBEN000 er en binær NULL og signal M256PR000 er en binær EN, er dekodekretsen 12-6 klargjort for dekoding av adressesignaler MMAD06010 til MMAD04010. Siden disse signaler er binære NULLER, tvinger dekodekretsen 12-6 utgangs-signalet D64DC0000 til en binær NULL. Dette får NOG-port 12-22 til å tvinge dekoderrad-adresse-strobesignal DRAST0010 til en binær EN-tilstand.

På den måte som tidligere er beskrevet, tvinger NOG-port 250 på kort 20-1 på figur 5 signalet DRASE0100 til en binær NULL. Dette klargjør alle brikkene i rad 0 til å lagre de åtte radadresse-signaler MADE70010-0010 som alle er NULL, i de interne radadresse-bufferkretser. Søyleadresse-signalerne blir så lagret på lignende måte. Det endelige resultat er at lese-syklusen får bitsted 0 i de 64K bitsteder i hver brikke i rad 0 på det første datterkortet til å bli utlest og det resulterende 22-bits ord til å bli overført til systembussen.

Bit 4-6 i den annen hukommelses-forespørsel blir antatt å ha verdien "001". Dette får dekodekretsen 12-6 til å tvinge utgangssignal D64DC1000 til en binær NULL. Dette får NOG-port 12-24 til å tvinge dekoderrad-adresse-strobesignal DRAST1010 til en binær EN-tilstand.

På den måte som er beskrevet ovenfor tvinger NOG-port 252 på kort 20-1 på figur 5 signal DRASE1100 til en binær NULL. Dette klargjør alle brikkene i rad 1 til å lagre radadresse-signalerne med bare NULLER, MADE07000-0000 i de interne rad-adresse-bufferkretser. Følgelig får lese-syklusen bitsted 0 i de 64K bitstedene i hver brikke i rad 1 på det første datterkortet til å bli lest ut og det resulterende 22-bits ord til å bli overført til systembussen.

Bit 4-6 i den tredje og fjerde hukommelses-forespørsel antas å ha verdiene "010" og "011". De får dekodekrets 12-6

til i rekkefølge å tvinge utgangssignalene D64DC2000 og D64DC3000 til binære NULLER. Dette gjør at NOG-portene 12-30 og 12-32 i rekkefølge tvinger rad-dekodere-signalerne DRAST4010 og DRAST5010 til binære ENERE.

Som vist på figur 5 klargjør signalene DRAST4010 og DRAST5010 i rekkefølge NOG-portene 254 og 256 på det første kortet 20-1 til å tvinge signalene DRASE2100 og DRASE3100 til binære NULLER. Alle brikkene i rad 2 og så i rad 3 blir følgelig betinget til å lagre de åtte radadresse-signalerne MADE07000-0000 med bare NULLER i sine interne radadresse-bufferkretser. Disse påfølgende lesesykluser resulterer følgelig i at ord blir lest ut fra hukommelses-sted 0 i brikkene i rad 2 og 3 på det første kortet 20-1.

Bit 4-6 i den femte og sjette hukommelses-kommando antas å ha verdiene "100" og "101". De får dekodekretsen 12-6 til i rekkefølge å tvinge utgangs-signalerne D64DC4000 og D64DC5000 til binære NULLER. Dette får NOG-portene 12-26 og 12-28 til i rekkefølge å tvinge rad-dekoder-signalerne DRAST2010 og DRAST3010 til binære ENERE.

Som vist på figur 5 betinger signalene DRAST2010 og DRAST3010 i rekkefølge NOG-portene 250 og 252 på det annet kort 20-2 til å tvinge signaler DRASE0100 og DRASE1100 til binære NULLER. Alle brikkene i rad 0 og så i rad 1 blir således betinget til å lagre radadresse-signalerne MADE07000-0000 i deres interne radadresse-bufferkretser. Resultatet er at de påfølgende lesesykluser får ord til å bli lest ut fra hukommelses-sted 0 i brikkene i radene 0 og 1 på det annet kort 20-2.

Bit 4-6 i den syvende og åttende hukommelses-kommando antas å ha verdiene "110" og "111". De får dekodekretsen 12-6 til i rekkefølge å tvinge utgangs-signaler D64DC6000 og D64DC7000 til binære NULLER. Dette får NOG-portene 12-34 og 12-36 til i rekkefølge å tvinge rad-dekoder-signalerne DRAST6010 og DRAST7010 til binære ENERE.

Som det fremgår av figur 5 betinger signalene DRAST6010 og DRAST7010 i rekkefølge NOG-portene 254 og 256 på det annet kort 20-2 til å tvinge signaler DRASE2100 og DRASE3100 til binære NULLER. Alle brikkene i rad 2 og så i rad 3 på det annet datterkort 20-2 blir således betinget til å lagre radadresse-signalerne MADE07000-0000 med bare NULLER i deres interne

bufferkretser. Resultatet er at de suksessive lesesykluser får ord til å bli lest ut fra hukommelses-sted 0 i brikkene i rad 2 og 3 på kort 20-2.

Den ovenfor angitte sekvens av forskjellig kode hukommelses-forespørsler viser hvordan en annen dekodekrets på figur 2a virker til å adressere suksessive rader av brikker i kort 20-1 og 20-2 med dobbel tetthet som en funksjon av identifiserings-signaler M256PR000 og MddbEN000. Radene blir valgt som reaksjon på de mulige forskjellige verdier av en annen valgt kombinasjon av hukommelses-adressebit. Som beskrevet fortsetter adresseringen automatisk gjennom de forskjellige hukommelses-segmenter eller rader som antydnet ved tallene 1 til 8 på figur 8b.

Figur 8c viser konstruksjonen av hukommelses-modulkort 20-1 og 20-2 med normal tetthet og med 256K RAM-brikker. Hver brikke er organisert i en matrise med interne rader og søyler (f.eks. 512 x 512, eller lign.) Som vist omfatter hvert kort 256K RAM-brikker anordnet i rader 0 og 1. Begge hukommelses-kort tilveiebringer en hukommelses-adresseringskapasitet på ett megaord (1024K ord). Som i tilfellet på figur 8a når kort 20-1 er installert, er brikkene i radene 0 og 1 koblet for å motta dekoderrad-strobesignaler DRAST0010 og DRAST1010. Når kort 20-2 er installert, er brikkene i rad 0 og 1 koblet for å motta dekoderrad-strobesignaler DRAST2010 og DRAST3010.

Siden kortene har normal tetthet med 256K RAM-brikker, er begge identifiserings-seksjoner 26-1 konstruert for å utelate ledningsforbindelsen A00A og for å innbefatte ledningsforbindelsen A00B i henhold til figur 7. Hver av identifiserings-seksjonene 26-1 og 26-2 tvinger dermed signal MddbEN000 til en binær EN og signal M256PR000 til en binær NULL. I tillegg er de gjenværende ledningsforbindelser A00C og A00D koblet i henhold til figur 7. Dvs. at ledningsforbindelse A00C er utelatt mens ledningsforbindelse A00D er innbefattet. Dette tilfører som en niende adressebit signal MADD08010 til adresse-inngangsklemmene på hver av brikkene i rad 0 og 1 på kort 20-1 og 20-2.

Som i tilfellet på figur 8a skal det antas at en serie på fire hukommelses-forespørsler blir tilført hukommelsen for å spesifisere utlesning av ord fra suksessive blokker eller rader av hukommelsen. Hver hukommelses-forespørsel har en adresse

med bare NULLER med det mulige unntak av adressebit 3 og 4. Det blir antatt at bit 3 og 4 i den første hukommelses-forespørsel har verdien "00".

Som forklart tidligere blir de forskjellige deler av forespørselsadressen som er lagret i registeret 18-2 til 18-6 på figur 4, tilført dekodekretsene på figur 2a og kort 20-1 og 20-2. Mer spesielt blir rad- og søyle-adressene sekvensielt tilført kortene 20-1 og 20-2 som forklart ovenfor. Den niende bit i hver adresse blir tilveiebragt av multiplekser-krets 18-8. Dvs. at siden signalet M256PR000 er en binær NULL, tilveiebringer multiplekserkretsen 18-8 som en utgang, det inngangssignalet som velges ved hjelp av tilstandene til signalene CASTME010 og RFGRNT010. I løpet av den første halvdel av aksess-syklusen (RAS-tiden), blir, siden begge signalene er binære NULLER, signal MMAD06010 krukt som den niende radadresse-bit i rad-adressen. I løpet av den annen halvdel av aksess-syklusen (CAS-tiden), er verdiene av signalene "01". Derfor blir signal MMAD05010 brukt som den niende søyleadresse-bit i søyleadressen.

Det vises til figur 2a hvor man ser at siden signalet M256PR000 er en binær NULL, er dekodekretsen 12-6 klargjort for dekoding av adresse-signaler MMAD04010 og MMAD03010. Siden begge signaler er binære NULLER, tvinger dekodekretsen 12-8 utgangssignalet 256DC0000 til en binær NULL. Dette får NOG-port 12-22 til å tvinge dekoderrad-adresse-signalet DRAST0010 til en binær EN-tilstand.

Som vist på figur 5 får dette NOG-port 250 på det første datterkortet 20-1 til å tvinge signal DRASE0100 til en binær NULL. Dette klargjør alle brikkene i rad 0 til å lagre de ni radadresse-signaler med bare nuller, MADE08000-0000, i de interne radadresse-bufferkretsene. Dette resulterer i at lese-syklusen får bitsted 0 i de 256K bitsteder i hver brikke i rad 0 til å bli lest ut, og det resulterende 22-bits ord til å bli overført til systembussen.

Bit 4 og 3 i den annen hukommelses-forespørsel antas å ha verdien "01". Dette får dekodekretsen 12-8 til å tvinge utgangssignalet 256DC1000 til en binær NULL. Dette får NOG-port 12-24 til å tvinge dekode-radadresse-strobesignalet DRAST1010 til en binær EN-tilstand.

På den ovenfor beskrevne måte tvinger NOG-port 252 på kort

20-1 på figur 5 signal DRASE1100 til en binær NULL. Dette klargjør alle brikkene i rad 1 til å lagre de ni adresse-signaler MADE08000-0000 med bare nuller i de interne radadresse-bufferkretser. Følgelig får lesesyklusen bitsted 0 i de 256K bitsteder i hver brikke i rad 1 til å bli lest ut og overført.

Bit 4 og 3 i den tredje og fjerde hukommelses-forespørsel antas å ha verdiene "10" og "11". De får dekodekretsene 12-8 til i rekkefølge å tvinge utgangssignalene 256DC2000 og 256DC3000 til binære NULLER. Dette gjør at NOG-portene 12-26 og 12-28 i rekkefølge tvinger dekoderrad-adresse-strobesignalene DRAST2010 og DRAST3010 til binære ENERE.

Som vist på figur 5 betinger signalene DRAST2010 og DRAST3010 i rekkefølge NOG-portene 250 og 252 på det annet datterkort 20-2 til å tvinge signalene DRASE0100 og DRASE1100 til binære NULLER. Alle brikkene i rad 0 og så i rad 1 blir således betinget til å lagre de ni radadresse-signaler MADE08000-0000 med bare nuller i deres interne radadresse-bufferkretser. Resultatet er at ord blir lest ut fra sted 0 i brikkene i rad 0 og 1 på det annet kort 20-2.

Det ovennevnte viser hvordan en tredje dekodekrets på figur 2a arbeider for å adressere suksessive rader av brikker i kort 20-1 og 20-2 med normal tetthet som er konstruert med 256K RAM-brikker som en funksjon av identifiserings-signal M256PR000 som reaksjon på mulige forskjellige verdier av en tredje valgt kombinasjon av hukommelses-adressebit. Adresseringen fortsetter automatisk gjennom de forskjellige hukommelses-segmenter eller rader som antydnet ved tallene 1 til 4 på figur 8c.

Den nedre del av figur 8d viser konstruksjonen av hukommelses-modulkort 20-1 med dobbel tetthet med 256K RAM-hukommelsesbrikker. Som vist omfatter kortet 20-1 256K RAM-brikker anordnet i rader 0 til 3. Hukommelseskortet tilveiebringer en hukommelses-adresserngskapasitet på ett megaord, det samme som figur 8b. Når kort 20-1 er installert, er brikkene i radene 0 til 3 koblet for å motta dekoderrad-strobesignaler DRAST0010 til DRAST5010, som vist på figur 5.

Siden kort 20-1 har dobbel tetthet med 256K RAM-brikker, er identifiserings-seksjonen 26-1 konstruert for å innbefatte spredningsforbindelser A00A og A00B i henhold til figur 8.

166019

30

Identifiserings-seksjonen 26-1 tvinger dermed signalene MDDBEN000 og M256PR000 til binære NULLER. De gjenværende ledningsforbindelser A00C og A00D er koblet på samme måte som kortene på figur 8c.

Det skal antas at den samme serie på fire hukommelsesforespørseler blir tilført hukommelsen. Følgelig tvinger dekodekretsen 12-8 i rekkefølge utgangs-signaler 256CD0000 til 256DC3000 til binære NULLER. Dette får igjen NOG-porter 12-22 til 12-28 til i rekkefølge å tvinge dekoderrad-adresse-strobe-signaler DRAST0010 til DRAST3010 til binære ENERE. Siden det annet kort 20-2 ikke er installert, har dekoderrad-adresse-strobesignalene DRAST2010 og DRAST3010 ingen virkning på hukommelsesoperasjonen. Fordi signalene 256CD2000 og 256CD3000 også blir tilført til NOG-portene 12-30 og 12-32, blir også dekoderrad-adresse-strobesignalene DRAST4010 og DRAST5010 i rekkefølge tvunget til binære ENERE.

Det vises til figur 5 hvor det er vist at NOG-portene 250 til 256 på kort 20-1 i rekkefølge tvinger signalene DRASE0100 til DRASE3100 til binære NULLER. Dette klargjør alle brikkene i radene 0 til 3 til å lagre de ni radadresse-signaler MADE08000-0000 i de interne radadresse-bufferkretser. I suksessive utlesnings-sykluser blir således innholdet av bitsted 0 i de 256K bitsteder i hver brikke i radene 0 - 3 lest ut og det resulterende 22-bits ord blir overført til systembussen.

Det ovennevnte viser hvordan den tredje dekodekretsen på figur 2a arbeider for å adressere påfølgende rader med brikker i et enkelt kort 20-1 med dobbel tetthet, som en funksjon av identifiserings-signalet M256PR000. Radene blir valgt som respons på de mulige forskjellige verdier av den tredje valgte kombinasjon av hukommelses-adressebit. Som beskrevet fortsetter adresseringen automatisk gjennom de forskjellige hukommelses-segmenter eller rader, som antydnet ved tallene 1 til 4 på den nedre del av figur 8d.

Begge deler av figur 8d viser konstruksjonen av hukommelsesmodulkort 20-1 og 20-2 med dobbel tetthet og med 256K RAM-brikker for et hukommelses-system som har en utvidet adresseringskapasitet. Som vist omfatter hvert kort 256K RAM-brikker anordnet i rader 0 - 3. Begge hukommelseskort tilveiebringer en hukommelses-adresseringsevne på 2 megaord (2048 ord).

Som i tilfelle med figur 8b, er brikkene i radene 0 til 3 når kort 20-1 er installert, koblet for å motta dekoderradstrobesignaler DRAST0010 til DRAST5010. Når kort 20-2 er installert, er brikkene i radene 0 til 3 koblet for å motta dekoderrad-signaler DRAST2010 til DRAST7010. Begge identifiseringsseksjoner 26-1 og 26-2 er koblet på samme måte som ett enkelt kort 20-1. Dvs. at hver av identifiserings-seksjonene 26-1 og 26-2 tvinger signaler MddbEN000 og M256PR000 til binære NULLER. De gjenværende ledningsforbindelser A00C og A00D er koblet på samme måte som beskrevet ovenfor.

Igjen skal det antas at en serie på åtte hukommelsesforespørseler blir tilført hukommelsen for å be om utlesning av ord fra suksessive blokker eller rader i hukommelsen. Hver hukommelses-forespørsel har en adresse med bare NULLER med unntak av adressebit 2-4. Adressebit 2 som diskutert ovenfor, er nødvendig for den utvidede adresserings-kapasitet.

Dekodingsarrangementet på enten figur 2b eller figur 2c vil bli brukt for å tilveiebringe den utvidede adresseringskapasitet.

I tilfelle med figur 2b får identifiserings-signalene MddbEN000 og M256PR000 når de er binære NULLER, NOG-portene 12-12 og 12-14 til å tvinge signal 256KRAM10 til en binær EN. Dette klargjør så dekoderkrets 12-10 og frakobler samtidig dekoderkrets 12-8. Når dekodekretsen 12-10 er klargjort, dekode den adressesignalene MMAD04010 til MMAD02010.

Det skal antas at adressesignalene MMAD04010 til MMAD02010 har verdiene "000" til "111". Som reaksjon på serien på åtte hukommelses-forespørseler tvinger derfor dekoderkretsen 12-10 i rekkefølge signalene D256DC000 til D256DC7000 til binære NULLER. Dette får NOG-portene 12-22 til 12-36 til å tvinge raddekode-signalene DRAST0010 til DRAST7010 til binære ENERE.

Som vist på figur 5 blir NOG-portene 250 til 256 på kort 20-1 og NOG-portene 250 til 256 på kort 20-2 suksessivt betinget til å tvinge signalene DRASE0100 til DRASE3100 på kort 20-1 og signalene DRASE0100 til DRASE3100 på kort 20-2 til binære NULLER. Resultatet er at alle brikkene i radene 0 til 3 på begge kort blir klargjort til å lagre ni-bits radadresse-signaler MADE08000-0000 i deres interne radadresse-bufferkretser. Ved slutten av syklusene blir bit-stedet i hver av

brikkene i radene 0 til 3 på begge kort lest ut og overført til systembussen. Rekkefølgen av radadressering fortsetter som vist ved tallene la til 8a på figur 8d.

Det samme resultat blir oppnådd når den samme serie på åtte hukommelses-forespørseler blir dekodet ved hjelp av dekoderkretsene på figur 2c. Dvs. at siden signal M256PR000 er en binær NULL, blir adressebitene 2-4 tilført dekoderkretsen 12-610 for dekoding. Dekoderkretsen 12-610 blir klargjort ved hjelp av den binære NULL-tilstanden til signal MddbEN000. Dekoderkretsen 12-610 virker følgelig til i rekkefølge å tvinge signalene DdENs0000 til DdENs7000 til binære NULLER. Dette får så NOG-portene 12-22 til 12-36 til å tvinge raddekode-signalene DRAsT0010 til DRAsT7010 til binære ENERE. Rekkefølgen av rad- eller segment-adressering fortsetter følgelig som vist ved tallene la til 8a på figur 8d.

Det ovennevnte viser hvordan dekoderkretsene på figurene 2b og 2c virker til å adressere suksessive rader med brikker i kort 20-1 og 20-2 med dobbel tetthet og 256K RAM-brikker som en funksjon av identifiserings-signaler M256PR000 og MddbEN000 som reaksjon på de forskjellige verdier av en valgt verdi av hukommelses-adressebit.

Fra den ovenfor gitte forklaring ser man hvordan apparatet og fremgangsmåten i henhold til den foretrukne utførelsesform av oppfinnelsen er istand til automatisk å generere den ønskede sekvens av raddekode-strobesignaler for adressering av steder innenfor en funksjon av identifiserings-signaler tilveiebragt ved hjelp av identifiserings-seksjonene som er innbefattet i de hukommelses-modulkort som er installert i systemet. Radene blir valgt i den rekkefølge som defineres av de valgte adressebit kombinasjoner i en forutbestemt adressedel av hver hukommelses-forespørsels-adresse.

Dette muliggjør at hukommelses-modulkort med forskjellig tetthet konstruert med forskjellige typer hukommelsesdeler kan installeres i det samme hukommelses-system uten at det er nødvendig med forandringer i systemet. Dvs. at det adresserbare eller hukommelses-adresserommet ikke må etableres. Det er heller ikke nødvendig å foreta forandringer i kretsene som styrer hukommelsesoperasjoner (f.eks. taktkretser, adressekretser, osv.).

Fagfolk på området vil forstå at den foreliggende oppfinnelse kan anvendes med andre hukommelsesdeler (f.eks. programmerbare leselagre (PROM), leselagre). Oppfinnelsen kan også brukes med forskjellige typer hukommelsesdeler (f.eks. 16K RAM-brikker, 1024K RAM-brikker, osv.) og med andre korttettheter.

Andre forandringer kan gjøres med de foretrukne utførelsesformer, slik som type dekoderkretser, antall adressebit, antall identifiserings-signaler og hukommelses-modulkort som benyttes i hukommelses-systemet. Identifiserings-seksjonen kan også være konstruert på andre måter, som f.eks. at de ønskede forbindelser kan være etset på hvert hukommelses-modulkort.

Mens den beste utførelsesform av oppfinnelsen er blitt forskriftsmessig illustrert og beskrevet, kan det foretas visse forandringer uten å avvike fra oppfinnelsens idé og ramme som fremgår av de påfølgende krav.

166019

34

P A T E N T K R A V

1. Hukommelsessystem, innbefattende en hukommelsesseksjon med en rekke hukommelsesmoduler og en adresseringsseksjon som tilføres flerbits adressekode-deler av hukommelsesforespørsler og som er er strukturerbar for å tilpasses en annerledes adressestruktur for hukommelsesseksjonen, idet adresseringsseksjonen omfatter en rekke adresseregistre som reagerer på en første del av hver adressekode ved å generere adresser for steder i hukommelsesmodulene og en dekodekrets som reagerer på en del av adressekoden som omfatter minst en andre del av denne avhengig av et modulparameter-signal ved å generere adresse-signaler som er tilpasset hukommelsesseksjonens adressestruktur, k a r a k t e r i s e r t v e d at nevnte adresseringsseksjon inneholdes på et moder-kort, og de nevnte hukommelsesmoduler (24-1, 24-2) er datter-kort som hvert har rader som er besatt med separate hukommelsesbrikker (240-1 til 240-22), hvor hver brikke har forutvalgt størrelse på det adresserbare lager eller hukommelse og hvert datter-kort har en identifiserings-krets (26-1) som tilveiebringer nevnte modulparameter-signal, og ved at nevnte modulparameter-signal med hensyn på hvert datter-kort utgjøres av minst to logiske signaler innbefattende et første logisk signal (MDDBENOOO) som representerer besetningstettheten, dvs. antallet rader besatt av brikker, for det henholdsvis datter-kort og et andre logisk signal (M256PROOO) som representerer størrelsen av de brikker som besetter det henholdsvis datter-kort, idet de nevnte logiske signaler for datter-kortene kombineres ved inngangen til dekodekretsen slik at nevnte dekodekrets (fig. 2a, 2b eller 2c) betinges ved hjelp av modulparameter-signalene for alle datter-kortene til å tolke de adressesignaler som forbindes dit, og derved å generere radutvelgessignaler (DRAST0010 til DRAST7010) i korrekt rekkefølge i avhengighet av besetningstettheten og brikkestørrelsen med hensyn på hvert av de nevnte datter-kort.

2. Anordning ifølge krav 1, k a r a k t e r i s e r t v e d at flerbits adressekode-delen av hukommelsesforespørselen tilsvarende antallet av de mest

signifikante adressebits som er kodet for å spesifisere et maksimalt antall rader av hukommelsesbrikker som kan innbefattes på datter-kortene som kan bygges inn i et hukommelsessystem, og at datter-kortene er identiske med hverandre.

3. Anordning ifølge krav 1,

k a r a k t e r i s e r t v e d at dekodekretsen (12) omfatter et antall separate dekodekretser (12-10 til 12-8), hvor hver av de nevnte dekodekretser har en klargjørings-inngangskrets og en inngangsvelgekrets, hvor klargjørings-inngangskretsen på hver av dekodekretsene er koplet for å motta en annerledes logisk kombinasjon av nevnte modulparameter-signaler (MDDBEN100-M256PR200), og hvor inngangsvelgekretsen på hver av dekodekretsene er koplet for å motta minst en av et antall forskjellige kombinasjoner av biter av nevnte flerbits adressedel, idet hver dekodekrets når den klargjøres av et logisk signal utledet fra nevnte parametersignaler, er operativ for å generere dekodings-velgesignaler for tilføring til datter-kortene (20-1, 20-2) i den forutbestemte rekkefølge slik den spesifiseres av kodingen av de forskjellige kombinasjoner av adressebiter som tilføres til inngangsvelgekretsene for dekodekretsene.

4. Anordning ifølge krav 1,

k a r a k t e r i s e r t v e d at datter-kortene (20-1, 20-2) er konstruert for å ha en av et antall besetningstettheter og en av et antall størrelser på hukommelsesbrikke (240-1 til 243-22), og at de henholdsvis identifiserings-kretser (26-1, 26-2) innbefatter et antall utgangsterminaler og et tilsvarende antall krysskopplingsledere (AOOA-AOOD) som er forbundet selektivt med de forskjellige utgangsterminalene for å generere de nevnte modulparameter-signaler.

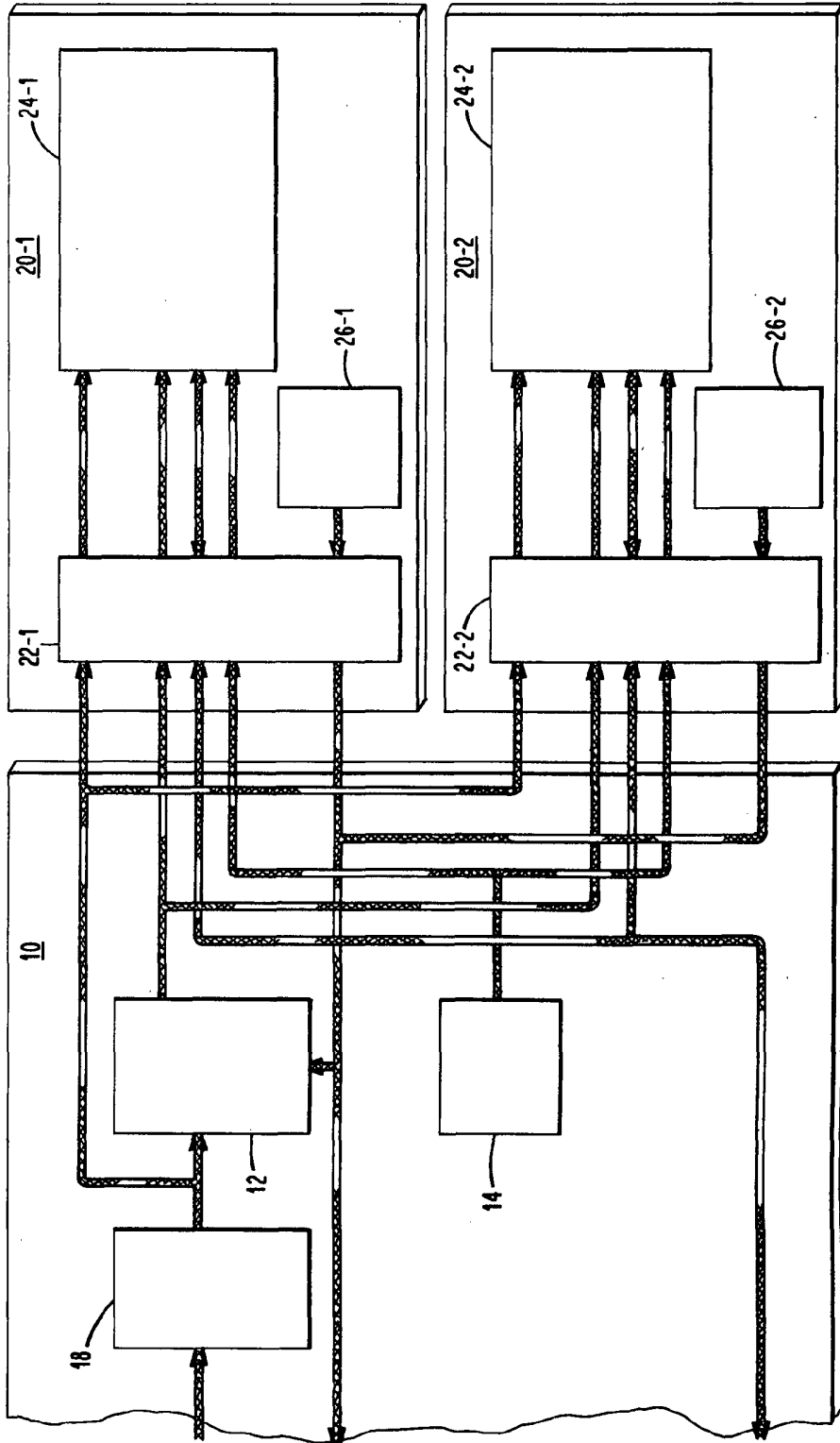
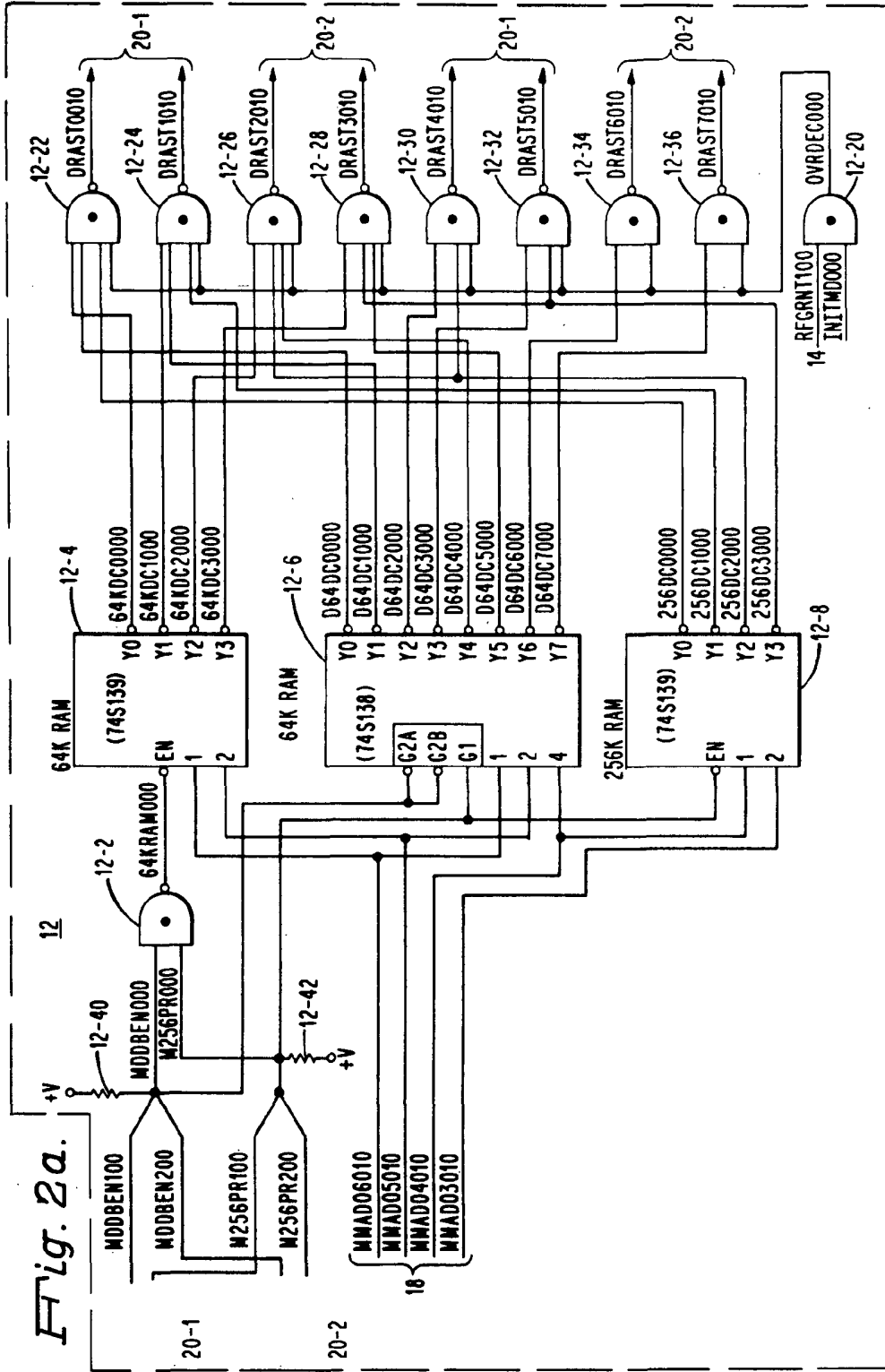


Fig. 1.



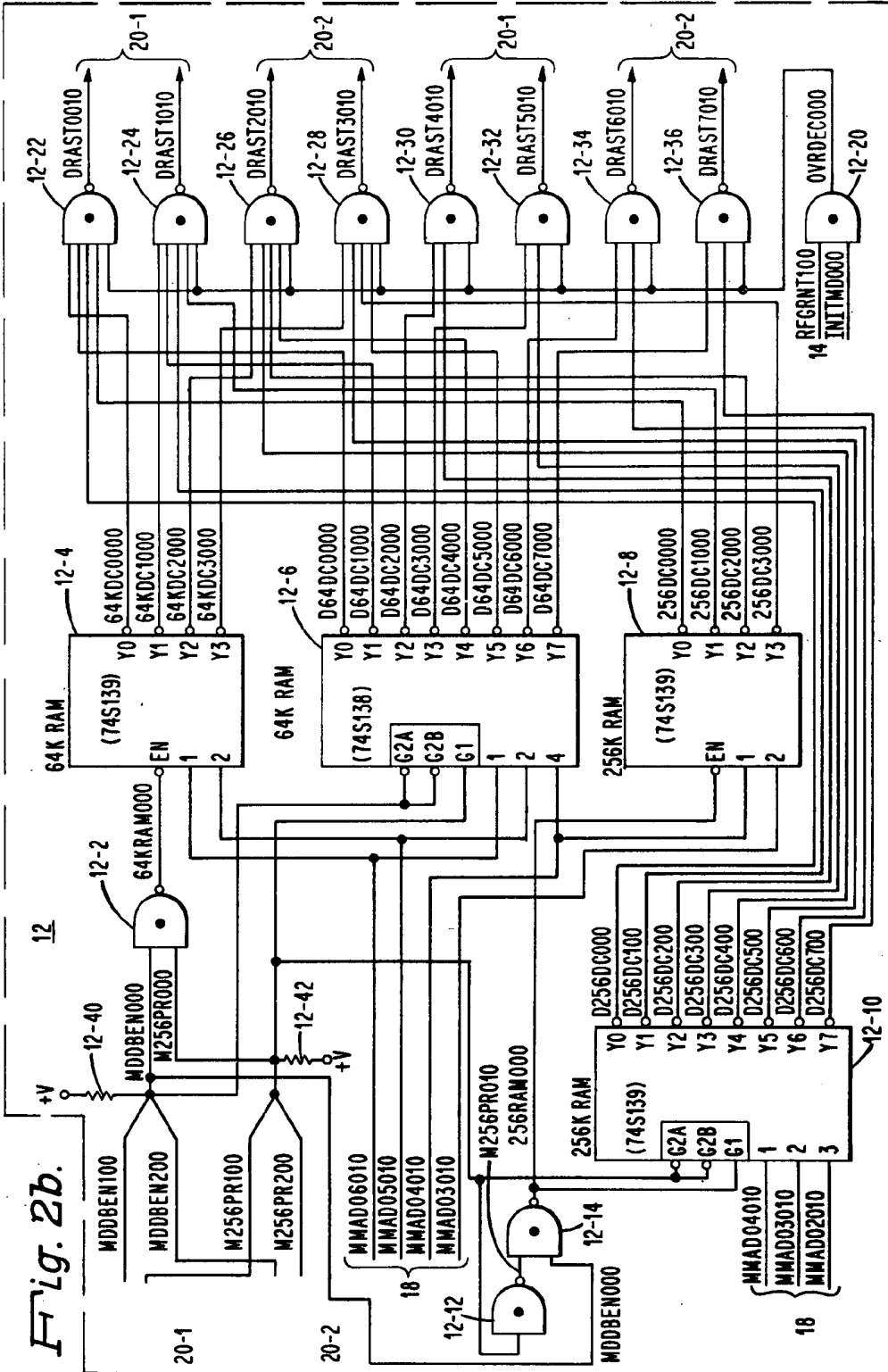


Fig. 2b.

Fig. 2c.

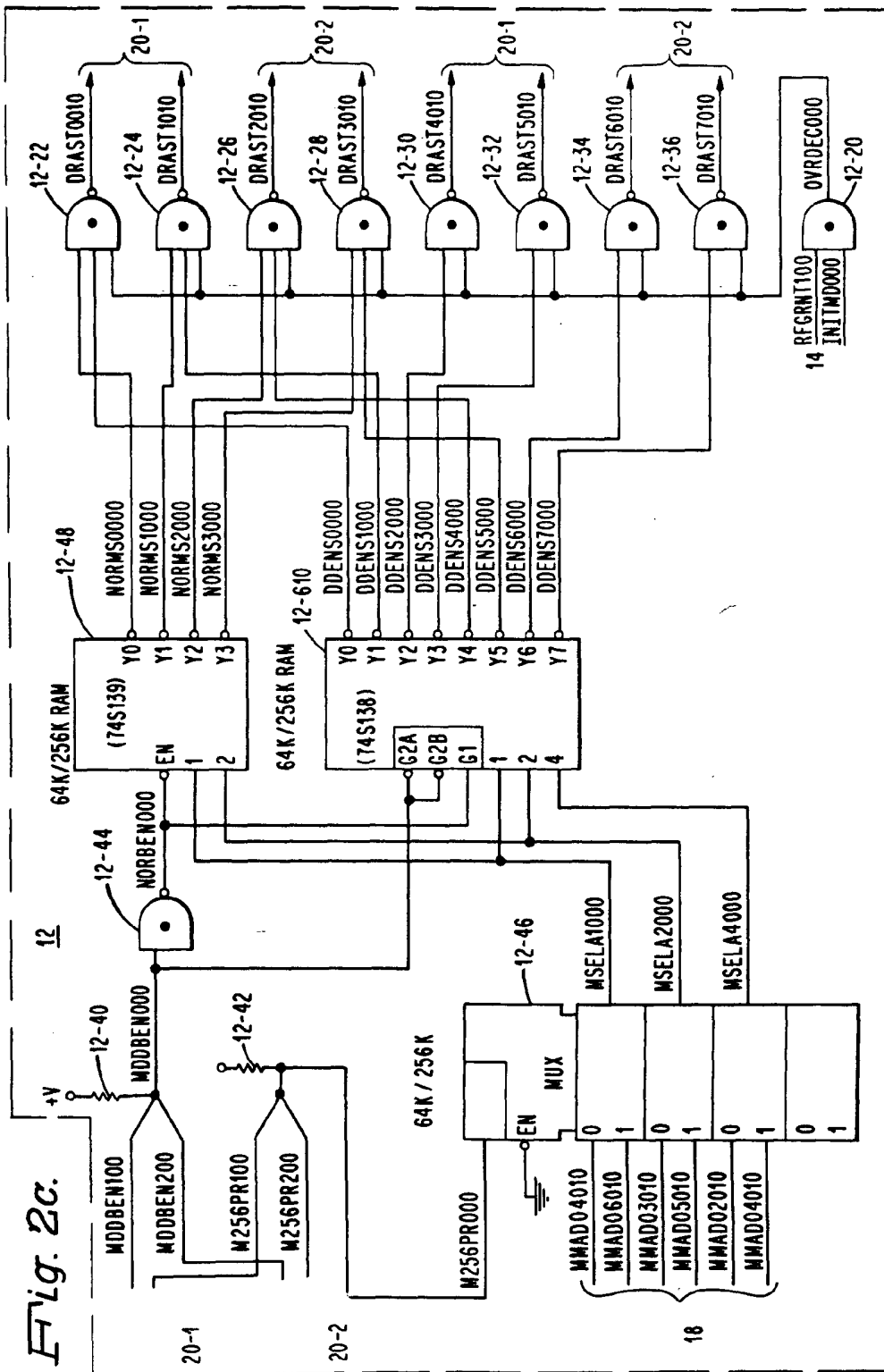
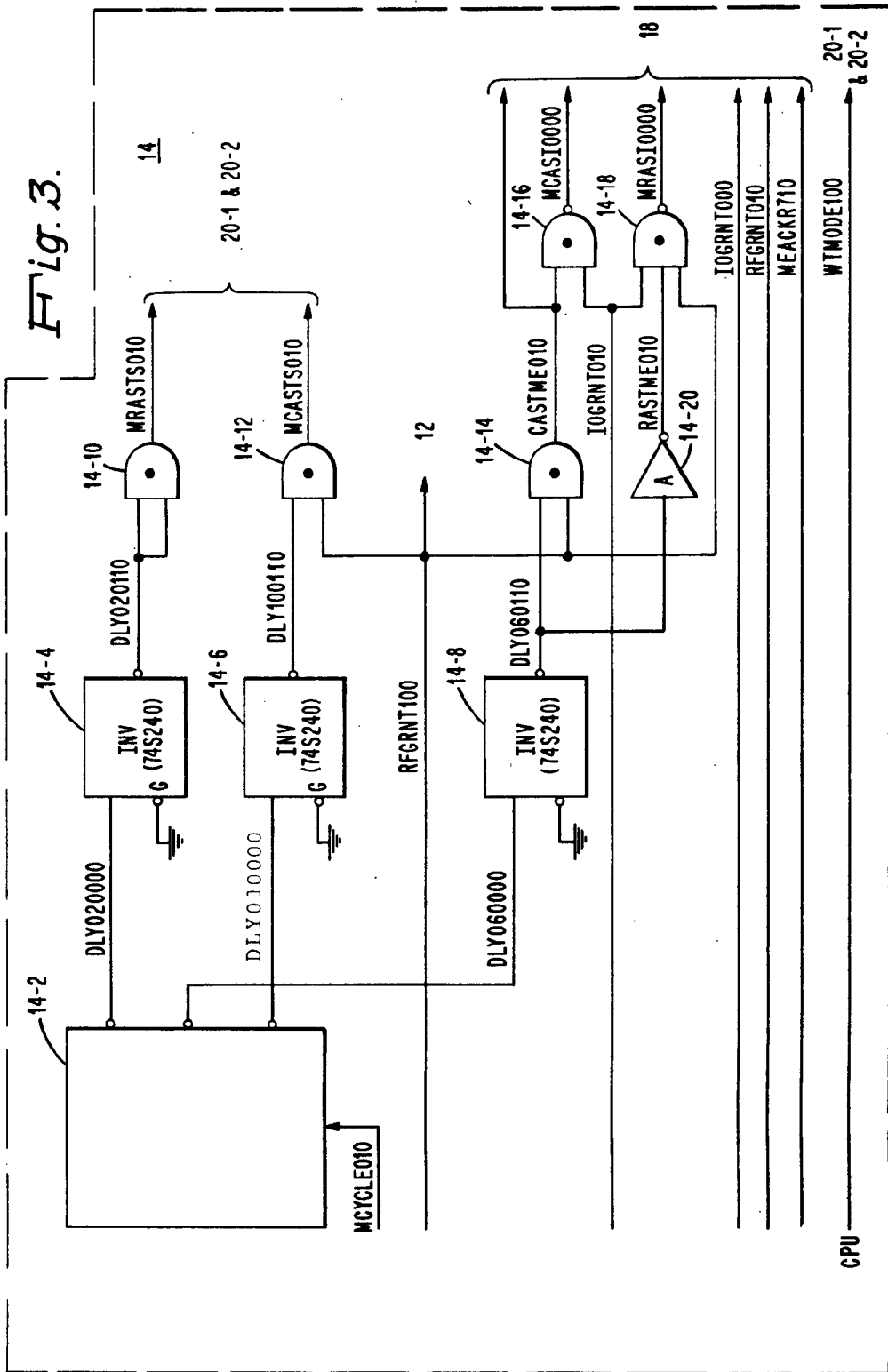


Fig. 3.



CPU

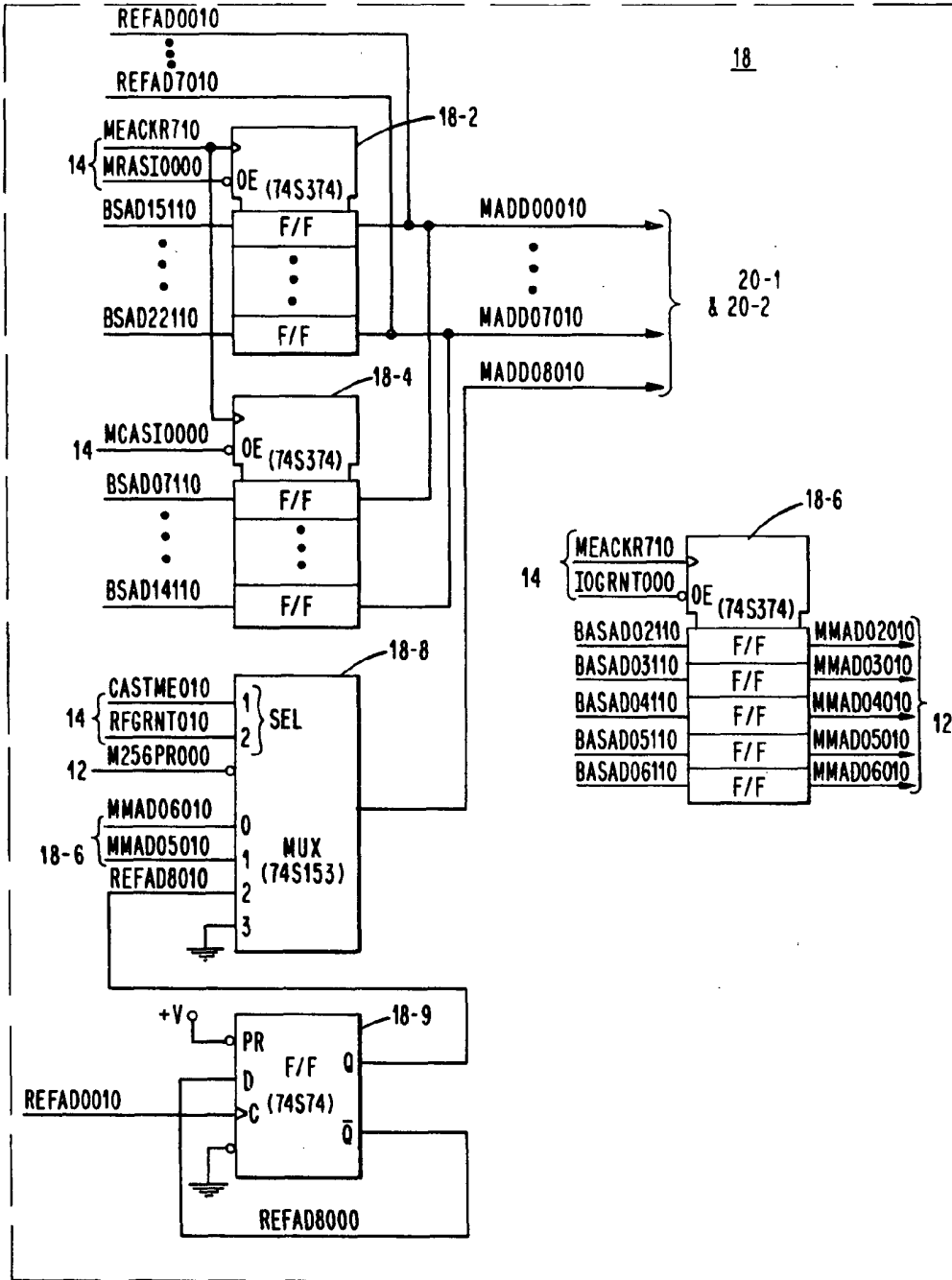
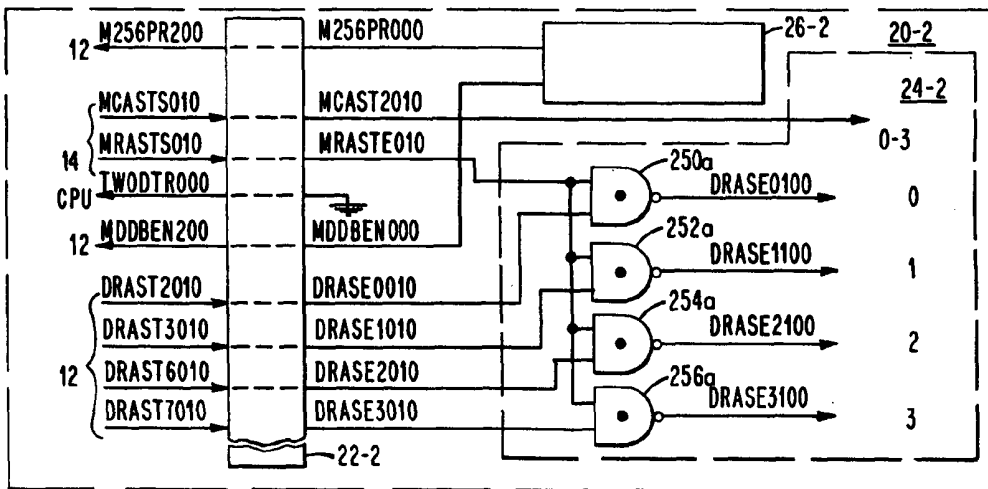
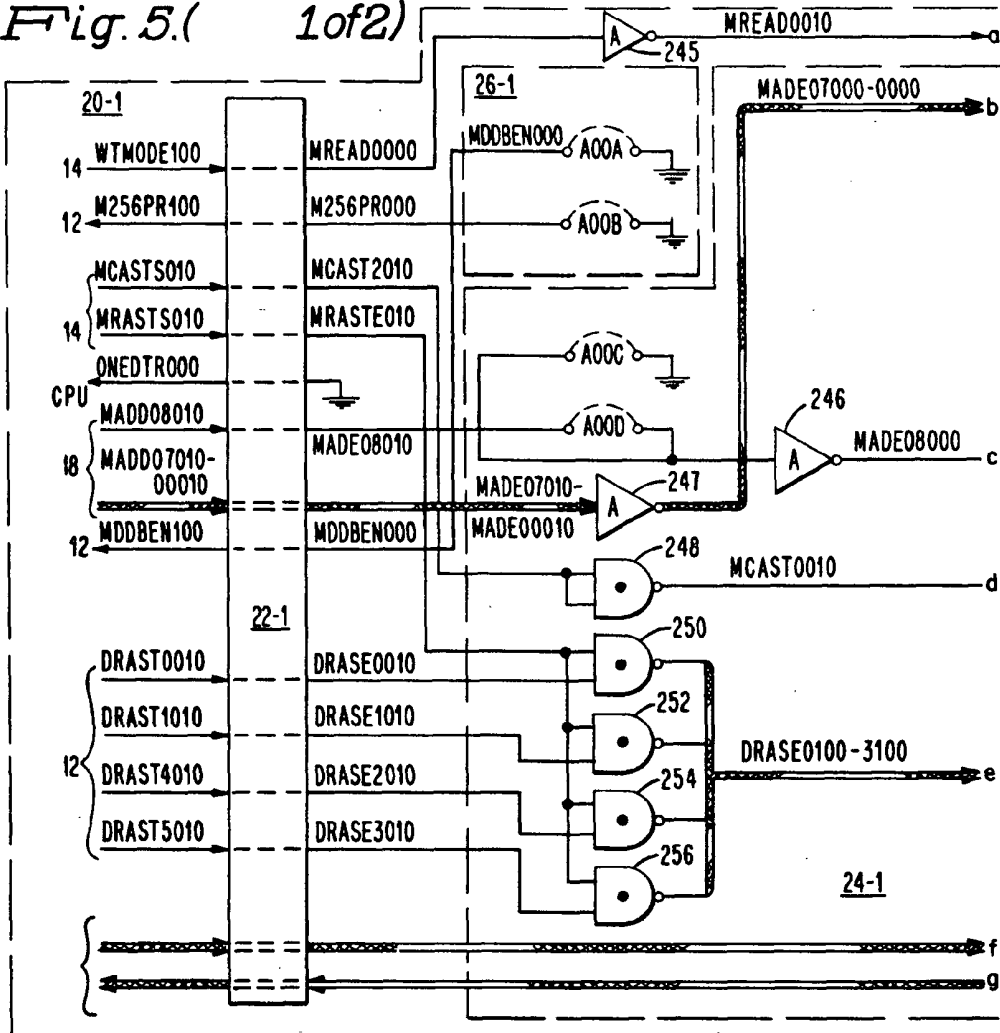


Fig. 4.

Fig. 5. (1 of 2)



166019

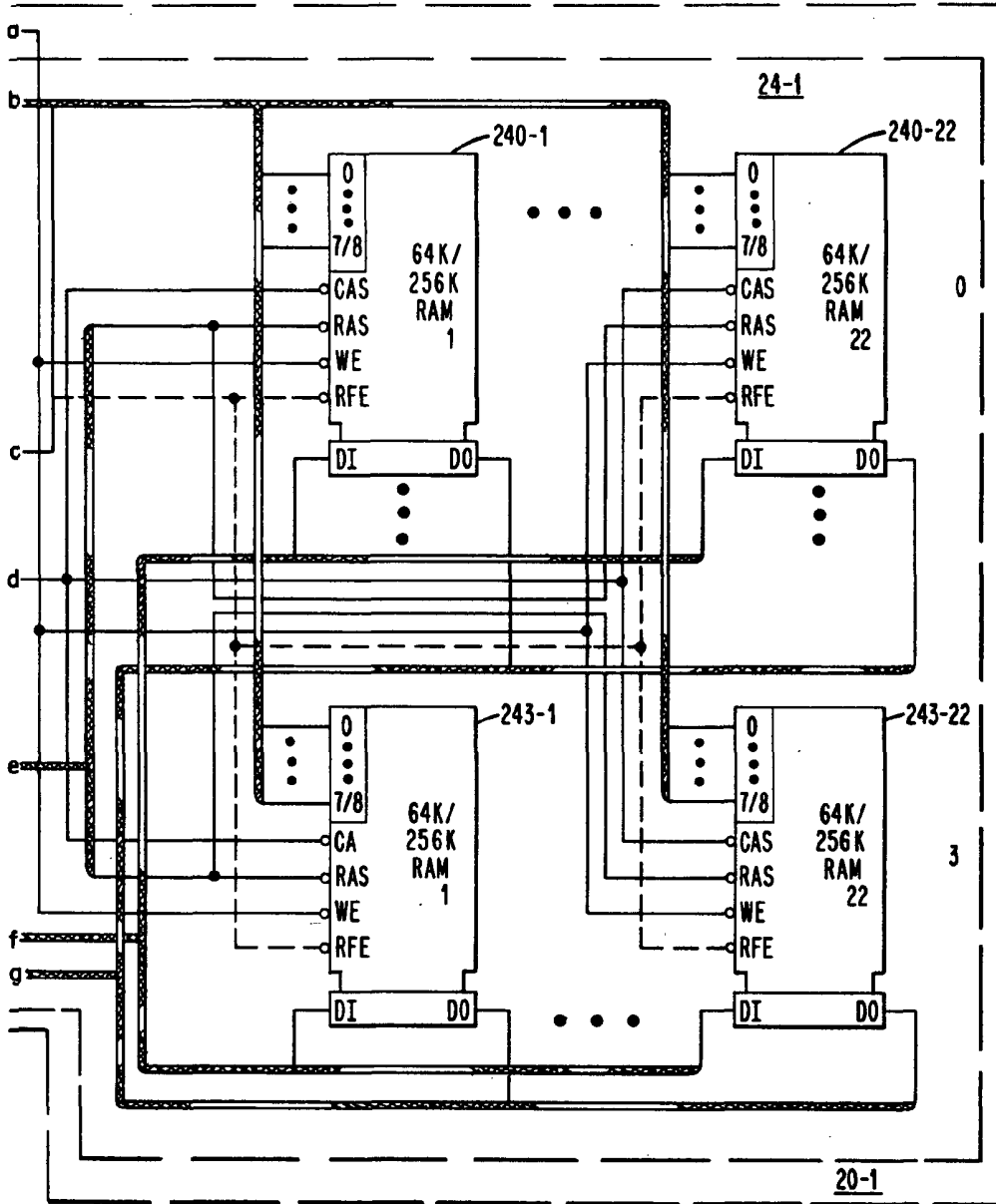


Fig. 5. (2 of 2)

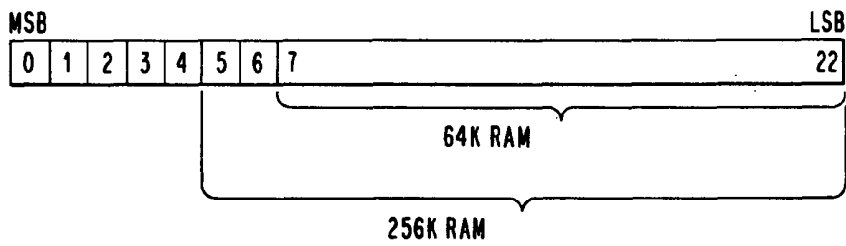


Fig. 6.

| | | | |
|------|---|---|----------|
| | | | |
| A00A | * | | |
| A00A | | * | |
| A00B | * | | 256K RAM |
| A00B | | * | 64K RAM |
| A00C | * | | 64K RAM |
| A00C | | * | 256K RAM |
| A00D | * | | 256K RAM |
| A00D | | * | 64K RAM |

Fig. 7.

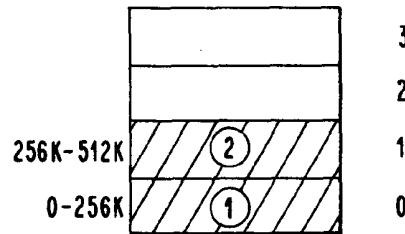
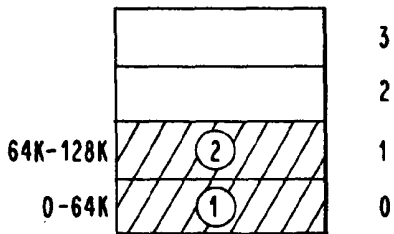
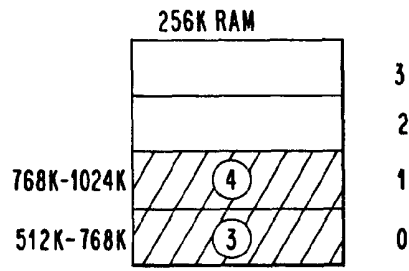
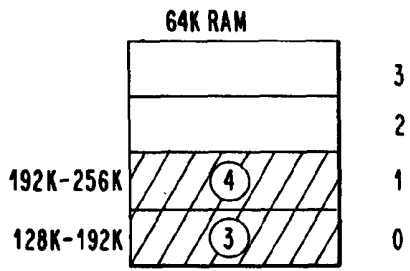


Fig. 8a.

Fig. 8c.

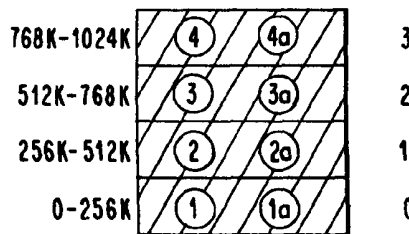
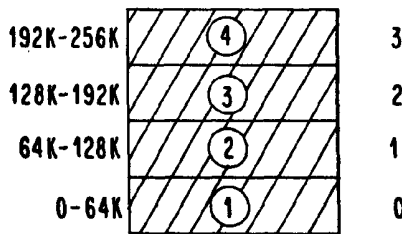
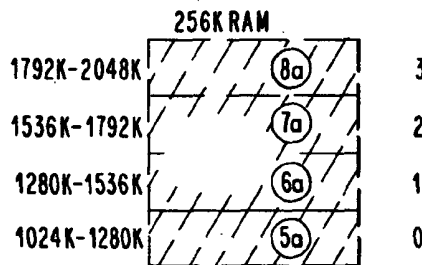
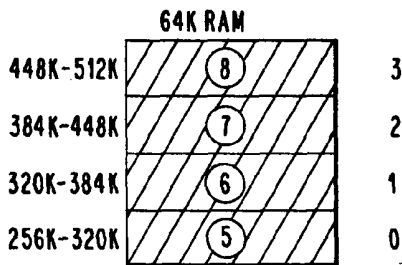


Fig. 8b.

Fig. 8d.