

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4772210号
(P4772210)

(45) 発行日 平成23年9月14日(2011.9.14)

(24) 登録日 平成23年7月1日(2011.7.1)

(51) Int.Cl.

F I

G O 6 F 13/362 (2006.01)

G O 6 F 13/362 5 1 0 A

G O 6 F 13/362 5 1 0 G

請求項の数 11 (全 17 頁)

(21) 出願番号 特願2001-159261 (P2001-159261)
 (22) 出願日 平成13年5月28日(2001.5.28)
 (65) 公開番号 特開2002-351821 (P2002-351821A)
 (43) 公開日 平成14年12月6日(2002.12.6)
 審査請求日 平成20年4月21日(2008.4.21)

(73) 特許権者 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74) 代理人 100089118
 弁理士 酒井 宏明
 (72) 発明者 古谷 信司
 東京都千代田区丸の内二丁目2番3号 三
 菱電機株式会社内

審査官 鈴木 理絵子

(56) 参考文献 実開昭58-171541 (JP, U)
 特開昭61-182158 (JP, A)
 特開昭62-231338 (JP, A)
 特開平11-008652 (JP, A)
 最終頁に続く

(54) 【発明の名称】 調停制御方法および回路

(57) 【特許請求の範囲】

【請求項1】

複数の要求元が提示するデータ値のうち最大値または最小値を選択し、該最大値または最小値を提示している要求元を選択結果とする調停アルゴリズムに適用され、最大値または最小値に相当する値が複数の要求元から提示されている場合に、最終的に1つの要求元を決定するべくラウンドロビン制御を用いる調停制御方法において、

上位のMビットを調停アルゴリズム用に各要求元が提示する第1の比較数値データとし、下位のNビットを、前記複数の要求元の数 2^N の場合において、前回の調停結果に対して各要求元毎に0から $2^N - 1$ までの異なる値を出力するそれぞれ異なる符号なし整数演算を施した全て異なるNビット分の整数値から成るラウンドロビン用の第2の比較数値データとし、複数の要求元分の第1および第2の比較数値データをM+Nビットの符号なし整数として比較することにより前記M+Nビットのデータの最大値または最小値を検索する事に基づいて今回の調停結果を求めることを特徴とする調停制御方法。

【請求項2】

複数の要求元が提示するデータ値のうち最大値を選択し、該最大値を提示している要求元を選択結果とする調停アルゴリズムに適用され、最大値に相当する値が複数の要求元から提示されている場合に、最終的に1つの要求元を決定するべくラウンドロビン制御を用いる調停制御回路において、

クロック信号をトリガとしてNビットの調停結果をラッチするラッチ回路と、

前記複数の要求元の数と同数備えて夫々が異なる要求元に対応し、前記ラッチ回路から

出力される前回の調停結果に夫々異なる符号なし整数演算を施して全て異なるNビット分の整数値から成るラウンドロビン用の比較数値データを出力する複数の第1の演算回路と

、
これら各第1の演算回路からのNビット出力を下位ビットとし、調停アルゴリズム用に各要求元が提示するMビットの比較数値データを上位ビットとして、各要求元が提示するMビットの比較数値データに対応する第1の演算回路からのNビット出力をそれぞれ合成した複数の要求元分の合成データをM+Nビットの符号なし整数として比較して最大値を出力する比較器と、

この比較器の出力のうちの下位Nビットが示す値を、前記ラッチ回路から出力される前回の調停結果から符号なし減算し、この減算結果を今回の調停結果として前記ラッチ回路

10

に入力する第2の演算回路と、
を備え、1クロック周期で、最大値を検索する調停アルゴリズムおよびラウンドロビンを一括して実行して唯一の調停結果を導出することを特徴とする調停制御回路。

【請求項3】

$n = 2^N - 1$ とし、Lを0からnまでの整数とするとき、前記各第1の演算回路は、前記ラッチ回路の出力に $(n - L + 1)$ を加算することにより、L番目の要求元に対応するラウンドロビン用の比較数値データを出力することを特徴とする請求項2に記載の調停制御回路。

【請求項4】

前記比較器に最上位ビットとして各要求元の要求の有無を示すフラグ信号を入力し、前記比較器の最上位ビット出力を前記ラッチ回路にイネーブル信号として入力することを特徴とする請求項2または3に記載の調停制御回路。

20

【請求項5】

複数の要求元が提示するデータ値のうち最大値を選択し、該最大値を提示している要求元を選択結果とする調停アルゴリズムに適用され、最大値に相当する値が複数の要求元から提示されている場合に、最終的に1つの要求元を決定するべくラウンドロビン制御を用いる調停制御回路において、

クロック信号をトリガとしてNビットの調停結果をラッチするラッチ回路と、

前記複数の要求元の数と同数備えて夫々が異なる要求元に対応し、前記ラッチ回路から出力される前回の調停結果に夫々異なる符号なし整数演算を施して全て異なるNビット分の整数値から成るラウンドロビン用の比較数値データを出力する複数の演算回路と、

30

これら各演算回路からのNビット出力を下位ビットとし、調停アルゴリズム用に各要求元が提示するMビットの比較数値データを上位ビットとして、各要求元が提示するMビットの比較数値データに対応する演算回路からのNビット出力をそれぞれ合成した複数の要求元分の合成データをM+Nビットの符号なし整数として比較し、この比較により最大値となる要求元の番号を出力し、この番号データを今回の調停結果として前記ラッチ回路に入力する比較器と、

を備え、1クロック周期で、最大値を検索する調停アルゴリズムおよびラウンドロビンを一括して実行して唯一の調停結果を導出することを特徴とする調停制御回路。

【請求項6】

40

複数の要求元が提示するデータ値のうち最小値を選択し、該最小値を提示している要求元を選択結果とする調停アルゴリズムに適用され、最小値に相当する値が複数の要求元から提示されている場合に、最終的に1つの要求元を決定するべくラウンドロビン制御を用いる調停制御回路において、

クロック信号をトリガとしてNビットの調停結果をラッチするラッチ回路と、

前記複数の要求元の数と同数備えて夫々が異なる要求元に対応し、前記ラッチ回路から出力される前回の調停結果に夫々異なる符号なし整数演算を施して全て異なるNビット分の整数値から成るラウンドロビン用の比較数値データを出力する複数の第1の演算回路と

、
これら各第1の演算回路からのNビット出力を下位ビットとし、調停アルゴリズム用に

50

各要求元が提示するMビットの比較数値データを上位ビットとして、各要求元が提示するMビットの比較数値データに対応する第1の演算回路からのNビット出力をそれぞれ合成した複数の要求元分の合成データをM+Nビットの符号なし整数として比較して最小値を出力する比較器と、

この比較器の出力のうちの下位Nビットが示す値と、前記ラッチ回路から出力される前回の調停結果とを符号なし加算することに基づき今回の調停結果を得、この今回の調停結果を前記ラッチ回路に入力する第2の演算回路と、

を備え、1クロック周期で、最小値を検索する調停アルゴリズムおよびラウンドロビンを一括して実行して唯一の調停結果を導出することを特徴とする調停制御回路。

【請求項7】

$n = 2^N - 1$ とし、Lを0からnまでの整数とすると、前記各第1の演算回路は、値(L+n)から前記ラッチ回路の出力を減算することにより、L番目の要求元に対応するラウンドロビン用の比較数値データを出力し、

前記第2の演算回路は、前記比較器の出力のうちの下位Nビットが示す値と、前記ラッチ回路から出力される前回の調停結果と、値1とを符号なし加算することに基づき今回の調停結果を得ることを特徴とする請求項6に記載の調停制御回路。

【請求項8】

前記比較器に最上位ビットとして各要求元の要求の有無を示すフラグ信号を入力し、前記比較器の最上位ビット出力を論理反転して前記ラッチ回路にイネーブル信号として入力することを特徴とする請求項6または7に記載の調停制御回路。

【請求項9】

複数の要求元が提示するデータ値のうち最小値を選択し、該最小値を提示している要求元を選択結果とする調停アルゴリズムに適用され、最小値に相当する値が複数の要求元から提示されている場合に、最終的に1つの要求元を決定するべくラウンドロビン制御を用いる調停制御回路において、

クロック信号をトリガとしてNビットの調停結果をラッチするラッチ回路と、

前記複数の要求元の数と同数備えて夫々が異なる要求元に対応し、前記ラッチ回路から出力される前回の調停結果に夫々異なる符号なし整数演算を施して全て異なるNビット分の整数値から成るラウンドロビン用の比較数値データを出力する複数の演算回路と、

これら各演算回路からのNビット出力を下位ビットとし、調停アルゴリズム用に各要求元が提示するMビットの比較数値データを上位ビットとして、各要求元が提示するMビットの比較数値データに対応する演算回路からのNビット出力をそれぞれ合成した複数の要求元分の合成データをM+Nビットの符号なし整数として比較し、この比較により最小値となる要求元の番号を出力し、この番号データを今回の調停結果として前記ラッチ回路に入力する比較器と、

を備え、1クロック周期で、最小値を検索する調停アルゴリズムおよびラウンドロビンを一括して実行して唯一の調停結果を導出することを特徴とする調停制御回路。

【請求項10】

複数の要求元が提示するデータ値のうち最大値を選択し、該最大値を提示している要求元を選択結果とする調停アルゴリズムに適用され、最大値に相当する値が複数の要求元から提示されている場合に、最終的に1つの要求元を決定するべくラウンドロビン制御を用いる調停制御方法において、

上位のMビットを調停アルゴリズム用に各要求元が提示する第1の比較数値データとし、下位のNビットを、前記複数の要求元の数が 2^N でありLを0から $n = 2^N - 1$ までの整数として0から数えてL番目の要求元において、前回の調停結果に $(n - L + 1)$ のNビット符号なし加算を施した全て異なるNビット分の整数値から成るラウンドロビン用の第2の比較数値データとし、複数の要求元分の第1および第2の比較数値データをM+Nビットの符号なし整数として比較することにより前記M+Nビットのデータの最大値を検索する事に基づいて今回の調停結果を求めることを特徴とする調停制御方法。

【請求項11】

10

20

30

40

50

複数の要求元が提示するデータ値のうち最小値を選択し、該最小値を提示している要求元を選択結果とする調停アルゴリズムに適用され、最小値に相当する値が複数の要求元から提示されている場合に、最終的に1つの要求元を決定するべくラウンドロビン制御を用いる調停制御方法において、

上位のMビットを調停アルゴリズム用に各要求元が提示する第1の比較数値データとし、下位のNビットを、前記複数の要求元の数 2^N でありLを0から $n = 2^N - 1$ までの整数として0から数えてL番目の要求元において、 $(L + n)$ から前回の調停結果をNビット符号なし減算を施した全て異なるNビット分の整数値から成るラウンドロビン用の第2の比較数値データとし、複数の要求元分の第1および第2の比較数値データをM+Nビットの符号なし整数として比較することにより前記M+Nビットのデータの最小値を検索する事に基づいて今回の調停結果を求めることを特徴とする調停制御方法。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、交換装置やバスアクセスなどの調停に用いられる調停制御回路に関し、さらに詳しくは複数の基本的に平等な扱いをされるべき要求元がある場合であって特に調停アルゴリズムが各要求元が提示するデータ値のうち最大値または最小値を選択してその値を提示している要求元を選択結果とする手順をとる場合、最大値または最小値に相当する値が複数の要求元から提示されているときに、最終的に1つの要求元を決定するためにラウンドロビン(回転優先)制御を適用する調停制御方法および回路に関するものである。

20

【0002】

【従来の技術】

交換装置やバスアクセスの調停などに用いられるラウンドロビン方式は歴史も古く、多くの実現方式が提案されている。ラウンドロビン方式は、基本的に平等な扱いをされるべき要求元に対し、共用帯域やバスなどの共用資源を公平にアクセスする権利を与えるべく調停するものである。

【0003】

この種のラウンドロビンについての従来技術として、特開平11-219335号公報がある。この従来技術には、要求の有無を示す1ビットの要求信号のビット列と、1ビットのみが1である検索信号とを用い、検索信号が1であるビット位置から要求信号のビット列を検索し、最初に要求信号が1であるビットに対応した許可信号を1とし、他のビットに対応する許可信号は0とするラウンドロビンスキャンを、加算回路や論理回路などの組み合わせ論理回路によって実現することが示されており、組み合わせ論理回路のみによって一意にラウンドロビン結果を求めることができるため、高速処理が可能である。

30

【0004】

この従来技術においては、検索要因(要求信号)として用いることができるのは、あくまでも0か1を示す1ビットのフラグであり、それらを何段か重ねて処理することは可能である。しかし、この従来技術において、調停アルゴリズムが様々な要因から算出した複数ビットから成る数値を比較して要求元を選択していく場合には、結局比較のための回路を前段に用意し、その結果をあらためてフラグ化してこのラウンドロビン制御回路に入力する必要がある。このようにこの従来技術においては、要求元が提示するデータが複数ビットの場合には、調停結果を出すまでに、結局2段階以上の処理が必要となり、回路規模が増大するとともに、処理速度をいまひとつ向上させることができない問題がある。

40

【0005】

一方、調停アルゴリズムとラウンドロビンによる比較を同時に行う従来技術として、特開平1-296365号公報がある。この従来技術には、共通バスにアクセスする複数のインタフェース装置毎にカウンタを設け、各インタフェース装置はカウンタ値を出力し、各インタフェース装置は自分の出力したカウンタ値と全装置から出力されたカウンタ値の最大値を比較して一致、不一致を判定し、一致したインタフェース装置がバスの使用权を獲得し、バスの使用权を獲得した装置のカウンタ値よりも小さいカウンタ値をもつ全てのイ

50

ンタフェース装置はカウンタをカウントアップし、バスの使用权を獲得したインタフェース装置はカウンタを最小値にセットすることが示されている。

【0006】

この従来技術の問題点は、まず比較を行うのに必要な条件として、比較値(カウンタ値)が各要求元(各インタフェース装置)別に全て異ならなければならないことである。

【0007】

また、この従来技術には、前記カウンタ値の最上位ビットの上に優先順位情報を付加して出力し、比較を行うことが開示されているが、この従来技術において、一括して調停結果を出力するには、優先順位情報も元々の調停比較値(カウンタ値)と同様に、要求元毎に全て異なる値を出力できなければならない。この上位に付加する値が要求元毎に必ずしも全て異ならない場合には、この従来技術にも示されているように、各インタフェース装置にカウンタを2つずつ用意し、まず上位ビット(第1のカウンタ)の出力の比較結果を認識するための手順を踏み、その結果第2の比較に参加することを許された要求元だけが第2のカウンタの内容を調停バスに出力するという2段階の手順を踏む必要がある。

10

【0008】

この従来技術では、第1のカウンタと第2のカウンタは共通バスに接続されているが、各カウンタのバスを別々にし、第1のカウンタと第2のカウンタの値を各インタフェース装置が同時に送出した場合を想定する。例えば第1のカウンタが最大値、第2のカウンタが2番目の値を持つ要求元Aと、第1のカウンタが2番目の値、第2のカウンタが最大値を持つ要求元Bがあったとき、要求元Aでは第1のカウンタの出力による比較結果は最大値を示すが、第2のカウンタの出力による比較結果は最大値であることを示さない。このように、この従来技術では、2つのカウンタの出力を同時に出力した場合は、自分が選択されるべきかどうかを判断することはできない。すなわち、この従来技術では、要求元Bが第1のカウンタによる結果から自分は第1のカウンタにおける選択段階で脱落したことを認識し、第2のカウンタの出力を取り下げることによって、初めて要求元Aの第2のカウンタにおける比較結果が最大であることを認識することが可能となる。

20

【0009】

これは、結局、第1段目にあたる特定の要因による要求元選択をまず実施し、複数の要求元が並立した場合に、次の第2段目であらためて最終的に必ず一意に決定することが可能な調停回路を用いる前者の従来技術と特に異なるものではない。

30

【0010】

【発明が解決しようとする課題】

このように上記従来技術においては、調停アルゴリズムに固有の要因による計算値を比較して調停するとき、そのときのラウンドロビンつまり最終的な一意選択を行うための手順がどうしても分離されて、2ステップ以上の手順を要してしまう。このため、従来技術では、その回路構成がわかりにくく複雑かつ大規模になる。また、クロックステップが多くなり、高速処理をなし得ず、高速で調停を行う必要のあるシステムでは、速度ネックとなる。

【0011】

この発明は上記に鑑みてなされたもので、調停アルゴリズムによる要求元候補の選択とラウンドロビンによる最終的な要求元選択を一括して行うようにして、回路の単純化および高速化を実現する調停制御回路を得ることを目的としている。

40

【0012】

【課題を解決するための手段】

上記目的を達成するためこの発明にかかる調停制御方法は、複数の要求元が提示するデータ値のうち最大値または最小値を選択し、該最大値または最小値を提示している要求元を選択結果とする調停アルゴリズムに適用され、最大値または最小値に相当する値が複数の要求元から提示されている場合に、最終的に1つの要求元を決定するべくラウンドロビン制御を用いる調停制御方法において、上位のMビットを調停アルゴリズム用に各要求元が提示する第1の比較数値データとし、下位のNビットを前回の調停結果に各要求元毎にそ

50

れぞれ異なる所定の演算を施した全て異なるNビット分の整数値から成るラウンドロビン用の第2の比較数値データとし、複数の要求元分の第1および第2の比較数値データをM+Nビットの符号なし整数として比較することにより前記M+Nビットのデータの最大値または最小値を検索する事に基づいて今回の調停結果を求めることを特徴とする。

【0013】

この発明によれば、上位のMビットを調停アルゴリズム用に各要求元が提示する第1の比較数値データとし、下位のNビットを前回の調停結果に各要求元毎にそれぞれ異なる所定の演算を施した全て異なるNビット分の整数値から成るラウンドロビン用の第2の比較数値データとし、複数の要求元分の第1および第2の比較数値データをM+Nビットの符号なし整数として比較することにより前記M+Nビットのデータの最大値または最小値を検索する事に基づいて今回の調停結果を求める。すなわち、複数の要求元分の第1および第2の比較数値データをM+Nビットの符号なし整数として比較することにより、上位Mビットに関する調停アルゴリズムによる要求元選択と下位Nビットによる要求元の一意選択とを1ステップで一括して実行する。

10

【0014】

つぎの発明にかかる調停制御回路は、複数の要求元が提示するデータ値のうち最大値を選択し、該最大値を提示している要求元を選択結果とする調停アルゴリズムに適用され、最大値に相当する値が複数の要求元から提示されている場合に、最終的に1つの要求元を決定するべくラウンドロビン制御を用いる調停制御回路において、クロック信号をトリガとしてNビットの調停結果をラッチするラッチ回路と、前記ラッチ回路から出力される前回の調停結果に夫々異なる符号なし整数演算を施して全て異なるNビット分の整数値から成るラウンドロビン用の比較数値データを出力する複数の第1の演算回路と、これら各第1の演算回路からのNビット出力を下位ビットとし、調停アルゴリズム用に各要求元が提示するMビットの比較数値データを上位ビットとしてそれぞれ合成した複数の要求元分の合成データをM+Nビットの符号なし整数として比較して最大値を出力する比較器と、この比較器の出力のうちの下位Nビットが示す値を、前記ラッチ回路から出力される前回の調停結果から符号なし減算し、この減算結果を今回の調停結果として前記ラッチ回路に入力する第2の演算回路とを備え、1クロック周期で、最大値を検索する調停アルゴリズムおよびラウンドロビンを一括して実行して唯一の調停結果を導出することを特徴とする。

20

【0015】

この発明によれば、複数の第1の演算回路は、ラッチ回路から出力される前回の調停結果に夫々異なる符号なし整数演算を施して全て異なるNビット分の整数値から成るラウンドロビン用の比較数値データを出力する。比較器は、これら各第1の演算回路からのNビット出力を下位ビットとし、調停アルゴリズム用に各要求元が提示するMビットの比較数値データを上位ビットとしてそれぞれ合成した複数の要求元分の合成データをM+Nビットの符号なし整数として比較して最大値を出力する。第2の演算回路は、比較器の出力のうちの下位Nビットが示す値を、前記ラッチ回路から出力される前回の調停結果から符号なし減算し、この減算結果を今回の調停結果として前記ラッチ回路に入力する。このようにして、1クロック周期で、最大値を検索する調停アルゴリズムおよびラウンドロビンを一括して実行して唯一の調停結果を導出する。

30

40

【0016】

つぎの発明にかかる調停制御回路は、上記発明において、 $n = 2^N - 1$ とし、Lを0からnまでの整数とするとき、前記各第1の演算回路は、前記ラッチ回路の出力に $(n - L + 1)$ を加算することにより、L番目の要求元に対応するラウンドロビン用の比較数値データを出力することを特徴とする。

【0017】

この発明によれば、第1の演算回路は、ラッチ回路の出力に $(n - L + 1)$ を加算することにより、L番目の要求元に対応するラウンドロビン用の比較数値データを出力する。

【0018】

つぎの発明にかかる調停制御回路は、上記発明において、前記比較器に最上位ビットとし

50

て各要求元の要求の有無を示すフラグ信号を入力し、前記比較器の最上位ビット出力を前記ラッチ回路にイネーブル信号として入力することを特徴とする。

【0019】

この発明によれば、比較器に最上位ビットとして各要求元の要求の有無を示すフラグ信号を入力し、前記比較器の最上位ビット出力を前記ラッチ回路にイネーブル信号として入力することで、全ての要求元から要求が出ていない場合には、調停動作を実行させないようにしている。

【0020】

つぎの発明にかかる調停制御回路は、複数の要求元が提示するデータ値のうち最大値を選択し、該最大値を提示している要求元を選択結果とする調停アルゴリズムに適用され、最大値に相当する値が複数の要求元から提示されている場合に、最終的に1つの要求元を決定するべくラウンドロビン制御を用いる調停制御回路において、クロック信号をトリガとしてNビットの調停結果をラッチするラッチ回路と、前記ラッチ回路から出力される前回の調停結果に夫々異なる符号なし整数演算を施して全て異なるNビット分の整数値から成るラウンドロビン用の比較数値データを出力する複数の演算回路と、これら各演算回路からのNビット出力を下位ビットとし、調停アルゴリズム用に各要求元が提示するMビットの比較数値データを上位ビットとしてそれぞれ合成した複数の要求元分の合成データをM+Nビットの符号なし整数として比較し、この比較により最大値となる要求元の番号を出力し、この番号データを今回の調停結果として前記ラッチ回路に入力する比較器とを備え、1クロック周期で、最大値を検索する調停アルゴリズムおよびラウンドロビンを一括して実行して唯一の調停結果を導出することを特徴とする。

【0021】

この発明によれば、複数の演算回路では、ラッチ回路から出力される前回の調停結果に夫々異なる符号なし整数演算を施して全て異なるNビット分の整数値から成るラウンドロビン用の比較数値データを出力する。比較器では、これら各演算回路からのNビット出力を下位ビットとし、調停アルゴリズム用に各要求元が提示するMビットの比較数値データを上位ビットとしてそれぞれ合成した複数の要求元分の合成データをM+Nビットの符号なし整数として比較して最大値に対応する番号データを出力する。この比較器の出力すなわち番号データが今回の調停結果としてラッチ回路に入力される。

【0022】

つぎの発明にかかる調停制御回路は、複数の要求元が提示するデータ値のうち最小値を選択し、該最小値を提示している要求元を選択結果とする調停アルゴリズムに適用され、最小値に相当する値が複数の要求元から提示されている場合に、最終的に1つの要求元を決定するべくラウンドロビン制御を用いる調停制御回路において、クロック信号をトリガとしてNビットの調停結果をラッチするラッチ回路と、前記ラッチ回路から出力される前回の調停結果に夫々異なる符号なし整数演算を施して全て異なるNビット分の整数値から成るラウンドロビン用の比較数値データを出力する複数の第1の演算回路と、これら各第1の演算回路からのNビット出力を下位ビットとし、調停アルゴリズム用に各要求元が提示するMビットの比較数値データを上位ビットとしてそれぞれ合成した複数の要求元分の合成データをM+Nビットの符号なし整数として比較して最小値を出力する比較器と、この比較器の出力のうちの下位Nビットが示す値と、前記ラッチ回路から出力される前回の調停結果とを符号なし加算することに基づき今回の調停結果を得、この今回の調停結果を前記ラッチ回路に入力する第2の演算回路とを備え、1クロック周期で、最小値を検索する調停アルゴリズムおよびラウンドロビンを一括して実行して唯一の調停結果を導出することを特徴とする。

【0023】

この発明によれば、複数の第1の演算回路は、ラッチ回路から出力される前回の調停結果に夫々異なる符号なし整数演算を施して全て異なるNビット分の整数値から成るラウンドロビン用の比較数値データを出力する。比較器は、これら各第1の演算回路からのNビット出力を下位ビットとし、調停アルゴリズム用に各要求元が提示するMビットの比較数値

10

20

30

40

50

データを上位ビットとしてそれぞれ合成した複数の要求元分の合成データをM + Nビットの符号なし整数として比較して最小値を出力する。第2の演算回路は、比較器の出力のうちの下位Nビットが示す値と前記ラッチ回路から出力される前回の調停結果とを符号なし加算することに基づき今回の調停結果を得る。この今回の調停結果はラッチ回路に入力される。このようにして、1クロック周期で、最小値を検索する調停アルゴリズムおよびラウンドロビンを一括して実行して唯一の調停結果を導出する。

【0024】

つぎの発明にかかる調停制御回路は、上記発明において、 $n = 2^N - 1$ とし、Lを0からnまでの整数とすると、前記各第1の演算回路は、値(L + n)から前記ラッチ回路の出力を減算することにより、L番目の要求元に対応するラウンドロビン用の比較数値データを出力し、前記第2の演算回路は、前記比較器の出力のうちの下位Nビットが示す値と、前記ラッチ回路から出力される前回の調停結果と、値1とを符号なし加算することに基づき今回の調停結果を得ることを特徴とする。

10

【0025】

この発明によれば、第1の演算回路は、値(L + n)から前記ラッチ回路の出力を減算することにより、L番目の要求元に対応するラウンドロビン用の比較数値データを出力する。第2の演算回路は、比較器の出力のうちの下位Nビットが示す値と、前記ラッチ回路から出力される前回の調停結果と、値1とを符号なし加算することに基づき今回の調停結果を得る。

【0026】

つぎの発明にかかる調停制御回路は、上記発明において、前記比較器に、最上位ビットとして、各要求元の要求の有無を示すフラグ信号を入力し、前記比較器の最上位ビット出力を論理反転して前記ラッチ回路にイネーブル信号として入力することを特徴とする。

20

【0027】

この発明によれば、比較器に最上位ビットとして各要求元の要求の有無を示すフラグ信号を入力し、前記比較器の最上位ビット出力を論理反転してラッチ回路にイネーブル信号として入力することで、全ての要求元から要求が出ていない場合には、調停動作を実行させないようにしている。

【0028】

つぎの発明にかかる調停制御回路は、複数の要求元が提示するデータ値のうち最小値を選択し、該最小値を提示している要求元を選択結果とする調停アルゴリズムに適用され、最小値に相当する値が複数の要求元から提示されている場合に、最終的に1つの要求元を決定するべくラウンドロビン制御を用いる調停制御回路において、クロック信号をトリガとしてNビットの調停結果をラッチするラッチ回路と、前記ラッチ回路から出力される前回の調停結果に夫々異なる符号なし整数演算を施して全て異なるNビット分の整数値から成るラウンドロビン用の比較数値データを出力する複数の演算回路と、これら各演算回路からのNビット出力を下位ビットとし、調停アルゴリズム用に各要求元が提示するMビットの比較数値データを上位ビットとしてそれぞれ合成した複数の要求元分の合成データをM + Nビットの符号なし整数として比較し、この比較により最小値となる要求元の番号を出力し、この番号データを今回の調停結果として前記ラッチ回路に入力する比較器とを備え、1クロック周期で、最小値を検索する調停アルゴリズムおよびラウンドロビンを一括して実行して唯一の調停結果を導出することを特徴とする。

30

40

【0029】

この発明によれば、複数の演算回路では、ラッチ回路から出力される前回の調停結果に夫々異なる符号なし整数演算を施して全て異なるNビット分の整数値から成るラウンドロビン用の比較数値データを出力する。比較器では、これら各演算回路からのNビット出力を下位ビットとし、調停アルゴリズム用に各要求元が提示するMビットの比較数値データを上位ビットとしてそれぞれ合成した複数の要求元分の合成データをM + Nビットの符号なし整数として比較して最小値に対応する番号データを出力する。この比較器の出力すなわち番号データが今回の調停結果としてラッチ回路に入力される。

50

【 0 0 3 0 】

【 発明の実施の形態 】

以下に添付図面を参照して、この発明にかかる調停制御回路の好適な実施の形態を詳細に説明する。

【 0 0 3 1 】

実施の形態 1 .

この発明の実施の形態 1 を図 1 および図 2 に従って説明する。実施の形態 1 においては、調停アルゴリズムが要求元の提示する数値のうちの最大値を出力しているものを選択する場合のラウンドロビン機能を実現している。図 1 は特にラウンドロビンに関係する箇所だけに抽出して示す図である。

10

【 0 0 3 2 】

図 1 において、N ビットの D F F (ラッチ回路、D 型フリップフロップ回路) 1 1 は、選択された要求元を示すラウンドロビン結果 (N ビット) をクロック信号をトリガとしてラッチしておくためのものである。演算回路 2 1 は、D F F 1 1 が保持している前回のラウンドロビン結果 a (N ビット) から、比較器 3 1 の出力 b (N ビット) を符号なし整数で減算し、その減算結果 (a - b) を D F F 1 1 に出力する。

【 0 0 3 3 】

演算回路 4 0 ~ 4 n (n = 2^N - 1) は、夫々、入力される D F F 1 1 の出力値すなわち前回のラウンドロビン結果 a (N ビット) に、枠内に示す演算を施してラウンドロビン用の比較数値を出力するものである。例えば、演算回路 4 0 は、要求元「0」に対応し、D F F 1 1 の出力値 (N ビット) に + 0 する N ビット符号なし加算を実行する。演算回路 4 1 は、要求元「1」に対応し、D F F 1 1 の出力値 (N ビット) に + n する N ビット符号なし加算を実行する。演算回路 4 2 は、要求元「2」に対応し、D F F 1 1 の出力値 (N ビット) に + (n - 1) する N ビット符号なし加算を実行する。すなわち、n = 2^N - 1 とし、L を 0 から n までの整数とすると、0 から数えて L 番目の演算回路は、要求元「L」に対応し、(D F F 1 1 の出力値) + (n - L + 1) の N ビット符号なし加算を実行している。以下、同様に、演算回路 4 n は、要求元「n」に対応し、D F F 1 1 の出力値 (N ビット) に + 1 する N ビット符号なし加算を実行する。これら演算回路 4 0 ~ 4 n の出力値は比較器 3 1 に入力される。比較器 3 1 は、これらの入力値を全て比較し、そのうちの最大となる値を演算回路 2 1 に出力する。

20

30

【 0 0 3 4 】

N = 3 で、n = 7 の場合について、その演算の流れを説明する。ある時点における D F F 1 1 の出力値が「5」であった場合、演算回路 4 0, 4 1, 4 2, 4 3, 4 4, 4 5, 4 6, および 4 7 の演算出力結果は、それぞれ「5」, 「4」, 「3」, 「2」, 「1」, 「0」, 「7」, 「6」となる。ここで、前回のラウンドロビン結果である「5」の位置、つまり符号 4 5 (要求元「5」に対応) の演算回路の演算結果は 0 となっていて、次のラウンドロビン処理における優先度が最低になり、符号 4 5 の次の符号 4 6 (要求元「6」に対応) の演算回路の演算結果が 3 ビット整数の最大値「7」を示し、優先度が最高になっている。したがって、もし全ての要求元が要求を出していた場合、この中で一番大きい数値は当然「7」であるので、比較器 3 1 からは「7」が比較結果として出力される。そして、演算回路 2 1 では、5 [+ 8] - 7 = 6 (符号なしの減算では、解が負になる場合には桁借りが自動的に発生し、また桁上がりは自動的に破棄される) が計算されて、その出力としての最新のラウンドロビン結果は「6」となる。このラウンドロビン結果「6」が、次のクロック信号の立ち上がりで D F F 1 1 にラッチされ、ラウンドロビン結果として出力されることになる。このラウンドロビン結果は、演算回路 4 0 ~ 4 7 の演算結果と比較しても正しいことがわかる。

40

【 0 0 3 5 】

このように、ラウンドロビンを実現するための演算回路 2 1、比較器 3 1、演算回路 4 0 ~ 4 n は全て組み合わせ回路で構成され、D F F 1 1 のみがクロック信号に応答するラッチ回路であるので、ラウンドロビン処理は 1 クロックで完了することになる。

50

【 0 0 3 6 】

つぎに、図 3 は、図 1 に示したラウンドロビン用の比較数値 (N ビット) と、調停アルゴリズムに関する各要求元の提示する比較数値 (M ビット) と、各要求元の要求の有無を示すフラグ信号 (有効表示ビット) とを一括して比較し、選択結果を出力するための調停制御回路を示している。

【 0 0 3 7 】

この図 3 においては、比較器 3 1 に対して、複数の演算回路 4 0 ~ 4 n からのラウンドロビン用の比較数値の他に、調停アルゴリズム用に各要求元「0」~「n」が提示する比較数値 (夫々 M ビット) と、各要求元の要求の有無を示す有効表示ビット (夫々 1 ビット) とが入力されている。有効表示ビットは、要求元が要求を出しているときは「1」で、要求元が要求を出していないときは「0」である。すなわち、比較器 3 1 に対しては、1 つの要求元に対応して 1 + M + N ビットに合成された比較数値データが入力される。

10

【 0 0 3 8 】

そのビット構成は、図 2 に示すように、最上位ビットに有効表示ビット (有効 / 無効ビット) が配置され、つぎの上位ビットに M ビットの調停アルゴリズムの比較数値データが配置され、下位ビットにラウンドロビン (RR) の N ビットが配置されている。

【 0 0 3 9 】

比較器 3 1 では、各要求元に対応して入力される (1 + M + N) ビット幅の $n + 1 (2^N)$ 個の比較数値データ (有効表示ビット含む) を符号なし整数値として比較して、そのうちの最大値を検索し、検索した最大値を出力する。

20

【 0 0 4 0 】

この比較器 3 1 での比較処理を図 2 を用いて説明する。調停アルゴリズムの比較数値の比較部分は、比較器 3 1 のビット幅の許す限り何段あってもよく、調停アルゴリズムの比較数値の比較によって選択肢が一意に決まらなくても、下位ビットのラウンドロビン用の比較数値の比較によって、選択肢が必ず一意に決定する。数値の比較は、当然上位側ビットが結果を大きく左右し、上位で決まらなかった場合に下位側ビットが参照される。よって、もっとも影響の大きいものから上位ビット側に割り当てていくということによって、複数要因の比較も一括して行い、結果を導出することが可能となる。

【 0 0 4 1 】

図 2 では、有効 / 無効ビットを最上位ビットに持ってきており、まず要求元が本当に要求を出しているのかどうかを判断できるようになっている。図 2 の場合は、最大値を検索する比較器であるので、このビットが 1 であるものを有効であるとすれば、有効なものが無効なものに比較して小さくなることは、下位ビット側がいかなる状態であってもあり得ない。同様に、有効ビットが 1 であるものの中で、次の下位側数ビットである調停アルゴリズムの提示する数値を比較し、そのうちの最大値を示すものが複数あれば、最後はつぎの下位側数ビットであるラウンドロビンの数値の比較によって一意に選択結果が得られることになる。結局、一括して数値比較を行っても、このような処理が行われるのと同値なのである。

30

【 0 0 4 2 】

さらに具体例で解説する。図 2 は、N = 3、n = 7、つまり 8 つ (n + 1) の要求元がある場合の、比較数値の状態の一例を示している。まず最上位ビットの有効 / 無効ビットが 1 か 0 かによって 4 4 (要求元「4」に対応する) および 4 6 (要求元「6」に対応する) が脱落し、次に調停アルゴリズムに対して提示された数値を比較すると、4 1 (要求元「1」に対応する) と 4 7 (要求元「7」に対応する) が 1 1 で、最大値を示している。この段階ではまだ一意に決まっていないので、最後のラウンドロビンの数ビットを参照すると、4 1 (要求元「1」に対応する) は 0 で、4 7 (要求元「7」に対応する) は 2 であり、最終的に 4 7 (要求元「7」に対応する) が選択されることになる。

40

【 0 0 4 3 】

図 2 の右側に、これらの数値を実際に 2 進数表示したものを示している。ここでは調停アルゴリズムの比較数値の最大値は 1 1 なので、M = 4 として表している。一括した数値比

50

較においては、この最上位ビットから1ビットずつ最大のものを探していくのと等価であるので、これを上位から追ってみると、

最上位ビット：40、41、42、43、45、47
 2ビット目：41、42、47
 3ビット目：41、42、47
 4ビット目：41、47
 5ビット目：41、47
 6ビット目：41、47
 7ビット目：47
 8ビット目：-

10

となり、先ほどの結果と当然ながら同一になる。

【0044】

つぎに、図3において、比較器31の出力結果(最大値)のうち下位Nビットbは次段の演算回路21で最終的な選択結果を算出するために利用される。また、比較器31の出力結果(最大値)のうちの最上位ビットはイネーブル信号付きのNビットのラッチ回路(DFF)11のイネーブル信号端子に共通入力される。

【0045】

演算回路21では、図1を用いて説明したように、DFF11の出力aから比較器31の出力結果(最大値)のうち下位Nビットbを符号なし整数で減算する演算を行い、その減算結果(a-b)を最新の調停結果としてDFF11に出力する。

20

【0046】

また、DFF11のイネーブル端子には、比較器31の出力結果(最大値)のうちの最上位ビットが入力されているので、出力結果が有効な場合のみ調停結果がラッチされる。したがって、全ての要求元から要求が出ていない場合には、調停動作が行われず、調停結果が無効な値となる。

【0047】

このようにこの実施の形態1においては、最大値を検索して選択する調停アルゴリズムとその結果が複数になったときに最終的に選択結果を一意に絞るためのラウンドロビンとを含む調停において、比較数値ビット中の上位ビットを調停アルゴリズムに関係して各要求元が提示する値とし、その下位ビットをラウンドロビン制御によって決定される数値として、これらを一括して比較して最大値を検索することによって、数値比較による調停アルゴリズムによる調停手順とラウンドロビンによる絞り込み手順を、複数のクロックステップなどの複数の段階を踏まずに同時に実行することが可能となり、これにより回路の単純簡素化、回路の高速化等を実現することが可能となる。また、比較器31に最上位ビットとして各要求元の要求の有無を示すフラグ信号を入力し、比較器31の最上位ビット出力をラッチ回路11にイネーブル信号として入力するようにすることで、全ての要求元から要求が出ていない場合には、調停動作を実行させないようにしているので、誤った調停結果が出力されることがなくなる。

30

【0048】

実施の形態2

40

つぎに図4を用いてこの発明の実施の形態2について説明する。実施の形態2においては、調停アルゴリズムが要求元の提示する数値のうちの最小値を出力しているものを選択する場合のラウンドロビン機能を実現している。図4は、ラウンドロビン用の比較数値(Nビット)と、調停アルゴリズムに関する各要求元の提示する比較数値(Mビット)と、各要求元の要求の有無を示すフラグ信号(有効表示ビット)とを一括して比較し、選択結果を出力するための調停制御回路を示している。

【0049】

図4において、Nビットのラッチ回路(DFF)11は、選択された要求元を示すラウンドロビン結果(Nビット)をクロック信号をトリガとしてラッチしておくためのものである。この場合、ラッチ回路11は、前記同様、入力されるイネーブル信号が1の場合に有

50

効になり、0の場合に無効になるイネーブル信号端子を有している。演算回路22は、DFF11が保持している前回のラウンドロビン結果a(Nビット)と、比較器32の下位Nビットの出力bと、値1を符号なし整数で加算し、その加算結果(a + b + 1)を、最新調停結果としてDFF11に出力する。

【0050】

演算回路50 ~ 5n (n = 2^N - 1)は、夫々、入力されるDFF11の出力値すなわち前回のラウンドロビン結果a(Nビット)に、枠内に示す演算を施してラウンドロビン用の比較数値を出力するものである。例えば、演算回路50は、要求元「0」に対応し、DFF11の出力値a(Nビット)をnから減算するNビット符号なし減算(n - a)を実行する。演算回路51は、要求元「1」に対応し、DFF11の出力値a(Nビット)を0から減算するNビット符号なし減算(0 - a)を実行する。演算回路52は、要求元「2」に対応し、DFF11の出力値a(Nビット)を1から減算するNビット符号なし減算(1 - a)を実行する。すなわち、n = 2^N - 1とし、Lを0からnまでの整数とすると、0から数えてL番目の演算回路は、要求元「L」に対応し、(L + n - a)のNビット符号なし加算を実行している。以下、同様に、演算回路5nは、要求元「n」に対応し、DFF11の出力値(Nビット)aを(n - 1)から減算するNビット符号なし減算を実行する。これら演算回路50 ~ 5nの出力値は比較器32に

【0051】

比較器32に対して、先の実施の形態1と同様、複数の演算回路50 ~ 5nからのラウンドロビン用の比較数値の他に、調停アルゴリズム用に各要求元「0」 ~ 「n」が提示する比較数値(夫々Mビット)と、各要求元の要求の有無を示す有効表示ビット(夫々1ビット)とが入力されている。ただし、この場合は、最小値を選択するので、有効表示ビットは、先の実施の形態1と逆であり、要求元が要求を出しているときは「0」で、要求元が要求を出していないときは「1」である。このように、比較器32に対しては、1つの要求元に対応して1 + M + Nビットに合成された比較数値データが

【0052】

そのビット構成は、先の図2に示すように、最上位ビットに有効表示ビット(有効/無効ビット)が配置され、つぎの上位ビットにMビットの調停アルゴリズムの比較数値データが配置され、下位ビットにラウンドロビン(RR)のNビットが配置される。

【0053】

比較器32では、各要求元に対応して入力される(1 + M + N)ビット幅のn + 1(2^N)個の比較数値データ(有効表示ビット含む)を符号なし整数値として比較して、そのうちの最小値を検索し、検索した最小値を出力する。

【0054】

比較器32の出力結果(最大値)のうち下位Nビットbは次段の演算回路22で最終的な選択結果を算出するために利用される。すなわち、演算回路22では、DFF11の出力a(Nビット)と、比較器32の下位Nビットの出力bと、値1を符号なし整数で加算し、その加算結果(a + b + 1)を、最新調停結果としてDFF11に出力する。

【0055】

また、比較器32の出力結果(最大値)のうちの最上位ビットは、インバータ23に入力され、インバータ23で論理反転された値がイネーブル信号としてNビットのラッチ回路(DFF)11のイネーブル信号端子に共通入力される。このように、この場合も、DFF11のイネーブル端子には、比較器32の出力結果(最小値)のうちの最上位ビットが入力されているので、出力結果が有効な場合のみ調停結果がラッチされる。したがって、全ての要求元から要求が出ていない場合には、調停動作が行われず、調停結果が無効な値となる。

【0056】

つぎに、比較器32が最小値を算出する計算の流れを説明する。N = 3、n = 7の場合とし、DFF11に現在ラッチされている値が「4」であるとすると、演算回路50 ~ 57の演算出力は、順にそれぞれ「3」、「4」、「5」、「6」、「7」、「0」、「1」

、「2」となる。ここで、前回のラウンドロビン結果である「4」の位置、つまり符号54（要求元「4」に対応）の演算回路の演算結果は3ビット整数の最大値7となっていて、最小値を検索する回路なので次回のラウンドロビン処理における優先度が最低になり、符号54の次の符号55（要求元「5」に対応）の演算回路の演算結果が最小の「0」を示し、優先度が最高になっている。したがって、もし全ての要求元が要求を出していた場合、この中で一番小さい数値は当然「0」であるので、比較器32からは「0」が比較結果として出力される。そして、演算回路22では、 $4 + 0 + 1 = 5$ （3ビット符号なし加算）が計算されて、その出力としての最新のラウンドロビン結果は「5」となる。このラウンドロビン結果「5」が、次のクロック信号の立ち上がりでDFF11にラッチされ、ラウンドロビン結果として出力されることになる。このラウンドロビン結果は、演算回路50～57の演算結果と比較しても正しいことがわかる。

10

【0057】

このようにこの実施の形態2においては、最小値を検索して選択する調停アルゴリズムとその結果が複数になったときに最終的に選択結果を一意に絞るためのラウンドロビンとを含む調停において、比較数値ビット中の上位ビットを調停アルゴリズムに関係して各要求元が提示する値とし、その下位ビットをラウンドロビン制御によって決定される数値として、これらを一括して比較して最小値を検索することによって、数値比較による調停アルゴリズムによる調停手順とラウンドロビンによる絞り込み手順を、複数のクロックステップなどの複数の段階を踏まずに同時に実行することが可能となり、これにより回路の単純簡素化、回路の高速化等を実現することが可能となる。また、比較器32に最上位ビットとして各要求元の要求の有無を示すフラグ信号を入力し、比較器32の最上位ビット出力を論理反転してラッチ回路（DFF）11にイネーブル信号として入力するようにすることで、全ての要求元から要求が出ていない場合には、調停動作を実行させないようにしているので、誤った調停結果が出力されることがなくなる。

20

【0058】

実施の形態3

次にこの発明の実施の形態3を説明する。通常、比較器においては、入力された複数の値の比較結果を出力する第1のタイプと、比較の結果選択された入力値に対応する番号データまたはその番号をデコードしたものを出力する第2のタイプの2つのタイプがある。

【0059】

たとえばトーナメント形式で随時比較を行って最大、または最小を検索するような比較器では、1回の比較のあと、また比較する必要があるため、比較した結果として出力される値は比較値そのものであり、最終段の比較の結果も比較値がそのまま出力される第1のタイプが望ましい。

30

【0060】

これに対し、全ての値を比較して一斉に比較結果を出力する場合は、比較値を次に伝える必要がないため、入力値の番号データに対応したフラグが有効か無効かによって比較結果を得ることになる。すなわち、この場合は、例えば0～7までの比較対象があって、その比較結果の出力用に8本の信号が用意されていて、最大または最小を示す比較対照の番号に対応する信号線だけに1がたつことになる。この場合、その結果をエンコードして数値とすることで、最大値または最小値となった比較値に対応する番号データ(0～n)を出力する比較器を実現できる。

40

【0061】

このような第2のタイプの比較器を用いれば、比較器の出力が最終的な調停結果になるので、最大値選択方式を採用する場合は図1の演算回路21を省略することができ、また最小値選択方式を採用する場合は図4の演算回路22を省略することが可能となる。そして、この比較器の出力をそのままDFF11に入力すればよくなる。

【0062】

この実施の形態3においても、先の実施の形態と同様、数値比較による調停アルゴリズムによる調停手順とラウンドロビンによる絞り込み手順を、複数のクロックステップなどの

50

複数の段階を踏まずに同時に実行することが可能となる。

【0063】

【発明の効果】

以上説明したように、この発明にかかる調停制御方法によれば、最大値または最小値を検索して選択する調停アルゴリズムおよびその結果が複数になったときに最終的に選択結果を一意に絞るためのラウンドロビンを含む調停において、比較数値ビット中の上位ビットを調停アルゴリズムに関して各要求元が提示する値とし、その下位ビットをラウンドロビン制御によって決定される数値として、これらを一括して比較することによって、数値比較による調停アルゴリズムによる調停手順とラウンドロビンによる絞り込み手順を、複数のクロックステップなどの複数の段階を踏まずに同時に実行することが可能となり、これにより回路の単純簡素化、回路の高速化等を実現することが可能となる。

10

【0064】

つぎの発明によれば、最大値を出力している1つの要求元を決定する調停制御回路において、クロック信号によってNビットの調停結果をラッチするラッチ回路と、ラッチ回路から出力される前回の調停結果に夫々異なる符号なし整数演算を施してラウンドロビン用の比較数値データを出力する複数の第1の演算回路と、各第1の演算回路からのNビット出力を下位ビットとし、調停アルゴリズム用に各要求元が提示するMビットの比較数値データを上位ビットとしてそれぞれ合成した複数の要求元分の合成データをM+Nビットの符号なし整数として比較して最大値を出力する比較器と、この比較器の出力のうちの下位Nビットが示す値を、前記ラッチ回路から出力される前回の調停結果から符号なし減算しこの減算結果を今回の調停結果として前記ラッチ回路に入力する第2の演算回路とを備え、1クロック周期で、最大値を検索する調停アルゴリズムおよびラウンドロビンを一括して実行して唯一の調停結果を導出するようにしているので、単純な構成で且つ高速処理が可能な調停制御回路を具現化することができる。

20

【0065】

つぎの発明にかかる調停制御回路によれば、第1の演算回路は、ラッチ回路の出力に $(n - l + 1)$ を加算することにより、L番目の要求元に対応するラウンドロビン用の比較数値データを出力するようにしているので、単純な構成で、高速処理が可能でかつ高精度の調停をなし得る調停制御回路を具現化することができる。

【0066】

つぎの発明にかかる調停制御回路によれば、比較器に最上位ビットとして各要求元の要求の有無を示すフラグ信号を入力し、前記比較器の最上位ビット出力を前記ラッチ回路にイネーブル信号として入力するようにすることで、全ての要求元から要求が出ていない場合には、調停動作を実行させないようにしているので、誤った調停結果が出力されることがなくなる。

30

【0067】

つぎの発明にかかる調停制御回路によれば、比較器は調停結果としての最大値に対応する要求元の番号データを出力するようにしているので、導出した最大値から最大値に対応する要求元を演算するための演算回路を省略することができ、これにより、より回路の単純簡素化、回路の高速化等を実現することが可能となる。

40

【0068】

つぎの発明にかかる調停制御回路によれば、最小値を出力している1つの要求元を決定する調停制御回路において、クロック信号によってNビットの調停結果をラッチするラッチ回路と、ラッチ回路から出力される前回の調停結果に夫々異なる符号なし整数演算を施してラウンドロビン用の比較数値データを出力する複数の第1の演算回路と、各第1の演算回路からのNビット出力を下位ビットとし、調停アルゴリズム用に各要求元が提示するMビットの比較数値データを上位ビットとしてそれぞれ合成した複数の要求元分の合成データをM+Nビットの符号なし整数として比較して最小値を出力する比較器と、この比較器の出力のうちの下位Nビットが示す値と、前記ラッチ回路から出力される前回の調停結果とを符号なし加算することに基づき今回の調停結果出力する第2の演算回路とを備え、1

50

クロック周期で、最小値を検索する調停アルゴリズムおよびラウンドロビンを一括して実行して唯一の調停結果を導出するようにしているので、単純な構成で且つ高速処理が可能な調停制御回路を具現化することができる。

【0069】

つぎの発明にかかる調停制御回路によれば、第1の演算回路は、値(L+n)から前記ラッチ回路の出力を減算することにより、L番目の要求元に対応するラウンドロビン用の比較数値データを出力し、第2の演算回路は、比較器の出力のうちの下位Nビットが示す値と、前記ラッチ回路から出力される前回の調停結果と、値1とを符号なし加算することに基づき今回の調停結果を得るようにしているので、単純な構成で、高速処理が可能でかつ高精度の調停をなし得る調停制御回路を具現化することができる。

10

【0070】

つぎの発明にかかる調停制御回路によれば、比較器に最上位ビットとして各要求元の要求の有無を示すフラグ信号を入力し、前記比較器の最上位ビット出力を論理反転してラッチ回路にイネーブル信号として入力することで、全ての要求元から要求が出ていない場合には、調停動作を実行させないようにしているので、誤った調停結果が出力されることがなくなる。

【0071】

つぎの発明にかかる調停制御回路によれば、比較器は調停結果としての最小値に対応する要求元の番号データを出力するようにしているので、導出した最小値から最小値に対応する要求元を演算するための演算回路を省略することができ、これにより、より回路の単純簡素化、回路の高速化等を実現することが可能となる。

20

【図面の簡単な説明】

【図1】 この発明にかかる調停制御回路の実施の形態1を示す図であり、特にラウンドロビンに関する箇所だけに抽出して示すブロック図である。

【図2】 上位ビットに調停アルゴリズムによる比較数値を用い、下位ビットにラウンドロビンによる比較数値を用いた比較数値データを示す図である。

【図3】 この発明にかかる調停制御回路の実施の形態1を示すブロック図である。

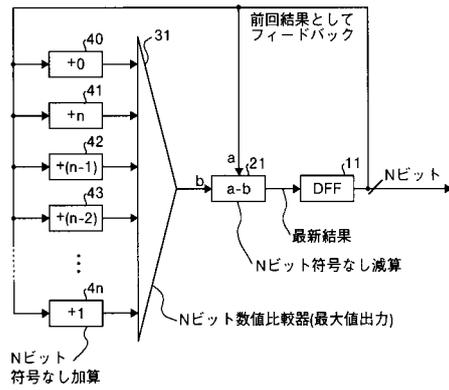
【図4】 この発明にかかる調停制御回路の実施の形態2を示すブロック図である。

【符号の説明】

11 ラッチ回路(D型フリップフロップ)、21 演算回路(第2の演算回路)、22 演算回路(第2の演算回路)、31 比較器、32 比較器、40~4n 演算回路(第1の演算回路)、50~5n 演算回路(第1の演算回路)。

30

【図1】

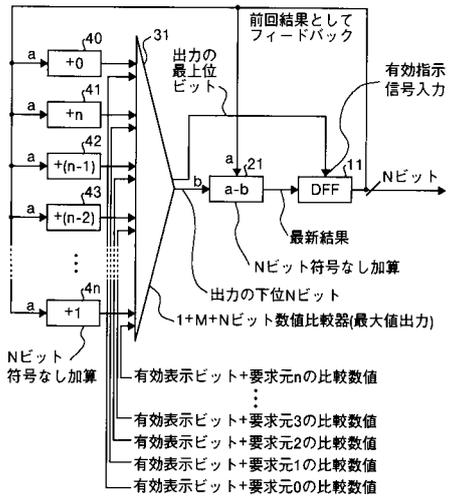


【図2】

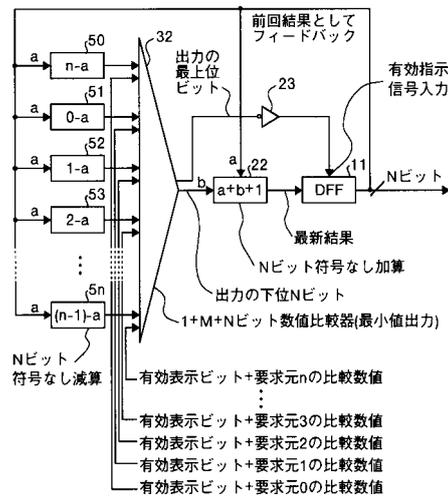
有効/無効ビット

| | Mビット | Nビット | | |
|----|--------------|------|-------|------------|
| | 調停アルゴリズム | | RR | |
| | 比較器での一括比較ビット | | | |
| | 調停アルゴリズム | RR | 2進数表示 | |
| 40 | 1 | 3 | 1 | 1.0011.001 |
| 41 | 1 | 11 | 0 | 1.1011.000 |
| 42 | 1 | 9 | 7 | 1.1001.111 |
| 43 | 1 | 0 | 6 | 1.0000.110 |
| 44 | 0 | 11 | 5 | 0.1011.101 |
| 45 | 1 | 3 | 4 | 1.0011.100 |
| 46 | 0 | 6 | 3 | 0.0110.011 |
| 47 | 1 | 11 | 2 | 1.1011.010 |

【図3】



【図4】



フロントページの続き

(58)調査した分野(Int.Cl. , D B名)

G06F 13/20-13/378