



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년02월07일
(11) 등록번호 10-2359266
(24) 등록일자 2022년01월28일

(51) 국제특허분류(Int. Cl.)
H01L 27/108 (2006.01) H01L 21/762 (2006.01)
H01L 21/768 (2006.01)
(52) CPC특허분류
H01L 27/10888 (2013.01)
H01L 21/76289 (2013.01)
(21) 출원번호 10-2017-0111046
(22) 출원일자 2017년08월31일
심사청구일자 2020년07월07일
(65) 공개번호 10-2019-0024251
(43) 공개일자 2019년03월08일
(56) 선행기술조사문헌
KR1020140025799 A
KR1020150045782 A
US20160027727 A1

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
이준원
충청남도 아산시 탕정면 탕정면로 37, 201동 180
6호(탕정삼성트라펠리스아파트)
고재강
경기도 성남시 분당구 탄천로 95, 402동 801호(이
매동, 아람마을삼호, 두산아파트)
(뒷면에 계속)
(74) 대리인
리엔목특허법인

전체 청구항 수 : 총 20 항

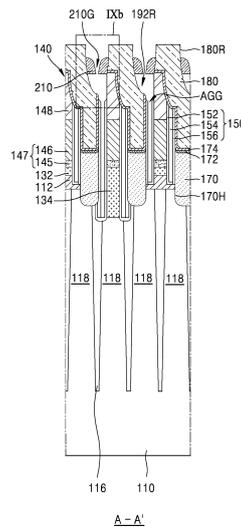
심사관 : 김려원

(54) 발명의 명칭 반도체 소자

(57) 요약

에어 스페이스를 포함하는 반도체 소자를 제공한다. 본 발명에 따른 반도체 소자는, 기판, 기판 상에 배치되며 비트 라인 및 비트 라인의 상면을 덮는 절연 캡핑 라인을 포함하는 비트 라인 구조체, 기판 상에서 제1 절연 스페이스, 에어 스페이스, 및 제2 절연 스페이스로 이루어지는 절연 스페이스 구조체를 사이에 두고 비트 라인 구조체의 측면에 대면하며, 비트 라인 구조체의 상으로 연장되는 콘택 구조체, 에어 스페이스와 연통되는 이격 공간을 사이에 두고 절연 스페이스 구조체의 상측에 위치하며 콘택 구조체의 측벽으로부터 이격되는 부분에 캡부를 한정하며 콘택 구조체의 측벽 상에 배치되는 커버 절연 패턴, 및 캡부를 채우는 에어 캡핑 패턴을 포함한다.

대표도 - 도9a



(52) CPC특허분류

H01L 21/76816 (2013.01)

H01L 21/7682 (2013.01)

H01L 27/10891 (2013.01)

(72) 발명자

문금비

경기도 수원시 팔달구 갖매산로25번길 60-18(매산로2가)

최병덕

경기도 수원시 영통구 센트럴파크로 100, 6406동
603호(이의동, 광교 센트럴타운 오드카운티)

명세서

청구범위

청구항 1

복수의 활성 영역을 가지는 기판;

상기 복수의 활성 영역 위에서 제1 방향으로 연장되는 복수의 비트 라인 구조체;

상기 복수의 활성 영역 위에서, 상기 복수의 비트 라인 구조체 중 서로 인접하는 2개의 비트 라인 구조체의 사이로부터 상기 서로 인접하는 2개의 비트 라인 구조체 중 하나의 상으로 연장되며, 에어 스페이서(air spacer)를 사이에 두고 상기 서로 인접하는 2개의 비트 라인 구조체의 측벽에 각각 대면하는 복수의 콘택 구조체;

상기 에어 스페이서로부터 이격되어 상기 기판의 주면에 대하여 수직한 제2 방향으로 상측에 위치하며, 복수의 콘택 구조체의 측벽의 일부분을 덮으며 상기 복수의 콘택 구조체의 측벽으로부터 이격되는 부분에 갭부를 한정하는 커버 절연 패턴; 및

상기 갭부를 채우는 에어 캡핑 패턴;을 포함하는 반도체 소자.

청구항 2

제1 항에 있어서,

상기 갭부는, 상기 커버 절연 패턴의 상면으로부터 하면까지를 관통하여, 상기 커버 절연 패턴의 상면으로부터 하면으로 가면서 폭이 좁아지는 것을 특징으로 하는 반도체 소자.

청구항 3

제1 항에 있어서,

상기 에어 캡핑 패턴의 최상단의 레벨은 상기 콘택 구조체의 최상단의 레벨보다 낮은 레벨을 가지는 것을 특징으로 하는 반도체 소자.

청구항 4

제3 항에 있어서,

상기 에어 캡핑 패턴은 상기 커버 절연 패턴 상을 덮는 것을 특징으로 하는 반도체 소자.

청구항 5

제3 항에 있어서,

상기 커버 절연 패턴의 상면과 상기 에어 캡핑 패턴의 상면은 동일 평면상에 위치(coplanar)하는 것을 특징으로 하는 반도체 소자.

청구항 6

제1 항에 있어서,

상기 비트 라인 구조체의 측면 상에 배치되는 제1 절연 스페이서 및, 상기 에어 스페이서를 사이에 두고 상기 제1 절연 스페이서와 대향하는 제2 절연 스페이서를 더 포함하며,

상기 에어 스페이서는 상기 제1 절연 스페이서 및 상기 제2 절연 스페이서 사이에 한정되는 공간인 것을 특징으로 하는 반도체 소자.

청구항 7

제6 항에 있어서,

상기 갭부의 최하단 부분의 폭은, 상기 제1 절연 스페이서와 상기 제2 절연 스페이서 각각의 최상단의 사이의

폭보다 작은 값을 가지는 것을 특징으로 하는 반도체 소자.

청구항 8

제6 항에 있어서,

상기 에어 스페이스의 최상단 부분은 상기 갭부와 상기 제2 방향에 대하여 중첩되지 않는 것을 특징으로 하는 반도체 소자.

청구항 9

제6 항에 있어서,

상기 비트 라인 구조체, 상기 콘택 구조체, 상기 커버 절연 패턴 및 상기 에어 캡핑 패턴에 의하여 한정되며, 상기 에어 스페이스와 연통되는 이격 공간을 가지는 것을 특징으로 하는 반도체 소자.

청구항 10

제9 항에 있어서,

상기 에어 캡핑 패턴은 상기 갭부로부터 상기 이격 공간으로 연장되며, 상기 에어 스페이스와 이격되는 꼬리부를 가지는 것을 특징으로 하는 반도체 소자.

청구항 11

제9 항에 있어서,

상기 커버 절연 패턴과 상기 에어 캡핑 패턴 사이, 및 상기 이격 공간에 노출되는 상기 커버 절연 패턴의 표면에 슬릿 산화층을 더 포함하는 것을 특징으로 하는 반도체 소자.

청구항 12

제9 항에 있어서,

상기 이격 공간의 폭은, 상기 에어 스페이스의 최상단으로 폭보다 큰 값을 가지는 것을 특징으로 하는 반도체 소자.

청구항 13

제6 항에 있어서,

상기 복수의 비트 라인 구조체 각각은 비트 라인, 및 상기 비트 라인의 상면을 덮는 절연 캡핑 라인을 포함하고,

상기 에어 스페이스의 최상단 부분의 레벨은 상기 비트 라인의 상면의 레벨보다 높은 것을 특징으로 하는 반도체 소자.

청구항 14

복수의 활성 영역을 가지는 기판;

상기 복수의 활성 영역 위에서 제1 방향으로 연장되는 복수의 비트 라인 구조체;

상기 복수의 활성 영역 위에서, 상기 복수의 비트 라인 구조체 중 서로 인접하는 2개의 비트 라인 구조체의 사이로부터 상기 2개의 서로 인접하는 비트 라인 구조체 중 하나의 상으로 연장되며, 제1 절연 스페이스, 에어 스페이스, 및 상기 에어 스페이스를 사이에 두고 상기 제1 절연 스페이스와 대향하는 제2 절연 스페이스로 이루어지는 절연 스페이스 구조체를 사이에 두고 상기 서로 인접하는 2개의 비트 라인 구조체의 측벽에 각각 대면하는 복수의 콘택 구조체;

복수의 콘택 구조체의 측벽 상에 배치되며 상기 복수의 콘택 구조체의 측벽으로부터 이격되는 부분에 갭부를 한정하는 커버 절연 패턴; 및

상기 커버 절연 패턴을 관통하는 상기 갭부를 채우며, 상기 커버 절연 패턴 상을 덮는 에어 캡핑 패턴;을 포함

하며,

상기 커버 절연 패턴 및 상기 에어 캡핑 패턴은, 상기 복수의 비트 라인 구조체, 상기 복수의 콘택 구조체, 상기 커버 절연 패턴 및 상기 에어 캡핑 패턴에 의하여 한정되는 이격 공간을 사이에 가지며, 상기 기관의 주면에 대하여 수직인 제2 방향으로 상기 에어 스페이스로부터 상측에 위치하는 반도체 소자.

청구항 15

제14 항에 있어서,

상기 껍부는, 상기 커버 절연 패턴의 상면으로부터 하면으로 가면서 폭이 좁아지며,

상기 에어 캡핑 패턴은, 상기 커버 절연 패턴의 하면에 대하여 하측으로 연장되는 꼬리부를 가지는 것을 특징으로 하는 반도체 소자.

청구항 16

제14 항에 있어서,

상기 커버 절연 패턴 및 상기 에어 캡핑 패턴 각각의 최상단의 레벨은, 상기 콘택 구조체의 최상단의 레벨보다 낮은 레벨을 가지는 것을 특징으로 하는 반도체 소자.

청구항 17

제14 항에 있어서,

상기 껍부의 최하단 부분의 폭은, 상기 에어 스페이스의 최상단의 폭보다 작은 값을 가지는 것을 특징으로 하는 반도체 소자.

청구항 18

기관;

상기 기관 상에 배치되며, 비트 라인, 및 상기 비트 라인의 상면을 덮는 절연 캡핑 라인을 포함하는 비트 라인 구조체;

상기 기관 상에서 제1 절연 스페이스, 에어 스페이스, 및 상기 에어 스페이스를 사이에 두고 상기 제1 절연 스페이스와 대향하는 제2 절연 스페이스로 이루어지는 절연 스페이스 구조체를 사이에 두고 상기 비트 라인 구조체의 측면에 대면하며, 상기 비트 라인 구조체의 상으로 연장되는 콘택 구조체;

상기 에어 스페이스와 연통되는 이격 공간을 사이에 두고 상기 절연 스페이스 구조체의 상측에 위치하며, 상기 콘택 구조체의 측벽으로부터 이격되는 부분에 껍부를 한정하며 상기 콘택 구조체의 측벽 상에 배치되는 커버 절연 패턴; 및

상기 껍부를 채우는 에어 캡핑 패턴;을 포함하는 반도체 소자.

청구항 19

제18 항에 있어서,

상기 절연 스페이스 구조체의 최상단 부분의 레벨은 상기 비트 라인의 상면의 레벨보다 높고,

상기 에어 캡핑 패턴의 최상단의 레벨은 상기 콘택 구조체의 최상단의 레벨보다 낮은 레벨을 가지는 것을 특징으로 하는 반도체 소자.

청구항 20

제18 항에 있어서,

상기 껍부는, 상기 커버 절연 패턴의 상면으로부터 하면으로 가면서 폭이 좁아지고,

상기 껍부의 최하단 부분의 폭은, 상기 제1 절연 스페이스와 상기 제2 절연 스페이스 각각의 사이의 폭보다 작은 값을 가지는 것을 특징으로 하는 반도체 소자.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 소자에 관한 것으로, 더욱 상세하게는 에어 스페이서를 포함하는 반도체 소자에 관한 것이다.

배경 기술

[0002] 전자 산업의 비약적인 발전 및 사용자의 요구에 따라 전자기기는 더욱 더 소형화 및 경량화되고 있다. 따라서 전자기기에 사용되는 높은 집적도를 가지는 반도체 소자가 요구되어, 반도체 소자의 구성들에 대한 디자인 룰이 감소되고 있다. 이에 따라 반도체 소자가 가지는 도전 패턴들 사이의 커패시턴스를 감소시키기 위하여 에어 스페이서가 도입되고 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 기술적 과제는 도전 패턴들 사이의 커패시턴스를 감소시킬 수 있는 에어 스페이서를 포함하는 반도체 소자를 제공하는 것이다.

과제의 해결 수단

[0004] 상기 기술적 과제를 달성하기 위하여, 본 발명은 다음과 같은 반도체 소자를 제공한다. 본 발명에 따른 반도체 소자는, 복수의 활성 영역을 가지는 기판; 상기 복수의 활성 영역 위에서 제1 방향으로 연장되는 복수의 비트 라인 구조체; 상기 복수의 활성 영역 위에서, 상기 복수의 비트 라인 구조체 중 서로 인접하는 2개의 비트 라인 구조체의 사이로부터 상기 서로 인접하는 2개의 비트 라인 구조체 중 하나의 상으로 연장되며, 에어 스페이서 (air spacer)를 사이에 두고 상기 서로 인접하는 2개의 비트 라인 구조체의 측벽에 각각 대면하는 복수의 콘택 구조체; 상기 에어 스페이서로부터 이격되어 상기 기판의 주면에 대하여 수직인 제2 방향으로 상측에 위치하며, 복수의 콘택 구조체의 측벽의 일부분을 덮으며 상기 복수의 콘택 구조체의 측벽으로부터 이격되는 부분에 갭부를 한정하는 커버 절연 패턴; 및 상기 갭부를 채우는 에어 캡핑 패턴;을 포함한다.

[0005] 본 발명에 따른 반도체 소자는, 복수의 활성 영역을 가지는 기판; 상기 복수의 활성 영역 위에서 제1 방향으로 연장되는 복수의 비트 라인 구조체; 상기 복수의 활성 영역 위에서, 상기 복수의 비트 라인 구조체 중 서로 인접하는 2개의 비트 라인 구조체의 사이로부터 상기 2개의 서로 인접하는 비트 라인 구조체 중 하나의 상으로 연장되며, 제1 절연 스페이서, 에어 스페이서, 및 상기 에어 스페이서를 사이에 두고 상기 제1 절연 스페이서와 대향하는 제2 절연 스페이서로 이루어지는 절연 스페이서 구조체를 사이에 두고 상기 서로 인접하는 2개의 비트 라인 구조체의 측벽에 각각 대면하는 복수의 콘택 구조체; 복수의 콘택 구조체의 측벽 상에 배치되며 상기 복수의 콘택 구조체의 측벽으로부터 이격되는 부분에 갭부를 한정하는 커버 절연 패턴; 및 상기 커버 절연 패턴을 관통하는 상기 갭부를 채우며, 상기 커버 절연 패턴 상을 덮는 에어 캡핑 패턴;을 포함하며, 상기 커버 절연 패턴 및 상기 에어 캡핑 패턴은, 상기 복수의 비트 라인 구조체, 상기 복수의 콘택 구조체, 상기 커버 절연 패턴 및 상기 에어 캡핑 패턴에 의하여 한정되는 이격 공간을 사이에 가지며, 상기 기판의 주면에 대하여 수직인 제2 방향으로 상기 에어 스페이서로부터 상측에 위치한다.

[0006] 본 발명에 따른 반도체 소자는, 기판; 상기 기판 상에 배치되며, 비트 라인, 및 상기 비트 라인의 상면을 덮는 절연 캡핑 라인을 포함하는 비트 라인 구조체; 상기 기판 상에서 제1 절연 스페이서, 에어 스페이서, 및 상기 에어 스페이서를 사이에 두고 상기 제1 절연 스페이서와 대향하는 제2 절연 스페이서로 이루어지는 절연 스페이서 구조체를 사이에 두고 상기 비트 라인 구조체의 측면에 대면하며, 상기 비트 라인 구조체의 상으로 연장되는 콘택 구조체; 상기 에어 스페이서와 연통되는 이격 공간을 사이에 두고 상기 절연 스페이서 구조체의 상측에 위치하며, 상기 콘택 구조체의 측벽으로부터 이격되는 부분에 갭부를 한정하며 상기 콘택 구조체의 측벽 상에 배치되는 커버 절연 패턴; 및 상기 갭부를 채우는 에어 캡핑 패턴;을 포함한다.

발명의 효과

[0007] 본 발명에 따른 반도체 소자는 콘택 구조체의 측면에 배치되는 커버 절연 패턴에 의하여, 에어 스페이서를 외부와 차단하기 위한 에어 캡핑 패턴이 에어 스페이서의 입구인 에어 입구와 이격되도록 형성될 수 있어, 에어 스페이서의 부피가 감소하는 것을 방지할 수 있다. 따라서 콘택 구조체와 서로 인접하는 비트 라인 사이의 커패시

턴스를 최소화할 수 있다.

도면의 간단한 설명

- [0008] 도 1은 본 발명의 실시 예들에 따른 반도체 소자의 셀 어레이 영역의 주요 구성들을 설명하기 위한 개략적인 평면 레이아웃이다.
- 도 2 내지 도 11b는 본 발명의 일 실시 예에 따른 반도체 소자의 제조 방법을 단계적으로 나타내는 단면도들로, 도 9b 및 도 11b는 각각 도 9a의 IXb 부분 및 도 11a의 XIb 부분을 확대하여 나타내는 확대 단면도이다.
- 도 12a 및 도 12b는 본 발명의 일 실시 예에 따른 반도체 소자의 주요부를 나타내는 단면도 및 그 확대도이다. 구체적으로 도 12b는 도 12a의 XIIb 부분을 확대하여 나타내는 확대 단면도이다.
- 도 13a 및 도 13b는 본 발명의 일 실시 예에 따른 반도체 소자의 주요부를 나타내는 단면도 및 그 확대도이다. 구체적으로 도 13b는 도 13a의 XIIIb 부분을 확대하여 나타내는 확대 단면도이다.
- 도 14a 및 도 14b는 본 발명의 일 실시 예에 따른 반도체 소자의 주요부를 나타내는 단면도 및 그 확대도이다. 구체적으로 도 14b는 도 14a의 XIVb 부분을 확대하여 나타내는 확대 단면도이다.
- 도 15는 본 발명의 일 실시 예에 따른 반도체 소자를 나타내는 블록도이다.
- 도 16는 본 발명의 일 실시 예에 의한 반도체 소자를 포함하는 시스템을 나타내는 구성도이다.

발명을 실시하기 위한 구체적인 내용

- [0009] 본 발명의 구성 요소 및 효과를 충분히 이해하기 위하여, 첨부 도면을 참조하여 본 발명의 실시 예들을 상세히 설명한다.
- [0010] 도 1은 본 발명의 실시 예들에 따른 반도체 소자의 셀 어레이 영역의 주요 구성들을 설명하기 위한 개략적인 평면 레이아웃이다.
- [0011] 도 1을 참조하면, 반도체 소자(100)는 복수의 활성 영역(ACT)을 포함할 수 있다. 일부 실시 예에서 복수의 활성 영역(ACT)은 제1 방향 (X 방향) 및 제2 방향 (Y 방향)에 대하여 사선 방향으로 장축을 가지도록 배치될 수 있다.
- [0012] 복수의 워드 라인(WL)이 복수의 활성 영역(ACT)을 가로질러 제1 방향 (X 방향)을 따라 상호 평행하게 연장될 수 있다. 복수의 워드 라인(WL) 위에는 복수의 비트 라인(BL)이 제1 방향 (X 방향)과 교차하는 제2 방향 (Y 방향)을 따라 상호 평행하게 연장될 수 있다.
- [0013] 복수의 워드 라인(WL) 중 상호 인접한 2 개의 워드 라인(WL) 사이에 배치되는 복수의 활성 영역(ACT) 각각의 부분 상에는 다이렉트 콘택(DC)이 배치될 수 있다. 복수의 비트 라인(BL) 각각은 다이렉트 콘택(DC)을 통해 복수의 활성 영역(ACT) 각각에 전기적으로 연결될 수 있다.
- [0014] 일부 실시 예들에서, 복수의 비트 라인(BL) 중 상호 인접한 2 개의 비트 라인(BL) 사이에 복수의 베리드 콘택(BC, buried contact)이 형성될 수 있다. 일부 실시 예들에서, 복수의 베리드 콘택(BC)은 제1 방향 (X 방향) 및 제2 방향 (Y 방향)을 따라 일렬로 배열될 수 있으나 이에 한정되지 않는다. 도 1에는 베리드 콘택(BC)과 다이렉트 콘택(DC)의 일부 중첩된 것으로 도시되었으나, 이는 평면 레이아웃의 특성에 기인한 것이며, 동일한 수직 레벨에서 베리드 콘택(BC)과 다이렉트 콘택(DC)은 서로 이격될 수 있다.
- [0015] 복수의 베리드 콘택(BC) 위에는 복수의 랜딩 패드(LP)가 형성될 수 있다. 복수의 랜딩 패드(LP)은 각각 상호 인접한 2 개의 비트 라인(BL) 중 어느 하나의 비트 라인(BL)의 상부까지 연장될 수 있다. 복수의 베리드 콘택(BC) 및 복수의 랜딩 패드(LP)는 복수의 비트 라인(BL)의 상부에 형성되는 커패시터의 하부 전극(도시 생략)을 활성 영역(ACT)에 연결시키는 역할을 할 수 있다. 복수의 랜딩 패드(LP)는 각각 베리드 콘택(BC)과 일부 중첩되도록 배치될 수 있다.
- [0016] 복수의 랜딩 패드(LP) 상에는 상기 커패시터 하부 전극(스토리지 노드), 상기 커패시터 하부 전극을 덮는 커패시터 유전막(도시 생략), 및 상기 커패시터 유전막을 덮는 커패시터 상부 전극(도시 생략)으로 구성되는 복수의 커패시터가 형성될 수 있다.
- [0017] 도 2 내지 도 11b는 본 발명의 일 실시 예에 따른 반도체 소자의 제조 방법을 단계적으로 나타내는 단면도들로,

도 9b 및 도 11b는 각각 도 9a의 IXb 부분 및 도 11a의 XIb 부분을 확대하여 나타내는 확대 단면도이다. 구체적으로 도 2는 도 1의 A-A'선, B-B'선, 및 C-C'선에 대응하는 부분을 따라서 절단한 일부 공정에서의 단면도들이고, 도 3은 도 1의 A-A'선, 및 C-C'선에 대응하는 부분을 따라서 절단한 일부 공정에서의 단면도들고, 도 4 내지 도 9a, 도 10, 및 도 11a는 도 1의 A-A'선에 대응하는 부분을 따라서 절단한 일부 공정에서의 단면도들이다.

- [0018] 도 2를 참조하면, 기판(110)에 소자 분리용 트렌치(116T)를 형성하고, 소자 분리용 트렌치(116T)를 채우는 소자 분리막(116)을 형성할 수 있다. 소자 분리막(116)에 의해 기판(110)에 활성 영역(118)이 정의될 수 있다. 활성 영역(118)은 도 1에 예시한 활성 영역(ACT)과 같이 각각 단축 및 장축을 가지는 비교적 긴 아일랜드 형상을 가질 수 있다.
- [0019] 기판(110)은 예를 들면, 실리콘(Si, silicon), 예를 들면 결정질 Si, 다결정질 Si, 또는 비정질 Si을 포함할 수 있다. 또는 기판(110)은 저머늄(Ge, germanium)과 같은 반도체 원소, SiGe(silicon germanium), SiC (silicon carbide), GaAs(gallium arsenide), InAs (indium arsenide), 및 InP (indium phosphide)와 중에서 선택되는 적어도 하나의 화합물 반도체를 포함할 수 있다. 또는 기판(110)은 SOI (silicon on insulator) 구조를 가질 수 있다. 예를 들면, 기판(110)은 BOX 층(buried oxide layer)을 포함할 수 있다. 기판(110)은 도전 영역, 예를 들면 불순물이 도핑된 웰 (well), 또는 불순물이 도핑된 구조체를 포함할 수 있다.
- [0020] 소자분리막(116)은 예를 들면, 실리콘 산화막, 실리콘 질화막, 실리콘 산화질화막 중 적어도 하나를 포함하는 물질로 이루어질 수 있다. 소자분리막(116)은 1종류의 절연막으로 이루어지는 단일층, 또는 2종류의 절연막으로 이루어지는 이중층, 또는 적어도 3종류의 절연막들의 조합으로 이루어지는 다중층으로 구성될 수 있다.
- [0021] 일부 실시 예에서, 소자 분리막(116)은 제1 소자 분리막(116A) 및 제2 소자 분리막(116B)을 포함할 수 있다. 제 1 소자 분리막(116A) 및 제2 소자 분리막(116B)은 서로 다른 물질로 이루어질 수 있다. 예를 들면, 제1 소자 분리막(116A)은 산화막으로 이루어지고, 제2 소자 분리막(116B)은 질화막으로 이루어질 수 있다. 그러나, 본 발명의 기술적 사상에 따르면, 소자 분리막(116)의 구성은 상술한 바에 한정되는 것은 아니다.
- [0022] 기판(110)에는 복수의 워드 라인 트렌치(120T)를 형성할 수 있다. 복수의 워드 라인 트렌치(120T)는 상호 평행하게 제1 방향(도 1의 X 방향)으로 연장되며, 각각 활성 영역(118)을 가로지르는 라인 형상을 가질 수 있다. B-B'선 단면 부분에 예시된 바와 같이, 저면에 단차가 형성된 복수의 워드 라인 트렌치(120T)를 형성하기 위하여, 소자 분리막(116) 및 기판(110)을 각각 별도의 식각 공정으로 식각하여, 소자 분리막(116)의 식각 깊이와 기판(110)의 식각 깊이가 서로 다르게 되도록 할 수 있다.
- [0023] 복수의 워드 라인 트렌치(120T)가 형성된 결과물을 세정한 후, 복수의 워드 라인 트렌치(120T)의 내부에 게이트 유전막(122), 복수의 워드 라인(120), 및 복수의 매몰 절연막(124)을 차례로 형성할 수 있다. 복수의 워드 라인(120)은 도 1에 예시한 복수의 워드 라인(WL)을 구성할 수 있다.
- [0024] 일부 실시 예들에서, 복수의 워드 라인(120)은 Ti, TiN, Ta, TaN, W, WN, TiSiN, WSiN, 또는 이들의 조합으로 이루어질 수 있다.
- [0025] 게이트 유전막(122)은 실리콘 산화막, 실리콘 질화막, 실리콘 산화질화막, ONO (oxide/nitride/oxide), 또는 실리콘 산화막보다 높은 유전 상수를 가지는 고유전막 (high-k dielectric film) 중에서 선택되는 적어도 하나로 이루어질 수 있다. 예를 들면, 게이트 유전막(122)은 약 10 내지 25의 유전 상수를 가질 수 있다. 일부 실시 예들에서, 게이트 유전막(122)은 하프늄 산화물(HfO), 하프늄 실리케이트(HfSiO), 하프늄 산화 질화물(HfON), 하프늄 실리콘 산화 질화물(HfSiON), 란타늄 산화물(LaO), 란타늄 알루미늄 산화물(LaAlO), 지르코늄 산화물(ZrO), 지르코늄 실리케이트(ZrSiO), 지르코늄 산화 질화물(ZrON), 지르코늄 실리콘 산화 질화물(ZrSiON), 탄탈륨 산화물(TaO), 티타늄 산화물(TiO), 바륨 스트론튬 티타늄 산화물(BaSrTiO), 바륨 티타늄 산화물(BaTiO), 스트론튬 티타늄 산화물(SrTiO), 이트륨 산화물(YO), 알루미늄 산화물(AlO), 또는 납 스칸듐 탄탈륨 산화물(PbScTaO) 중에서 선택되는 적어도 하나의 물질로 이루어진다. 예를 들면, 게이트 유전막(122)은 HfO₂, Al₂O₃, HfAlO₃, Ta₂O₃, 또는 TiO₂로 이루어질 수 있다.
- [0026] 복수의 매몰 절연막(124)의 상면은 기판(110)의 상면과 실질적으로 동일 레벨에 위치될 수 있다. 매몰 절연막(124)은 실리콘 산화막, 실리콘 질화막, 실리콘 산화질화막, 또는 이들의 조합 중에서 선택되는 하나의 물질막으로 이루어질 수 있다.
- [0027] 복수의 워드 라인(120) 각각의 상면은 기판(110)의 상면보다 낮은 레벨에 위치될 수 있다. 복수의 워드 라인

(120)의 저면은 요철 형상을 가질 수 있으며, 복수의 활성 영역(118)에는 새들 핀 구조의 트랜지스터(saddle FinFET)가 형성될 수 있다.

- [0028] 본 명세서에서 레벨이라 함은, 기판(110)의 주면에 대해 수직한 제3 방향(도 1의 Z 방향)으로의 높이를 의미한다. 즉, 동일한 레벨 또는 일정한 레벨에 위치한다는 것은 제3 방향(도 1의 Z 방향)으로의 높이가 동일 또는 일정한 위치를 의미하고, 낮은/높은 레벨에 위치한다는 것은 제3 방향(도 1의 Z 방향)으로의 높이가 낮은/높은 위치를 의미한다.
- [0029] 일부 실시 예들에서, 복수의 워드 라인(120)을 형성한 후, 복수의 워드 라인(120)의 양측의 기판(110)의 활성 영역(118)의 부분에 불순물 이온을 주입하여 복수의 활성 영역(118)의 내에 소스 영역 및 드레인 영역을 형성할 수 있다. 다른 일부 실시 예들에서, 복수의 워드 라인(120)을 형성하기 전에 소스 영역 및 드레인 영역을 형성하기 위한 불순물 이온 주입 공정이 수행될 수 있다.
- [0030] 도 3을 참조하면, 기판(110) 상에 절연막 패턴(112)을 형성한다. 일부 실시 예에서, 절연막 패턴(112)은 비금속계 유전막으로 이루어질 수 있다. 예를 들면, 절연막 패턴(112)은 실리콘 산화막, 실리콘 질화막, 실리콘 산질화막 또는 이들의 조합으로 이루어질 수 있다.
- [0031] 일부 실시 예에서, 절연막 패턴(112)을 복수의 절연막이 적층되어 이루어질 수 있다. 예를 들면, 절연막 패턴(112)을 이루는 복수의 절연막 중 적어도 하나는 금속계 유전막으로 이루어질 수 있다. 상기 금속계 유전막은 예를 들면, 하프늄 산화물(HfO), 하프늄 실리케이트(HfSiO), 하프늄 산화 질화물(HfON), 하프늄 실리콘 산화 질화물(HfSiON), 란타늄 산화물(LaO), 란타늄 알루미늄 산화물(LaAlO), 지르코늄 산화물(ZrO), 지르코늄 실리케이트(ZrSiO), 지르코늄 산화 질화물(ZrON), 지르코늄 실리콘 산화 질화물(ZrSiON), 탄탈륨 산화물(TaO), 티타늄 산화물(TiO), 바륨 스트론튬 티타늄 산화물(BaSrTiO), 바륨 티타늄 산화물(BaTiO), 스트론튬 티타늄 산화물(SrTiO), 이트륨 산화물(YO), 알루미늄 산화물(AlO), 또는 납 스칸듐 탄탈륨 산화물(PbScTaO) 중에서 선택되는 적어도 하나의 물질로 이루어질 수 있다.
- [0032] 절연막 패턴(112) 상에는 도전성 반도체 패턴(132)을 형성하기 위한 반도체계 도전층이 형성될 수 있다. 예를 들면, 상기 반도체계 도전층은 도핑된 폴리실리콘으로 이루어질 수 있다. 일부 실시 예에서, 절연막 패턴(112)이 금속계 유전막을 포함하는 복수의 절연막으로 이루어지는 경우, 상기 반도체계 도전층은 형성되지 않고 생략될 수 있다.
- [0033] 이후, 절연막 패턴(112) 및 상기 반도체계 도전층을 관통하는 다이렉트 콘택 홀(134H), 및 다이렉트 콘택 홀(134H)을 채우며 상기 반도체계 도전층을 덮는 상기 다이렉트 콘택용 도전층을 형성한다. 상기 다이렉트 콘택용 도전층은 이후 공정을 거친 후에 다이렉트 콘택 패턴(134)으로 형성될 수 있다.
- [0034] 다이렉트 콘택 홀(134H)은 활성 영역(118) 내의 소스 영역을 노출시키도록 형성할 수 있다. 일부 실시 예에서, 다이렉트 콘택 홀(134H)은 활성 영역(118) 내 즉, 상기 소스 영역 내로 신장할 수 있다.
- [0035] 상기 다이렉트 콘택용 도전층은 예를 들면, 실리콘(Si), 게르마늄(Ge), 텅스텐(W), 텅스텐 질화물(WN), 코발트(Co), 니켈(Ni), 알루미늄(Al), 몰리브덴(Mo), 루테튬(Ru), 티타늄(Ti), 티타늄 질화물(TiN), 탄탈륨(Ta), 탄탈륨 질화물(TaN), 구리(Cu), 또는 이들의 조합으로 이루어질 수 있다. 일부 실시 예들에서, 상기 다이렉트 콘택용 도전층은 에피택셜(epitaxial) 실리콘층으로 이루어질 수 있다. 일부 실시 예에서, 상기 다이렉트 콘택용 도전층은 도핑된 폴리실리콘으로 이루어질 수 있다.
- [0036] 일부 실시 예에서, 상기 반도체계 도전층을 형성하기 전에 다이렉트 콘택홀(134H)을 형성한 후, 상기 반도체계 도전층과 상기 다이렉트 콘택용 도전층을 함께 형성할 수 있다. 이 경우, 상기 반도체계 도전층과 상기 다이렉트 콘택용 도전층은 일체로 형성된 동일한 물질로 이루어질 수 있다.
- [0037] 이후, 절연막 패턴(112) 및 상기 다이렉트 콘택용 도전층을 덮으며, 비트 라인 구조체(140)를 형성하기 위한 금속계 도전층, 및 절연 캡핑층을 순차적으로 형성한다.
- [0038] 일부 실시 예에서, 상기 금속계 도전층은 제1 금속계 도전층 및 제2 금속계 도전층의 적층 구조일 수 있다. 상기 금속계 도전층은 이중층 구조의 도전층 적층 구조를 가질 수 있으나, 이는 예시적이며, 본 발명의 기술적 사상은 예시된 바에 한정되는 것은 아니다. 예를 들면, 상기 금속계 도전층은 단일층, 또는 3 층층 이상의 복수의 적층 구조로 형성될 수도 있다.
- [0039] 일부 실시 예들에서, 상기 제1 금속계 도전층은 티타늄 질화물(TiN) 또는 TSN(Ti-Si-N)으로 이루어질 수 있고,

상기 제2 금속계 도전층은 텅스텐(W), 또는 텅스텐 및 텅스텐 실리사이드(WSi_x)로 이루어질 수 있다. 일부 실시 예에서, 상기 제1 금속계 도전층은 확산 배리어(diffusion barrier)의 기능을 수행할 수 있다. 일부 실시 예에서, 상기 절연 캡핑층은 실리콘 질화막으로 이루어질 수 있다.

- [0040] 상기 제1 금속계 도전층, 상기 제2 금속계 도전층으로 상기 절연 캡핑층을 식각하여, 라인 형상인 제1 금속계 도전 패턴(145) 및 제2 금속계 도전 패턴(146)을 포함하는 복수의 비트 라인(147)과 복수의 절연 캡핑 라인(148)을 형성한다. 하나의 비트 라인(147)과, 하나의 비트 라인(147)을 덮는 하나의 절연 캡핑 라인(148)은 하나의 비트 라인 구조체(140)를 구성할 수 있다.
- [0041] 복수의 비트 라인(147) 및 복수의 절연 캡핑 라인(148)으로 구성되는 복수의 비트 라인 구조체(140) 각각은 상호 평행하게 기판(110)의 주면에 대하여 평행한 제2 방향(도 1의 Y 방향)으로 연장될 수 있다. 복수의 비트 라인(147)은 도 1에 예시한 복수의 비트 라인(BL)을 구성할 수 있다.
- [0042] 복수의 비트 라인(147)을 형성하기 위한 식각 공정에서, 수직적으로 비트 라인(147)과 오버랩되지 않는 상기 다이렉트 콘택용 도전층의 부분을 함께 식각 공정으로 제거하여 다이렉트 콘택 도전 패턴(134)을 형성할 수 있다. 이때, 절연막 패턴(112)은 식각 정지막의 기능을 수행할 수 있다.
- [0043] 상기 다이렉트 콘택용 도전층을 식각하여 다이렉트 콘택 도전 패턴(134)을 형성하는 과정에서, 상기 반도체 도전층이 함께 식각되어 도전성 반도체 패턴(132)을 형성할 수 있다. 도전성 반도체 패턴(132)은 비트 라인(147)의 하측에 배치되며, 비트 라인(147)과 마찬가지로 제2 방향(도 1의 Y 방향)으로 연장될 수 있다. 도전성 반도체 패턴(132)과 비트 라인(147)은 실질적으로 제3 방향(도 1의 Z 방향)으로 서로 중첩될 수 있는 바, 도전성 반도체 패턴(132), 비트 라인(147), 및 절연 캡핑 라인(148)이 함께 비트 라인 구조체(140)를 구성한다고 볼 수도 있다.
- [0044] 도 4를 참조하면, 복수의 비트 라인 구조체(140) 각각의 양 측벽을 예비 절연 스페이서 구조체(150a)로 덮을 수 있다. 복수의 예비 절연 스페이서 구조체(150a)는 각각 제1 절연 스페이서(152), 희생 스페이서(154a) 및 제2 절연 스페이서(156)를 포함할 수 있다. 일부 실시 예들에서, 제1 절연 스페이서(152) 및 제2 절연 스페이서(156)는 각각 산화막, 질화막, 또는 이들의 조합으로 이루어질 수 있다. 제1 절연 스페이서(152)와 제2 절연 스페이서(156)과의 사이에 개재되는 희생 스페이서(154a)는 제1 절연 스페이서(152) 및 제2 절연 스페이서(156)에 대하여 식각 선택비를 가지는 물질로 이루어질 수 있다. 예를 들어, 제1 절연 스페이서(152) 및 제2 절연 스페이서(156)이 질화막으로 이루어지는 경우, 희생 스페이서(154a)는 산화막으로 이루어질 수 있다.
- [0045] 복수의 비트 라인(147) 각각의 사이에는 복수의 베리드 콘택 홀(170H)이 형성될 수 있다. 복수의 베리드 콘택 홀(170H)은 복수의 비트 라인(147)중 이웃하는 2 개의 비트 라인(147) 사이에서 이웃하는 2 개의 비트 라인(147) 각각의 측벽을 덮는 예비 절연 스페이서 구조체(150a) 및 활성 영역(118)에 의해 그 내부 공간이 한정될 수 있다.
- [0046] 복수의 비트 라인(147) 사이에서 복수의 베리드 콘택 홀(170H) 내에는 복수의 활성 영역(118)에 각각 연결되는 복수의 베리드 콘택(170)과 복수의 랜딩 패드(180)가 형성될 수 있다. 복수의 베리드 콘택(170) 및 복수의 랜딩 패드(180)는 각각 도 1에 예시한 복수의 베리드 콘택(BC) 및 복수의 랜딩 패드(LP)에 대응할 수 있다. 하나의 베리드 콘택(BC) 상에 위치하는 하나의 랜딩 패드(180)를 함께 콘택 구조체라고 호칭할 수 있다.
- [0047] 복수의 베리드 콘택(170)은 활성 영역(118) 상으로부터 기판(110)에 수직하는 제3 방향(도 1에서 Z 방향)으로 연장될 수 있다. 복수의 랜딩 패드(180)는 각각 베리드 콘택(170) 상에 배치되며, 복수의 비트 라인(147) 상으로 연장될 수 있다. 복수의 랜딩 패드(180)는 복수의 베리드 콘택(170)을 통해 활성 영역(118)에 연결될 수 있다. 각각 하나의 베리드 콘택(BC) 상에 위치하는 하나의 랜딩 패드(180)로 이루어지는 복수의 콘택 구조체 각각은 복수의 비트 라인 구조체(140) 중 서로 인접하는 2개의 비트 라인 구조체(140)의 사이로부터 하나의 비트 라인 구조체(140) 상으로 연장되며, 희생 스페이서(154a)를 포함하는 예비 절연 스페이서 구조체(150a)를 사이에 두고, 서로 인접하는 2개의 비트 라인 구조체(140)의 측벽에 각각 대면할 수 있다.
- [0048] 상기 콘택 구조체를 이루는 베리드 콘택(170)은 서로 인접하는 2개의 비트 라인 구조체(140)의 사이에 배치될 수 있고, 랜딩 패드(180)는 베리드 콘택(170)을 사이에 두고 서로 인접하는 2개의 비트 라인 구조체(140)의 사이로부터 하나의 비트 라인 구조체(140) 상으로 연장될 수 있다.
- [0049] 랜딩 패드(180)는 베리드 콘택(170)과 전기적으로 연결 가능하고 복수의 비트 라인 구조체(140)와 수직으로 오버랩되도록 베리드 콘택 홀(170H) 내부로부터 복수의 비트 라인 구조체(140)의 상부까지 연장되도록 형성될 수

있다.

- [0050] 복수의 랜딩 패드(180)는 리세스부(180R)를 사이에 두고 서로 이격될 수 있다. 리세스부(180R) 내에는 예비 절연 스페이스 구조체(150a)의 상단이 노출될 수 있다.
- [0051] 랜딩 패드(180)는 복수의 비트 라인(147) 사이의 영역에서 기판(110)의 주면에 수직인 제3 방향(도 1에서 Z 방향)을 따라 연장되고 복수의 비트 라인(147)의 적어도 일부와 수직으로 오버랩되도록 복수의 비트 라인 구조체(140)의 상부의 적어도 일부를 덮을 수 있다.
- [0052] 일부 실시 예에서, 베리드 콘택(170)과 랜딩 패드(180)와의 사이에는 금속 실리사이드막(172)이 형성될 수 있다. 금속 실리사이드막(172)은 코발트 실리사이드(CoSix), 니켈 실리사이드(NiSix), 또는 망간 실리사이드(MnSix)로 이루어질 수 있으나, 이에 한정되는 것은 아니다.
- [0053] 랜딩 패드(180)와 예비 절연 스페이스 구조체(150a)와의 사이, 및 랜딩 패드(180)와 복수의 비트 라인 구조체(140)의 사이에는 각각 도전성 배리어막(174)이 개재될 수 있다. 도전성 배리어막(174)은 금속, 도전성 금속 질화물, 또는 이들의 조합으로 이루어질 수 있다. 예를 들면, 도전성 배리어막(174)은 Ti/TiN 적층 구조로 이루어질 수 있다.
- [0054] 도 5를 참조하면, 리세스부(180R)를 채우고, 복수의 랜딩 패드(180)를 덮는 매립 절연층(190)을 형성한다.
- [0055] 매립 절연층(190)은 희생 스페이스(154a)와 접할 수 있다. 매립 절연층(190)은 희생 스페이스(154a)와 유사한 식각 특성을 가지는 물질로 이루어질 수 있다. 매립 절연층(190)은 예를 들면, 산화막으로 이루어질 수 있다.
- [0056] 매립 절연층(190)은 리세스부(180R) 내에 보이드(void)가 발생하지 않을 수 있는 방법에 의하여 형성될 수 있다. 일부 실시 예에서, 매립 절연층(190)은 원자층 증착(Atomic Layer Deposition) 방법에 의하여 형성될 수 있다.
- [0057] 도 6을 참조하면, 매립 절연층(도 5의 190)의 상측 일부분을 제거하여, 매립 절연 패턴(192)을 형성한다. 매립 절연 패턴(192)은 랜딩 패드(180)의 상면을 덮는 매립 절연층(190)의 부분 및 리세스부(180R)의 상측 일부분을 채우는 매립 절연층(190)의 부분을 제거하여 형성될 수 있다. 매립 절연 패턴(192)은 리세스부(180R)의 하측 일부분을 채울 수 있다. 매립 절연 패턴(192)의 상면의 레벨은 랜딩 패드(180)의 상면의 레벨보다 낮을 수 있다. 매립 절연 패턴(192)은 예비 절연 스페이스 구조체(150a)가 노출되지 않을 때까지, 매립 절연층(190)의 부분을 제거하여 형성될 수 있다. 즉, 매립 절연 패턴(192)은 예비 절연 스페이스 구조체(150a)를 덮을 수 있다.
- [0058] 일부 실시 예에서, 매립 절연 패턴(192)은 절연 캡핑 라인(148)의 상측 일부분을 덮지 않을 수 있으나, 이에 한정되지는 않는다. 일부 실시 예에서, 매립 절연 패턴(192)은 절연 캡핑 라인(148)을 덮어서 노출되지 않도록 할 수 있다.
- [0059] 일부 실시 예에서, 매립 절연 패턴(192)은 에치백 방법으로 매립 절연층(190)의 상측 일부분을 제거하여 형성될 수 있다. 일부 실시 예에서, 매립 절연 패턴(192)은 습식 식각 방법으로 매립 절연층(190)의 상측 일부분을 제거하여 형성될 수 있다.
- [0060] 예를 들면, 매립 절연 패턴(192)에 의하여 채워지지 않는 리세스부(180R)의 수평 폭은 10nm 내지 40nm일 수 있다.
- [0061] 도 7을 참조하면, 랜딩 패드(180) 및 매립 절연 패턴(192) 상에 커버 절연층(200)을 형성한다. 커버 절연층(200)은 리세스 공간(180R)을 모두 채우지 않고, 일부분만 채우도록 형성하며, 커버 절연층(200)의 상면 상에 리세스 공간(200R)이 한정되도록 랜딩 패드(180) 및 매립 절연 패턴(192) 상에 컨포멀(conformal)하게 형성될 수 있다. 리세스 공간(200R)의 하측 일부분은 리세스부(180R) 내에 위치할 수 있다.
- [0062] 커버 절연층(200)은 매립 절연 패턴(192)이 노출되지 않도록, 매립 절연 패턴(192)의 상면을 모두 덮을 수 있다.
- [0063] 일부 실시 예에서, 커버 절연층(200)은 제1 절연 스페이스(152) 및 제2 절연 스페이스(156)와 유사한 식각 특성을 가지는 물질로 이루어질 수 있다. 커버 절연층(200)은 예를 들면 질화막으로 이루어질 수 있다. 커버 절연층(200)은 상대적으로 스텝 커버리지(step coverage)가 좋은 박막 형성 방법에 의하여 형성될 수 있다. 일부 실시 예에서, 커버 절연층(200)은 LPCVD(Low Pressure Chemical Vapor Deposition) 방법 또는 LPALD 방법(Low Pressure ALD)으로 형성한 질화막일 수 있다.

- [0064] 도 8을 참조하면, 커버 절연층(도 7의 200)의 상측 일부분을 제거하여, 커버 절연 패턴(210)을 형성한다. 커버 절연 패턴(210)은 매립 절연 패턴(192)이 채우지 않는 리세스부(180R)의 상측 부분의 측면의 일부분을 덮을 수 있다. 커버 절연 패턴(210)은 매립 절연 패턴(192)이 채우지 않는 리세스부(180R)의 상측 부분 중의 하측 부분의 측면을 덮어서, 커버 절연 패턴(210)의 최상단이 랜딩 패드(180)의 상면보다 낮은 레벨을 가질 수 있다. 예를 들면, 커버 절연 패턴(210)의 최상단은 랜딩 패드(180)의 상면보다 수십Å 내지 수백Å이 낮은 레벨을 가질 수 있다.
- [0065] 커버 절연 패턴(210)은 매립 절연 패턴(192) 상면의 일부분을 덮을 수 있으며, 매립 절연 패턴(192) 상면의 나머지 일부분을 노출시키는 갭부(210G)를 한정할 수 있다. 커버 절연 패턴(210)의 수평 단면 형상은 갭부(210G)를 중심부에 가지며 리세스부(180R)의 측면, 즉 랜딩 패드(180)의 측벽을 따라서 연장될 수 있다. 즉 갭부(210G)는 인접하는 2개의 랜딩 패드(180) 각각의 측벽으로부터 이격된 커버 절연 패턴(210)의 부분에서, 커버 절연 패턴(210)의 상면으로부터 하면까지를 관통할 수 있다.
- [0066] 커버 절연 패턴(210)의 상면으로부터 하면으로 가면서 폭이 증가하는 형상을 가질 수 있다. 커버 절연 패턴(210)이 한정하는 공간인 갭부(210G)는 커버 절연 패턴(210)의 상면으로부터 하면으로 가면서 폭이 좁아질 수 있다. 즉, 갭부(210G)는 커버 절연 패턴(210)의 상단부로부터 기관(110)을 향하여, 즉 상면으로부터 하면으로 가면서 폭이 좁아지며 연장될 수 있다. 도 9a에서 자세히 설명하겠으나, 커버 절연 패턴(210)은, 갭부(210G)의 최하단의 폭이 희생 스페이스(154a)의 최상단의 폭, 즉 제1 절연 스페이스(152)와 제2 절연 스페이스(156) 각각의 최상단 사이의 간격보다 작은 값을 가지도록 형성할 수 있다.
- [0067] 커버 절연 패턴(210)과 예비 절연 스페이스 구조체(150a)는 매립 절연 패턴(192)을 사이에 두고 이격될 수 있다. 즉, 매립 절연 패턴(192)이 예비 절연 스페이스 구조체(150a)를 덮으므로, 커버 절연 패턴(210)은 예비 절연 스페이스 구조체(150a)와 접하지 않고, 예비 절연 스페이스 구조체(150a)의 최상단으로부터 수직한 제3 방향(도 1의 Z 방향) 상측에 이격되어 위치할 수 있다.
- [0068] 일부 실시 예에서, 커버 절연 패턴(210)은 에치백 방법으로 커버 절연층(200)의 상측 일부분을 제거하여 형성할 수 있다.
- [0069] 도 9a 및 도 9b를 참조하면, 매립 절연 패턴(도 8의 192) 및 희생 스페이스(도 8의 154a)를 제거하여 이격 공간(192R)과 에어 스페이스(154)를 형성한다.
- [0070] 매립 절연 패턴(192)이 제거된 부분은 이격 공간(192R)이 될 수 있다. 희생 스페이스(154a)가 제거된 부분, 즉 제1 절연 스페이스(152)와 제2 절연 스페이스(156) 사이에서 한정되는 공간은 에어 스페이스(154)가 될 수 있다. 제1 절연 스페이스(152), 에어 스페이스(154) 및 제2 절연 스페이스(156)는 절연 스페이스 구조체(150)를 이룰 수 있다. 에어 스페이스(154)는 제1 절연 스페이스(152) 및 제2 절연 스페이스(156) 사이에 한정되는 공간을 의미한다. 즉 절연 스페이스 구조체(150)는 제1 절연 스페이스(152), 에어 스페이스(154), 및 에어 스페이스(154)를 사이에 두고 제1 절연 스페이스(152)와 대향하는 제2 절연 스페이스(156)로 이루어질 수 있다.
- [0071] 매립 절연 패턴(192) 및 희생 스페이스(154a)는 갭부(210G)를 통하여 제공되는 에chant(etchant)에 의하여 제거될 수 있다. 따라서 매립 절연 패턴(192)이 제거된 공간인 이격 공간(192R)과 에어 스페이스(154)는 서로 연통될 수 있다. 이격 공간(192R)과 에어 스페이스(154)가 만나는 부분 즉, 에어 스페이스(154)의 최상단 부분은 에어 입구(AGG)라 호칭할 수 있다. 에어 입구(AGG)는 제1 절연 스페이스(152)와 제2 절연 스페이스(156) 각각의 최상단의 사이의 공간을 의미할 수 있다.
- [0072] 에어 스페이스(154)의 최상단 부분, 즉 에어 입구(AGG)의 레벨은 비트 라인(147)의 상면의 레벨보다 높을 수 있다. 일부 실시예에서, 에어 스페이스(154)의 최하단 부분의 레벨은 비트 라인(147)의 하면보다 낮을 수 있다. 따라서 에어 스페이스(154)는 비트 라인(147)의 양 측벽의 모든 부분 상에 배치될 수 있다.
- [0073] 이격 공간(192R)의 폭은 에어 스페이스(154)의 폭보다 큰 값을 가질 수 있다. 에어 스페이스(154)의 폭은 기관(110)의 주면에 대해 수직한 제3 방향(도 1의 Z 방향)을 따라서 실질적으로 일정할 수 있다. 이격 공간(192R)의 폭은 에어 입구(AGG)로부터 제3 방향(도 1의 Z 방향)으로 상측 방향을 따라서 점차로 증가할 수 있다. 따라서 이격 공간(192)의 최대폭은 에어 스페이스(154)의 최대폭보다 큰 값을 가질 수 있다.
- [0074] 하나의 비트 라인(147)의 양 측벽에 각각 형성되는 두 개의 에어 스페이스(154)는 비대칭의 형상을 가질 수 있다. 또한 하나의 비트 라인(147)의 양 측벽에 각각 형성되는 에어 스페이스(154) 중 하나는 이격 공간(192R)과 연통되나, 다른 하나는 이격 공간(192R)과 연통되지 않을 수 있다. 즉, 이격 공간(192R)은 비트 라인 구조체

(140)의 양 측벽 중 일 측벽 상에만 형성될 수 있다.

- [0075] 랜딩 패드(180)의 측벽의 일부는 이격 공간(192R) 내에서 노출될 수 있다. 즉, 랜딩 패드(180)의 측벽의 일부는 이격 공간(192R)과 접할 수 있다.
- [0076] 각각 하나의 베리드 콘택(BC) 상에 위치하는 하나의 랜딩 패드(180)로 이루어지는 복수의 콘택 구조체 각각은 복수의 비트 라인 구조체(140) 중 서로 인접하는 2개의 비트 라인 구조체(140)의 사이로부터 하나의 비트 라인 구조체(140) 상으로 연장되며, 에어 스페이서(154)를 포함하는 절연 스페이서 구조체(150)를 사이에 두고, 서로 인접하는 2개의 비트 라인 구조체(140)의 측벽에 각각 대면할 수 있다.
- [0077] 상기 콘택 구조체를 이루는 베리드 콘택(170)은 서로 인접하는 2개의 비트 라인 구조체(140)의 사이에 배치될 수 있고, 랜딩 패드(180)는 베리드 콘택(170)을 사이에 두고 서로 인접하는 2개의 비트 라인 구조체(140)의 사이로부터 하나의 비트 라인 구조체(140) 상으로 연장될 수 있다.
- [0078] 도 8에서 전술한 바와 같이, 커버 절연 패턴(210)과 예비 절연 스페이서 구조체(도 8의 150a)는 매립 절연 패턴(192)을 사이에 두고 이격되므로, 예비 절연 스페이서 구조체(150a) 중 희생 스페이서(154a)를 제거하여 형성된 에어 스페이서(154) 또한 커버 절연 패턴(210)과 이격된 위치에 있을 수 있다. 즉, 에어 스페이서(154)와 커버 절연 패턴(210)은 이격 공간(192R)을 사이에 두고 이격될 수 있다. 따라서 에어 입구(AGG)와 갭부(210G) 또한 서로 이격된 위치에 있을 수 있다. 구체적으로 갭부(210G)는 에어 입구(AGG)와의 사이에 이격 공간(192R)을 가지며, 에어 입구(AGG)로부터 수직한 제3 방향(도 1의 Z 방향)으로 상측에 이격되어 위치할 수 있다.
- [0079] 일부 실시 예에서, 에어 입구(AGG)와 갭부(210G)는 제3 방향(도 1의 Z 방향)에 대하여 중첩되지 않을 수 있다. 즉, 제3 방향(도 1의 Z 방향)으로 바라보는 경우에, 에어 입구(AGG)와 갭부(210G)는 서로 이격되어 위치할 수 있다.
- [0080] 에어 입구(AGG)는 제1 폭(W1)을 가질 수 있고, 갭부(210G)의 최하단의 폭은 제1 폭(W1)보다 작은 제2 폭(W2)을 가질 수 있다. 예를 들면, 제1 폭(W1)은 4nm 이상일 수 있고, 제2 폭(W2)은 3nm 이하일 수 있다. 에어 스페이서(154)의 폭이 기판(110)의 주면에 대해 수직한 제3 방향(도 1의 Z 방향)을 따라서 실질적으로 일정한 경우, 제2 폭(W2)의 에어 스페이서(154)의 폭보다 작은 값을 가질 수 있다.
- [0081] 일부 실시 예에서, 이격 공간(192R)과 에어 스페이서(154)는 PDC(Pulsed Dry Cleaning) 방법에 의하여 매립 절연 패턴(192) 및 희생 스페이서(154a)를 제거하여 형성할 수 있다. 일부 실시 예에서, 이격 공간(192R)과 에어 스페이서(154)는 습식 식각 방법에 의하여 매립 절연 패턴(192) 및 희생 스페이서(154a)를 제거하여 형성할 수 있다.
- [0082] 도 10을 참조하면, 커버 절연 패턴(210) 및 랜딩 패드(180)를 덮는 에어 캡핑층(250)을 형성한다. 에어 캡핑층(250)은 커버 절연 패턴(210)에 의하여 한정되는 갭부(210G)를 채우고, 랜딩 패드(180)의 상면을 덮도록 형성될 수 있다.
- [0083] 에어 캡핑층(250)은 커버 절연 패턴(210)과 유사한 식각 특성을 가지는 물질로 이루어질 수 있다. 에어 캡핑층(250)은 예를 들면, 질화막으로 이루어질 수 있다. 에어 캡핑층(250)은 상대적으로 갭필(gap-fill) 특성이 우수한 박막 형성 방법에 의하여 형성할 수 있다. 일부 실시 예에서, 에어 캡핑층(250)은 PECVD(Plasma Enhanced Chemical Vapor Deposition) 방법으로 형성한 질화막일 수 있다.
- [0084] 갭부(210G)가 상측으로부터 하측으로 폭이 좁아지며 연장되므로, 에어 캡핑층(250)은 내부에 보이드를 가지지 않도록 형성될 수 있다. 또한 에어 캡핑층(250)이 내부에 씬(seam)을 가지는 경우에도, 씬이 갭부(210G)의 최하단까지 연장되지 않을 수 있다. 따라서, 이격 공간(192R) 및 에어 스페이서(154)는 커버 절연 패턴(210) 및 에어 캡핑층(250)에 의하여 외부와 완전히 차단된 밀폐 공간이 될 수 있다.
- [0085] 에어 캡핑층(250)은 이격 공간(192R) 내로 연장되는 꼬리부(250t)를 가질 수 있다. 꼬리부(250t)는, 갭부(210G)를 채우는 에어 캡핑층(250)의 부분으로부터 커버 절연 패턴(210)의 하면에 대하여 하측으로 연장되는 에어 캡핑층(250)의 부분을 의미한다. 연장되는 꼬리부(250t)는 에어 입구(AGG)와 이격될 수 있다. 일부 실시 예에서, 꼬리부(250t)는 이격 공간(192R)의 저면까지 연장되지 않을 수 있다. 커버 절연 패턴(210)이 한정하는 갭부(210G)는 상측으로부터 하측으로 가면서 폭이 좁아지므로, 이격 공간(192R) 내로의 꼬리부(250t)의 연장 길이는 상대적으로 작은 값을 가질 수 있다. 예를 들면, 꼬리부(250t)는 이격 공간(192R) 내에 노출되는 랜딩 패드(180), 제1 절연 스페이서(152), 및 제2 절연 스페이서(156)와 접하지 않을 수 있다.
- [0086] 도 11a 및 도 11b를 함께 참조하면, 에어 캡핑층(도 10의 250)의 상측 일부분을 제거하여, 에어 캡핑 패턴(25

2)을 형성한다. 에어 캡핑 패턴(252)은 커버 절연 패턴(210) 상을 덮고, 갭부(210G)를 채울 수 있다. 이격 공간(192R)은 비트 라인 구조체(140), 랜딩 패드(180), 커버 절연 패턴(210), 및 에어 캡핑 패턴(252)에 의하여 한정되며, 에어 스페이서(154)와 연통되는 공간일 수 있다.

- [0087] 따라서 커버 절연 패턴(210)은 이격 공간(192R)의 사이에 두고, 절연 스페이서 구조체(150)의 상측에 위치할 수 있다.
- [0088] 에어 캡핑 패턴(252)은 이격 공간(192R) 내로 연장되는 꼬리부(250t)를 가질 수 있다. 에어 캡핑 패턴(252)의 최상단은 커버 절연 패턴(210)의 최상단보다 높은 레벨을 가지고, 랜딩 패드(180)의 상면보다 낮은 레벨을 가질 수 있다. 예를 들면, 에어 캡핑 패턴(252)의 최상단은 랜딩 패드(180)의 상면보다 50 Å 내지 200 Å이 낮은 레벨을 가질 수 있다.
- [0089] 이후, 복수의 랜딩 패드(180) 상에 복수의 커패시터 하부 전극(도시 생략), 상기 복수의 하부 전극을 덮는 커패시터 유전막(도시 생략), 및 상기 커패시터 유전막을 덮는 커패시터 상부 전극(도시 생략)을 형성하여, 상기 복수의 커패시터 하부 전극, 상기 커패시터 유전막, 및 상기 커패시터 상부 전극으로 구성되는 복수의 커패시터를 가지는 반도체 소자(1)를 형성할 수 있다.
- [0090] 상기 복수의 커패시터 하부 전극은 복수의 랜딩 패드(180)의 상면과 접할 수 있다. 일부 실시 예에서, 상기 복수의 커패시터 하부 전극 각각은 하부가 폐쇄된 실린더 형상일 수 있다. 일부 실시 예에서, 상기 복수의 커패시터 하부 전극 각각은 원형의 수평 단면을 가지도록 내부가 채워진 기둥 형상, 즉 필라(pillar) 형상일 수 있다.
- [0091] 상기 복수의 커패시터 하부 전극은 예를 들면, 불순물이 도핑된 실리콘, 텅스텐 또는 구리와 같은 금속, 또는 티탄 질화물과 같은 도전성 금속 화합물로 이루어질 수 있다.
- [0092] 일부 실시 예에서, 상기 복수의 커패시터 하부 전극의 측벽들과 접촉하는 지지 패턴을 더 형성할 수 있다. 상기 지지 패턴은 예를 들면, 실리콘 질화막, 또는 실리콘 탄소 질화막(SiCN), N-리치 실리콘 질화막(N-rich SiN) 또는 Si-리치(Si-rich) 실리콘 질화막으로 이루어질 수 있다.
- [0093] 상기 커패시터 유전막은 상기 복수의 커패시터 하부 전극 상을 균일하게 덮을 수 있다. 상기 커패시터 유전막은 예를 들면, TaO, TaAlO, TaON, AlO, AlSiO, HfO, HfSiO, ZrO, ZrSiO, TiO, TiAlO, BST((Ba,Sr)TiO), STO(SrTiO), BTO(BaTiO), PZT(Pb(Zr,Ti)O), (Pb,La)(Zr,Ti)O, Ba(Zr,Ti)O, Sr(Zr,Ti)O, 또는 이들의 조합으로 이루어질 수 있다.
- [0094] 상기 커패시터 상부 전극은 상기 커패시터 유전막을 사이에 두고 상기 커패시터 하부 전극과 대향할 수 있다. 상기 커패시터 상부 전극은 예를 들면, 도핑된 실리콘, Ru, RuO, Pt, PtO, Ir, IrO, SRO(SrRuO), BSRO((Ba,Sr)RuO), CRO(CaRuO), BaRuO, La(Sr,Co)O, Ti, TiN, W, WN, Ta, TaN, TiAlN, TiSiN, TaAlN, TaSiN, 또는 이들의 조합으로 이루어질 수 있다.
- [0095] 커버 절연 패턴(210) 및 에어 캡핑 패턴(252)에 의하여 에어 스페이서(154) 및 이격 공간(192R)은 외부와 고립될 수 있다. 에어 스페이서(154)는 베리드 콘택(170)과 랜딩 패드(180)가 이루는 콘택 구조체와 서로 인접하는 비트 라인(147) 사이의 커패시턴스를 감소시킬 수 있다.
- [0096] 에어 스페이서(154)로부터 이격 공간(192R)을 사이에 두고 이격된 커버 절연 패턴(210)에 의하여 에어 캡핑 패턴(252) 또한 에어 스페이서(154)와 이격되도록 형성할 수 있다.
- [0097] 커버 절연 패턴(210)이 없는 경우, 에어 캡핑 패턴(252)을 형성하는 과정에서 에어 캡핑 패턴(252)이 에어 입구(AGG)와 접하고, 에어 스페이서(154)의 일부분을 채울 수 있다. 이 경우 에어 스페이서(154)의 부피가 상대적으로 감소할 수 있어, 베리드 콘택(170)과 랜딩 패드(180)가 이루는 콘택 구조체와 서로 인접하는 비트 라인(147) 사이의 커패시턴스가 증가할 수 있다.
- [0098] 그러나 본 발명에 따른 반도체 소자(1)는 커버 절연 패턴(210)에 의하여, 에어 캡핑 패턴(252)이 에어 입구(AGG)와 이격되도록 형성될 수 있어, 에어 스페이서(154)의 부피가 감소하는 것을 방지할 수 있다. 특히, 커버 절연 패턴(210)이 가지는 갭부(210G)의 최하단의 폭인 제2 폭(W2)이 에어 입구(AGG)의 폭인 제1 폭(W1)보다 작은 값을 가지므로, 갭부(210G)를 통하여 이격 공간(192R) 내부로 연장되는 에어 캡핑 패턴(252)의 부분인 꼬리부(250t)의 폭 또한 제2 폭(W2)과 같거나 작게 형성될 수 있다.
- [0099] 또한 갭부(210G)는 커버 절연 패턴(210)의 상단부로부터 기판(110)을 향하여 폭이 좁아지며 연장되므로, 갭부(210G)를 통하여 이격 공간(192R) 내부로 연장되는 꼬리부(250t) 또한 기판(110)을 향하여 폭이 좁아지며 연장

될 수 있다. 따라서 꼬리부(250t)가 에어 스페이서(154), 즉 에어 입구(AGG)까지 연장되는 것을 방지하여, 에어 스페이서(154)의 부피를 최대한 확보할 수 있다. 따라서 베리드 콘택(170)과 랜딩 패드(180)가 이루는 콘택 구조체와 서로 인접하는 비트 라인(147) 사이의 커패시턴스를 최소화할 수 있다.

- [0100] 도 12a 및 도 12b는 본 발명의 일 실시 예에 따른 반도체 소자의 주요부를 나타내는 단면도 및 그 확대도이다. 구체적으로 도 12b는 도 12a의 XIIb 부분을 확대하여 나타내는 확대 단면도이다. 도 12a 및 도 12b에 대한 설명 중 도 2 내지 도 11b와 중복되는 내용은 생략될 수 있으며, 동일한 부재 번호는 동일한 구성 요소를 나타낸다.
- [0101] 도 12a 및 도 12b를 함께 참조하면, 반도체 소자(1a)는 커버 절연 패턴(210) 상에 위치하는 슬릿 산화층(220)을 포함할 수 있다. 슬릿 산화층(220)은 커버 절연 패턴(210)과 에어 캡핑 패턴(252) 사이, 및 이격 공간(192R) 내에 노출되는 커버 절연 패턴(210)의 표면 상에 배치될 수 있다.
- [0102] 슬릿 산화층(220)은 커버 절연 패턴(210)을 형성한 후에 수행되는 세정 공정, 및/또는 매립 절연 패턴(도 8의 192)과 희생 스페이서(도 8의 154a)를 제거하는 공정 중에 노출되는 커버 절연 패턴(210)의 표면 상에 형성될 수 있다.
- [0103] 슬릿 산화층(220)은 예를 들면, 산화막, 또는 산질화막으로 이루어질 수 있다.
- [0104] 도 13a 및 도 13b는 본 발명의 일 실시 예에 따른 반도체 소자의 주요부를 나타내는 단면도 및 그 확대도이다. 구체적으로 도 13b는 도 13a의 XIIIb 부분을 확대하여 나타내는 확대 단면도이다. 도 13a 및 도 13b에 대한 설명 중 도 2 내지 도 12b와 중복되는 내용은 생략될 수 있으며, 동일한 부재 번호는 동일한 구성 요소를 나타낸다.
- [0105] 도 13a 및 도 13b를 함께 참조하면, 반도체 소자(1b)는 커버 절연 패턴(210) 및 에어 캡핑 패턴(254)을 포함한다. 에어 캡핑 패턴(254)은 도 10a 내지 도 11b를 통하여 설명한 에어 캡핑 패턴(252)과 유사한 방법을 수행하여 형성할 수 있다.
- [0106] 예를 들면, 도 10a 및 도 10b에 보인 것과 같이 커버 절연 패턴(210) 및 랜딩 패드(180)를 덮는 에어 캡핑층(250)을 형성한다. 에어 캡핑층(250)은 커버 절연 패턴(210)에 의하여 한정되는 갭부(210G)를 채우고, 랜딩 패드(180)의 상면을 덮도록 형성될 수 있다. 이후 에어 캡핑층(250)의 상측 일부분을 제거하여, 에어 캡핑 패턴(254)을 형성한다.
- [0107] 에어 캡핑 패턴(254)은, 커버 절연 패턴(210)이 노출될 때까지, 에어 캡핑층(250)의 일부분을 제거하여 형성할 수 있다.
- [0108] 에어 캡핑층(250)은 커버 절연 패턴(210)과 유사한 식각 특성을 가지는 물질로 이루어질 수 있으며, 에어 캡핑층(250)의 일부분을 제거하여 에어 캡핑 패턴(254)을 형성하는 과정에서 커버 절연 패턴(210)의 상측 일부분도 함께 제거될 수 있다.
- [0109] 커버 절연 패턴(210)의 상면과 에어 캡핑 패턴(254)의 상면은 동일 평면상에 위치(coplanar)할 수 있다.
- [0110] 커버 절연 패턴(210)의 최상단과 에어 캡핑 패턴(254) 각각의 최상단은 동일한 레벨을 가지고, 랜딩 패드(180)의 상면보다 낮은 레벨을 가질 수 있다. 커버 절연 패턴(210)의 최상단 및 에어 캡핑 패턴(254)의 최상단은 랜딩 패드(180)의 상면보다 50Å 내지 200Å이 낮은 레벨을 가질 수 있다.
- [0111] 도 14a 및 도 14b는 본 발명의 일 실시 예에 따른 반도체 소자의 주요부를 나타내는 단면도 및 그 확대도이다. 구체적으로 도 14b는 도 14a의 XIVb 부분을 확대하여 나타내는 확대 단면도이다.
- [0112] 도 14a 및 도 14b를 함께 참조하면, 반도체 소자(1c)는 커버 절연 패턴(210) 및 에어 캡핑 패턴(252a)을 포함한다. 에어 캡핑 패턴(252a)은 도 10a 내지 도 11b를 통하여 설명한 에어 캡핑 패턴(252)과 유사한 방법을 수행하여 형성할 수 있다.
- [0113] 예를 들면, 도 10a 및 도 10b에 보인 것과 유사하게 커버 절연 패턴(210) 및 랜딩 패드(180)를 덮는 에어 캡핑층을 형성한다. 이때 상기 에어 캡핑층은 에어 캡이격 공간(192R) 내로 연장되는 꼬리부(250ta)를 가질 수 있다. 꼬리부(250ta)는 이격 공간(192R)의 저면까지 연장되되, 에어 입구(AGG)와 이격될 수 있다.
- [0114] 상기 에어 캡핑층은 커버 절연 패턴(210)에 의하여 한정되는 갭부(210G)를 채우고, 랜딩 패드(180)의 상면을 덮도록 형성될 수 있다. 이후 상기 에어 캡핑층의 상측 일부분을 제거하여, 에어 캡핑 패턴(252a)을 형성한다.
- [0115] 상기 에어 캡핑층은 커버 절연 패턴(210)과 유사한 식각 특성을 가지는 물질로 이루어질 수 있다. 에어 캡핑 패

턴(252a)은 커버 절연 패턴(210) 상을 덮고, 갭부(210G)를 채울 수 있다.

- [0116] 본 발명에 따른 반도체 소자(1c)는 커버 절연 패턴(210)에 의하여, 에어 캡핑 패턴(252a)이 에어 입구(AGG)와 이격되도록 형성될 수 있어, 에어 스페이서(154)의 부피가 감소하는 것을 방지할 수 있다. 특히, 커버 절연 패턴(210)이 가지는 갭부(210G)의 최하단의 폭인 제2 폭(W2)이 에어 입구(AGG)의 폭인 제1 폭(W1)보다 작은 값을 가지므로, 갭부(210G)를 통하여 이격 공간(192R) 내부로 연장되는 에어 캡핑 패턴(252a)의 부분인 꼬리부(250ta)의 폭 또한 제2 폭(W2)과 같거나 작게 형성될 수 있다.
- [0117] 또한 갭부(210G)는 커버 절연 패턴(210)의 상단부로부터 기관(110)을 향하여 폭이 좁아지며 연장되므로, 갭부(210G)를 통하여 이격 공간(192R) 내부로 연장되는 꼬리부(250ta) 또한 기관(110)을 향하여 폭이 좁아지며 연장될 수 있다. 따라서 꼬리부(250ta)가 에어 스페이서(154), 즉 에어 입구(AGG)와 접하는 것을 방지하여, 에어 스페이서(154)의 부피를 최대한 확보할 수 있다. 따라서 베리드 콘택(170)과 랜딩 패드(180)가 이루는 콘택 구조체와 서로 인접하는 비트 라인(147) 사이의 커패시턴스를 최소화할 수 있다.
- [0118] 별도로 도시하지는 않았으나, 일부 실시 예에서, 상기 에어 캡핑층의 일부분을 제거하여 에어 캡핑 패턴(252a)을 형성하는 과정에서 커버 절연 패턴(210)의 상측 일부분도 함께 제거되어, 커버 절연 패턴(210)의 상면과 에어 캡핑 패턴(252a)의 상면이 도 13a 및 도 13b에 보인 것과 유사하게 동일 평면상에 위치할 수 있다.
- [0119] 또한 별도로 도시하지는 않았으나, 일부 실시 예에서, 도 13a 내지 도 14b에 보인 반도체 소자(1b, 1c)는 도 12a 및 도 12b에 보인 반도체 소자(1a)가 가지는 슬릿 산화층(220)을 더 포함할 수 있다.
- [0120] 도 15는 본 발명의 일 실시 예에 따른 반도체 소자를 나타내는 블록도이다.
- [0121] 도 15를 참조하면, 반도체 소자(1000)는 메모리 셀 어레이(1010), 로우 디코더(1020), 센스 앰프(1030), 칼럼 디코더(1040), 셀프 리프레쉬 제어회로(1050), 커맨드 디코더(1060), MRS/EMRS (Mode Register Set/Extended Mode Register Set) 회로(1070), 어드레스 버퍼(1080), 및 데이터 입출력 회로(1090)를 구비한다. 반도체 소자(1000)는 도 1 내지 도 14b를 통하여 설명한 반도체 소자 중 적어도 하나를 포함한다.
- [0122] 메모리 셀 어레이(1010)에는 데이터를 저장하기 위한 복수의 메모리 셀이 로우(row) 방향과 칼럼(column) 방향으로 배열되어 있다. 복수의 메모리 셀은 각각 셀 커패시터와 액세스 트랜지스터로 구성될 수 있다. 액세스 트랜지스터의 게이트는 로우 방향으로 배열된 복수의 워드 라인들 중 해당 워드 라인에 연결되고, 그 소스 및 드레인 중 하나는 칼럼 방향으로 배열되어 있는 비트 라인(BL) 또는 상보 비트 라인(/BL)에 연결되며, 그 소스 및 드레인 중 다른 하나는 셀 커패시터에 연결될 수 있다.
- [0123] 센스 앰프(1030)는 메모리 셀의 데이터를 감지 증폭하고 메모리 셀로 데이터를 저장한다. 센스 앰프(1030)는 비트 라인(BL)과 상보 비트 라인(/BL) 사이에 연결되는 크로스-커플드(cross-coupled) 증폭기로 구현될 수 있다.
- [0124] 데이터 입출력 회로(1090)를 통하여 입력된 데이터(DQ)는 어드레스 신호(ADD)에 기초하여 메모리 셀 어레이(1010)에 기입되고, 어드레스 신호(ADD)에 기초하여 메모리 셀 어레이(1010)로부터 독출된 데이터(DQ)는 데이터 입출력 회로(1090)를 통하여 외부로 출력된다. 데이터가 기입 또는 독출될 메모리 셀을 지정하기 위하여 어드레스 신호(ADD)가 어드레스 버퍼(1080)로 입력된다. 어드레스 버퍼(1080)는 외부에서 입력되는 어드레스 신호(ADD)를 일시적으로 저장한다.
- [0125] 로우 디코더(1020)는 데이터가 입력 혹은 출력될 메모리 셀과 연결된 워드 라인을 지정하기 위하여 어드레스 버퍼(1080)로부터 출력된 어드레스 신호(ADD) 중 로우 어드레스(row address)를 디코딩한다. 즉, 로우 디코더(1020)는 데이터 기입 또는 독출 모드에서는 어드레스 버퍼(1080)로부터 출력된 로우 어드레스를 디코딩하여 해당 워드 라인을 인에이블한다. 또한, 로우 디코더(1020)는 셀프 리프레쉬 모드에서는 어드레스 카운터로부터 발생하는 로우 어드레스를 디코딩하여 해당 워드 라인을 인에이블한다.
- [0126] 칼럼 디코더(1040)는 데이터가 입력 또는 출력될 메모리 셀과 연결된 비트 라인을 지정하기 위하여, 어드레스 버퍼(1080)로부터 출력된 어드레스 신호(ADD) 중 칼럼 어드레스(column address)를 디코딩한다.
- [0127] 메모리 셀 어레이(1010)는 로우 및 칼럼 어드레스에 의해 지정된 메모리 셀로부터 데이터를 출력하거나 메모리 셀로 데이터를 기입한다.
- [0128] 커맨드 디코더(1060)는 외부로부터 인가되는 명령 신호(CMD)를 수신하고, 이 신호들을 디코딩하여 디코딩된 명령 신호, 예를 들면 셀프 리프레쉬 진입 명령, 셀프 리프레쉬 종료 명령을 내부적으로 발생한다.
- [0129] MRS/EMRS 회로(1070)는 반도체 소자(1000)의 동작 모드를 지정하기 위한 MRS/EMRS 명령 및 어드레스 신호(AD

D)에 응답하여 내부의 모드 레지스터를 설정한다.

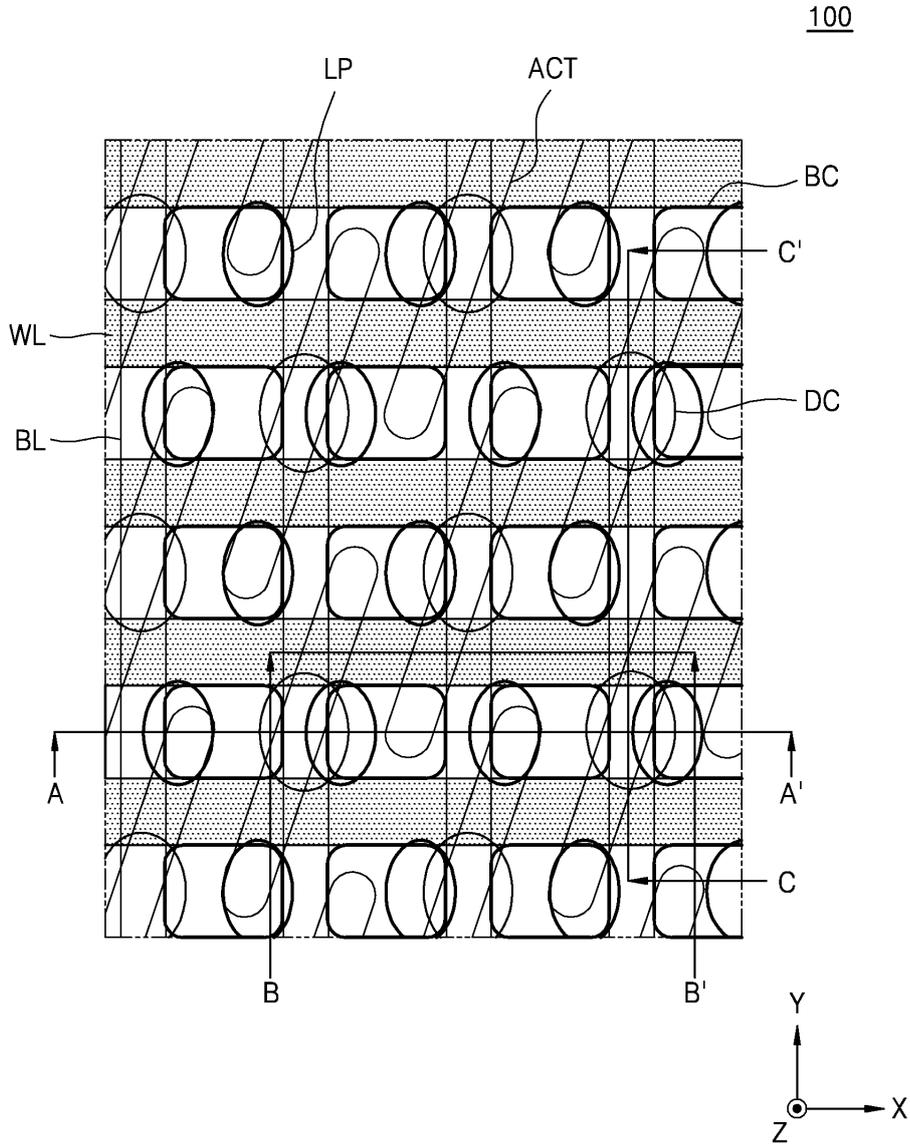
- [0130] 또한, 도 15에 도시되지는 않았지만, 반도체 소자(1000)는 클럭 신호를 발생하기 위한 클럭 회로, 외부로부터 인가되는 전원 전압을 수신하여 내부 전압을 생성하거나 분배하는 전원 회로 등을 더 구비할 수 있다.
- [0131] 셀프 리프레쉬 제어회로(1050)는 커맨드 디코더(1060)에서 출력되는 명령에 응답하여 반도체 메모리 장치(1000)의 셀프 리프레쉬 동작을 제어한다.
- [0132] 커맨드 디코더(1060)는 어드레스 카운터, 타이머 및 코어 전압 발생부를 구비할 수 있다. 어드레스 카운터는 커맨드 디코더(1060)로부터 출력되는 셀프 리프레쉬 진입 명령에 응답하여 셀프 리프레쉬 대상이 되는 로우 어드레스를 지정하기 위한 로우 어드레스를 발생하여 로우 디코더(1020)로 인가할 수 있다. 어드레스 카운터는 커맨드 디코더(1060)로부터 출력되는 셀프 리프레쉬 종료 (self refresh exit) 명령에 응답하여 카운팅 동작을 중단할 수 있다.
- [0133] 메모리셀 어레이(1010) 및 센스 앰프(1030)는 메모리 코어부를 구성할 수 있다.
- [0134] 도 16은 본 발명의 일 실시 예에 의한 반도체 소자를 포함하는 시스템을 나타내는 구성도이다.
- [0135] 도 16을 참조하면, 시스템(2000)은 제어기(2100), 입/출력 장치(2200), 기억 장치(2300), 및 인터페이스(2400)를 포함한다. 시스템(2000)은 모바일 시스템 또는 정보를 전송하거나 전송받는 시스템일 수 있다. 일부 실시 예에서, 모바일 시스템은 PDA, 휴대용 컴퓨터 (portable computer), 웹 태블릿 (web tablet), 무선 폰 (wireless phone), 디지털 뮤직 플레이어 (digital music player) 또는 메모리 카드 (memory card)이다. 제어기(2100)는 시스템(2000)에서의 실행 프로그램을 제어하기 위한 것으로, 마이크로프로세서 (microprocessor), 디지털 신호 처리기 (digital signal processor), 마이크로컨트롤러 (microcontroller), 또는 이와 유사한 장치로 이루어질 수 있다. 입/출력 장치(2200)는 시스템(2000)의 데이터를 입력 또는 출력하는데 이용될 수 있다. 시스템(2000)은 입/출력 장치(2200)를 이용하여 외부 장치, 예컨대 개인용 컴퓨터 또는 네트워크에 연결되고, 외부 장치와 서로 데이터를 교환할 수 있다. 입/출력 장치(2200)는, 예를 들면 키패드 (keypad), 키보드 (keyboard), 또는 표시장치 (display)일 수 있다.
- [0136] 기억 장치(2300)는 제어기(2100)의 동작을 위한 코드 및/또는 데이터를 저장하거나, 제어기(2100)에서 처리된 데이터를 저장할 수 있다. 기억 장치(2300)는 도 1 내지 도 14b를 참조하여 설명한 본 발명의 기술적 사상에 의한 실시 예들에 따른 반도체 소자 중 적어도 하나, 또는 본 발명의 기술적 사상의 범위 내에서 이들로부터 변형 및 변경된 반도체 소자들 중 적어도 하나를 포함할 수 있다.
- [0137] 인터페이스(2400)는 시스템(2000)과 외부의 다른 장치 사이의 데이터 전송 통로일 수 있다. 제어기(2100), 입/출력 장치(2200), 기억 장치(2300), 및 인터페이스(2400)는 버스(2500)를 통해 서로 통신할 수 있다. 시스템(2000)은 모바일 폰 (mobile phone), MP3 플레이어, 네비게이션 (navigation), 휴대용 멀티미디어 재생기 (portable multimedia player, PMP), 고상 디스크 (solid state disk; SSD), 또는 가전 제품 (household appliances)에 이용될 수 있다.
- [0138] 이상, 본 발명을 바람직한 실시 예를 들어 상세하게 설명하였으나, 본 발명은 실시 예에 한정되지 않고, 본 발명의 기술적 사상 및 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러가지 변형 및 변경이 가능하다.

부호의 설명

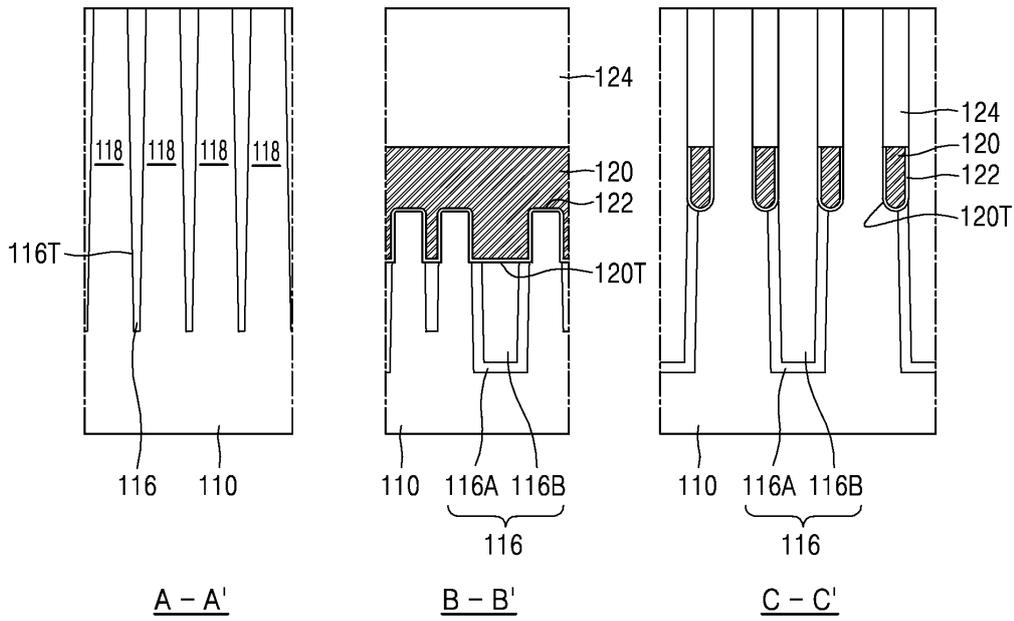
- [0139] 1, 1a, 1b, 1c : 반도체 소자, 110 : 기판, 140 : 비트 라인 구조체, 147 : 비트 라인, 148 : 절연 캡핑 라인, 150 : 절연 스페이스 구조체, 152 : 제1 절연 스페이스, 154 : 에어 스페이스, 156 : 제2 절연 스페이스, AGG : 에어 입구, 170 : 베리드 콘택, 180 : 랜딩 패드, 192R : 이격 공간, 210 : 커버 절연 패턴, 210G : 갭부, 252, 252a, 254 : 에어 캡핑 패턴, 250t, 250ta : 꼬리부

도면

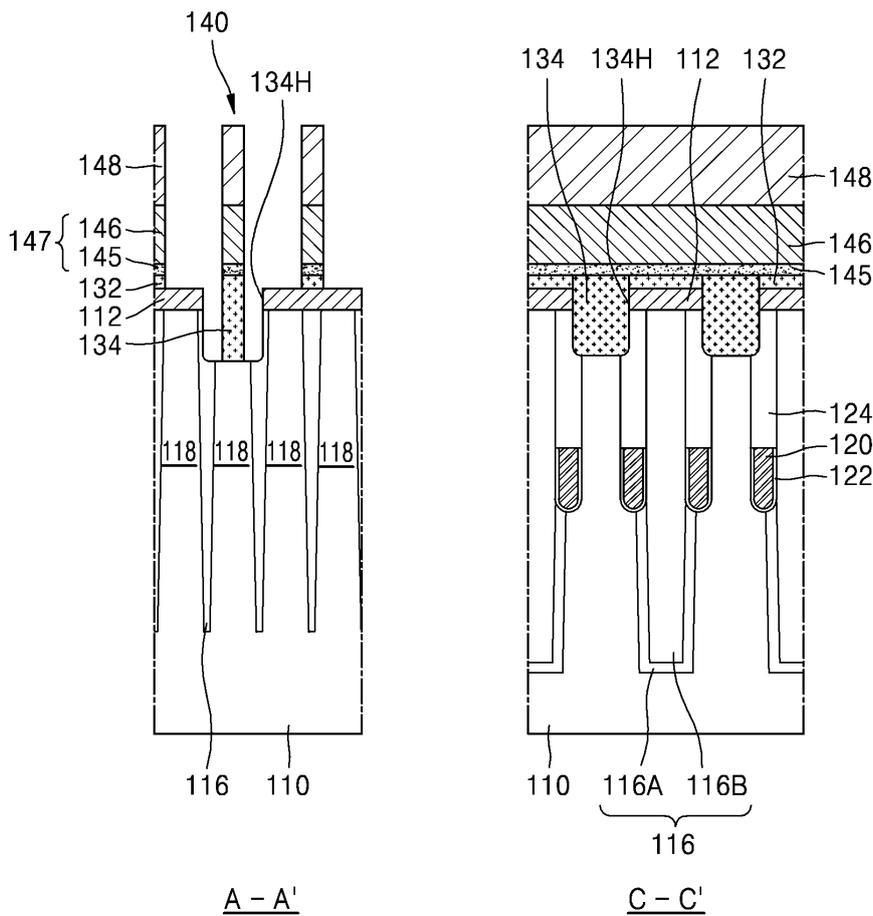
도면1



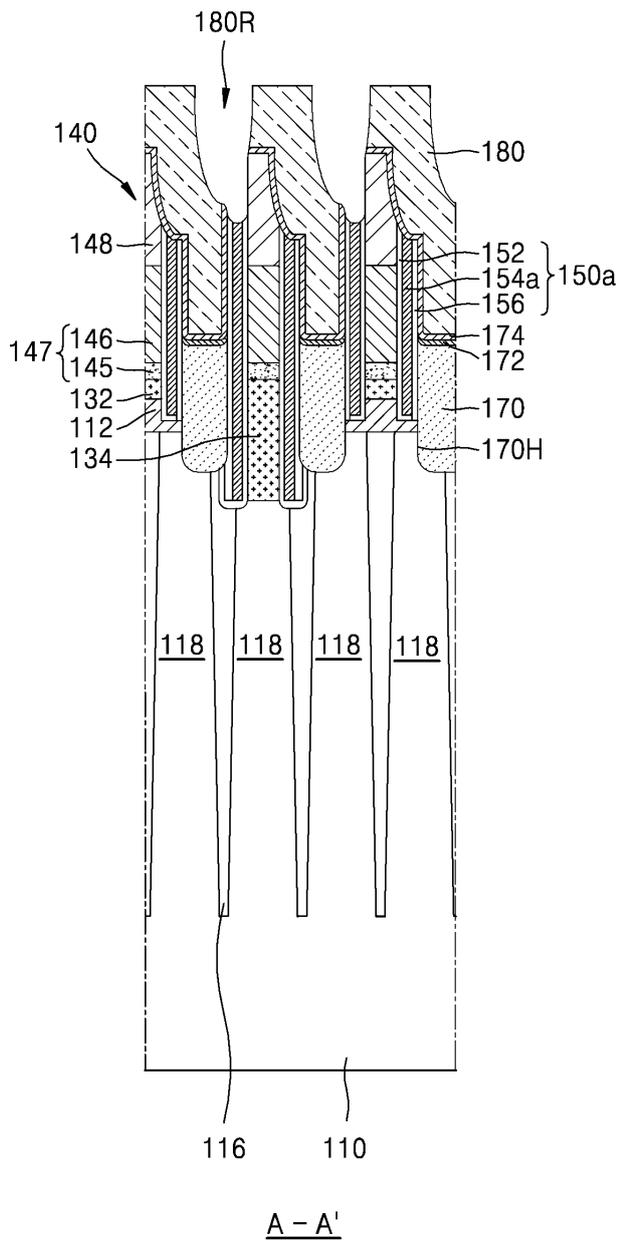
도면2



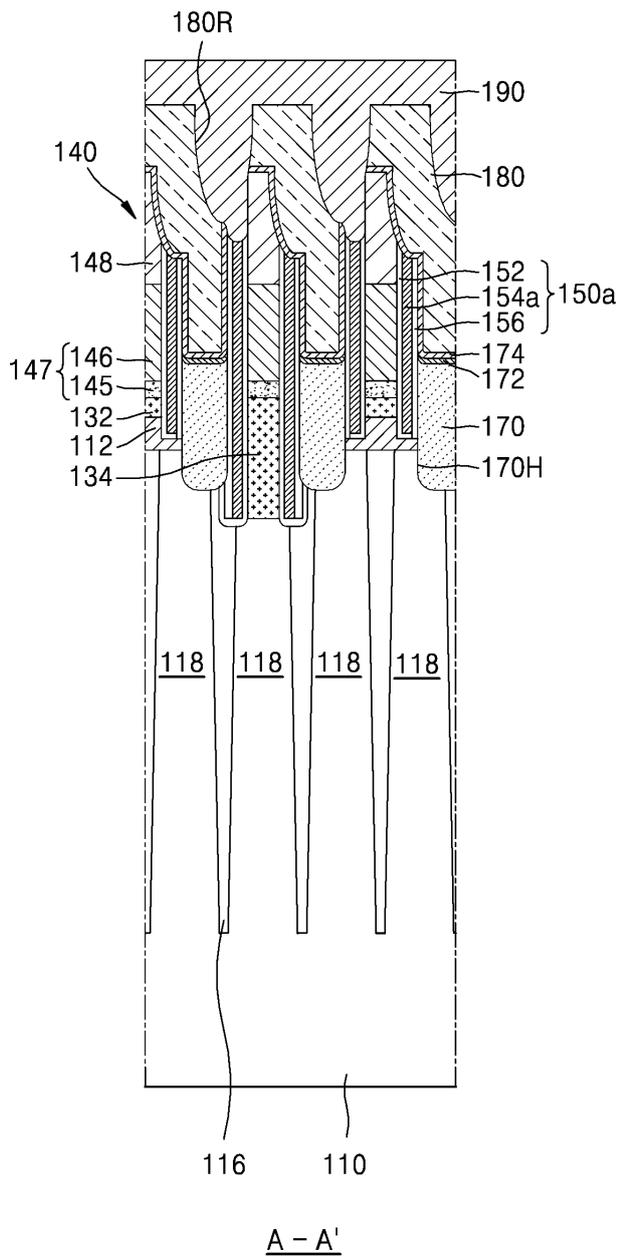
도면3



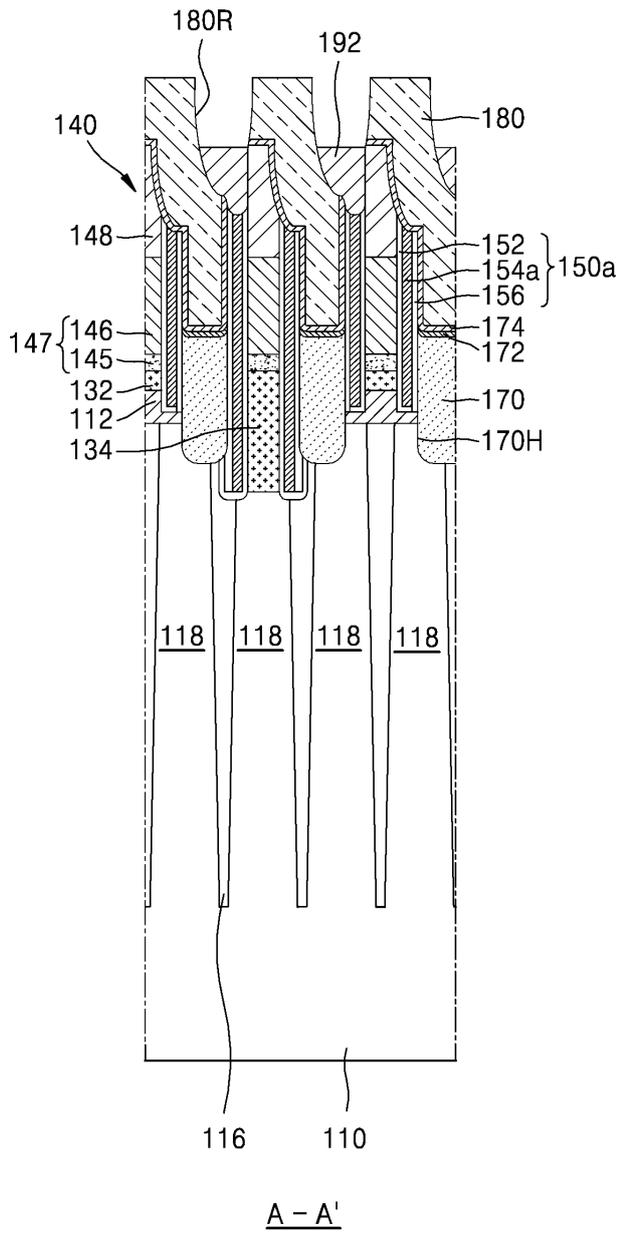
도면4



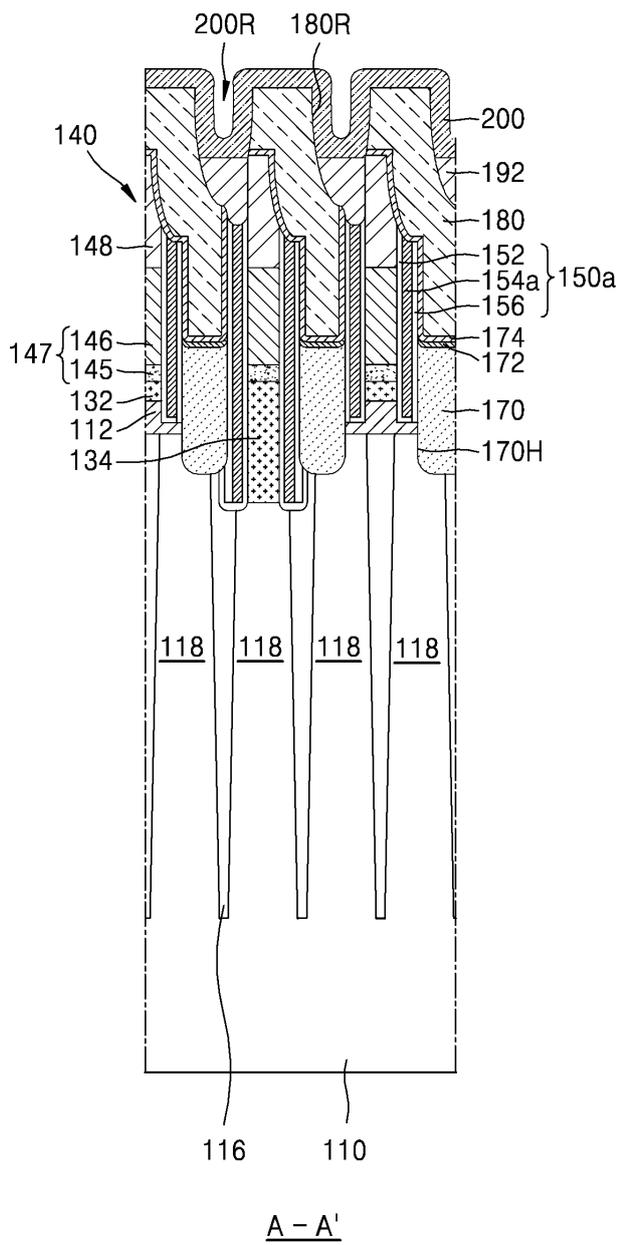
도면5



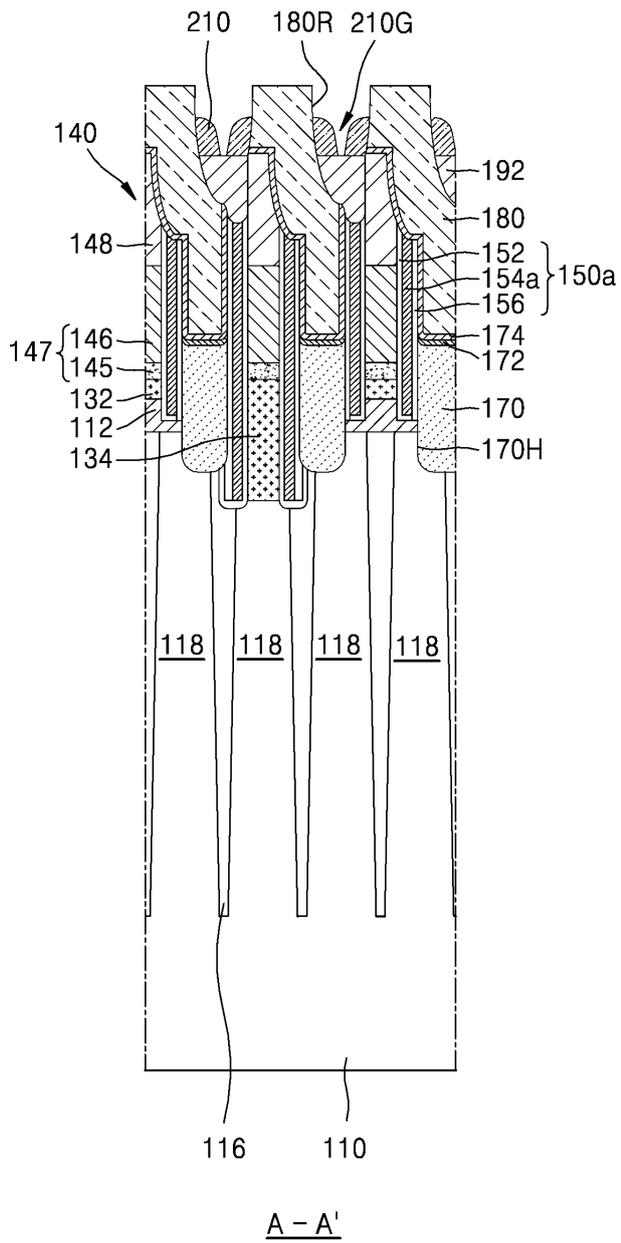
도면6



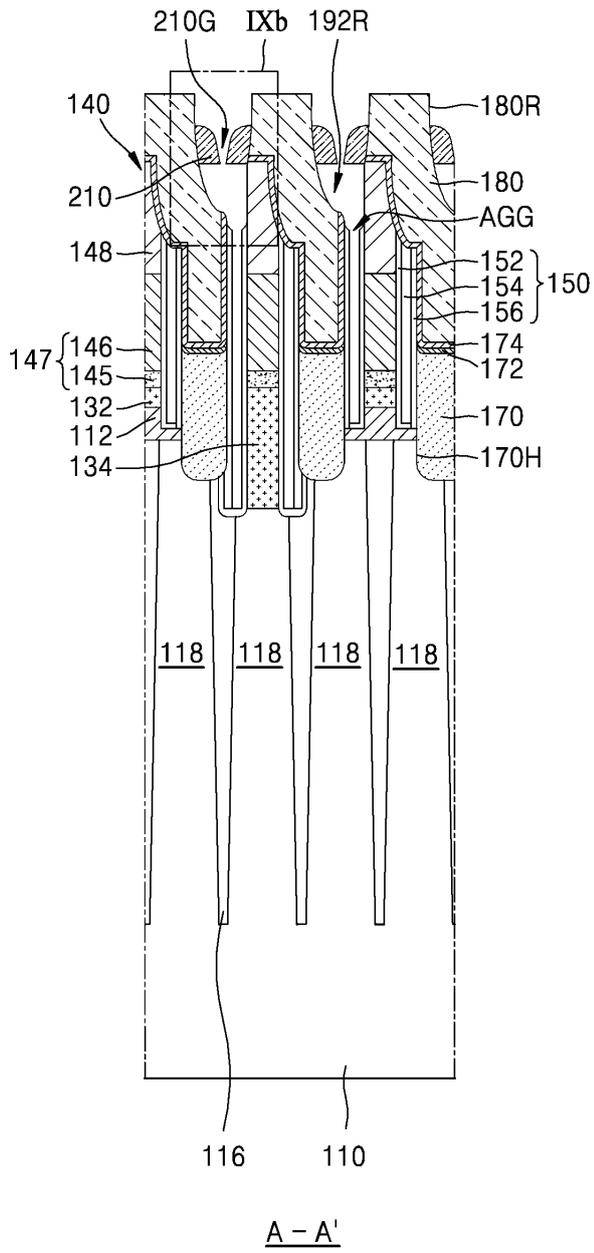
도면7



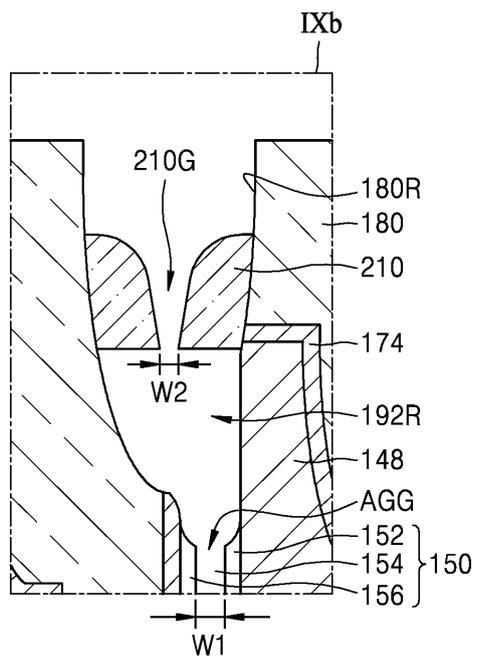
도면8



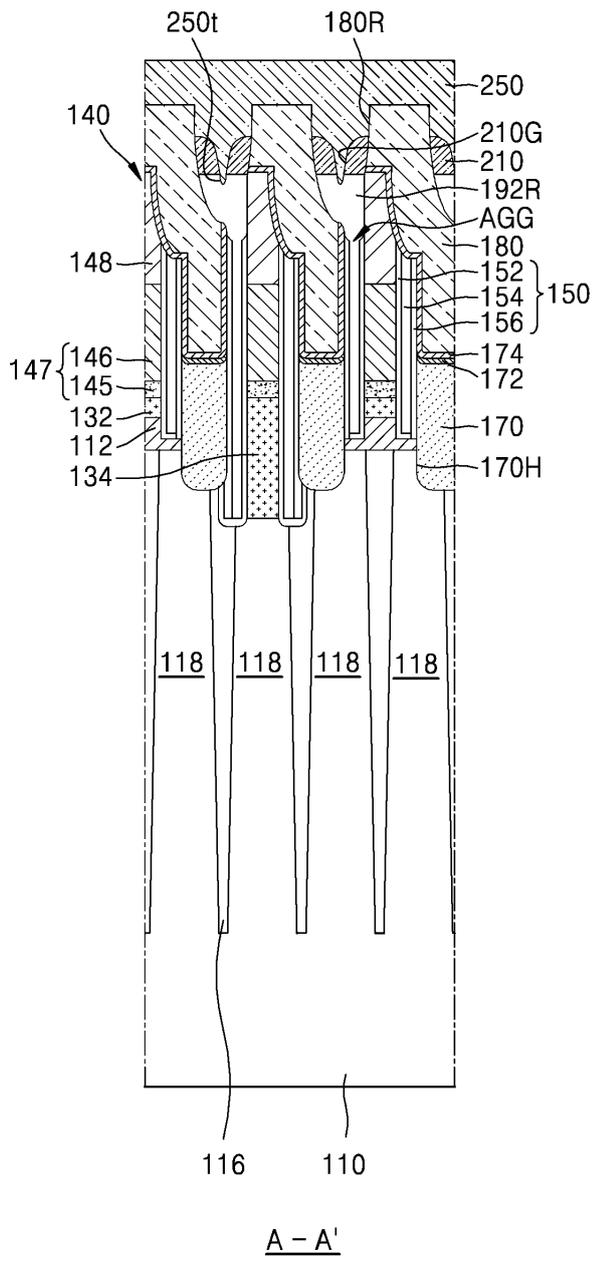
도면9a



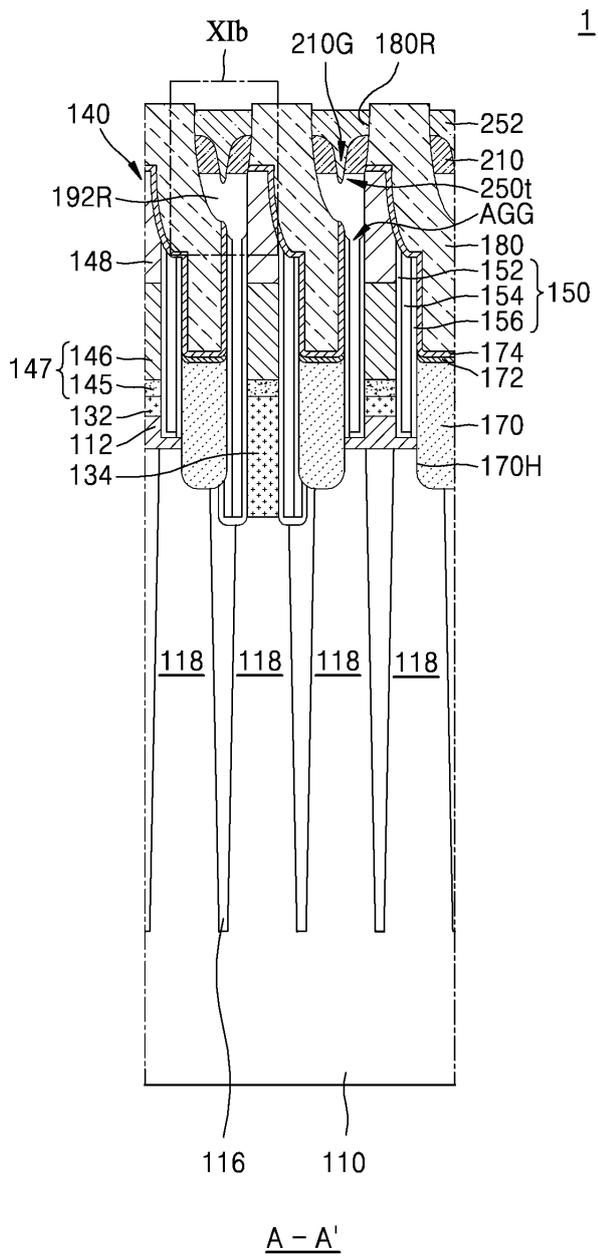
도면9b



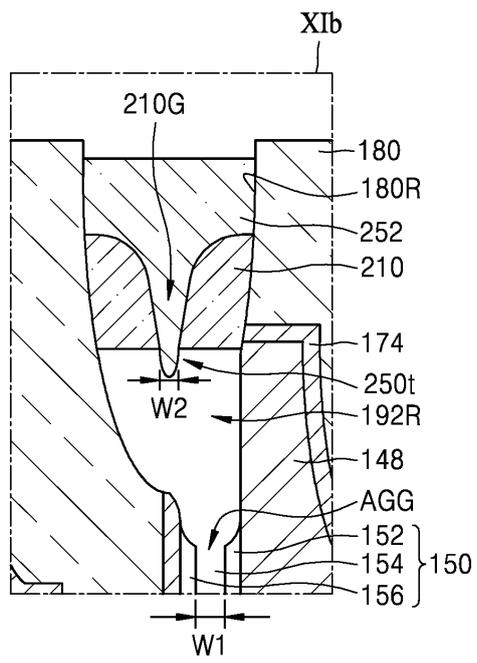
도면10



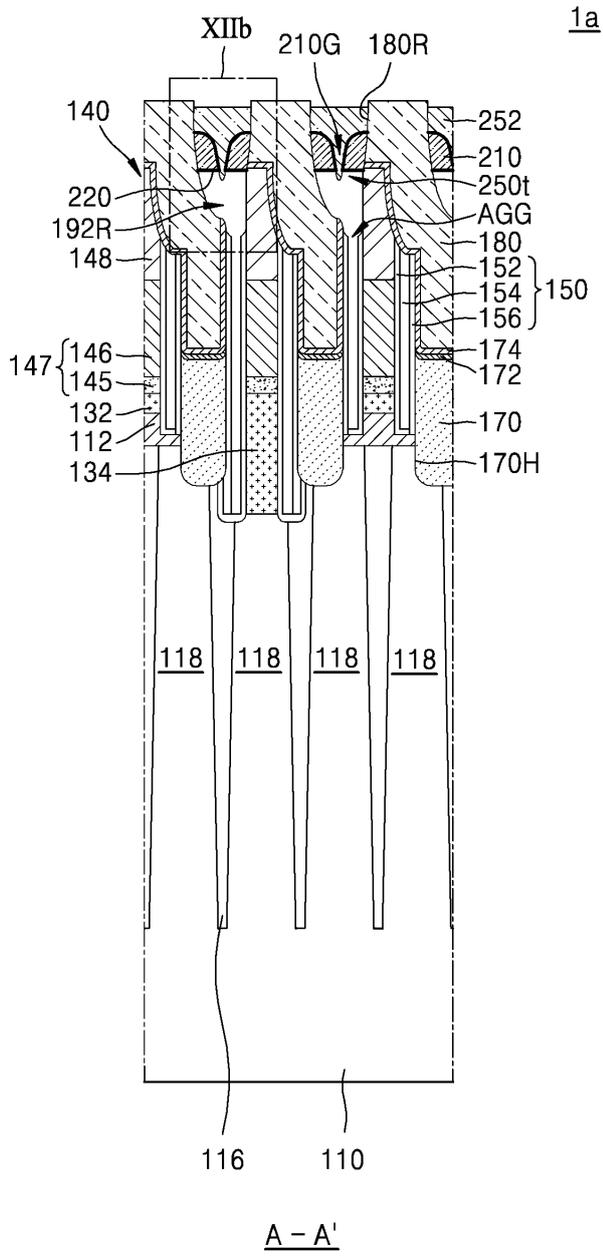
도면11a



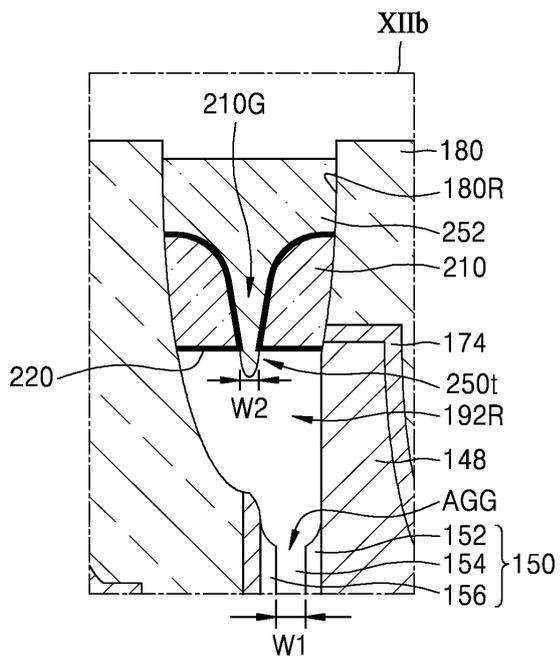
도면11b



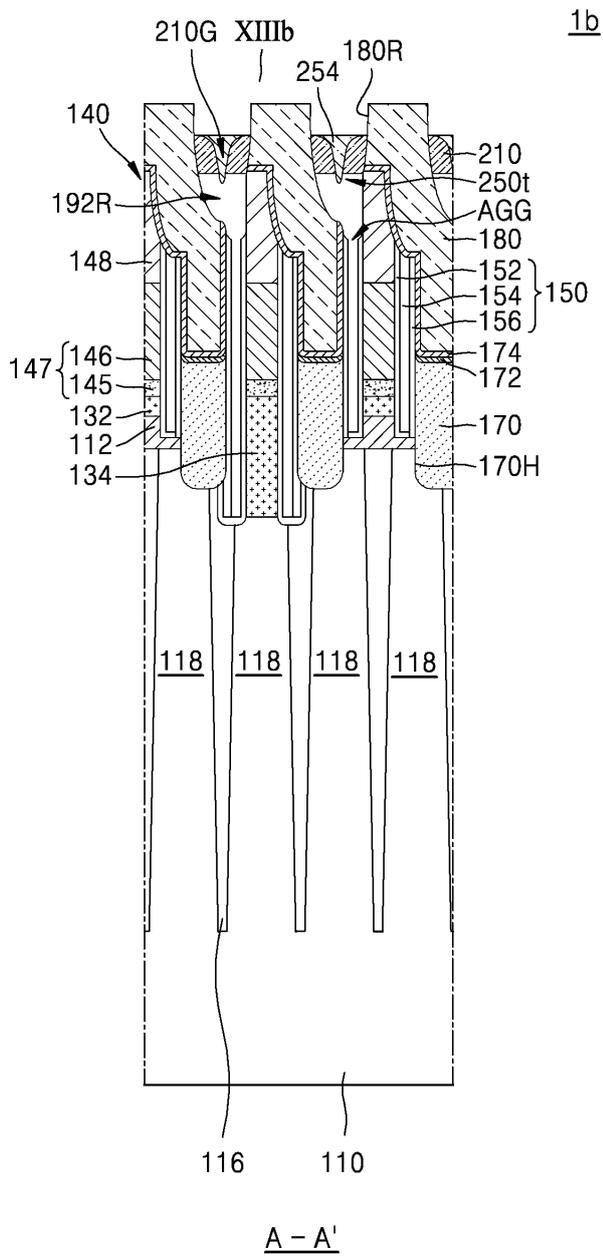
도면12a



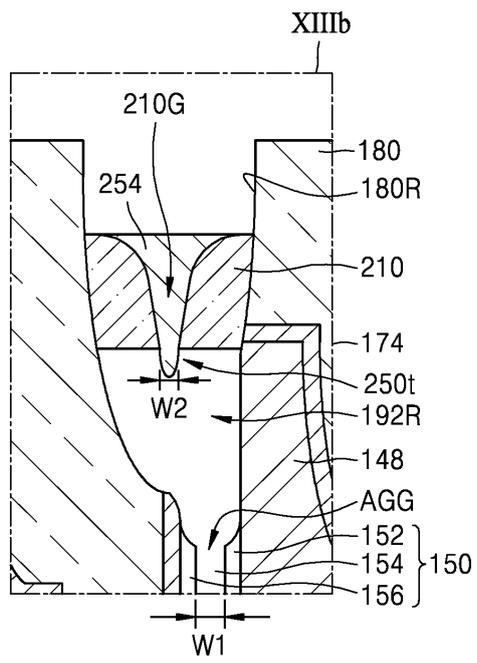
도면 12b



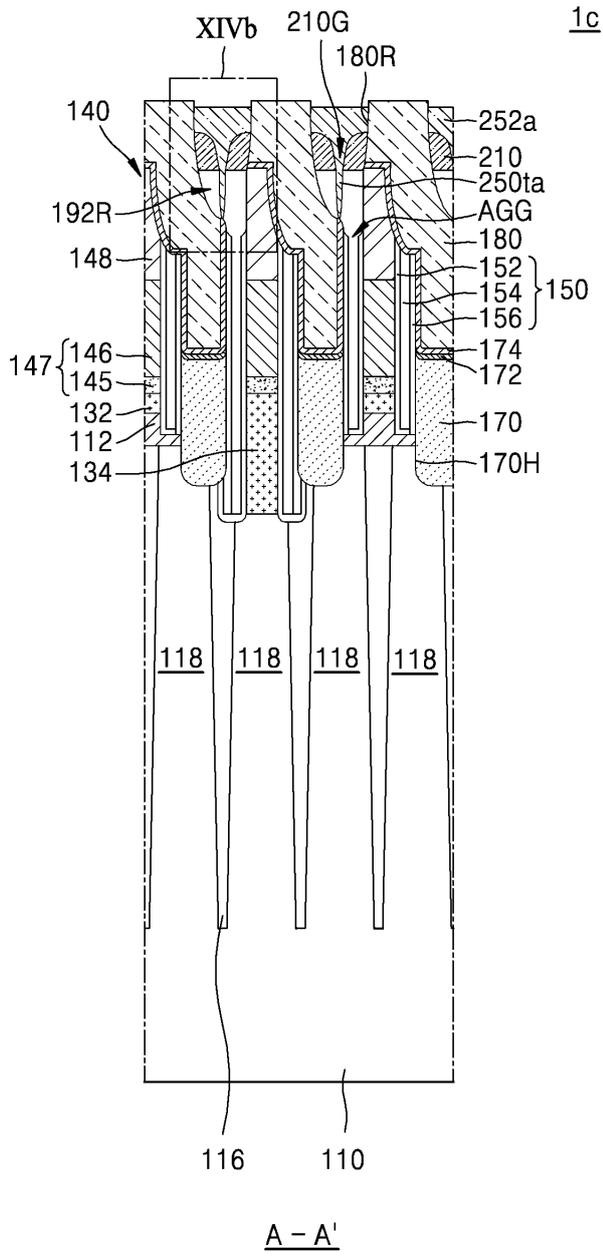
도면13a



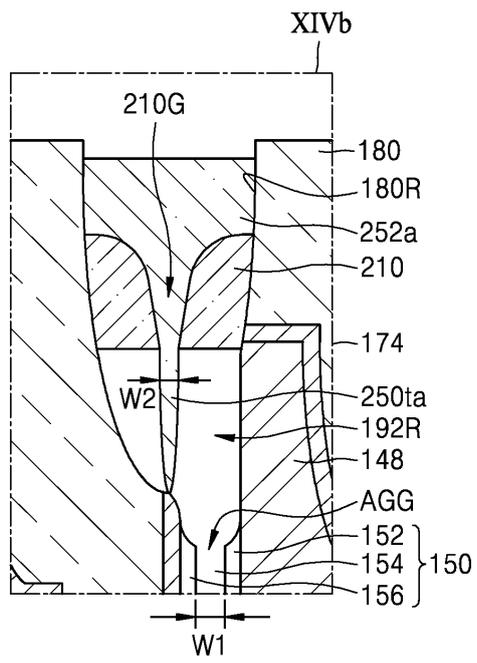
도면13b



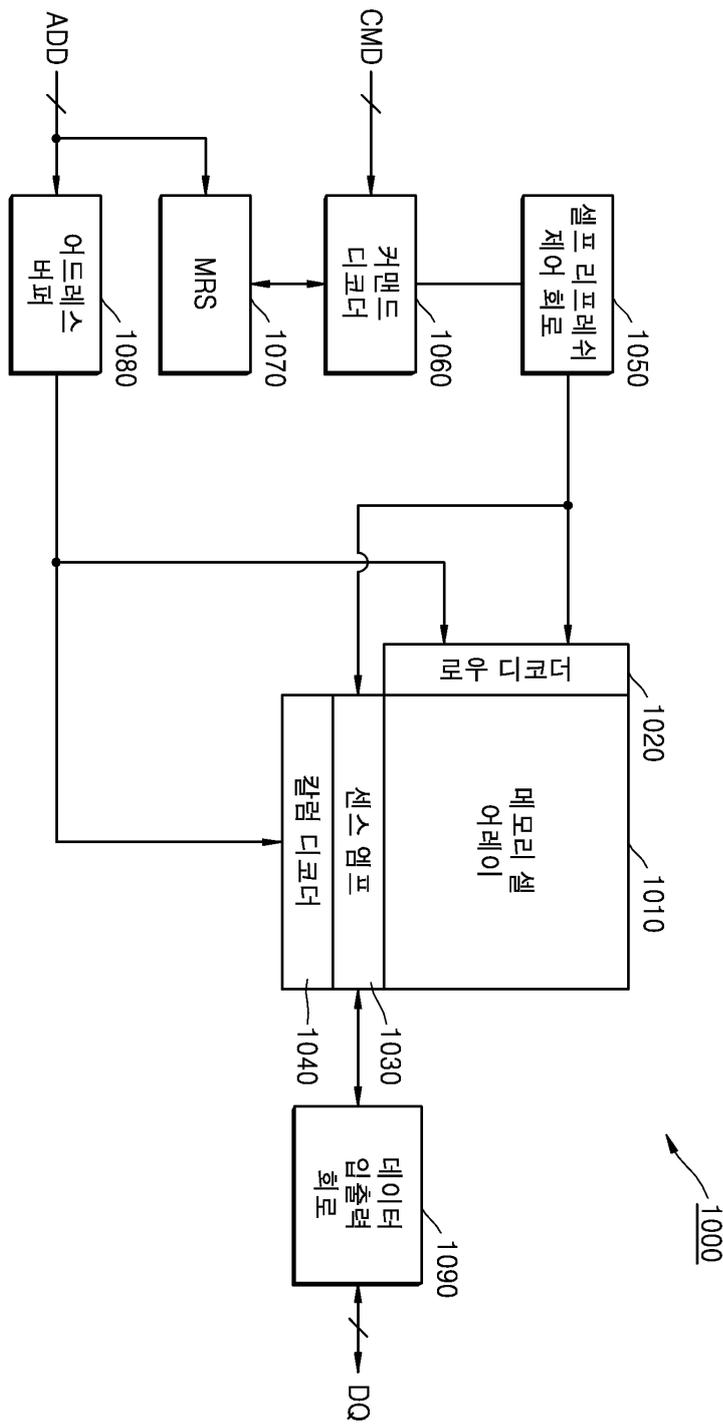
도면14a



도면14b



도면15



도면16

