

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4110926号
(P4110926)

(45) 発行日 平成20年7月2日(2008.7.2)

(24) 登録日 平成20年4月18日(2008.4.18)

(51) Int.Cl.

F I

HO2M 3/155 (2006.01)

HO2M 3/155

H

HO2M 3/155

B

請求項の数 13 (全 35 頁)

(21) 出願番号 特願2002-319634 (P2002-319634)
 (22) 出願日 平成14年11月1日(2002.11.1)
 (65) 公開番号 特開2004-96982 (P2004-96982A)
 (43) 公開日 平成16年3月25日(2004.3.25)
 審査請求日 平成17年5月17日(2005.5.17)
 (31) 優先権主張番号 特願2002-202090 (P2002-202090)
 (32) 優先日 平成14年7月11日(2002.7.11)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 503361248
 富士電機デバイステクノロジー株式会社
 東京都品川区大崎一丁目1番2号
 (74) 代理人 100092152
 弁理士 服部 毅巖
 (74) 代理人 100088339
 弁理士 篠部 正治
 (72) 発明者 吉田 豊
 神奈川県川崎市川崎区田辺新田1番1号
 富士電機株式会社内
 審査官 安池 一貴

最終頁に続く

(54) 【発明の名称】 DC-DCコンバータ

(57) 【特許請求の範囲】

【請求項1】

半導体スイッチをオンオフして、負荷に対して所定の電圧レベルに変換された直流電圧を供給するDC-DCコンバータにおいて、

少なくとも第1のフィードバック制御方式と第2のフィードバック制御方式とのいずれかに切替え可能に構成され、前記負荷を流れる負荷電流が所定値を越えて小さくなる領域においては前記第2のフィードバック制御方式を選択するとともに、前記負荷に供給される電圧レベルが変化するときには前記負荷電流の大きさにかわらず前記第1のフィードバック制御方式を選択することを特徴とするDC-DCコンバータ。

【請求項2】

前記第1のフィードバック制御方式をパルス幅変調(PWM)制御方式、第2のフィードバック制御方式をパルス周波数(PFM)制御方式とすることを特徴とする請求項1記載のDC-DCコンバータ。

【請求項3】

半導体スイッチをオンオフして、負荷に対して所定の電圧レベルに変換された直流電圧を供給するDC-DCコンバータにおいて、

前記半導体スイッチのスイッチング周波数を規定する三角波信号を生成する発振手段と、基準電圧として指令される出力電圧制御信号と前記負荷に供給した電圧レベルに応じてフィードバックされる検出電圧との差電圧を増幅する増幅手段と、

PWM制御方式、あるいはPFM制御方式のいずれかのフィードバック制御方式に切り替

えて前記発振手段の三角波信号と前記増幅手段の差電圧とを比較するとともに、前記半導体スイッチをオンオフする駆動用パルス信号のパルス幅を変調するパルス幅変調制御手段と、

前記パルス幅変調制御手段のフィードバック制御方式を切り替える際に、前記負荷に流れる負荷電流が所定値を越えて小さくなる領域においては前記 P F M 制御方式を選択するとともに、前記負荷に供給される電圧レベルが変化するときには前記負荷電流の大きさにかかわらず前記 P W M 制御方式を選択する制御方式選択手段と、

を備えることを特徴とする D C - D C コンバータ。

【請求項 4】

前記制御方式選択手段は、前記負荷電流の大きさを判定する負荷電流判定回路と、前記負荷に供給される電圧レベルの変化を検出する電圧変化検出回路とを備えることを特徴とする請求項 3 記載の D C - D C コンバータ。

10

【請求項 5】

前記電圧変化検出回路は、前記基準電圧として指令される出力電圧制御信号の変化量、及び前記負荷に実際に供給された出力電圧信号の変化量に基づいて、前記負荷に供給される電圧レベルの変化を検出することを特徴とする請求項 4 記載の D C - D C コンバータ。

【請求項 6】

前記電圧変化検出回路は、前記増幅手段の入出力端子間に設けた位相補償用抵抗に所定値を超えて電流が流れているか否かに応じて、前記負荷に供給される電圧レベルの変化を検出することを特徴とする請求項 4 記載の D C - D C コンバータ。

20

【請求項 7】

前記増幅手段は、動作点が固定の第 1 のアナログ増幅回路と、動作点が固定の第 2 のアナログ増幅回路とのカスケード接続により構成され、かつ、前記第 1 のアナログ増幅回路を差動増幅回路とすることを特徴とする請求項 3 記載の D C - D C コンバータ。

【請求項 8】

前記発振手段は、前記制御方式選択手段により前記 P F M 制御方式が選択されている場合には、前記増幅手段で増幅された差電圧と第 1 の基準電圧との差に比例する発振周波数の三角波信号を生成することを特徴とする請求項 3 記載の D C - D C コンバータ。

【請求項 9】

前記発振手段は、前記制御方式選択手段により前記 P F M 制御方式が選択されている場合には、前記増幅手段で増幅された差電圧と同電位に設定されるノードと、第 1 の基準電圧に設定されるノードとを接続する第 1 の抵抗回路に流れる電流の大きさに比例する発振周波数の三角波信号を生成し、

30

前記制御方式選択手段により前記 P W M 制御方式が選択されている場合には、第 2 の基準電圧と接地電位とを接続する第 2 の抵抗回路に流れる電流の大きさに比例する発振周波数の三角波信号を生成することを特徴とする請求項 3 記載の D C - D C コンバータ。

【請求項 10】

前記発振手段は、生成される三角波信号の下限値を規定するための監視回路を備えていることを特徴とする請求項 9 記載の D C - D C コンバータ。

【請求項 11】

前記発振手段では、前記第 1 の基準電圧を前記監視回路における三角波信号の下限値に等しい値としたことを特徴とする請求項 10 記載の D C - D C コンバータ。

40

【請求項 12】

前記発振手段では、前記第 1 の基準電圧を前記監視回路における三角波信号の下限値より大きい値とし、

P W M 制御時における前記エラーアンプ出力信号が前記第 1 の基準電圧と一致したときの出力電圧信号の大きさを、前記出力電圧信号の下限電圧値とした

ことを特徴とする請求項 10 記載の D C - D C コンバータ。

【請求項 13】

前記発振手段では、前記第 1 の基準電圧が前記監視回路における三角波信号の下限値より

50

小さい値とし、

P F M制御時における前記エラーアンプ出力信号が前記三角波信号の下限値と一致したときの発振周波数の大きさを、前記発振周波数の下限周波数値としたことを特徴とする請求項 10 記載の D C - D C コンバータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体スイッチをオンオフして、所定の電圧レベルに変換された直流電圧を負荷に供給する D C - D C コンバータに関し、特に、出力電圧が変化する場合でも半導体スイッチのスイッチング損失を低減するようにした D C - D C コンバータに関する。

10

【0002】

【従来の技術】

半導体スイッチをオンオフして直流電圧の変換を行う D C - D C コンバータは、負荷に供給される出力電圧を一定の目標値に保つように、半導体スイッチをオンオフするフィードバック制御を行っている。この場合に、負荷電流が定格電流の 20 ~ 30 % 以下になると、半導体スイッチのオンオフによる電圧変換効率が極端に低下してくる。そこで、軽負荷においても電圧変換効率を低下させないためには、負荷電流の減少に対応してスイッチング周波数を低下させて、スイッチングに伴う損失を低減する方法が知られている。

【0003】

従来から、D C - D C コンバータにおけるフィードバック制御方式には、P W M (P u l s e W i d t h M o d u l a t i o n) や P F M (P u l s e F r e q u e n c y M o d u l a t i o n) などの方式が知られている。また、例えば、特開平 11 - 155281、特開 2001 - 112251、特開 2001 - 157446 などの公報には、負荷電流の減少に伴いスイッチング周波数を下げることによって、広い負荷領域において高い効率を維持する P F M 制御方式を P W M 制御方式に併用する D C - D C コンバータの発明が示されている。

20

【0004】

最初に、D C - D C コンバータの P W M 制御について説明する。

図 29 は、P W M 制御方式の降圧 D C - D C コンバータの一例を示す回路図である。

【0005】

30

この D C - D C コンバータは、入力電源電圧 V_{in} を所定の電圧レベルに変換して、負荷 L O A D に供給するものであって、エラーアンプ A m p 1、位相補償用コンデンサ C 1、位相補償用抵抗 R 1、帰還抵抗 R 2、R 3、発振回路 O S C 2、パルス幅変調用コンパレータ C m p 1、出力用の P c h トランジスタ (M O S F E T) P 1、N c h トランジスタ (M O S F E T) N 1、チョークコイル L、ドライブ回路 D r 1、D r 2、及び平滑コンデンサ C o u t から構成されている。

【0006】

P W M 制御方式の降圧 D C - D C コンバータは、出力電圧信号 V_{out} を定める出力電圧制御信号 V_{cont} に対して、D C - D C コンバータの出力電圧信号 V_{out} が抵抗分圧されたフィードバック信号 V_{fb} を等しくするように動作する。例えば出力電圧信号 V_{out} の分圧を行う帰還抵抗 R 2 と R 3 の抵抗値が等しい場合には、出力電圧信号 V_{out} は出力電圧制御信号 V_{cont} の 2 倍の電圧値となる。

40

【0007】

エラーアンプ (オペアンプ) A m p 1 には、出力電圧制御信号 V_{cont} がプラス入力端子に接続され、フィードバック信号 V_{fb} がマイナス入力端子に供給されている。また、エラーアンプ A m p 1 は位相補償用の抵抗 R 1 とコンデンサ C 1 を使って積分回路を形成している。エラーアンプ出力信号 V_{err} と発振回路 O S C 2 から出力される三角波信号 V_{osc2} は、それぞれパルス幅変調用コンパレータ C m p 1 に入力される。P c h トランジスタ P 1 は、そのソース、及びドレインがそれぞれ入力電源電圧 V_{in} とチョークコイル L とに接続され、ドライブ回路 D r 1 によりゲートが駆動される。N c h トランジス

50

タN1は接地電位(GND)とチョークコイルLとに接続され、ドライブ回路Dr2によりゲートが駆動される。チョークコイルLと平滑コンデンサCoutにより直流化された出力電圧信号Voutは、負荷LOADに供給される。

【0008】

つぎに、DC-DCコンバータのPWM制御動作について説明する。

パルス幅変調用コンパレータCmp1には、予め定められた周波数で発振する発振回路OSC2から出力される三角波信号Vosc2と、エラーアンプ出力信号Verrとが入力され、パルス幅変調信号Vcmpがドライブ回路Dr1, Dr2に対して出力される。パルス幅変調信号VcmpがLowのときPchトランジスタP1がオンし、HighのときNchトランジスタN1がオンする。PchトランジスタP1とNchトランジスタN1のゲートが同時にオンして入力電源電圧Vinから接地電位GNDに向けて貫通電流が流れないように、それぞれドライブ回路Dr1, Dr2ではタイミング調整を行っている。

10

【0009】

PchトランジスタP1のオン期間には、入力電源電圧VinからチョークコイルLを介して平滑コンデンサCoutに電荷が流れ込み、チョークコイルLを流れる電流値はオン期間に増加する。一方、NchトランジスタN1のオン期間には、接地電位GNDから平滑コンデンサCoutに電荷を送り込み、この期間にチョークコイルLを流れる電流値は減少する。出力電圧信号Voutを帰還抵抗R2, R3で分圧して生成したフィードバック信号Vfbは、出力電圧制御信号VcontとともにエラーアンプAmp1に入力されることによつて、 $Vfb = Vcont$ となるようフィードバック制御が働く。

20

【0010】

このフィードバック制御について、図30に示す動作波形を用いて具体的に説明する。図30(a)(b)は、降圧DC-DCコンバータにおけるPWM制御の動作波形を示す波形図である。

【0011】

いま、PchトランジスタP1のオン期間を t_{on} 、NchトランジスタN1のオン期間を t_{off} とすると、

$$V_{out} / V_{in} = t_{on} / (t_{on} + t_{off})$$

の関係がある。以下では、この $\{t_{on} / (t_{on} + t_{off})\}$ をデューティ比という。

30

【0012】

ここで、エラーアンプ出力信号Verrが図30(a)の状態から同図(b)に示すように低下する場合を考える。負荷LOADに流れる電流(負荷電流)が変動して出力電圧信号Voutが上昇した場合、出力電圧信号Voutを抵抗分圧しているフィードバック信号Vfbも上昇する。その結果、エラーアンプ出力信号Verrは低下するので、PchトランジスタP1のオン期間 t_{on} が減り、NchトランジスタN1のオン期間 t_{off} が増えて、出力電圧信号Voutの電圧値を下げようとする。このようにDC-DCコンバータにおけるフィードバック制御が働くために、負荷LOADに流れる電流が変化しても出力電圧信号Voutが一定に保たれることになる。

40

【0013】

つぎに、PFM制御方式について説明する。

図31は、PFM制御方式のDC-DCコンバータの一例を示す回路図である。このDC-DCコンバータは、エラーアンプAmp1、位相補償用コンデンサC1、位相補償用抵抗R1、帰還抵抗R2, R3、発振回路OSC3、パルス幅変調用コンパレータCmp1、ワンショット回路Oneshot、出力用のPchトランジスタ(MOSFET)P1、ダイオードD1、チョークコイルL、ドライブ回路Dr1、及び平滑コンデンサCoutから構成されている。

【0014】

図29に示した回路と同様に、DC-DCコンバータの出力電圧信号Voutの抵抗分圧

50

されたフィードバック信号 V_{fb} が、外部から与えられる出力電圧制御信号 V_{cont} に対して等しくなるように動作する。例えば出力電圧信号 V_{out} の分圧を行う帰還抵抗 R_2 と R_3 の抵抗値が等しい場合には、出力電圧信号 V_{out} は出力電圧制御信号 V_{cont} の2倍の電圧値となる。

【0015】

エラーアンプ Amp_1 には、出力電圧制御信号 V_{cont} がプラス入力端子に接続され、フィードバック信号 V_{fb} がマイナス入力端子に接続されている。また、エラーアンプ Amp_1 は位相補償用の抵抗 R_1 とコンデンサ C_1 を用いた積分回路を形成している。エラーアンプ出力信号 V_{err} と発振回路 OSC_3 から出力される三角波信号 V_{osc3} は、それぞれパルス幅変調用コンパレータ Cmp_1 に入力される。また、エラーアンプ出力信号 V_{err} は発振回路 OSC_3 にも入力されている。Pchトランジスタ P_1 のソース、及びドレインはそれぞれ入力電源電圧 V_{in} とチョークコイル L とに接続され、ドライブ回路 Dr_1 によりゲートを駆動される。Pchトランジスタ P_1 のゲート信号には、ワンショット回路 $Oneshot$ から出力されるパルス信号 V_{pls} が使用される。ワンショット回路 $Oneshot$ は、パルス幅変調信号 V_{cmp} の立下り変化点をトリガーにして、一定時間幅のパルス信号 V_{pls} を生成するものである。還流ダイオード D_1 は接地電位 GND とチョークコイル L との間に接続される。チョークコイル L と平滑コンデンサ C_{out} により直流化された出力電圧信号 V_{out} は、負荷 $LOAD$ に供給される。

10

【0016】

出力電圧制御信号 V_{cont} の電圧値を上げた場合は、エラーアンプ出力信号 V_{err} が上昇し、発振回路 OSC_3 から出力される三角波信号 V_{osc3} の発振周波数は上昇する。この結果、Pchトランジスタ P_1 のスイッチング周波数が増えるため、チョークコイル L を通って平滑コンデンサ C_{out} に流れ込む電流は増え、出力電圧信号 V_{out} は上昇する。このように、PFM制御方式においても、出力電圧制御信号 V_{cont} の電圧値に応じて出力電圧信号 V_{out} の大きさがフィードバック制御される。

20

【0017】

図32は、DC-DCコンバータにおけるPFM制御の動作波形を示す波形図である。同図(a)には、パルス幅変調用コンパレータ Cmp_1 に入力するエラーアンプ出力信号 V_{err} と三角波信号 V_{osc3} を示している。発振回路 OSC_3 からはエラーアンプ出力信号 V_{err} に応じた周波数の三角波信号 V_{osc3} が入力される。

30

【0018】

同図(b)には、パルス幅変調信号 V_{cmp} を示している。パルス幅変調用コンパレータ Cmp_1 では、入力したエラーアンプ出力信号 V_{err} と三角波信号 V_{osc3} とが比較され、パルス幅変調信号 V_{cmp} をワンショット回路 $Oneshot$ に出力する。

【0019】

同図(c)には、ワンショット回路 $Oneshot$ から出力されるパルス信号 V_{pls} を示している。パルス信号 V_{pls} は、パルス幅変調信号 V_{cmp} の立下り信号をトリガーにして、一定の時間幅 t_{pulse} のパルスとしてドライブ回路 Dr_1 に出力される。このパルス信号 V_{pls} がLowの期間に、Pchトランジスタ P_1 はドライブ回路 Dr_1 によりオンされるため、チョークコイル L には入力電源電圧 V_{in} からPchトランジスタ P_1 を通って電流が流れ込む。

40

【0020】

同図(d)には、チョークコイル L に流れる電流波形を示している。このコイル電流 I_L は、Pchトランジスタ P_1 がオンした後、0から $(V_{in} - V_{out}) / L$ の時間に対する傾きで電流値が増加する。Pchトランジスタ P_1 がオフした後、チョークコイル L には接地電位 GND から還流ダイオード D_1 を通って電流が流れる。このときの電流値は V_{out} / L の時間に対する傾きで減少する。

【0021】

出力電圧信号 V_{out} を帰還抵抗 R_2 , R_3 で分圧することにより生成したフィードバック信号 V_{fb} は、出力電圧制御信号 V_{cont} とともにエラーアンプ Amp_1 に入力され

50

る。その結果、 $V_{fb} = V_{cont}$ となるようフィードバック制御が働く。

【0022】

出力電圧信号 V_{out} は、実際には、平滑コンデンサ C_{out} から負荷 $LOAD$ に流れ出す電流と、チョークコイル L を介して平滑コンデンサ C_{out} に流れ込む電流の和によって決まるため、両者が等しくなるようフィードバック制御が行われている。すなわち、負荷電流が減少した場合には出力電圧信号 V_{out} は上昇し、出力電圧信号 V_{out} を抵抗分圧しているフィードバック信号 V_{fb} も上昇する。そのためエラーアンプ出力信号 V_{err} が低下して、三角波信号 V_{osc3} の発振周波数を低下させる。この結果、Pchトランジスタ $P1$ のスイッチング周波数が減るため、チョークコイル L を通して平滑コンデンサ C_{out} に流れ込む電流は減る。

10

【0023】

このようにして、PFM制御方式のDC-DCコンバータにおいてもフィードバック制御が働き、負荷電流が変化しても出力電圧信号 V_{out} を一定に保つことができる。

【0024】

一方、近年になって出力電圧を高速に変化させながらDC-DCコンバータを使用したいという要望が多くなっている。従来のDC-DCコンバータでは、固定の基準電圧をもとに一定の出力電圧を生成するものであったが、固定した基準電圧に代えて、例えば変化する外部入力電圧を基準電圧として与え、この基準電圧にDC-DCコンバータの出力電圧を追従して変化させるという回路方式が望まれている。

【0025】

例えば、W-CDMA方式の携帯電話機に使われるパワーアンプにおいては、携帯電話機に内蔵した電源の消費電力を抑える必要があった。そこで、携帯電話機と電波の送受信を行う基地局との距離が近いときに送信電力を小さく抑えるなど、パワーアンプへ供給する電源電圧も、必要とされる送信電力の大きさに応じて変えるようにしている。

20

【0026】

こうした広範囲の入力電圧変動、及び負荷変動に対応して出力電圧を安定して制御可能にするために、特許文献1には、広範囲の入力電圧変動及び負荷変動に対して一次側駆動回路のスイッチを時比率変調方式及び周波数変調方式に切り替えるようにしたコンバータの発明が開示されている。

【0027】

また、図29のエラーアンプ $Amp1$ 、抵抗 $R1$ 、コンデンサ $C1$ で構成される積分回路については、 V_{cont} がステップ状に変動するとそれがエラーアンプ $Amp1$ の出力に直接影響してオーバーシュートを生じさせることが特許文献2に示されている。

30

【0028】

【特許文献1】

特開2001-258245号公報(段落番号{0008}~{0011}、図1)

【特許文献2】

特開2002-78326号公報(段落番号{0004}~{0005}、図11、図12)

【0029】

【発明が解決しようとする課題】

このように、PWM/PFM切替え機能を有するDC-DCコンバータでは、一般に幅広い負荷領域で高効率を維持しながら、出力電圧信号 V_{out} を一定に保つことができることが知られている。ところが、軽負荷条件下において基準電圧として入力される出力電圧制御信号 V_{cont} が急激に変化する場合があって、DC-DCコンバータを一律にPFM制御によって動作させると、こうした変化に対する出力電圧信号 V_{out} の応答性が悪くなる。

40

【0030】

この出力電圧信号 V_{out} の応答性について、さらに説明する。

図33は、PFM制御において出力電圧信号 V_{out} が変化する様子を示す信号波形図で

50

ある。同図 (a) に示すように、出力電圧制御信号 V_{cont} を時刻 t_1 で上げ、時刻 t_3 で下げる。このような出力電圧制御信号 V_{cont} の変動に伴って、出力電圧信号 V_{out} も電位 V_{out1} から電位 V_{out2} まで、時間 T_{r1} をかけて上昇し、電位 V_{out2} から電位 V_{out1} まで、時間 T_{f1} をかけて下降する (同図 (b))。平滑コンデンサ C_{out} により形成された出力容量に対する電流量は、出力電圧信号 V_{out} の増減に伴い平滑コンデンサ C_{out} の電荷が増減するための電流と、負荷電流との和である。ここでは、説明を簡単化するために、同図 (c) に示すように負荷電流は出力電圧信号 V_{out} の大きさにかかわらず一定とする。また、同図 (d) に示すように、平滑コンデンサ C_{out} の電荷を増減するため電流の流れ込みと吐き出しが生じる。

【 0 0 3 1 】

ところが、P F M 制御の場合は図 3 3 (e) のコイル電流波形に示すように、電流値の増減をスイッチング周波数の増減で制御しているために、P W M 制御とは異なり、急激な変化には対応できないという問題があった。

【 0 0 3 2 】

また、上述した W - C D M A 方式の携帯電話機では、電源電圧の変化時間として数 $10 \mu s$ が要求されている。しかし、電圧が下降するタイミング (時刻 t_3 から時刻 t_4) には、マイナス方向に電流が流せないため負荷 L O A D に電流を流すことでしか平滑コンデンサ C_{out} の電荷を吐き出す手段がなく、負荷電流が小さい場合には電位 V_{out2} から電位 V_{out1} まで出力電圧信号 V_{out} を低減するために必要な時間 T_{f1} が非常に長くなって、こうした要求に対応できないという問題があった。

【 0 0 3 3 】

この発明の第 1 の目的は、広い負荷領域において高効率を維持すると同時に、軽負荷条件下でも出力電圧信号の応答性を低下させない D C - D C コンバータを提供することにある。

【 0 0 3 4 】

この発明の第 2 の目的は、出力電圧制御信号にステップ状の変動があっても、出力電圧信号にオーバーシュートが生じないようにした D C - D C コンバータを提供することにある。

【 0 0 3 5 】

この発明の第 3 の目的は、P W M / P F M 切替え時に発生するアンダーシュート、オーバーシュートを抑制して、その絶対値を小さくするとともに、継続時間の短縮を可能とした D C - D C コンバータを提供することにある。

【 0 0 3 6 】

【課題を解決するための手段】

上記第 1 の目的を達成するために、半導体スイッチをオンオフして、負荷に対して所定の電圧レベルに変換された直流電圧を供給する D C - D C コンバータが提供される。この D C - D C コンバータは、少なくとも第 1 のフィードバック制御方式と第 2 のフィードバック制御方式とのいずれかに切替え可能に構成され、前記負荷を流れる負荷電流が所定値を越えて小さくなる領域においては前記第 2 のフィードバック制御方式を選択するとともに、前記負荷に供給される電圧レベルが変化するときは前記負荷電流の大きさにかかわらず前記第 1 のフィードバック制御方式を選択するものである。

【 0 0 3 7 】

この発明の D C - D C コンバータでは、出力電圧が変化するときは負荷状態にかかわらず P W M 制御を行わせることで、出力容量の充放電電流を短時間で増減でき、出力電圧の遷移時間を短縮できる。

【 0 0 3 8 】

また、請求項 3 の発明では、半導体スイッチをオンオフして、負荷に対して所定の電圧レベルに変換された直流電圧を供給する D C - D C コンバータにおいて、前記半導体スイッチのスイッチング周波数を規定する三角波信号を生成する発振手段と、基準電圧として指令される出力電圧制御信号と前記負荷に供給した電圧レベルに応じてフィードバックされ

10

20

30

40

50

る検出電圧との差電圧を増幅する増幅手段と、PWM制御方式、あるいはPFM制御方式のいずれかのフィードバック制御方式に切り替えて前記発振手段の三角波信号と前記増幅手段の差電圧とを比較するとともに、前記半導体スイッチをオンオフする駆動用パルス信号のパルス幅を変調するパルス幅変調制御手段と、前記パルス幅変調制御手段のフィードバック制御方式を切り替える際に、前記負荷に流れる負荷電流が所定値を越えて小さくなる領域においては前記PFM制御方式を選択するとともに、前記負荷に供給される電圧レベルが変化するときには前記負荷電流の大きさにかかわらず前記PWM制御方式を選択する制御方式選択手段と、を備えることを特徴とする。

【0039】

上記請求項3の発明においては、前記増幅手段は、動作点が固定の第1のアナログ増幅回路と、動作点が固定の第2のアナログ増幅回路とのカスケード接続により構成され、かつ、前記第1のアナログ増幅回路を差動増幅回路とすることによって、上記第2の目的を達成できる。

10

【0040】

さらに、上記請求項3の発明においては、前記発振手段は、前記制御方式選択手段により前記PFM制御方式が選択されている場合には、前記増幅手段で増幅された差電圧と同電位に設定されるノードと、前記第1の基準電圧に設定されるノードとを接続する第1の抵抗回路に流れる電流の大きさに比例する発振周波数の三角波信号を生成し、前記制御方式選択手段により前記PWM制御方式が選択されている場合には、第2の基準電圧と接地電位とを接続する第2の抵抗回路に流れる電流の大きさに比例する発振周波数の三角波信号を生成することによって、上記第3の目的を達成できる（請求項9の発明）。

20

【0041】

【発明の実施の形態】

以下、この発明の実施の形態について、図面を参照して説明する。

（第1の実施の形態）

図1は、この発明のDC-DCコンバータの一例を示す回路図である。

【0042】

このDC-DCコンバータは、入力電源電圧 V_{in} を所定の電圧レベルに変換して、負荷LOADに供給するものであって、エラーアンプ（オペアンプ） $Amp1$ 、位相補償用コンデンサ $C1$ 、位相補償用抵抗 $R1$ 、帰還抵抗 $R2$ 、 $R3$ 、発振回路 $OSC1$ 、パルス幅変調用コンパレータ $Cmp1$ 、ワンショット回路 $Oneshot$ 、マルチプレクサ回路 $Mux1$ 、 $Mux2$ 、ドライブ回路 $Dr1$ 、 $Dr2$ 、出力用のPchトランジスタ（MOSFET） $P1$ 、Nchトランジスタ（MOSFET） $N1$ 、チョークコイル L 、ダイオード $D2$ 、平滑コンデンサ $Cout$ 、及びPWM/PFM決定回路10から構成されている。

30

【0043】

PWM/PFM決定回路10は、入力電源電圧 V_{in} 、ドライブ回路 $Dr1$ から出力されるゲート信号 $Gp1$ 、電圧信号 Lx 、エラーアンプ出力信号 $Ver1$ 、パルス幅変調信号 $Vcmp$ 、出力電圧制御信号 $Vcont$ 、及び出力電圧信号 $Vout$ が供給され、制御方式を切り替えるための切替え信号PWM/PFMを出力するものである。

40

【0044】

エラーアンプ $Amp1$ には、出力電圧制御信号 $Vcont$ がプラス入力端子に接続され、出力電圧信号 $Vout$ を抵抗 $R2$ 、 $R3$ で分圧して生成したフィードバック信号 Vfb がマイナス入力端子に接続されている。エラーアンプ $Amp1$ は位相補償用抵抗 $R1$ と位相補償用コンデンサ $C1$ を使って積分回路が形成される。エラーアンプ $Amp1$ からは、エラーアンプ出力信号 $Ver1$ がパルス幅変調用コンパレータ $Cmp1$ のマイナス入力端子と発振回路 $OSC1$ の入力端子に供給されている。また、発振回路 $OSC1$ から出力される三角波信号 $Vosc1$ は、パルス幅変調用コンパレータ $Cmp1$ のプラス入力端子に入力される。

【0045】

50

パルス幅変調用コンパレータCmp1のパルス幅変調信号Vcmpは、ワンショット回路Oneshot、及びマルチプレクサ回路Mux1、Mux2の入力端子「1」に供給される。また、ワンショット回路Oneshotの出力はマルチプレクサ回路Mux1の入力端子「0」に接続される。さらに、マルチプレクサ回路Mux2の入力端子「0」は接地されている。マルチプレクサ回路Mux1、Mux2の出力端子「OUT」は、それぞれドライブ回路Dr1とドライブ回路Dr2を介してPchトランジスタP1とNchトランジスタN1のゲートに供給される。なお、マルチプレクサ回路Mux1、Mux2の制御入力端子「s」には、PWM/PFM決定回路10から切替え信号PWM/PFMが供給されている。

【0046】

出力用のPchトランジスタP1のソース、及びドレインはそれぞれ入力電源電圧VinとチョークコイルLとに接続され、ドライブ回路Dr1によりゲートを駆動される。NchトランジスタN1は接地電位GNDとチョークコイルLとに接続され、ドライブ回路Dr2によりゲートを駆動される。チョークコイルLと平滑コンデンサCoutにより直流化された出力電圧信号Voutは負荷LOADに供給され、また抵抗分圧されたフィードバック信号Vfbを生成する。発振回路OSC1にはエラーアンプ出力信号Verrとともに、PWM/PFM決定回路10から切替え信号PWM/PFMが入力され、この切替え信号PWM/PFMのHigh、Lowに応じて発振動作モードを異ならせている。また、ドライブ回路Dr1への入力信号は、切替え信号PWM/PFMのHigh、Lowに応じてパルス幅変調信号Vcmp、あるいはワンショット回路Oneshotの出力のいずれかに切り替えられる。ドライブ回路Dr2への入力信号は、切替え信号PWM/PFMのHigh、Lowに応じてパルス幅変調信号Vcmp、あるいは接地電位GNDに切り替えられる。

【0047】

このDC-DCコンバータは、第1のフィードバック制御方式であるPWM制御と第2のフィードバック制御方式であるPFM制御とのいずれかに切替え可能に構成され、負荷LOADを流れる負荷電流が所定値を越えて小さくなる領域においてはPFM制御を選択するとともに、負荷LOADに供給される電圧レベルが変化するときには負荷電流の大きさにかかわらずPWM制御を選択するように構成されている。ここでは、PWM制御とPFM制御とでは回路動作が異なるために、DC-DCコンバータは切替え信号PWM/PFMが必要となる。そこで、PWM/PFM決定回路10で生成された切替え信号PWM/PFMを使って、発振回路OSC1の動作モードとマルチプレクサ回路Mux1、Mux2の入力を切り替えている。

【0048】

なお、PWM制御動作のとき切替え信号PWM/PFMをHighとする。また、図1において、マルチプレクサ回路Mux1、Mux2は、それぞれ同じ回路構成である。

【0049】

図2は、図1のDC-DCコンバータにおけるマルチプレクサ回路の具体的な構成例を示す回路図である。

図2において、入力端子21には第1の入力信号「1」が、入力端子22には第2の入力信号「0」が供給される。P10、P11はPchトランジスタ(MOSFET)であり、N10、N11はNchトランジスタ(MOSFET)であり、これらは2組のアナログスイッチを構成している。入力端子23は、それぞれNchトランジスタN10とPchトランジスタP11のゲートに接続され、そこにはセット信号「s」が供給される。また、入力端子23は、インバータ回路inv1を介してそれぞれNchトランジスタN11とPchトランジスタP10のゲートに接続されている。

【0050】

ここで、図2に示すマルチプレクサ回路では、入力端子23に供給されるセット信号「s」がHighのとき、NchトランジスタN10とPchトランジスタP10が導通し、入力端子21に供給された入力信号「1」が出力信号「out」として出力される。その

10

20

30

40

50

際、NchトランジスタN11とPchトランジスタP11がオフすることで入力端子22の入力信号「0」は遮断される。反対に、セット信号「s」がLowのときには、入力端子22に供給された入力信号「0」が出力信号「out」として出力される。

【0051】

図3は、図1のDC-DCコンバータにおける発振回路の具体的な構成例を示す回路図である。

この発振回路OSC1は、オペアンプAmp2、マルチプレクサ回路Mux3、コンパレータCmp2、Cmp3、Pchトランジスタ(MOSFET)P3~P7、Nchトランジスタ(MOSFET)N4~N7、抵抗R4、ノアゲートNOR1、NOR2、及びコンデンサC3から構成されている。

10

【0052】

図3において、この発振回路OSC1を構成するオペアンプAmp2のマイナス入力には、マルチプレクサ回路Mux3からセレクト端子Sへの入力信号電圧に応じて、内部基準電圧VrOSC、あるいは入力端子inからのエラーアンプ出力信号Verのいずれか一方が印加される。マルチプレクサ回路Mux3は、図2で説明したマルチプレクサ回路Mux1、Mux2と同じ機能をもつ。このマルチプレクサ回路Mux3では、セレクト端子Sに供給される切替え信号PWM/PFMがPWMモードであるときは内部基準電圧VrOSCを出力し、PFMモードのときはエラーアンプ出力信号Verを出力する。

【0053】

オペアンプAmp2とPchトランジスタP3、抵抗R4の構成により、PWMモードのときに抵抗R4に流れる電流I3の大きさはVrOSC/R4となり、PFMモードのときにはVer/R4となる。また、PchトランジスタP4はPchトランジスタP3とゲートへの入力が共通であり、ゲート・ソース間電圧が等しいため、PchトランジスタP4のドレイン電流I4は抵抗R4に流れる電流I3にPchトランジスタP4とPchトランジスタP3のゲート幅/ゲート長の比をかけた値になる。このことは、他のトランジスタを流れる電流I5、I6、I7に対しても同様に成り立つ。PchトランジスタP7及びNchトランジスタN7のゲートには、RSフリップフロップを構成するノアゲートNOR2に接続され、その出力信号Vcが供給される。RSフリップフロップの出力信号VcがHighのときNchトランジスタN7がオン、PchトランジスタP7がオフのためコンデンサC3からNchトランジスタN7、N6の経路で電流I7が放電される。RSフリップフロップの出力信号VcがLowのときNchトランジスタN7がオフ、PchトランジスタP7がオンのため、コンデンサC3にPchトランジスタP6、P7の経路で電流I6が充電される。

20

30

【0054】

コンデンサC3の充電電圧として出力される三角波信号VOSC1は、VhOSC > VlOSCの関係にある内部基準電圧をそれぞれ入力する2つのコンパレータCmp2、Cmp3によって、その電位が監視されている。すなわち、RSフリップフロップの出力信号VcがLowのとき三角波信号VOSC1は電位が上がり、それが内部基準電圧VhOSCを超えた時点でコンパレータCmp2の出力がHighになって出力信号VcがHighに変わる。その後、三角波信号VOSC1は電位が下がり、それが内部基準電圧VlOSCより低くなった時点でコンパレータCmp3の出力がHighになって出力信号Vcは再びLowになる。

40

【0055】

図4に、三角波信号VOSC1の信号波形を示す。

この三角波信号VOSC1は、下限値をVlOSC、上限値をVhOSCとするとき、その電位上昇の周期Trは、

$$Tr = C3 \times (VhOSC - VlOSC) / I6$$

となる。また、同様にして電位下降の周期Tfは、

$$Tf = C3 \times (VhOSC - VlOSC) / I7$$

として表すことができる。ここで、電流I6、I7は電流I3の大きさと比例関係にある

50

。したがって、三角波信号 V_{osc1} の発振周波数 (f_{osc}) は、抵抗 R_4 の大きさ、内部基準電圧 V_{rosc} 、あるいは入力端子 in に印加されるエラーアンプ出力信号 V_{err} の電圧値を変えることによって、それぞれ調整することが可能である。

【0056】

図5は、図1のDC-DCコンバータにおけるPWM/PFM決定回路10の具体的な構成例を示す回路図である。

PWM/PFM決定回路10では、DC-DCコンバータのフィードバック制御方式をPWM制御とPFM制御のいずれかに決定する。そのためには、接続される負荷LOADの大きさの程度と、出力電圧信号 V_{out} の変化が要求されているか否かの判定を行わなければならない。ここでは、PWM/PFM決定回路10は、負荷判定回路51、出力電圧変化検出回路52、ノアゲートNOR3、NOR4、及びオアゲートOR1から構成されている。

10

【0057】

負荷判定回路51は、入力電源電圧 V_{in} 、ドライブ回路Dr1から出力されるゲート信号 $Gp1$ 、電圧信号 Lx 、エラーアンプ出力信号 V_{err} 、及びパルス幅変調信号 V_{cmp} が供給され、しきい値 U_{th} 、 L_{th} に基づいて2つのパルス信号 out_{ov} 、 out_{ud} を出力している。このしきい値 U_{th} は、PFM制御からPWM制御に移る際に負荷LOADの大きさの判定基準とされ、しきい値 L_{th} はPWM制御からPFM制御に移る際の基準とされる。ここでは、負荷判定回路51での安定した動作を保障するため、2つのしきい値には $U_{th} > L_{th}$ のようなヒステリシス特性を持たせている。負荷LOADがしきい値 U_{th} を超えると、パルス信号 out_{ov} がHighになり、ノアゲートNOR3、NOR4で構成されるRSフリップフロップの働きによって判定信号 $req1$ がHighに保持される。また、負荷LOADがしきい値 L_{th} を下回ると、パルス信号 out_{ud} がHighになり、判定信号 $req1$ がLowに保持される。

20

【0058】

出力電圧変化検出回路52には、出力電圧制御信号 V_{cont} 、及び出力電圧信号 V_{out} が供給され、出力電圧制御信号 V_{cont} の変化があった時点から実際に出力電圧信号 V_{out} の変化が収束する時点まで、判定信号 $req2$ をHighに保持する。これらの判定信号 $req1$ と判定信号 $req2$ はオアゲートOR1に入力され、そこで論理オア信号が生成され、それが切替え信号PWM/PFMとして出力される。したがって、負荷条件あるいは出力電圧の変化のいずれかによりPWM動作が要求されるときには、この切替え信号PWM/PFMはHighになる。

30

【0059】

図6は、PWM/PFM決定回路10における負荷変動及び出力電圧変化に対する切替え信号PWM/PFMの関係を示す図である。

PWM/PFM決定回路10では、負荷LOADが軽負荷で、かつ出力電圧信号 V_{out} の変化がないと判断されたときのみ、切替え信号PWM/PFMはLowになって、DC-DCコンバータではPFM制御が選択される。

【0060】

図7は、図5のPWM/PFM決定回路における負荷判定回路51の具体的な構成例を示す回路図である。

40

負荷判定回路51では、負荷LOADの大きさを出力用のPchトランジスタP1に流れる電流 I_p で判断する。この電流 I_p を測るため、PchトランジスタP1のゲートへの入力とドレインとを共通にしたセンス用のPchトランジスタPsを設けている。このPchトランジスタPsのソースは、電流センス用抵抗 R_s を介して入力電源電圧 V_{in} に接続される。PchトランジスタP1に電流 I_p が流れると、PchトランジスタPsに電流 I_s が流れる。このとき電流センス用抵抗 R_s に生じる電圧降下がゲート・ソース間電圧に対し充分小さくなるよう設定することにより、電流 I_s は電流 I_p に比例した値となる。電流 I_s により変化するソース電圧 V_s はコンパレータCmp5のマイナス入力端子に供給され、内部電圧源 E_{s1} が入力電源電圧 V_{in} とコンパレータCmp5のプラス

50

入力端子の間に挿入される。その結果、ソース電圧 V_s はコンパレータ $Cmp5$ において内部基準電圧 ($V_{in} - V_{os1}$) と比較される。ここで、コンパレータ $Cmp5$ の出力電圧を $Icmp$ とする。

【0061】

この出力電圧 $Icmp$ はリセット端子付きの D フリップフロップ $DF1$ のリセット端子 R に入力される。D フリップフロップ $DF1$ は、パルス幅変調用コンパレータ $Cmp1$ からのパルス幅変調信号 $Vcmp$ の立下りで $High$ を取り込むように構成され、その出力 $Q1$ は後段の D フリップフロップ $DF2$ に、パルス幅変調信号 $Vcmp$ の立ち上がりで取り込まれる。D フリップフロップ $DF2$ の出力 $Q2$ からは、アンドゲート $AND1$ において遅延回路 $dl1$ により遅延した信号の反転信号と出力 $Q2$ 自身のアンド論理信号が形成され、パルス信号 out_ud として出力される。

10

【0062】

また、エラーアンプ出力信号 Ver はコンパレータ $Cmp4$ を用いて内部基準電圧 V_{rov} と比較される。このコンパレータ $Cmp4$ には、遅延回路 $dl2$ とアンドゲート $AND2$ とが接続され、遅延回路 $dl2$ により遅延した信号の反転信号とコンパレータ $Cmp4$ 自身の出力とのアンド論理信号が、アンドゲート $AND2$ からパルス信号 out_ov として出力される。

【0063】

つぎに、この負荷判定回路 51 の動作について説明する。

図 8 は、図 7 の負荷判定回路 51 の動作波形を示す図である。ここでは、負荷電流が減ってきて、PWM 制御から PFM 制御に移る場合を表している。

20

【0064】

同図 (a) は、エラーアンプ出力信号 Ver と三角波信号 V_{osc1} の変化を示している。ここでは、 $V_{osc1} > Ver$ のとき出力段の Nch トランジスタ $N1$ がオンし、 $V_{osc1} < Ver$ のとき出力段の Pch トランジスタ $P1$ がオンする。

【0065】

同図 (b) は、チョークコイル L に流れるコイル電流 I_L の変化を示している。コイル電流 I_L は、 Pch トランジスタ $P1$ がオンしているときに増加し、 Nch トランジスタ $N1$ がオンしているときには減少する。図の左側に示される波形は負荷電流が大きい場合であり、右側に示される波形は負荷電流が小さい場合である。いずれも負荷電流は時間とともに減少している。

30

【0066】

同図 (c) は、 Pch トランジスタ P_s のソースと電流センス用抵抗 R_s との接続点におけるソース電圧 V_s の変化を示している。このソース電圧 V_s は、 Pch トランジスタ $P1$ を流れる電流 I_p に応じた電圧値となっている。 Nch トランジスタ $N1$ がオンの期間には、電流センス用抵抗 R_s に電流が発生しないため、ソース電圧 V_s は入力電源電圧 V_{in} を維持する。 Pch トランジスタ $P1$ がオンして電流 I_p が増加するにつれてソース電流 I_s も増え、ソース電圧 V_s は低下してくる。

【0067】

同図 (d) は、コンパレータ $Cmp5$ の出力電圧 $Icmp$ の変化を示している。同図 (b) ~ (d) に示すように、チョークコイル L に流れるコイル電流 I_L が I_{l1} から I_{h1} に増加するタイミング $T1$ では、ソース電圧 V_s は $A1$ から $B1$ に低下し、コイル電流 I_L が I_{l2} から I_{h2} に増加するタイミング $T2$ では、ソース電圧 V_s は $A2$ から $B2$ に低下する。そして、ソース電圧 V_s は内部基準電圧 ($V_{in} - V_{os1}$) と比較され、ソース電圧 V_s が低くなるときには、出力電圧 $Icmp$ が $High$ になる。すなわち、ソース電圧 V_s が $A1$ から $B1$ に移るタイミング $T1$ では、内部基準電圧 V_{os1} を超えたところで出力電圧 $Icmp$ は $High$ になる。しかし、ソース電圧 V_s が $A2$ から $B2$ に移るタイミング $T2$ では内部基準電圧 V_{os1} を超えないため、出力電圧 $Icmp$ は Low を維持したままである。

40

【0068】

50

同図(e)(f)(g)(h)は、それぞれパルス幅変調信号Vcmpの信号波形、DフリップフロップDFF1の出力Q1、DフリップフロップDFF2の出力Q2、パルス信号out_udを示している。

【0069】

DフリップフロップDFF1は、パルス幅変調信号Vcmpの各パルスの立下りタイミングでHighを取り込み、出力電圧IcmpのHighレベルでリセットされるため、出力電圧IcmpがHighにならなくなった時点で、出力Q1はHighを維持する。DフリップフロップDFF1の出力Q1は、さらにパルス幅変調信号Vcmpの立上りにおいてDフリップフロップDFF2で取り込まれ、出力Q2として出力される。出力Q2の立上り時にパルス信号out_udとして出力される。

10

【0070】

このように、負荷電流が時間とともに減少していく場合、PchトランジスタP1を流れる電流Ipのピーク値がある所定のレベルLthを下回ると、パルス信号out_udが出力される。

【0071】

つぎに、負荷電流が増えてきて、パルス信号out_ovによってPFM制御からPWM制御に移る場合について説明する。PFM制御動作の状態では負荷LOADが重くなってくると、エラーアンプ出力信号Verrを高くして、スイッチング周波数を上げるようにフィードバック制御が働く。図7に示す負荷判定回路51から分かるように、エラーアンプ出力信号Verrの電圧値が高くなり内部基準電圧Vrovを超えると、コンパレータCmp4の出力がHighに変わる。コンパレータCmp4の出力を受ける遅延回路dly2とアンドゲートAND2によりHighになった時点で、パルス信号out_ovとしてパルスが出力される。

20

【0072】

このように、負荷電流が時間とともに増加していく場合、PchトランジスタP1を流れる電流Ipのピーク値がある所定のレベルUthを超えると、パルス信号out_ovが出力される。

【0073】

なお、これらのパルス信号を出力するしきい値となるUth、Lthは、切替え信号PWM/PFMが所定のヒステリシス特性をもつように、Uth > Lthの関係に設定されている。

30

【0074】

図9は、図5のPWM/PFM決定回路における出力電圧変化検出回路の具体的な構成例を示す回路図である。

この出力電圧変化検出回路52は、微分回路91、93、二乗回路92、94、及びセット付きDフリップフロップDFF3とから構成されている。微分回路91には出力電圧制御信号Vcontが供給され、その微分出力S1を二乗回路92により絶対値信号S2に変換している。また、出力電圧信号Voutは、微分回路93に供給され、その微分出力S3を二乗回路94により絶対値信号S4に変換している。二乗回路92、94は、それぞれDフリップフロップDFF3のセット端子sとクロック端子に接続されている。したがって、二つの絶対値信号S2、S4に基づいて出力電圧の変化に対応する判定信号req2が、DフリップフロップDFF3のQ信号として出力される。

40

【0075】

図10は、出力電圧変化検出回路の各部動作信号波形を示している。出力電圧制御信号Vcontの微分出力S1の絶対値をとることで、同図(d)に示すように出力電圧制御信号Vcontの変化時にHighとなる絶対値信号S2が得られる。出力電圧信号Voutについても同様に、出力電圧信号Voutの変化時にHighとなる絶対値信号S4を得る。そして、DフリップフロップDFF3を用いて、出力電圧制御信号Vcontを変えた直後から出力電圧信号Voutが変化していった、それが安定するまでの間、判定信号req2をHighに保持することができる。

50

【 0 0 7 6 】

図 1 1 は、図 9 とは別の出力電圧変化検出回路の具体的な構成例を示す回路図である。同図において、出力電圧変化検出回路 5 2 は、電圧源 E_{s2} 、 E_{s3} 、コンパレータ C_{mp6} 、 C_{mp7} 、及びオアゲート $OR2$ から構成されている。エラーアンプ A_{mp1} 、位相補償用抵抗 $R1$ 、位相補償用コンデンサ $C1$ は、図 1 の DC - DC コンバータを構成する増幅手段であって、出力電圧制御信号 V_{cont} を基準電圧として負荷 $LOAD$ に供給される電圧レベルに応じて変化するフィードバック信号との差電圧を増幅するものである。位相補償用抵抗 $R1$ の端子間に発生する電圧 V_{R1} は、電圧源 E_{s2} を介してコンパレータ C_{mp6} のプラス入力端子にオフセット電圧 $-V_{of}$ を加えて供給され、コンパレータ C_{mp7} のプラス入力端子にそのまま供給されている。また、フィードバック信号 V_{fb} は、電圧源 E_{s3} を介してコンパレータ C_{mp7} のマイナス入力端子にオフセット電圧 V_{of} を加えて供給され、コンパレータ C_{mp6} のマイナス入力端子にはそのまま供給されている。

10

【 0 0 7 7 】

コンパレータ C_{mp6} 、 C_{mp7} の各出力信号 V_{cmp6} 、 V_{cmp7} は、オアゲート $OR2$ に入力され、このオアゲート $OR2$ において出力電圧変化検出回路 5 2 の出力として判定信号 $req2$ が生成される。

【 0 0 7 8 】

つぎに、出力電圧変化検出回路 5 2 の動作について説明する。図 1 2 は、図 1 1 の出力電圧変化検出回路における各部の動作信号波形を示す図である。

20

同図 (a) において、時刻 $t1$ で出力電圧制御信号 V_{cont} を上げると、出力電圧信号 V_{out} (同図 (b)) も上昇するが、エラーアンプ A_{mp1} の働きによってエラーアンプ出力信号 V_{err} が上昇するために、位相補償用コンデンサ $C1$ に電流が流れる (同図 (c))。これに伴って、位相補償用抵抗 $R1$ に電圧降下 V_{R1} が生じる。時刻 $t2$ で出力電圧信号 V_{out} が安定すると、エラーアンプ出力信号 V_{err} も一定の値になって、位相補償用コンデンサ $C1$ に流れていた電流が停止する。その結果、同図 (d) に示すように、位相補償用抵抗 $R1$ での電圧降下 V_{R1} も 0 となる。コンパレータ C_{mp6} は、電圧降下 V_{R1} に対してオフセット電圧 V_{of} を越える期間だけ出力信号 V_{cmp6} に矩形電圧波形を生じる (同図 (e))。

【 0 0 7 9 】

時刻 $t3$ で出力電圧制御信号 V_{cont} が下がると、出力電圧信号 V_{out} (同図 (b)) が下降を始めるとともに、エラーアンプ A_{mp1} の働きによってエラーアンプ出力信号 V_{err} が下降するから、同図 (d) に示すように、位相補償用コンデンサ $C1$ には逆方向の電流が流れる。これにより、位相補償用抵抗 $R1$ には電圧降下 V_{R1} が生じる。そして、時刻 $t4$ で出力電圧信号 V_{out} が安定すると、エラーアンプ出力信号 V_{err} も一定の値になって、位相補償用コンデンサ $C1$ に流れていた電流が停止し、位相補償用抵抗 $R1$ での電圧降下 V_{R1} も 0 となる。コンパレータ C_{mp7} は、電圧降下 $-V_{R1}$ に対してオフセット電圧 $-V_{of}$ を越える期間だけ出力信号 V_{cmp7} に矩形電圧波形を生じる (同図 (f))。

30

【 0 0 8 0 】

コンパレータ C_{mp6} 、 C_{mp7} の各出力信号 V_{cmp6} 、 V_{cmp7} に基づいて、オアゲート $OR2$ から出力される検出信号 $req2$ は、出力電圧変化の検出信号として、出力電圧信号 V_{out} の変化時に $High$ となる (同図 (g))。

40

【 0 0 8 1 】

このように図 1 1 に示す出力電圧変化検出回路 5 2 では、増幅手段であるエラーアンプ A_{mp1} から出力されるエラーアンプ出力信号 V_{err} とエラーアンプ A_{mp1} へのフィードバック信号 V_{fb} とのバランスに基づいて、負荷 $LOAD$ に供給される電圧レベルの変化を検出することができる。言い換えれば、出力電圧をレギュレートするエラーアンプ A_{mp1} の入出力端子間に設けた位相補償用抵抗 $R1$ に対して、所定値を超える電流が発生していない場合にはバランスしている状態とみなして、出力電圧信号 V_{out} は一定で

50

あると判断している。これに対して、位相補償用抵抗 R_1 に対して所定値を超える電流が発生しているときは、バランスしていない状態であって、出力電圧信号 V_{out} に変化が生じているものとみなすことができる。

【0082】

図13は、負荷電流が急激に変動した場合の出力電圧変化検出回路における各部の動作信号波形を示す図である。

ここでは、出力電圧制御信号 V_{cont} は変化しないまま一定に保たれているが、負荷電流 I_{out} が時刻 t_1 で急激に減少し、その後、時刻 t_3 で急激に上昇する場合の、図11に示す出力電圧変化検出回路52の動作信号を示す。ここでも、オフセット電圧 V_{of} の大きさに応じて、一定以上の急激な負荷電流の変化が検出されることにより、オアゲートOR2から出力される検出信号 req_2 が High になって、DC-DCコンバータのフィードバック制御方式がPFMからPWMに切り替えられる。

10

【0083】

つぎに、図1に示したDC-DCコンバータの動作について説明する。

切替え信号PWM/PFMがHighのときは、発振回路OSC1は一定の周波数の三角波信号 V_{osc1} を出力する。マルチプレクサ回路 Mux_1 , Mux_2 はそれぞれパルス幅変調用コンパレータ Cmp_1 の出力をドライブ回路 Dr_1 , Dr_2 に伝える。したがって、切替え信号PWM/PFMがHighのときは通常のPWM制御と同じ制御動作を行う。

【0084】

20

切替え信号PWM/PFMがLowのときは、発振回路OSC1はエラーアンプ出力信号 V_{err} に応じた発振周波数の三角波信号 V_{osc1} を出力する。Pchトランジスタ P_1 のゲート信号には、パルス幅変調用コンパレータ Cmp_1 の出力をトリガー入力とするワンショット回路 $Oneshot$ の出力が使用される。Nchトランジスタ N_1 のゲート信号は接地電位 GND に固定され、Nchトランジスタ N_1 は常にオフ状態となり、接地電位 GND とチョークコイル L の間には、Nchトランジスタ N_1 の基板ダイオード D_2 が電流経路として存在する。したがって、この場合のDC-DCコンバータの構成は図31に示した従来のPFM制御方式のDC-DCコンバータと同じ構成となり、同じPFM制御動作を行うものとなる。

【0085】

30

以上のことから、出力電圧信号 V_{out} に変化がなく、 $req_2 = Low$ の場合に、重負荷 ($req_1 = High$) では切替え信号PWM/PFMがHighとなってDC-DCコンバータはPWM動作を行い、軽負荷 ($req_1 = Low$) のときはPFM動作に切り替わる。したがって、DC-DCコンバータのスイッチング損失を少なくして、広い負荷範囲において高い変換効率が維持できる。

【0086】

つぎに、出力電圧信号 V_{out} が変化して、 $req_2 = High$ となる場合を考えると、重負荷 ($req_1 = High$) では出力電圧信号 V_{out} の変化にかかわらずPWM動作を続けるから、短い期間で出力電圧信号 V_{out} の変化に追従した制御を行うことができる。

40

【0087】

図14は、PWM制御において出力電圧信号 V_{out} が変化する様子を示す信号波形図である。

出力電圧制御信号 V_{cont} を時刻 t_1 で立上げ、時刻 t_3 で立下げる。このことに伴い出力電圧信号 V_{out} は電位 V_{out1} から電位 V_{out2} まで時間 Tr_2 をかけて上昇し、電位 V_{out2} から電位 V_{out1} まで時間 Tf_2 をかけて下降する。平滑コンデンサ C_{out} に対する電流は、出力電圧信号 V_{out} の増減に伴い平滑コンデンサ C_{out} の電荷が増減するための電流と、負荷電流との和である。簡単のため、負荷電流は出力電圧信号 V_{out} の大きさにかかわらず一定とする。平滑コンデンサ C_{out} の電荷を増減するため電流の流れ込みと吐き出しが生じる。

50

【0088】

この流れ込みの電流値 I_{crg1} は、

$$I_{crg1} = C_{out} \times (V_{out2} - V_{out1}) / Tr2$$

と表すことができる。また、吐き出し電流 I_{dis1} は

$$I_{dis1} = C_{out} \times (V_{out2} - V_{out1}) / Tf2$$

と表すことができる。これらの式から、出力電圧信号 V_{out} の変化時間を短縮するためには電流値を速く、かつ大きく変化させることが必要となる。

【0089】

出力段のトランジスタ (MOSFET) $N1, P1$ と、チョークコイル L とを介して平滑コンデンサ C_{out} を充放電するときの電流波形は、出力電圧信号 V_{out} の電位を変え 10
るために必要な充放電と負荷電流との和の電流を中心にしたスイッチング電流波形となる。
PWM制御ではスイッチタイミング毎にデューティ比を変えているために比較的短時間で電流値を増減させることが可能である。また、スイッチング周波数を高くすることによって、より短時間に電流値を変えることが可能となる。さらに、出力電圧を下げるときに平滑コンデンサ C_{out} から Nch トランジスタ $N1$ を介して接地電位 GND にマイナスの電流を放電することで、早い電圧降下が可能となる。

【0090】

つぎに、出力電圧信号 V_{out} が変化して $req2 = High$ となる場合であって、しかも軽負荷 (すなわち、 $req1 = Low$) のときの動作について説明する。

【0091】

図15は、図1のDC-DCコンバータの軽負荷時における出力電圧の変化を示す波形図である。 20

時刻 $t0$ において出力電圧信号 V_{out} は変化前であるため、判定信号 $req2$ と切替え信号 PWM/PFM は Low であり、DC-DCコンバータは PFM 動作を行っている。そのため、チョークコイル L を流れるコイル電流 I_L は不連続になっている。

【0092】

出力電圧制御信号 V_{cont} が高く変化する時刻 $t1$ で判定信号 $req2$ と切替え信号 PWM/PFM は $High$ になり、 PWM 動作に移る。コイル電流 I_L は連続的に流れるようになり、平滑コンデンサ C_{out} に流れ込む電流の平均値が著しく大きくなるため、出力電圧信号 V_{out} を短期間に上昇させることができる。出力電圧信号 V_{out} の変化が 30
終了する時刻 $t2$ 以降は PFM 動作に戻り、低消費動作を続ける。

【0093】

出力電圧制御信号 V_{cont} が低く変化する時刻 $t3$ で PWM 動作に移ると、コイル電流 I_L は連続的に流れ、かつ電流の一部あるいは全体がマイナスの値になる。コイル電流 I_L がマイナスのときは、平滑コンデンサ C_{out} の電荷がチョークコイル L を介して放電する方向を示す。したがって、通常の PFM 動作では、マイナスの電流を流せないため出力電圧信号 V_{out} を下げるときは、平滑コンデンサ C_{out} と負荷電流の時定数より短い時間で低下できなかつたが、この発明のDC-DCコンバータでは出力電圧信号 V_{out} を短期間に低下させることが可能となる。出力電圧信号 V_{out} の変化が終了する時刻 $t4$ 以降は再び PFM 動作に戻り、低消費動作を続ける。 40

【0094】

図16は、図1のDC-DCコンバータに出力電圧変化検出回路として図11に示す回路を使用した場合における負荷電流の急変時での出力電圧の変化を示す波形図である。

【0095】

時刻 $t0$ においては、負荷電流 I_{out} が小さいために、判定信号 $req2$ と切替え信号 PWM/PFM は Low であり、DC-DCコンバータは PFM 動作を行っている。そのため、チョークコイル L を流れるコイル電流 I_L は不連続になっている。

【0096】

負荷電流 I_{out} が急激に減少する時刻 $t1$ では、出力電圧信号 V_{out} が上昇する。このとき、判定信号 $req2$ と切替え信号 PWM/PFM は $High$ になって PWM 動作に 50

移り、コイル電流 I_L は連続的に流れるようになる。したがって、P F M制御の場合に比較して、出力電圧信号 V_{out} を短期間に収束させることができる。出力電圧信号 V_{out} の変化が終了する時刻 t_2 以降は再び P F M動作に戻り、低消費動作を続ける。

【0097】

負荷電流 I_{out} が急激に増加する時刻 t_3 では、出力電圧信号 V_{out} が下降する。このとき P W M動作に移ることによって、コイル電流 I_L は連続的に流れる。したがって、出力電圧制御信号 V_{cont} が変化しないで、負荷電流 I_{out} が変わった場合にも、この発明の D C - D Cコンバータでは出力電圧信号 V_{out} を短期間に収束させることが可能となる。出力電圧信号 V_{out} が収束する時刻 t_4 以降には、再び P F M動作に戻り、低消費動作を続ける。

10

【0098】

以上、第1の実施の形態に係る D C - D Cコンバータは、出力電圧が変化するときには負荷状態にかかわらず P W M制御を行わせることで、出力容量の充放電電流を短期間で増減でき、出力電圧の遷移時間を短縮できるから、広い負荷領域において高効率を維持すると同時に、軽負荷条件下でも出力電圧信号の応答性を低下させない利点がある。

(第2の実施の形態)

上述した D C - D Cコンバータでは、広い負荷領域において高効率を維持すると同時に、軽負荷条件下でも出力電圧信号 V_{out} の応答性を低下させないことができる。ところが、この D C - D Cコンバータには、出力電圧制御信号 V_{cont} にステップ状の変動があると、エラーアンプ Amp_1 の動作点も同時にステップ状に変化し、その値を初期値として目標値が決定されるために、出力電圧信号 V_{out} にオーバーシュートが生じるという問題があった。また、P W M / P F M決定回路10では、負荷 $LOAD$ が軽負荷で、かつ出力電圧信号 V_{out} の変化がないとして、P W M / P F M切替え信号が Low になり、あるいは再び $High$ になる時、出力電圧信号 V_{out} にアンダーシュートやオーバーシュートが発生するという問題もあった。

20

(第2の実施の形態についての構成の説明)

最初に、これら2つの問題を解決した別の D C - D Cコンバータの構成について説明する。図17は、第1の実施の形態とは別の D C - D Cコンバータの一例を示す回路図である。

【0099】

第2の実施の形態に係る D C - D Cコンバータは、入力電源電圧 V_{in} を所定の電圧レベルに変換して、負荷 $LOAD$ に供給するものであって、エラーアンプ Amp_1 、位相補償用コンデンサ C_1 、位相補償用抵抗 R_1 、帰還抵抗 R_2 、 R_3 、発振回路 OSC_2 、パルス幅変調用コンパレータ Cmp_1 、ワンショット回路 $Oneshot$ 、マルチプレクサ回路 Mux_1 、 Mux_2 、ドライブ回路 Dr_1 、 Dr_2 、出力用の P c hトランジスタ (M O S F E T) P_1 、N c hトランジスタ (M O S F E T) N_1 、チョークコイル L 、ダイオード D_2 、平滑コンデンサ C_{out} 、P W M / P F M決定回路10、及び減算回路 SUB_1 から構成されている。

30

【0100】

この D C - D Cコンバータでは、後述する図19に示す構成の発振回路 OSC_2 に置き換えられている点で、第1の実施の形態とは異なっている。

40

また、負荷 $LOAD$ に供給された出力電圧信号 V_{out} を抵抗 R_2 、 R_3 で分圧して生成したフィードバック信号 V_{fb} が、減算回路 SUB_1 の V_p 入力端子に接続されるとともに、出力電圧制御信号 V_{cont} が減算回路 SUB_1 の V_m 入力端子に接続されている。減算回路 SUB_1 では、これらフィードバック信号 V_{fb} と出力電圧制御信号 V_{cont} との差信号 V_{sub} が生成されている。

【0101】

さらに、エラーアンプ Amp_1 は位相補償用抵抗 R_1 と位相補償用コンデンサ C_1 を使って積分回路が形成される。このエラーアンプ Amp_1 のプラス入力端子には基準電圧信号 V_{r2} が接続され、マイナス入力端子には減算回路 SUB_1 の sub 出力端子から出力さ

50

れる差信号 V_{sub} が接続されている。

【0102】

このDC-DCコンバータの上述した回路以外の構成については、第1の実施の形態で説明したのと同じであるから、それぞれ対応する部分に同一の符号を付けて、それらの詳細な説明を省く。

【0103】

図18は、減算回路の具体的な構成例を示す回路図である。この減算回路SUB1は、オペアンプAmp3と4つの抵抗R11~R14によって構成され、オペアンプAmp3には、フィードバック信号 V_{fb} ($=V_p$)と基準電圧信号 V_{r3} がそれぞれ抵抗R11、R12を介してプラス入力端子に接続され、出力電圧制御信号 V_{cont} ($=V_m$)が抵抗R13を介してマイナス入力端子に接続されている。R11=R12=R13=R14とすると、このオペアンプAmp3から出力される差信号 V_{sub} は、 $V_p - V_m + V_{r3}$ となる。したがって、図17のDC-DCコンバータにおけるエラーアンプAmp1には、マイナス入力端子に $V_{fb} - V_{cont} + V_{r3}$ が印加される。

10

【0104】

ここでは、エラーアンプAmp1の基準電圧信号 V_{r2} が減算回路SUB1の基準電圧信号 V_{r3} と等しい大きさに設定されていれば、フィードバック信号 V_{fb} が出力電圧制御信号 V_{cont} を下回ったとき ($V_{cont} > V_{fb}$) には、エラーアンプ出力信号 V_{err} の電位が上がり、フィードバック信号 V_{fb} が出力電圧制御信号 V_{cont} を上回ったとき ($V_{cont} < V_{fb}$) には、エラーアンプ出力信号 V_{err} の電位が下がる。したがって、PWM制御されるDC-DCコンバータは、出力電圧制御信号 V_{cont} をステップ状に変化させても出力電圧信号 V_{out} にオーバーシュートが生じることなく、所望する動作を安定して実現できる。

20

【0105】

図19は、図17のDC-DCコンバータにおける発振回路の具体的な構成例を示す回路図である。

この実施の形態に係る発振回路OSC2は、オペアンプAmp2、マルチプレクサ回路Mux3, Mux4、コンパレータCmp2, Cmp3、Pchトランジスタ(MOSFET)P3~P7、Nchトランジスタ(MOSFET)N4~N7、抵抗R5, R6、ノアゲートNOR1, NOR2、基準電圧 V_{r6} (第1の基準電圧)、及びコンデンサC3から構成されている。

30

【0106】

図19において、この発振回路OSC2を構成するオペアンプAmp2のマイナス入力には、マルチプレクサ回路Mux3からセレクト端子Sへの入力信号電圧に応じて、内部基準電圧 V_{rosc} 、あるいは入力端子inからのエラーアンプ出力信号 V_{err} のいずれか一方が印加される。マルチプレクサ回路Mux3は、図2で説明したマルチプレクサ回路Mux1, Mux2と同じ機能をもつ。このマルチプレクサ回路Mux3では、セレクト端子Sに供給される切替え信号PWM/PFMがPWMモードであるときは内部基準電圧 V_{rosc} を出力し、PFMモードのときはエラーアンプ出力信号 V_{err} を出力する。

40

【0107】

PchトランジスタP3のドレインとオペアンプAmp2のプラス入力は、ともにマルチプレクサ回路Mux4の出力端子outに接続される。マルチプレクサ回路Mux4の「1」入力端子は、第2の抵抗回路である抵抗R5を介してグランドに接続され、「0」入力端子は、第1の抵抗回路である抵抗R6を介して基準電圧 V_{r6} に接続される。マルチプレクサ回路Mux4のセレクト端子Sには、切替え信号PWM/PFMが供給されている。

【0108】

オペアンプAmp2とPchトランジスタP3、抵抗R5, R6、及び基準電圧 V_{r6} の構成により、PWMモードのときにPchトランジスタP3に流れる電流 I_3 の大きさは

50

$V_{r o s c} / R 5$ となり、P F Mモードのときには $(V_{e r r} - V_{r 6}) / R 6$ となる。また、P c hトランジスタP 4はP c hトランジスタP 3とゲートへの入力共通であり、ゲート・ソース間電圧が等しいため、P c hトランジスタP 4のドレイン電流I 4は電流I 3にP c hトランジスタP 4とP c hトランジスタP 3のゲート幅/ゲート長の比をかけた値になる。このことは、他のトランジスタを流れる電流I 5, I 6, I 7に対しても同様に成り立つ。P c hトランジスタP 7及びN c hトランジスタN 7のゲートには、R Sフリップフロップを構成するノアゲートN O R 2に接続され、その出力信号V cが供給される。R Sフリップフロップの出力信号V cがH i g hのときN c hトランジスタN 7がオン、P c hトランジスタP 7がオフのためコンデンサC 3からN c hトランジスタN 7, N 6の経路で電流I 7が放電される。R Sフリップフロップの出力信号V cがL o wのときN c hトランジスタN 7がオフ、P c hトランジスタP 7がオンのため、コンデンサC 3にP c hトランジスタP 6, P 7の経路で電流I 6が充電される。

10

【0109】

コンデンサC 3の充電電圧として出力される三角波信号V o s c 2は、 $V_{h o s c} > V_{l o s c}$ の関係にある内部基準電圧をそれぞれ入力する2つのコンパレータC m p 2, C m p 3によって、その電位が監視されている。すなわち、R Sフリップフロップの出力信号V cがL o wのとき三角波信号V o s c 2は電位が上がり、それが内部基準電圧V h o s cを超えた時点でコンパレータC m p 2の出力がH i g hになって出力信号V cがH i g hに変わる。その後、三角波信号V o s c 2は電位が下がり、それが内部基準電圧V l o s cより低くなった時点でコンパレータC m p 3の出力がH i g hになって出力信号V c

20

【0110】

図20は、図19の発振回路から出力される三角波信号V o s c 2を示す信号波形図である。

この三角波信号V o s c 2は、下限値をV l o s c、上限値をV h o s cとすると、その電位上昇の周期T rは、

$$T r = C 3 \times (V_{h o s c} - V_{l o s c}) / I 6$$

となる。また、同様にして電位下降の周期T fは、

$$T f = C 3 \times (V_{h o s c} - V_{l o s c}) / I 7$$

として表すことができる。ここで、電流I 6, I 7は電流I 3の大きさと比例関係にある。したがって、三角波信号V o s c 2の発振周波数($f o s c 2$)は、抵抗R 5, R 6の大きさ、内部基準電圧V r o s c、基準電圧V r 6あるいは入力端子i nに印加されるエラーアンプ出力信号V e r rの電圧値を変えることによって調整することが可能である。

30

【0111】

なお、P W M / P F M決定回路10の具体的な構成などは、第1の実施の形態で説明したものと同一である。

(第1の実施の形態における問題点の説明)

つぎに、上記構成の発振回路O S C 2を用いたD C - D Cコンバータの動作を説明する前に、第1の実施の形態に係るD C - D Cコンバータ(図1)において、P W M / P F M制御の切替え時に発生するアンダーシュート、オーバーシュートについて説明する。

40

【0112】

図21は、図1のD C - D Cコンバータを三角波信号V o s c 1に基づいてP W M制御する場合の、定常状態におけるエラーアンプ出力信号V e r rと出力電圧信号V o u tとの関係を示す図である。

【0113】

図1のD C - D Cコンバータは、P W Mモードのときには、図3に示す発振回路O S C 1から出力された三角波信号V o s c 1がエラーアンプ出力信号V e r rと比較され、エラーアンプ出力信号V e r rの大きさに応じて出力電圧信号V o u tが決定される。ただし、エラーアンプ出力信号V e r rの大きさが設定された下限値V l o s c以下のとき、出力電圧信号V o u tは0 Vとなり、上限値V h o s c以上のとき、出力電圧信号V o u t

50

は入力電源電圧 V_{in} に等しくなる。

【0114】

図22は、図1のDC-DCコンバータを三角波信号 V_{osc1} に基づいてPFM制御する場合の、エラーアンプ出力信号 V_{err} と発振周波数 f_{osc} との関係を示す図である。PFMモードで動作するとき、図3に示す発振回路OSC1ではエラーアンプ出力信号 V_{err} の大きさに比例して発振周波数 f_{osc} が決定され、その結果としてDC-DCコンバータの出力電流が定まる。

【0115】

図23は、エラーアンプ出力信号 V_{err} に対するPFM制御とPWM制御での動作点を説明する図である。

10

図23では、例えば、エラーアンプ出力信号 V_{err} の大きさが V_{err1} のとき、PWMモードでは出力電圧信号 V_{out} は V_1 であり、PFMモードでは発振周波数 f_{osc} は f_{osc1} である。すなわち、PFMモードで動作する場合に、 V_{err} と f_{osc} とは比例関係にあり、また f_{osc} は負荷電流 I_{out} にも比例する。このことから、エラーアンプ出力信号 V_{err} は負荷電流 I_{out} に応じて上限値 V_{hosc} から0V近辺まで下がる可能性があることがわかる。また、PWMモードでは出力電圧信号 V_{out} はエラーアンプ出力信号 V_{err} の大きさで決定される。

【0116】

いま、DC-DCコンバータの出力電圧信号 V_{out} が変化し、あるいは負荷LOADが重負荷に変わって、PFMモードからPWMモードに切替わる場合を考える。図24は、PFM制御からPWM制御に切替わる過程で生じる出力電圧信号 V_{out} のアンダーシュートを説明する図である。

20

【0117】

PFMモード時に初期の出力電圧信号 V_{out} が V_{out1} であって、それに対応する発振周波数を f_{osc2} とする。いま、出力電圧信号 V_{out} が変動してPWMモードに切替わったときに、電位 V_{out3} に対応するエラーアンプ出力信号 V_{err} も電位 V_{err3} に変化するものとする。ところが、時刻 t_1 のタイミングでPFMモードからPWMモードへ切替わっても、第1の実施の形態に係るDC-DCコンバータでは位相補償用コンデンサ C_1 、位相補償用抵抗 R_1 の働きによって、エラーアンプ出力信号 V_{err} は急激に変化しない。すなわち、PWMモードに切替わった直後において暫くの間は、エラーアンプ出力信号 V_{err} が発振周波数 f_{osc2} に対応する電位 V_{err2} の近傍に留まることになる。また、この電位 V_{err2} は下限値 V_{losc} より低いため、パルス幅変調用コンパレータ Cmp_1 の働きによって出力段のNchトランジスタ(MOSFET) N_1 は常にオンし、Pchトランジスタ(MOSFET) P_1 はオフしてしまう。しかも、出力電圧信号 V_{out} のノードはチョークコイル L とNchトランジスタ(MOSFET) N_1 とを介して接地されているために、出力電圧信号 V_{out} は時刻 t_1 のタイミングで0Vに向かって急激に低下する。その後、出力電圧信号 V_{out} からのフィードバック信号 V_{fb} が低下することによって、エラーアンプ Amp_1 の働きによりエラーアンプ出力信号 V_{err} は再び上昇しはじめて電位 V_{err3} に到達し、出力電圧信号 V_{out} も対応する電位 V_{out3} に落ち着く。

30

40

【0118】

第1の実施の形態に係るDC-DCコンバータでは、PWMモードからPFMモードに切替わるときでも、同様の問題が生じる。図25は、PWM制御からPFM制御に切替わる過程で生じる出力電圧信号 V_{out} のオーバーシュートを説明する図である。

【0119】

PWMモード時の出力電圧信号 V_{out} が V_{out3} であって、PFMモードに切替わったときに発振周波数が f_{osc2} に変化するものとする。最初に電位 V_{err3} であったエラーアンプ Amp_1 は、時刻 t_2 のタイミングでPWMモードからPFMモードへ切替わっても、そのエラーアンプ出力信号 V_{err} は急激に変化できず、ワンショット回路 $Oneshot$ では f_{osc2} より高い周波数でPchトランジスタ(MOSFET) P_1

50

に対するスイッチング信号が生成される。そのため、平滑コンデンサ C_{out} には余分な電流が流れ込むことになり、出力電圧信号 V_{out} は時刻 t_2 のタイミングから上昇し始める。その後、出力電圧信号 V_{out} からのフィードバック信号 V_{fb} が上昇することによって、エラーアンプ Amp_1 の働きによりエラーアンプ出力信号 V_{err} は下降し始めて電位 V_{err2} に到達し、スイッチング信号の発振周波数は f_{osc2} となり、出力電圧信号 V_{out} も対応する電位 V_{out1} に落ち着く。

(第2の実施の形態についての動作の説明)

つぎに、図17に示したDC-DCコンバータの動作について説明する。

【0120】

図26は、三角波信号 V_{osc2} に基づくPFM制御動作におけるエラーアンプ出力信号 V_{err} と発振周波数 f_{osc} との関係を示す図、図27及び図28は、いずれもエラーアンプ出力信号 V_{err} に対するPFM制御とPWM制御での動作点を説明する図である。

10

【0121】

以下、図19に示すような発振回路OSC2を用いたDC-DCコンバータの動作を説明する。ここでは、出力電圧信号 V_{out} のアンダーシュート、オーバーシュートを抑制することができる。

【0122】

三角波信号 V_{osc2} の発振周波数 f_{osc} は、図19の発振回路OSC2では電流 I_3 の大きさによって決定される。したがって、PFM制御動作には電流 I_3 が $(V_{err} - V_{r6}) / R_6$ であることから、エラーアンプ出力信号 V_{err} が基準電圧 V_{r6} より大きい範囲 ($V_{err} > V_{r6}$) では、図26に示すように、発振周波数 f_{osc} を $(V_{err} - V_{r6})$ の大きさに比例して決定できる。

20

【0123】

また、 $V_{err} = V_{r6}$ では、図19においてオペアンプ Amp_2 にはそれぞれマルチプレクサ回路 Mux_3 、 Mux_4 からの2入力と比較され、出力信号が $High$ になる。したがって、 Pch トランジスタ P_3 、 P_4 が遮断され、電流 $I_3 = I_4 = 0$ となるから、図26に示すように、発振周波数 f_{osc} を0にできる。

【0124】

図27は、エラーアンプ出力信号 V_{err} に対するPFM制御とPWM制御での動作点を説明する図である。ここでは、基準電圧 V_{r6} がエラーアンプ出力信号 V_{err} の下限値 V_{losc} より大きい場合を想定している。

30

【0125】

まず、PFMモードで動作するDC-DCコンバータの出力電圧信号 V_{out} が変化して、PWMモードに切替わる場合を考える。PFMモード時に初期の出力電圧信号 V_{out} が V_{out3a} であって、それに対応する発振周波数を f_{osc2} とする。また、出力電圧信号 V_{out} が変動してPWMモードに切替わったとき、その電位 V_{out3} に対応するエラーアンプ出力信号 V_{err} が電位 V_{err3} に変化するものとする。

【0126】

PFMモードからPWMモードへ切替わっても、位相補償用コンデンサ C_1 、位相補償用抵抗 R_1 の働きによってエラーアンプ出力信号 V_{err} は、第1の実施の形態に係るDC-DCコンバータと同様に急激に変化しない。すなわち、PWMモードに切替わった直後において暫くの間は、エラーアンプ出力信号 V_{err} が発振周波数 f_{osc2} に対応する電位 V_{err2} の近傍に留まることになる。しかし、この例ではPWMモードに切り替えた直後に、出力電圧信号 V_{out} はエラーアンプ出力信号 V_{err} に対応する電圧 V_{out3a} に向かい、その後は出力電圧信号 V_{out} のフィードバック信号であるフィードバック信号 V_{fb} が下がったことで、エラーアンプ Amp_1 の働きによりエラーアンプ出力信号 V_{err} が上昇する。ここでは、基準電圧 V_{r6} の大きさによって決まる発振周波数 f_{osc2} に対応するエラーアンプ出力信号 V_{err} は、その電位 V_{err2} をPWMモードにおける電位 V_{err3} との電位差が小さくなるように設定しておくことができるの

40

50

で、PWMモードに切替わった後の本来のエラーアンプ出力信号 V_{err} の電位 V_{err3} にセットリングされるまでの時間を短縮できる。したがって、PWM制御における動作点のずれが少なくなって、アンダーシュートの絶対値を小さくできる。

【0127】

第2の実施の形態に係るDC-DCコンバータでは、PWMモードからPFMモードに切替わるときも、同様の効果がある。PWMモード時の出力電圧信号 V_{out} が V_{out3} であって、PFMモードに切替わったときに発振周波数が f_{osc2} に変化するものとする。最初に電位 V_{err3} であったエラーアンプ $Amp1$ は、時刻 $t2$ のタイミングでPWMモードからPFMモードへ切替わっても、そのエラーアンプ出力信号 V_{err} は急激に変化できず、発振周波数は f_{osc2} より高い周波数でPchトランジスタ(MOSFET) $P1$ をスイッチングしている。しかし、エラーアンプ出力信号 V_{err} の電位 V_{err2} とPWMモードにおける電位 V_{err3} との電位差を小さく設定しておくことで、エラーアンプ出力信号 V_{err} が電位 V_{err2} に到達するまでの時間を短縮できる。したがって、PFM制御におけるオーバーシュートの大きさを小さくできる効果がある。

10

【0128】

このように、エラーアンプ出力信号 V_{err} に対するPFM制御とPWM制御での動作点が図27に示すように設定されていれば、PFMモードからPWMモードに移行するとき、発振周波数 f_{osc} が0に近いときでも、エラーアンプ出力信号 V_{err} の電位 V_{err2} は必ず下限値 V_{losc} より高くなる。したがって、PWMモードに移行した後に、出力段のNchトランジスタ(MOSFET) $N1$ が継続してオンしたり、Pchトランジスタ(MOSFET) $P1$ がオフになつたりしないし、出力電圧信号 V_{out} が0Vに向かつて急激に低下することもない。また、PWMモードからPFMモードに切替わるときでも、出力電圧信号 V_{out} のオーバーシュートを小さくできるが、PWMモードでの V_{out} が基準電圧 V_{r6} に対応する電位 V_{outL} より低い場合には、PFMモードへの切替えは好ましくない。電位 V_{outL} 以下の出力電圧信号 V_{out} に対応するエラーアンプ出力信号 V_{err} の大きさでは、PFMモードでの発振周波数 f_{osc} が0になって、発振停止状態となるからである。

20

【0129】

図28は、エラーアンプ出力信号 V_{err} に対するPFM制御とPWM制御での動作点を説明する図である。ここでは、図27の場合と異なり、基準電圧 V_{r6} をエラーアンプ出力信号 V_{err} の下限値 V_{losc} より小さな電圧値としている。これにより、PWMモードからPFMモードに切替わるとき、PFMモードでの発振周波数 f_{osc} は0にならず、発振停止状態を回避できる。

30

【0130】

つぎに、PFMモードからPWMモードに切替わる場合を考える。初期の出力電圧信号 V_{out} が V_{out3a} 、対応する発振周波数を f_{osc2} とする。PWMモードに切替わった後の出力電圧信号 V_{out} が電位 V_{out3} で、対応するエラーアンプ出力信号 V_{err} を電位 V_{err3} としている。図27について説明したものと同様に、ここでも基準電圧 V_{r6} の大きさによって決まる発振周波数 f_{osc2} に対応するエラーアンプ出力信号 V_{err} は、その電位 V_{err2} をPWMモードにおける電位 V_{err3} との電位差が小さくなるように設定しておくことができるので、PWMモードに切替わった後の本来のエラーアンプ出力信号 V_{err} の電位 V_{err3} にセットリングされるまでの時間を短縮できる。したがって、PWM制御における動作点のずれが少なくなって、アンダーシュートの絶対値を小さくできる。

40

【0131】

なお、PFMモードからPWMモードに移行するとき、移行前のPFMモードでの発振周波数 f_{osc} がエラーアンプ出力信号の下限値 V_{losc} に対応する下限周波数値 f_{osc1} より低い場合には、PWMモードに移行した後に、出力段のNchトランジスタ(MOSFET) $N1$ が継続してオンするから、出力電圧信号 V_{out} が0Vに向かつて急激

50

に低下する問題が残る。この問題を回避するためには、P F Mモードでの発振周波数 f_{osc} を下限周波数値 f_{osc1} 以下で使用しないことが好ましい。

(第2の実施の形態についての効果の説明)

以上に説明したように、第2の実施の形態に係るDC-DCコンバータでは、出力電圧信号 V_{out} の下限電圧値に制約を付ける場合には、基準電圧 V_{r6} の大きさをエラーアンプ出力信号 V_{err} の下限値 $V_{l_{osc}}$ より大きく設計し ($V_{r6} > V_{l_{osc}}$)、反対に、出力電圧信号 V_{out} を0Vまで取れるようにして負荷電流 I_{out} に下限値を付ける場合には、 $V_{r6} < V_{l_{osc}}$ とする。出力電圧信号 V_{out} 、負荷電流 I_{out} ともに制限をなくするためには、基準電圧 V_{r6} をエラーアンプ出力信号 V_{err} の下限値 $V_{l_{osc}}$ と等しくすればよい。

10

【0132】

なお、図27、図28では、エラーアンプ出力信号 V_{err} の上限値 $V_{h_{osc}}$ に対応するP F M制御の動作点を上限周波数値 f_{osch} としており、それより高い周波数でのP F M動作は考慮していない。これは、P F M制御に切り替える目的が、そもそも負荷電流の減少に伴いスイッチング周波数を下げて、広い負荷領域において高い効率を維持することにあるためである。

【0133】

この実施の形態に係る発振回路OSC2(図19)では、P W Mモードでの発振周波数とP F Mモードでのエラーアンプ出力信号 V_{err} に対応する発振周波数との関係を独立して設定することができる利点がある。従来から、DC-DCコンバータは、P W Mモードでの発振周波数をユーザ側で適当な値に選択して使用する場合が多く、そのためにはIC化された発振回路OSC2を構成する抵抗R5を外付け部品としておくことが好ましい。また、集積回路の外部回路として抵抗R6や基準電圧 V_{r6} の設定回路を構成することにより、P F Mモードでの動作特性をユーザ側が任意に調整できるようになる。しかも、P W MモードとP F Mモードのいずれにおいても、これらの周波数設定値を独立に決定できるので、いずれか一方のみを調整するにしても、両者ともに調整するにしても、それぞれの調整に際して制約が課されないという利点がある。

20

【0134】

【発明の効果】

以上に説明したように、この発明によれば、P W M / P F M切替え機能を有するDC-D Cコンバータにおいて、広い負荷範囲において高い効率を維持して、しかも軽負荷条件でP F M動作を行っているときでも出力電圧を高速に変化できる。

30

【0135】

また、この発明のDC-D Cコンバータは、出力電圧制御信号にステップ状の変動があっても、出力電圧信号にオーバーシュートが生じない。

さらに、P W M / P F M切替え時に発生するアンダーシュート、オーバーシュートを抑制して、その絶対値を小さくするとともに、継続時間の短縮を可能とする。

【図面の簡単な説明】

【図1】この発明のDC-D Cコンバータの一例を示す回路図である。

【図2】図1のDC-D Cコンバータにおけるマルチプレクサ回路の具体的な構成例を示す回路図である。

40

【図3】図1のDC-D Cコンバータにおける発振回路の具体的な構成例を示す回路図である。

【図4】図3の発振回路から出力される三角波信号を示す信号波形図である。

【図5】図1のDC-D CコンバータにおけるP W M / P F M決定回路の具体的な構成例を示す回路図である。

【図6】図5のP W M / P F M決定回路における負荷変動及び出力電圧変化に対する切替え信号P W M / P F Mの関係を示す図である。

【図7】図5のP W M / P F M決定回路における負荷判定回路の具体的な構成例を示す回路図である。

50

【図 8】図 7 の負荷判定回路における各部の動作信号波形を示す図である。

【図 9】図 5 の P W M / P F M 決定回路における出力電圧変化検出回路の具体的な構成例を示す回路図である。

【図 10】図 9 の出力電圧変化検出回路における各部の動作信号波形を示す図である。

【図 11】図 9 とは別の出力電圧変化検出回路の具体的な構成例を示す回路図である。

【図 12】図 11 の出力電圧変化検出回路における各部の動作信号波形を示す図である。

【図 13】負荷電流が急激に変動した場合の出力電圧変化検出回路における各部の動作信号波形を示す図である。

【図 14】図 1 の D C - D C コンバータを P W M 制御する場合の出力電圧信号が変化する様子を示す信号波形図である。

10

【図 15】図 1 の D C - D C コンバータの軽負荷時における出力電圧の変化を示す波形図である。

【図 16】図 1 の D C - D C コンバータにおける負荷電流の急変時での出力電圧の変化を示す波形図である。

【図 17】別の D C - D C コンバータの一例を示す回路図である。

【図 18】図 17 の D C - D C コンバータにおける減算回路の具体的な構成例を示す回路図である。

【図 19】図 17 の D C - D C コンバータにおける発振回路の具体的な構成例を示す回路図である。

【図 20】図 19 の発振回路から出力される三角波信号を示す信号波形図である。

20

【図 21】図 1 の D C - D C コンバータを三角波信号 V_{osc1} に基づいて P W M 制御する場合のエラーアンプ出力信号と出力電圧信号との関係を示す図である。

【図 22】図 1 の D C - D C コンバータを三角波信号 V_{osc1} に基づいて P F M 制御する場合のエラーアンプ出力信号と発振周波数との関係を示す図である。

【図 23】図 1 の D C - D C コンバータにおけるエラーアンプ出力信号に対する P F M 制御と P W M 制御での動作点を説明する図である。

【図 24】図 1 の D C - D C コンバータを P F M 制御から P W M 制御に切り替える過程で生じるアンダーシュートを説明する図である。

【図 25】図 1 の D C - D C コンバータを P W M 制御から P F M 制御に切り替える過程で生じるオーバーシュートを説明する図である。

30

【図 26】図 17 の D C - D C コンバータを三角波信号 V_{osc2} に基づいて P F M 制御する場合のエラーアンプ出力信号と発振周波数との関係を示す図である。

【図 27】図 17 の D C - D C コンバータにおけるエラーアンプ出力信号に対する P F M 制御と P W M 制御での動作点を説明する図である。

【図 28】図 17 の D C - D C コンバータにおけるエラーアンプ出力信号に対する P F M 制御と P W M 制御での動作点を説明する図である。

【図 29】従来の P W M 制御方式の降圧 D C - D C コンバータの一例を示す回路図である。

【図 30】図 29 の降圧 D C - D C コンバータにおける P W M 制御の動作波形を示す波形図である。

40

【図 31】P F M 制御の D C - D C コンバータの一例を示す回路図である。

【図 32】P F M 制御の D C - D C コンバータにおける動作波形を示す波形図である。

【図 33】P F M 制御において出力電圧信号の変化する様子を示す信号波形図である。

【符号の説明】

A m p 1 エラーアンプ

R 1 位相補償用抵抗

C 1 位相補償用コンデンサ

R 2 , R 3 帰還抵抗

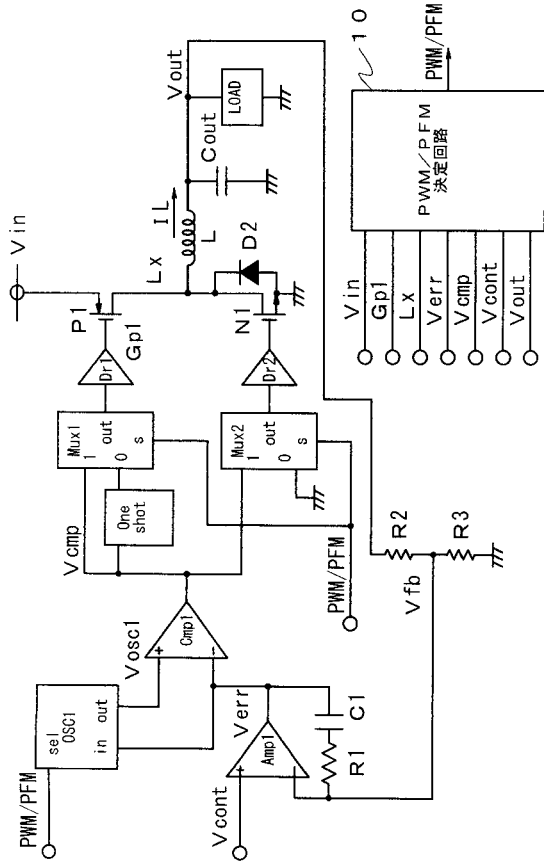
O S C 1 , O S C 2 , O S C 3 発振回路

C m p 1 パルス幅変調用コンパレータ

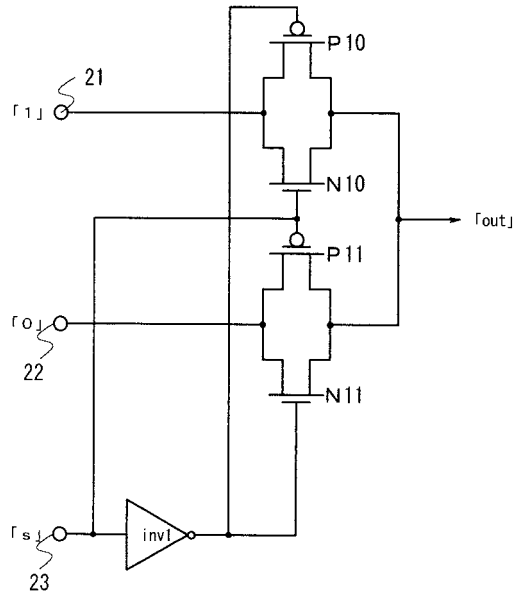
50

P 1 Pchトランジスタ (MOSFET)
L チョークコイル
Dr 1, Dr 2 ドライブ回路
N 1 Nchトランジスタ (MOSFET)
Cout 平滑コンデンサ
LOAD 負荷
Oneshot ワンショット回路
Mux 1, Mux 2, Mux 3, Mux 4 マルチプレクサ回路
D 1, D 2 還流ダイオード
10 PWM / PFM 決定回路 10
Vfb フィードバック信号
Vcont 出力電圧制御信号
Vout 出力電圧信号
Verr エラーアンプ出力信号
Vosc 1, Vosc 2, Vosc 3 三角波信号
Vlosc 下限値
Vhosc 上限値
Vin 入力電源電圧
PWM / PFM 切替え信号
Vcmp パルス幅変調信号 20
Vr 2 基準電圧信号
Vsub 差信号
fosc 発振周波数
fosc h 上限周波数値
fosc l 下限周波数値
IL コイル電流
Iout 負荷電流

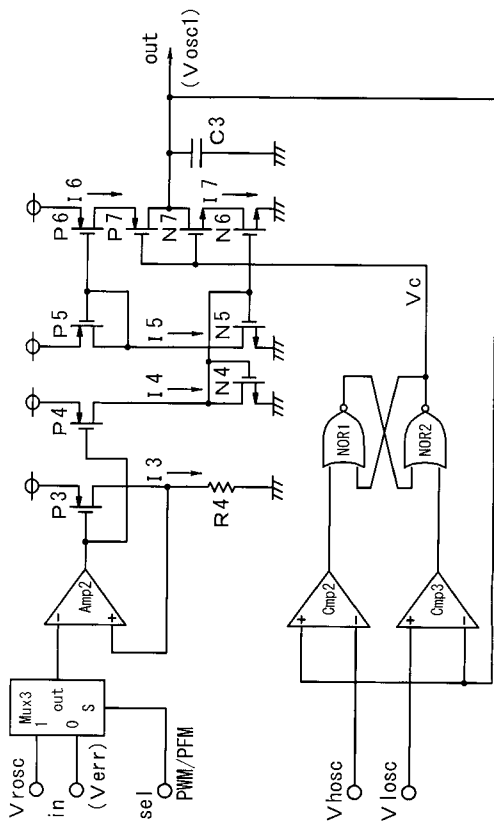
【図1】



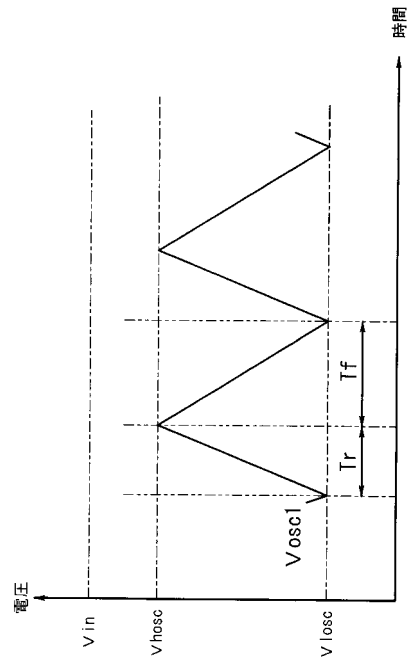
【図2】



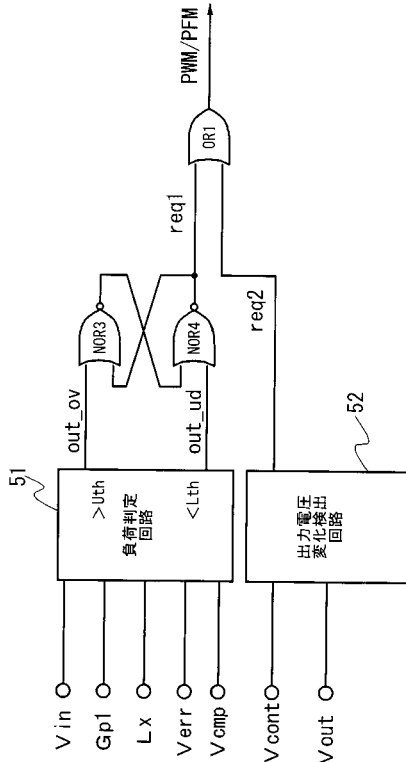
【図3】



【図4】



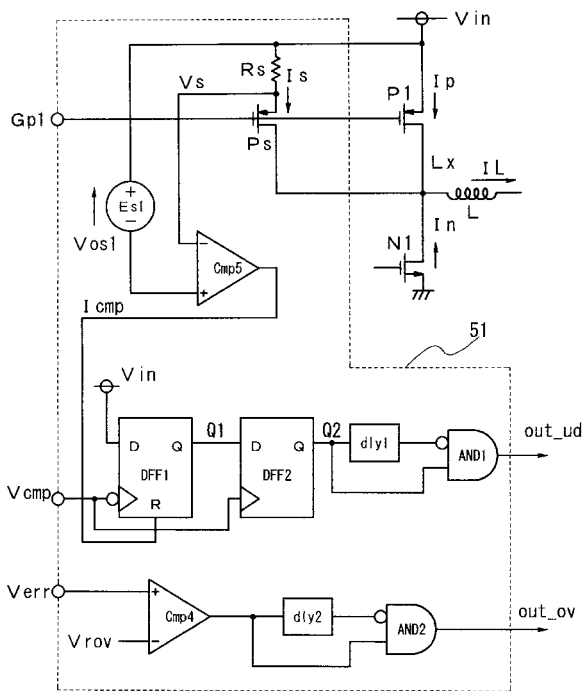
【図5】



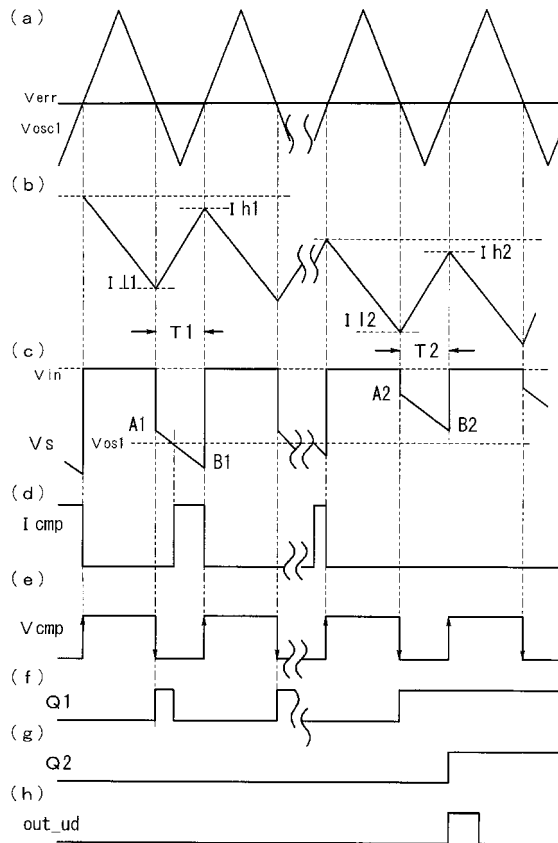
【図6】

出力電圧 負荷状態	変化なし (req2=Low)	変化あり (req2=High)
軽負荷 (req1=Low)	PWM/PFM =Low	PWM/PFM =High
重負荷 (req1=High)	PWM/PFM =High	PWM/PFM =High

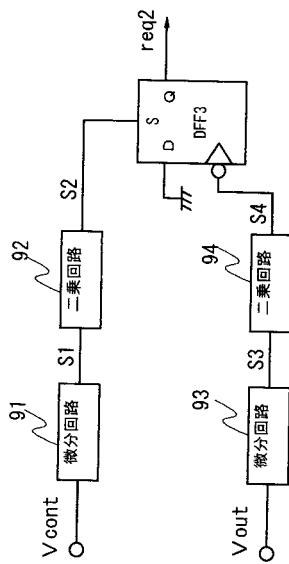
【図7】



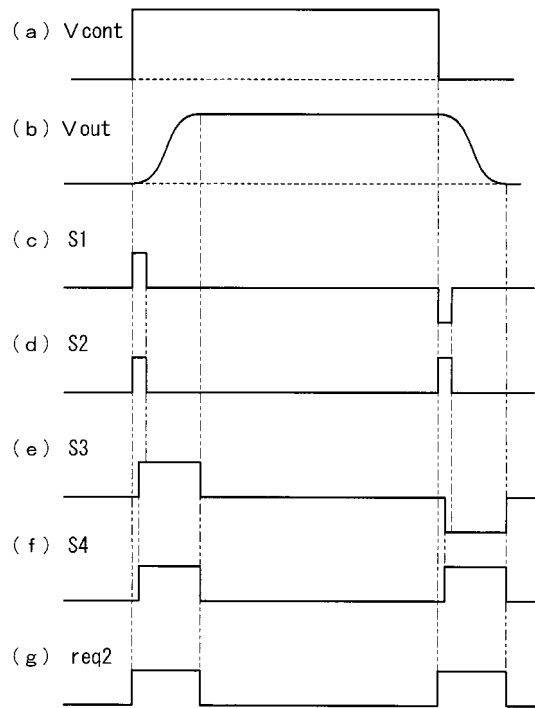
【図8】



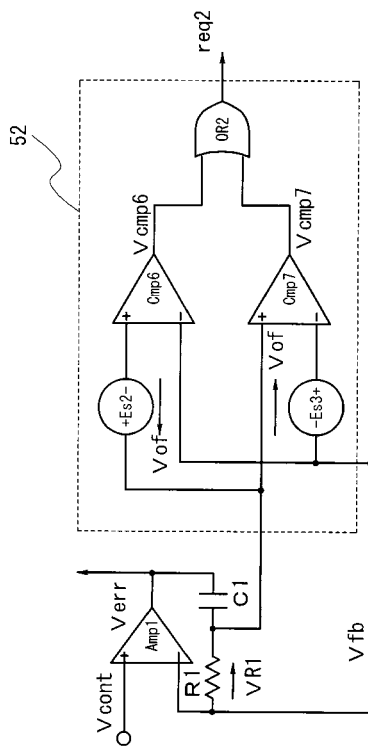
【 図 9 】



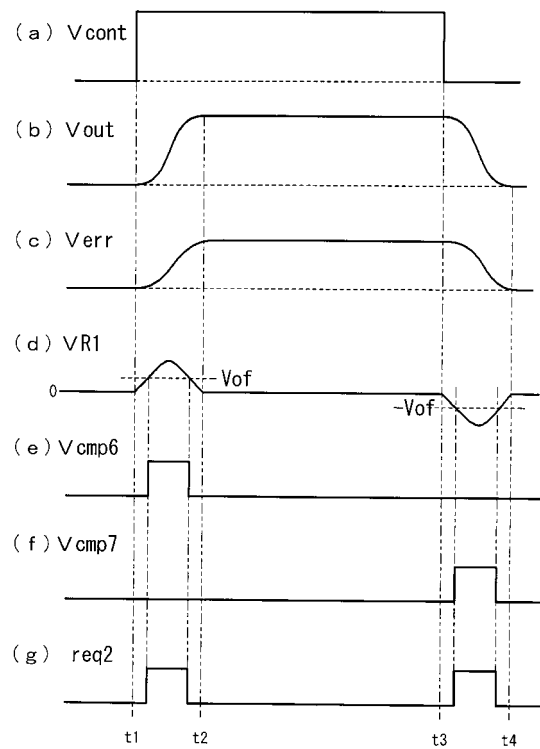
【 図 10 】



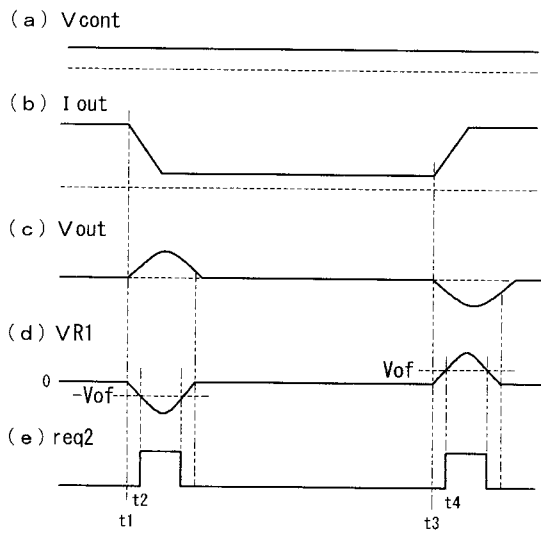
【 図 11 】



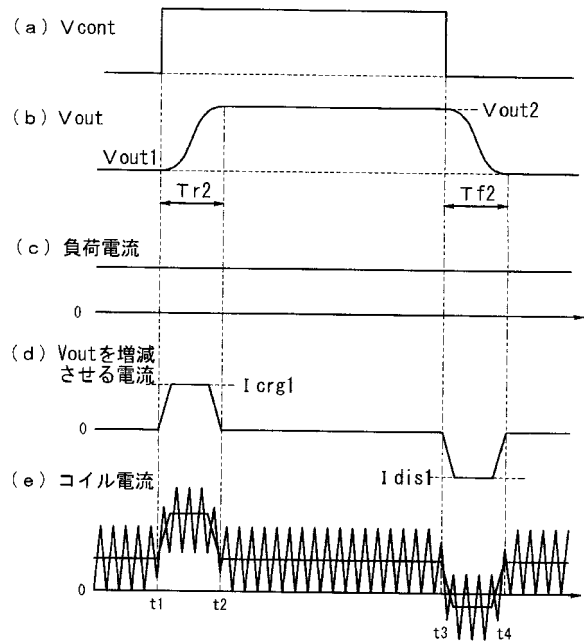
【 図 12 】



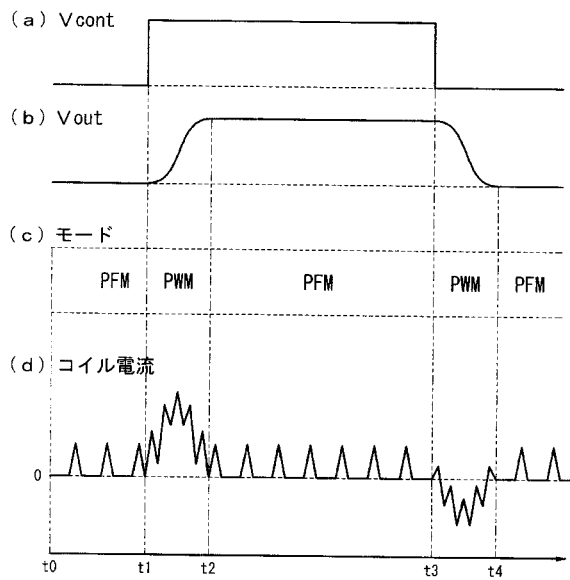
【図13】



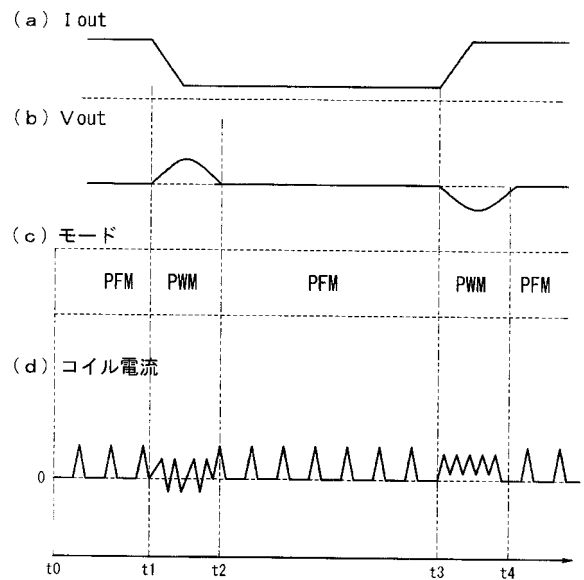
【図14】



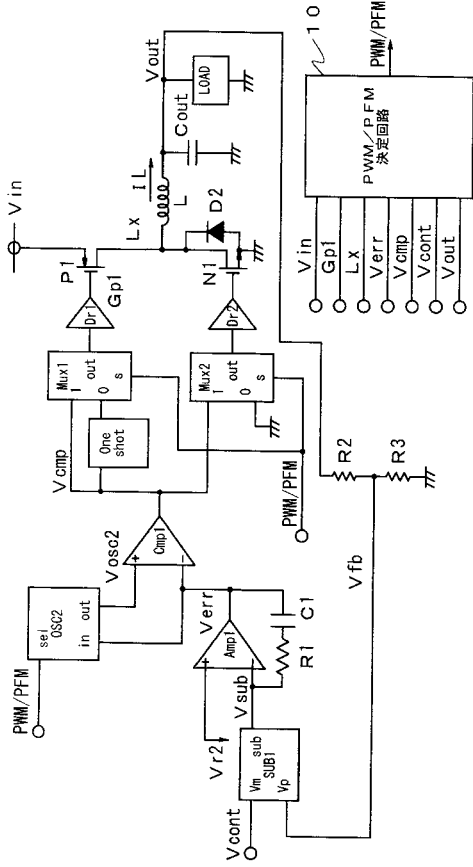
【図15】



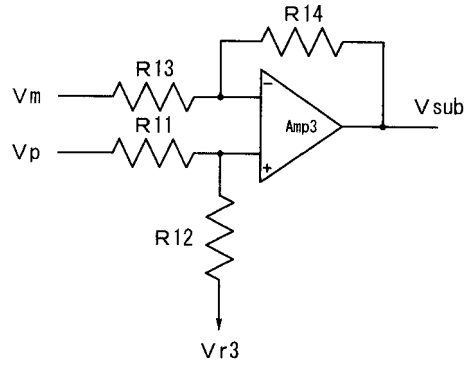
【図16】



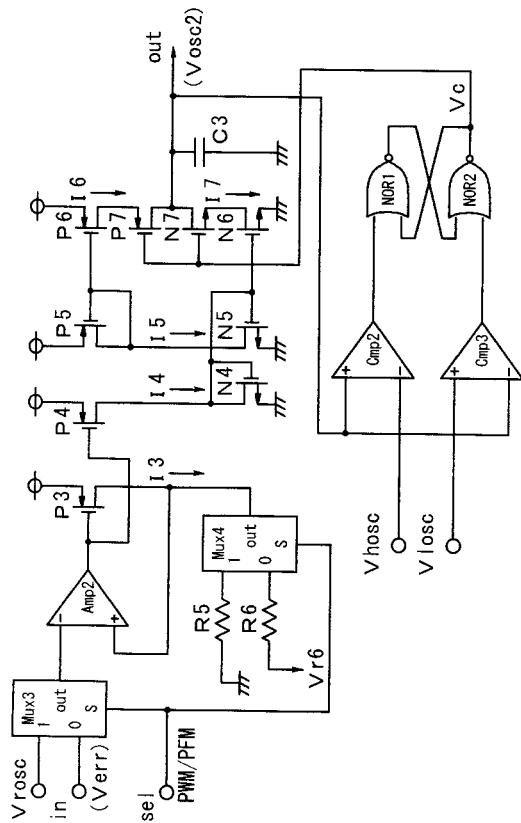
【図17】



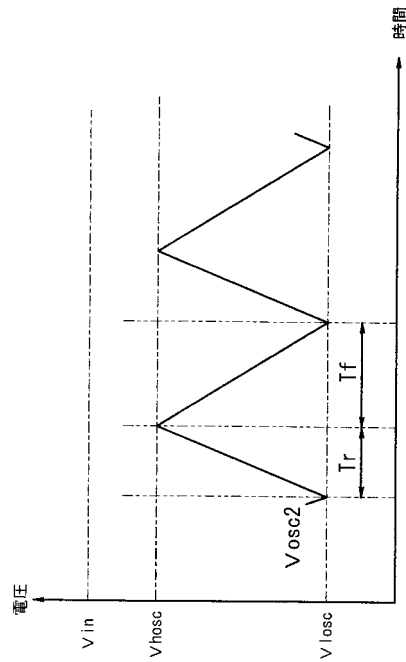
【図18】



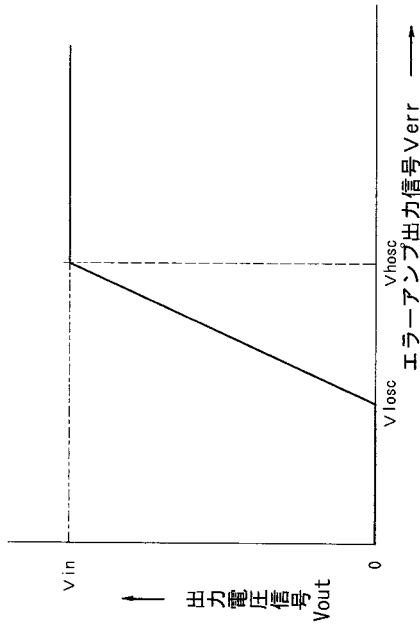
【図19】



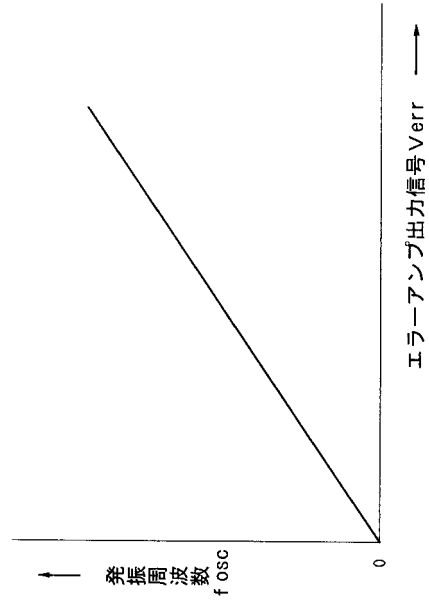
【図20】



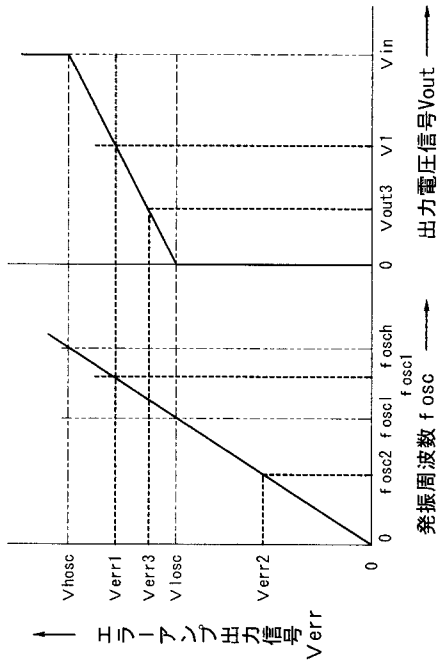
【図21】



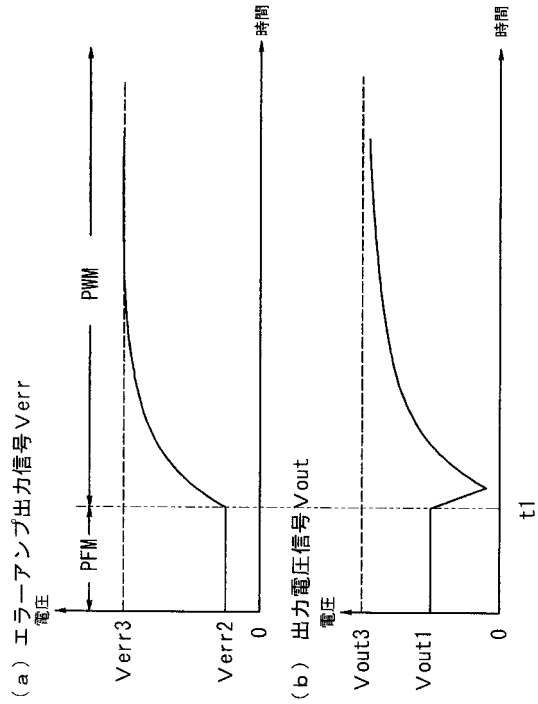
【図22】



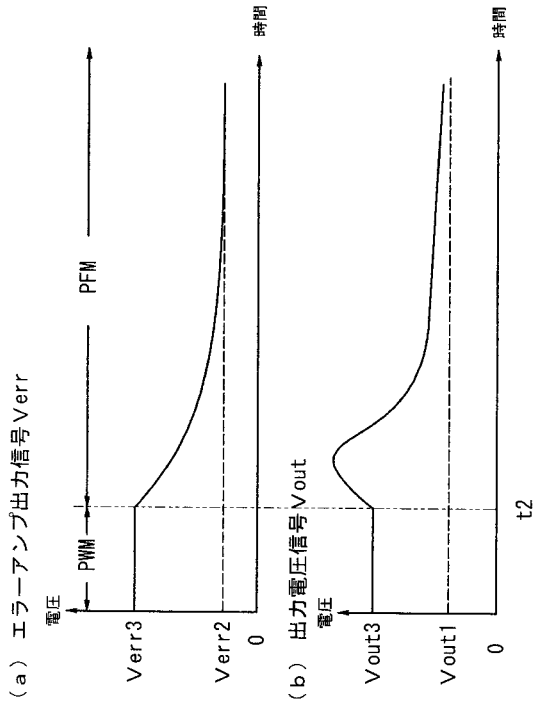
【図23】



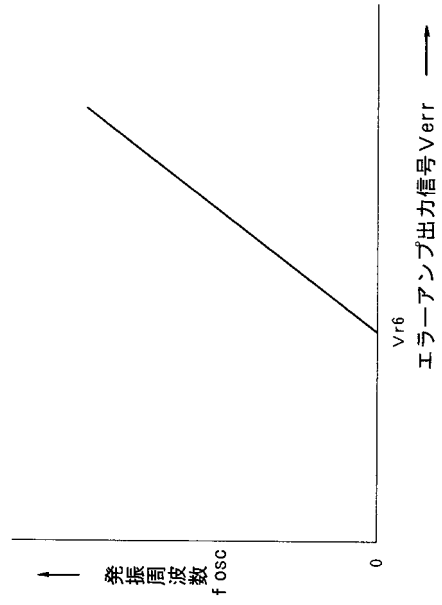
【図24】



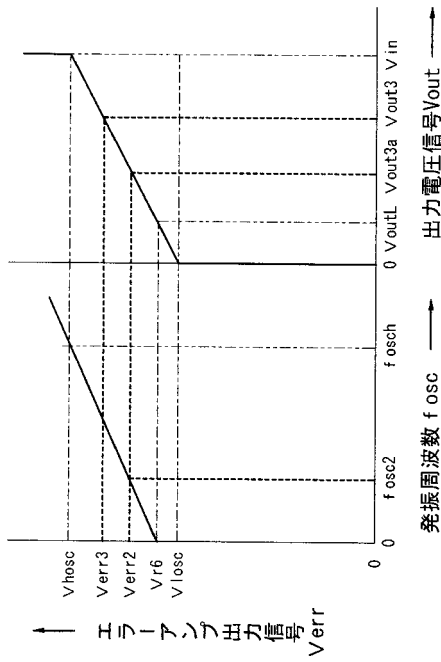
【 図 2 5 】



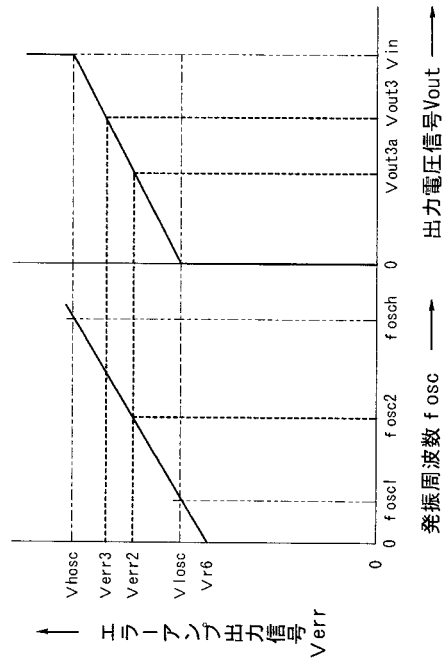
【 図 2 6 】



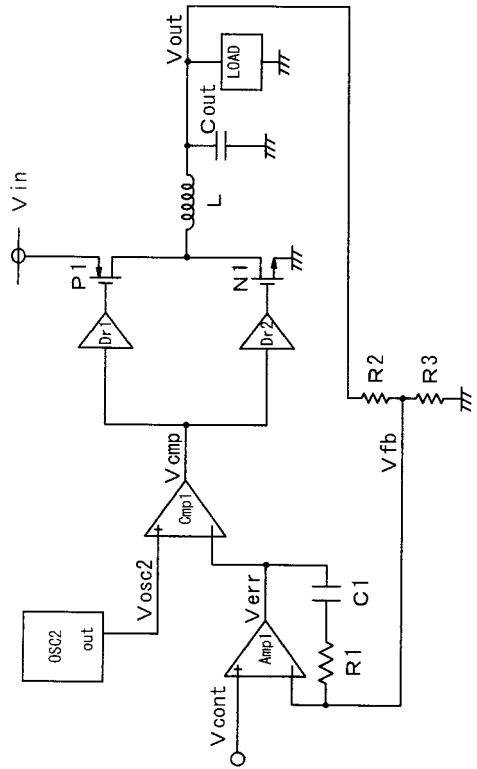
【 図 2 7 】



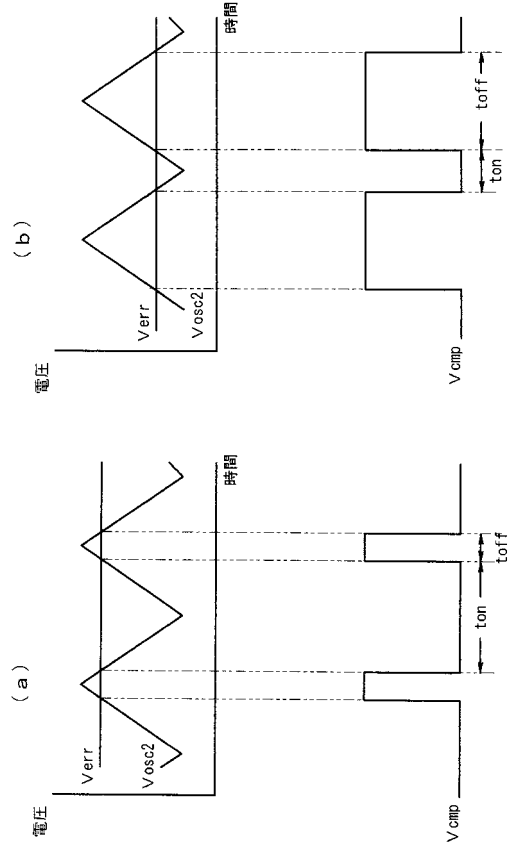
【 図 2 8 】



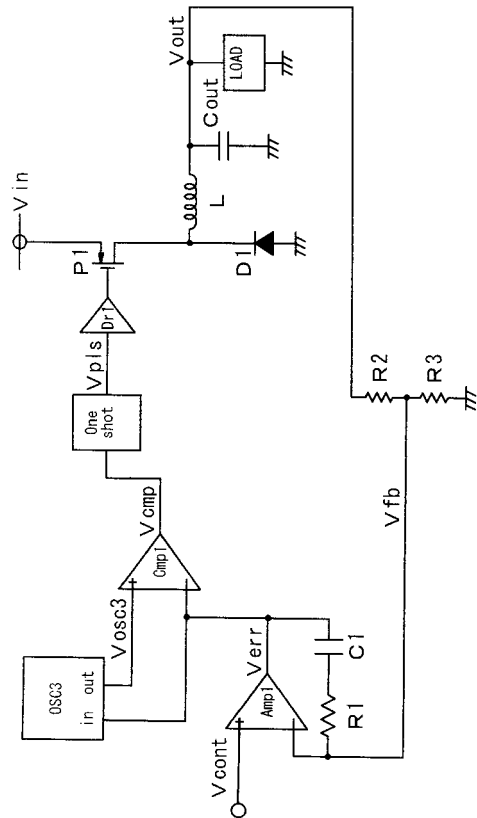
【図 29】



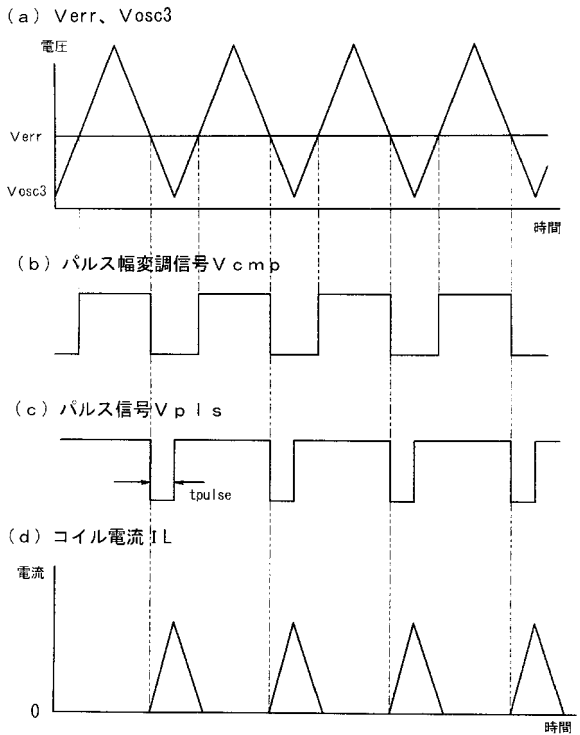
【図 30】



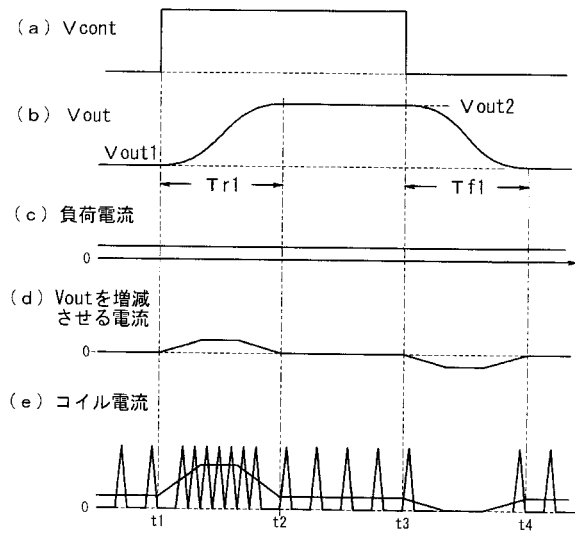
【図 31】



【図 32】



【図 33】



フロントページの続き

- (56)参考文献 特開平10-014217(JP,A)
特開平11-089222(JP,A)
特開平09-051675(JP,A)
特開2001-112251(JP,A)
特開2002-078326(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02M 3/155