

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02008/142768

発行日 平成22年8月5日(2010.8.5)

(43) 国際公開日 平成20年11月27日(2008.11.27)

(51) Int.Cl.	F I	テーマコード(参考)
HO 1 L 27/105 (2006.01)	HO 1 L 27/10 4 4 8	5 F 0 8 3
HO 1 L 45/00 (2006.01)	HO 1 L 45/00 A	
HO 1 L 27/10 (2006.01)	HO 1 L 27/10 4 6 1	
	HO 1 L 27/10 4 8 1	
	HO 1 L 27/10 4 9 1	

審査請求 有 予備審査請求 未請求 (全 34 頁)

出願番号 特願2009-515037 (P2009-515037)	(71) 出願人 503121103 株式会社ルネサステクノロジ 東京都千代田区大手町二丁目6番2号
(21) 国際出願番号 PCT/JP2007/060340	(74) 代理人 100080001 弁理士 筒井 大和
(22) 国際出願日 平成19年5月21日(2007.5.21)	(72) 発明者 黒土 健三 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内
(81) 指定国 AP (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OA (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), A E, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, K R, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, U Z, VC, VN, ZA, ZM, ZW	(72) 発明者 寺尾 元康 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内
	(72) 発明者 森川 貴博 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内

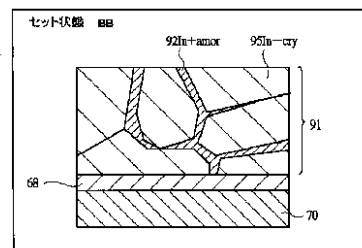
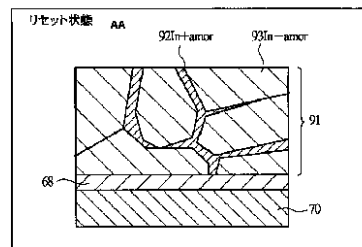
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

記憶層をM(添加元素) - Ge - Sb - Teの相変化材料(ただし、Mは、In、Ga、Al、Zn、Cd、Pb、Si、V、Nb、Ta、Cr、Mo、W、Ti、Fe、Co、Ni、Pt、Pb、Y、Euの少なくとも一つ)で構成した相変化メモリ素子を備えた半導体装置において、高耐熱性と安定なデータ保持特性とを両立させる。記憶層が、前記添加元素又は前記添加元素の化合物が析出することにより、その層内で組成比の異なる微細構造を持つが、記憶層を構成するM Ge<sub>x</sub>Sb<sub>y</sub>Te<sub>z</sub>の平均組成が0.4、0.04 X 0.4、0 Y 0.3、0.3 Z 0.6、0.03 (+ Y)を満たす。

図 3



AA RESET STATE  
BB SET STATE

## 【特許請求の範囲】

## 【請求項 1】

In、Ga、Al、Zn、Cd、Pb、Si、V、Nb、Ta、Cr、Mo、W、Ti、Fe、Co、Ni、Pt、Pd、Y、Euからなる群より選ばれた少なくとも1種類の元素をMとし、M-Ge-Sb-Teから構成される記憶層と、

前記記憶層を挟む一对の電極と、

を有し、

前記記憶層が相変化することによって高抵抗状態と低抵抗状態となり、それら状態を記憶するメモリ素子を備え、

前記記憶層では、前記元素、または前記元素の化合物が析出していることを特徴とする半導体装置。 10

## 【請求項 2】

前記元素、または前記元素の化合物が非晶質であり、

前記高抵抗状態の前記記憶層では、組成が異なった非晶質が混在していることを特徴とする請求項 1 記載の半導体装置。

## 【請求項 3】

前記低抵抗状態の前記記憶層では、結晶と非晶質が混在していることを特徴とする請求項 1 記載の半導体装置。

## 【請求項 4】

前記低抵抗状態の前記記憶層では、結晶と非晶質が混在し、

前記結晶が前記非晶質に比べてGe<sub>2</sub>Sb<sub>2</sub>Te<sub>5</sub>に近い組成であることを特徴とする請求項 1 記載の半導体装置。 20

## 【請求項 5】

前記低抵抗状態の前記記憶層の結晶粒径が、Ge<sub>2</sub>Sb<sub>2</sub>Te<sub>5</sub>より小さいことを特徴とする請求項 1 記載の半導体装置。

## 【請求項 6】

前記記憶層の結晶粒径が、前記一对の電極間の最短距離より小さいことを特徴とする請求項 1 記載の半導体装置。

## 【請求項 7】

前記記憶層中の前記元素のMの組成比を、

前記記憶層中の前記Geの組成比をX、

前記記憶層中の前記Sbの組成比をY、

前記記憶層中の前記Teの組成比をZ、

としたとき、前記記憶層の平均組成が、

$$0 \quad 0.4$$

$$0.04 \quad X \quad 0.4$$

$$0 \quad Y \quad 0.3$$

$$0.3 \quad Z \quad 0.6$$

$$0.03 \quad ( \quad + Y )$$

を満たすことを特徴とする請求項 1 記載の半導体装置。 30

## 【請求項 8】

$$0.03 \quad 0.4$$

を満たすことを特徴とする請求項 7 記載の半導体装置。 40

## 【請求項 9】

In-Ge-Sb-Teから構成される記憶層と、

前記記憶層を挟む一对の電極と、

を有し、

前記記憶層が相変化することによって高抵抗状態と低抵抗状態となり、それら状態を記憶するメモリ素子を備え、

前記記憶層では、前記Inまたは前記Inの化合物が析出していることを特徴とする半 50

導体装置。

【請求項 10】

前記 In の化合物は、InTeであることを特徴とする請求項 9 記載の半導体装置。

【請求項 11】

前記 In - Ge - Sb - Te の結晶間に、前記 In または前記 In の化合物が析出していることを特徴とする請求項 9 記載の半導体装置。

【請求項 12】

前記記憶層が 10 . 5 原子% 以上の前記 In を含むことを特徴とする請求項 9 記載の半導体装置。

【請求項 13】

In、Ga、Al、Zn、Cd、Pb、Si、V、Nb、Ta、Cr、Mo、W、Ti、Fe、Co、Ni、Pt、Pd、Y、Eu からなる群より選ばれた少なくとも 1 種類の元素を M とし、M - Ge - Sb - Te から構成される記憶層と、

前記記憶層を挟む一对の電極と、

を有し、

前記記憶層が相変化することによって高抵抗状態と低抵抗状態となり、それら状態を記憶するメモリ素子を備え、

前記記憶層内の前記元素の濃度が、前記一对の電極のうち一方の電極側より他方の電極側で高いことを特徴とする半導体装置。

【請求項 14】

In - Ge - Sb - Te から構成される記憶層と、

前記記憶層を挟む一对の電極と、

を有し、

前記記憶層が相変化することによって高抵抗状態と低抵抗状態となり、それら状態を記憶するメモリ素子を備え、

前記記憶層内の前記 In の濃度が、前記一对の電極のうち一方の電極側より他方の電極側で高いことを特徴とする半導体装置。

【請求項 15】

前記記憶層が 10 . 5 原子% 以上の前記 In を含むことを特徴とする請求項 14 記載の半導体装置。

【請求項 16】

In - Ge - Sb - Te から構成される記憶層と、

前記記憶層を挟む一对の電極と、

を有し、

前記記憶層が相変化することによって高抵抗状態と低抵抗状態となり、それら状態を記憶するメモリ素子を備えた半導体装置の製造方法であって、

スパッタリング法によって、前記 In - Ge - Sb - Te を形成した後、

前記 In - Ge - Sb - Te に熱エネルギーを与えることによって、前記記憶層で前記 In または前記 In の化合物を析出することを特徴とする半導体装置の製造方法。

【請求項 17】

前記熱エネルギーを、前記メモリ素子の書換え動作電圧の 5 % 以上、50 % 以下の電圧パルスによって発生することを特徴とする請求項 16 記載の半導体装置の製造方法。

【請求項 18】

前記熱エネルギーを、温度 450 以上、600 以下、かつ時間 10 ns 以上、10 min 以下で、電流、光、または熱伝導による加熱によって発生することを特徴とする請求項 16 記載の半導体装置の製造方法。

【請求項 19】

前記熱エネルギーを、温度 90 以上、150 以下、かつ時間 30 min 以上、100 hr 以下で、電流、光、または熱伝導による加熱によって発生することを特徴とする請求項 16 記載の半導体装置の製造方法。

10

20

30

40

50

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、半導体装置およびその製造技術に関し、特に、相変化材料を含む相変化メモリ素子を備えた半導体装置に適用して有効な技術に関するものである。

## 【背景技術】

## 【0002】

カルコゲナイド材料の物性を利用した記録技術として、相変化メモリおよび相変化光ディスクがあり、これらに用いられる記憶層の材料（相変化材料）として、Te（テルル）を含むカルコゲナイド（chalcogenide）材料が知られている。

10

## 【0003】

米国特許第5254382号（特許文献1）には、記憶層として $[(Ge_y Te_{1-y})_a (Sb_z Te_{1-z})_{1-a}]_{1-b} (In_{1-x} Te_x)_b$ （ここで、 $0.4 < y < 0.6$ 、 $0.3 < z < 0.6$ 、 $0.4 < x < 0.6$ 、 $0.1 < a < 0.5$ 、 $0.01 < b < 0.3$ ）で表されるカルコゲナイド材料を用いた光ディスク媒体が開示されている。これは、高速で結晶化が可能であるという特性を維持しつつ、非晶質（アモルファス）状態の安定性を高め、データの長期保存性を向上することを目的として、Ge（ゲルマニウム）-Sb（アンチモン）-TeにIn（インジウム）を添加したものである。

## 【0004】

一方、米国特許第5883827号（特許文献2）には、相変化材料膜（カルコゲナイド材料膜）を用いた不揮発性メモリに関する詳述がなされている。この不揮発性メモリは、相変化材料膜自体に流れる電流によるジュール熱と冷却速度とに応じて、相変化材料膜の原子配列が変化することによって、記憶情報が書き込まれる相変化メモリである。これは、非晶質化（アモルファス化）する際にジュール熱で600を越える温度を相変化材料膜に加え、一旦相変化材料膜を融解させるため、動作電流が大きくなり易いが、状態に応じて相変化材料膜の抵抗値が2桁から3桁も変化するものである。

20

## 【0005】

また、電気的な相変化メモリに関しては、カルコゲナイドとして $Ge_2Sb_2Te_5$ を用いたものを中心に研究が進められており、例えば、特開2002-109797号公報（特許文献3）には、 $GeSbTe$ を用いた記録素子が開示されている。また、特開2003-100991号公報（特許文献4）には、カルコゲナイド材料を用いたメモリに関する技術が開示されている。さらに、IEEE International Electron Devices meeting, TECHNICAL DIGEST, 2001年、p.803-806（非特許文献1）には、 $Ge_2Sb_2Te_5$ からなる相変化膜を用いた相変化メモリで $10^{12}$ 回の書換えが可能であることが示されており、Nature Materials, Vol.4, 2005年、p.347-351（非特許文献2）には、結晶成長型材料を用いた相変化メモリに関する技術が開示されている。

30

【特許文献1】米国特許第5254382号

【特許文献2】米国特許第5883827号

【特許文献3】特開2002-109797号公報

【特許文献4】特開2003-100991号公報

40

【非特許文献1】IEEE International Electron Devices meeting, TECHNICAL DIGEST, 2001年、p.803-806

【非特許文献2】Nature Materials, Vol.4, 2005年、p.347-351

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0006】

マイコン（半導体装置）に搭載される不揮発性メモリの記憶層に、光ディスクにおいて使用されている相変化材料を用いた場合、その記憶層には、光ディスクとは異なり、製造プロセスや使用環境において、より高温に耐えることが要求される。そのため、例えば $Ge_2Sb_2Te_5$ などの標準的な相変化材料を記憶層に用いてメモリを構成した場合、耐

50

熱性に関する信頼性を向上するためには、次のような課題を克服する必要がある。

【0007】

非晶質状態における相変化材料の不安定性である。すなわち、非晶質状態は準安定相であるために、高温環境では結晶化が急速に進行してしまう。例えば、自動車制御用マイコンの場合は、140 程度の高温環境での使用に耐えることが要求されるが、 $Ge_2Sb_2Te_5$  を記憶層に用いた場合、非晶質は数時間で結晶状態、すなわち低抵抗状態に変化するため、このような高温環境ではデータ保持特性が不十分となり、使用には適さない。

【0008】

また、メモリを混載したマイコンでは、マイコンチップを配線基板などに実装する工程で半田付けや圧着が行われるため、チップに形成されたメモリ素子が高温環境に晒される。マイコンの場合は、メモリ部分にプログラムを記録した後にチップの実装を行なうのが一般的である。しかしながら、実装工程の高温環境でデータが消去されてしまうようなメモリでは、実装後にデータを書き込まなければならず、通常とは異なるプロセスを採用しなければならない。例えば、半田付け工程では260 で数分、圧着工程では180 で数時間という熱負荷がかかるため、短い時間ではあるが、動作温度よりも高い温度環境でのデータ保持特性を保証する必要がある。従って、マイコン向け不揮発メモリでは、このような製造プロセスでの熱負荷にも耐え得るデータ保持特性を備えなければならず、光ディスクよりも遙かに厳しい耐熱性が要求される。

【0009】

このように、相変化材料を用いた不揮発性メモリには克服すべき課題があり、特に、高温における抵抗値については、電気的なカルコゲナイド材料を用いたメモリに特有の課題であることから、光ディスク（光記録媒体）向けのカルコゲナイド材料では考慮されていない。

【0010】

本発明の目的は、記憶層をM（添加元素）- Ge（ゲルマニウム）- Sb（アンチモン）- Te（テルル）膜で構成した相変化メモリ素子を備えた半導体装置において、高耐熱性と安定なデータ保持特性とを両立させる技術を提供することにある。なお、添加元素は、例えば、In（インジウム）、Ga（ガリウム）、Al（アルミニウム）、Zn（亜鉛）、Cd（カドミウム）、Pb（鉛）、Si（シリコン）、V（バナジウム）、Nb（ニオブ）、Ta（タンタル）、Cr（クロム）、Mo（モリブデン）、W（タングステン）、Ti（チタン）、Fe（鉄）、Co（コバルト）、Ni（ニッケル）、Pt（白金）、Pd（パラジウム）、Y（イットリウム）、Eu（ユウロビウム）からなる群より選ばれた少なくとも1種類の元素とすることができる。

【0011】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0012】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0013】

本発明による半導体装置は、M - Ge - Sb - Te 膜で構成される記憶層では、添加元素、または添加元素の化合物が析出している。

【発明の効果】

【0014】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0015】

記憶層で析出した添加元素、または添加元素の化合物によって結晶の成長が抑制されるため、高耐熱性と安定なデータ保持特性とが両立した相変化メモリ素子を実現することが

10

20

30

40

50

できる。

【図面の簡単な説明】

【0016】

【図1】本発明の一実施の形態における相変化メモリ素子の要部断面図である。

【図2】本発明の一実施の形態における半導体装置の要部断面図である。

【図3】図1に示した下部電極近傍の記憶層の第1状態を模式的に示す説明図である。

【図4】図1に示した下部電極近傍の記憶層の第2状態を模式的に示す説明図である。

【図5】図1に示した下部電極近傍の記憶層の第3状態を模式的に示す説明図である。

【図6】図1に示した下部電極近傍の記憶層の第4状態を模式的に示す説明図である。

【図7】図1に示した下部電極近傍の記憶層の第5状態を模式的に示す説明図である。

【図8】図1に示した下部電極近傍の記憶層の第6状態を模式的に示す説明図である。

【図9】In-Ge-Te-Sb相変化材料のIn濃度と結晶化温度との関係を示す説明図である。

【図10】本発明の一実施の形態における半導体装置のメモリセルアレイおよびその周辺回路を示す回路図である。

【図11】本発明の一実施の形態における半導体装置のメモリセルアレイおよびその周辺回路を示すレイアウト図である。

【図12】本発明の一実施の形態における相変化メモリ素子のI-V特性図である。

【図13】本発明の一実施の形態における相変化メモリ素子の読み出し動作を説明する波形図である。

【図14】本発明の一実施の形態における相変化メモリ素子の書き込み動作を説明する波形図である。

【図15】本発明の一実施の形態における半導体装置の製造方法を示す要部断面図である。

【図16】図15に続く半導体装置の製造方法を示す要部断面図である。

【図17】図16に続く半導体装置の製造方法を示す要部断面図である。

【図18】図17に続く半導体装置の製造方法を示す要部断面図である。

【図19】図18に続く半導体装置の製造方法を示す要部断面図である。

【図20】図19に続く半導体装置の製造方法を示す要部断面図である。

【図21】図20に続く半導体装置の製造方法を示す要部断面図である。

【図22】図21に続く半導体装置の製造方法を示す要部断面図である。

【図23】図22に続く半導体装置の製造方法を示す要部断面図である。

【図24】図23に続く半導体装置の製造方法を示す要部断面図である。

【図25】抵抗素子の構造を模式的に示す説明図である。

【図26】本発明の実施の形態である相変化メモリ素子を多数回書換えした後、抵抗素子の長時間EDX測定をした結果である。

【図27】図26の結果を模式的に示す説明図である。

【発明を実施するための最良の形態】

【0017】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。また、本願において導体層間の接触とは、直接接する場合だけでなく、電流が流れる程度に薄い絶縁体や半導体などの層または領域を挟んで接する場合も含むものとする。

【0018】

本発明の実施の形態における半導体装置は、相変化材料（記憶層）を含む抵抗素子と、MIS（Metal Insulator Semiconductor）トランジスタとを直列に接続した構造を有する相変化メモリ素子（不揮発性メモリ素子）を備えている。本発明の主要な特徴は、相変化メモリ素子に適用される相変化材料（記憶層）にある。そこで、本明細書では、まず、相変化メモリ素子について説明した後、本発明に係る相変化材料について説明する。次い

10

20

30

40

50

で、相変化メモリ素子を適用した一例として、メモリセルアレイの構成およびその動作について説明する。次いで、相変化メモリ素子を備えたメモリセルアレイおよびその製造方法について説明する。

#### 【0019】

(相変化メモリ素子)

まず、相変化材料が適用される相変化メモリ素子について説明する。相変化メモリ素子の高温状態でのデータ保持特性を向上させるために、本発明者らは、相変化材料であるGe-Sb-Te系カルコゲナイド材料に各種元素を添加することを検討している。添加する元素は、In、Ga、Al、Zn、Cd、Pb、Si、V、Nb、Ta、Cr、Mo、W、Ti、Fe、Co、Ni、Pt、Pd、Y、Euからなる群より選ばれた少なくとも1種類の元素である。

10

#### 【0020】

図1は相変化メモリ素子の要部断面図であり、それを構成する抵抗素子が示されている。また、図2は相変化メモリ素子を備えた半導体装置の要部断面図である。なお、図2に示す半導体装置についての詳細な説明は、後述する。

#### 【0021】

図1に示すように、記憶層71が一对の電極(上部電極72、下部電極BEC)との間で挟まれている。下部電極BECは、例えばW(タングステン)などの主導体膜70と、Ti(チタン)/TiN(窒化チタン)などの導電性バリア膜69を含むプラグから構成される。下部電極BEC上には、例えばTa<sub>2</sub>O<sub>5</sub>(酸化タンタル)膜またはCr<sub>2</sub>O<sub>3</sub>(酸化クロム)膜などからなる界面層68を介して記憶層71が形成されている。記憶層71は、Ge-Sb-Te系カルコゲナイド材料に例えばInを添加したIn-Ge-Sb-Teをほぼ均一に含有した相変化材料膜からなる。記憶層71の上部には、W膜などからなる上部電極72が形成されている。この上部電極72と下部電極BECとからなる一对の電極間に記憶層71が挟まれて抵抗素子RMが構成される。

20

#### 【0022】

図2に示すように、抵抗素子RMの下方には、導電性バリア膜64および主導体膜65から構成されるプラグを介して、下部電極BECと電氣的に接続されたメモリセル用のMISトランジスタQMが形成されている。このMISトランジスタQMの半導体領域(ソース、ドレイン領域)DN3、DN4と、導電性バリア膜64および主導体膜65から構成されるプラグと、が電氣的に接続されている。また、上部電極72の上には、下部電極(プラグ)BECと同じ導電性バリア膜73、主導体膜74からなるプラグTECが形成されており、抵抗素子RMの上方には、プラグTECを介して上部電極72と電氣的に接続されたビット線BLが形成されている。

30

#### 【0023】

図1に示したように、相変化メモリ素子の抵抗素子RMでは、下部電極BECの形状と上部電極72の形状とが異なっている。このような形状の場合、相変化材料膜から構成される記憶層71との接触面積が小さい下部電極BEC側が高温になり易い。すなわち、接触面積が大きい上部電極72側の記憶層71は、リセット時に融解せず、あるいは融解しても冷却中に再結晶化して結晶化するが、接触面積が小さい下部電極BECの近傍の記憶層71には、非晶質領域71aが形成される。なお、図12を参照して後述するが、リセットした後は、相変化材料(記憶層71)が熱(ジュール熱)により部分的に融解が始まり、導電率が徐々に下がって高抵抗状態となる。

40

#### 【0024】

下部電極BECが柱状または筒状の場合、下部電極BECの上より外側の部分から電流が流れ込むため、柱状または筒状の下部電極BECが記録層71と接する領域の外縁部で電流密度が高くなる。ここで、下部電極BECとそれに最も近い結晶化領域との最短距離は、リセット時にどれだけ大きな電流をどの程度の時間流したかによって異なる。例えば、抵抗素子RMのサイズを小さくすると電流が減少し、記憶層71の膜厚方向に沿った下部電極BECと上部電極72との距離(あるいは、非晶質化領域71aの上部の結晶化領

50

域と下部電極BECとの距離)よりも、非晶質化領域71aの底部に最も近接した結晶化領域と下部電極BECとの距離(最近接経路)の方が小さくなる。このため、セット時にはこの最近接経路に沿って電流が多く流れる可能性が高い。なお、図12を参照して後述するが、セットした後は、相変化材料(記憶層71)が低抵抗状態となる。

【0025】

このように本実施の形態における相変化メモリ素子は、記憶層71が相変化することによって高抵抗状態と低抵抗状態となり、それら状態を記憶するものである。

【0026】

ところで、最近接経路は、記憶層71のプロセスばらつきやプロセス欠陥などにより不安定となり易いので、抵抗素子RM間の特性ばらつきや書き換え可能回数低下などの不具合が発生する恐れがある。

10

【0027】

また、高温状態、すなわち熱印加された状態では、記憶層71を構成するIn-Ge-Sb-Te膜の原子配列が変化する可能性があり、これに起因して記憶層71のさらなる高抵抗化が起き、次のセット動作時に、より高い電圧が必要になる恐れがある。すなわち、非晶質化領域71aが非晶質状態の場合、高温時に結晶化領域全体で原子配列の変化が生じてさらなる高抵抗化が起きると、次のセット動作が困難となることも有り得る。

【0028】

また、記憶層71が一对の電極である下部電極BECと上部電極72とに挟まれた構造の抵抗素子RMには強い電場がかかるため、一对の電極間の記憶層71中にイオン、あるいはイオン化し易い元素や成分が存在する場合、これらが電場によって移動する可能性がある。すなわち、図1において、初期からの結晶化領域は抵抗が低いので、記憶層71の厚さ方向に沿った組成が均一である場合、セット時には下部電極BECの外縁部分と初期からの結晶化領域との間の電位勾配が最大となり、インパクトイオン化を伴うセット動作が始まる。その際、プラスイオンの移動も起こり易くなり、高温になると偏析や構造の乱れが発生し、抵抗が高抵抗側に変化する原因となる。なお、セット/リセット動作時には、通常、下部電極BEC側を基準にして上部電極72側に高い電圧が印加されるため、プラスイオンが下部電極BEC側に移動し易い。

20

【0029】

さらに、一对の電極を構成する元素、特に金属元素も、電流による高温で記録層71中に拡散する可能性があり、さらには電位勾配によりイオン化して移動する可能性がある。特に、柱状の下部電極BECと接する側の外縁部や、筒状の電極下部電極BECが記録層71と接する近傍では電流集中のために高温となるため、一对の電極を構成する元素が記録層71中に拡散しやすい。

30

【0030】

このため、相変化メモリ素子の記憶層71を例えばIn-Ge-Sb-Te膜で構成した場合、記憶層71と下部電極BECとの間にTa<sub>2</sub>O<sub>5</sub>膜やCr<sub>2</sub>O<sub>3</sub>膜などからなる界面層68を形成することにより、耐熱性が向上し、リセット(非晶質化)電流を低減することができる反面、高温状態では、原子配列の変化によると考えられるさらなる高抵抗化が起き、次のセット時に高電圧が必要になる場合もある。

40

【0031】

(相変化材料)

本実施の形態における相変化メモリ素子は、上部電極72と、相変化材料から構成される記憶層71と、下部電極BECとを有する抵抗素子RMを備えている。この抵抗素子RMの記憶層71が電氣的に高抵抗の状態と低抵抗の状態のいずれかとなり、その状態が維持されることにより情報が記憶される。

【0032】

本発明の主要な特徴を有する記憶層71を構成する相変化材料は、少なくとも低抵抗状態において、均一ではなく、微細な組成変調を持つものである。以下は、低抵抗状態の場合について相変化材料(記憶層71)が均一ではなく、微細な組成変調を持つ場合につい

50



て説明するが、高抵抗状態においても、同様な微細な組成変調を持つのが好ましい。なお、本願において「微細な」とは、結晶粒径が相変化材料（記憶層 7 1）の厚さよりも小さく、例えば、断面 TEM（透過型電子顕微鏡）で結晶粒が観測されないほど小さいことをいう。

#### 【 0 0 3 3 】

組成変調の 1 つの形態の例は、多結晶となった場合の結晶粒と粒間の部分との組成の違いによる微細な組成変調である。また、別の形態の例は、非晶質状態からのスピノーダル分解による微細な組成変調である。もう 1 つ別の形態の例は、電界によるイオン、特に金属イオンの原子配列の隙間への押し込みである。この場合、面内方向の微細な組成変調の他に、膜厚方向にも組成の変化が発生する。このような組成変化も好ましい。全体が非晶質である場合、部分的に微結晶である場合、全体が微結晶である場合がある。

10

#### 【 0 0 3 4 】

これまで相変化材料においては、結晶状態も単一相であるのが良いとされてきた。高速相変化のためには、原子移動の距離をできるだけ小さくしたいからである。しかし、相変化メモリの場合、用途によっては極めて高い耐熱性が要求され、高速で単一相の結晶を生成するような非晶質状態では耐熱性達成が困難である。

#### 【 0 0 3 5 】

一方、微細な 2 相以上に分かれた結晶状態となるような非晶質状態では、スピノーダル分解する非晶質状態もその中に含まれるが、2 相のうち 1 相が結晶化しても他の 1 相が非晶質状態であれば、電極間の抵抗は高い状態を保つ。非晶質状態の部分は結晶粒界と考えることもできるが、通常の結晶粒界よりも結晶間に挟まる原子数が多い。また、3 相に分かれ、うち 2 相が異なる結晶形の結晶であり、それらの間に残る 1 相が非晶質状態であって抵抗を高い状態を保つのであってもよい。

20

#### 【 0 0 3 6 】

残った非晶質相を結晶化させるには高い温度が要求される。ただし、このことは必ずしも残った非晶質相自体が高い耐熱性を持つことを意味しない。すなわち、全体がその非晶質相である時、耐熱性が高いとは限らない。したがって、結晶相の間に挟まれて残留することによって結晶化が困難となると考えられる。

#### 【 0 0 3 7 】

微結晶構造について図 3 から図 8 を用いてさらに説明する。図 3 から図 8 は、図 1 に示した下部電極（プラグ）B E C の近傍の記憶層 7 1 を模式的に示したものである。

30

#### 【 0 0 3 8 】

微結晶の構造は断面 TEM（透過型電子顕微鏡）観察などの一般的な分析手段では評価困難な程度に小さいため、正確な分析は困難であるが、以下のモデルで説明できる。例えば添加元素を In とした Ge - Sb - Te 系カルコゲナイド材料、すなわち構成元素が In、Ge、Sb、Te から相変化材料を用いた場合について説明する。なお、添加元素として、In に限らず、Ga、Al、Zn、Cd、Pb、Si、V、Nb、Ta、Cr、Mo、W、Ti、Fe、Co、Ni、Pt、Pd、Y、Eu からなる群より選ばれた少なくとも 1 種類の元素を添加しても良い。

#### 【 0 0 3 9 】

まず、第 1 のモデルについて図 3 を用いて説明する。なお、相変化領域 9 1 の結晶率の変化により、メモリセルのビット線 - ソース線間の抵抗が変化することとなる。

40

#### 【 0 0 4 0 】

リセット状態、すなわち高抵抗状態の場合、相変化領域 9 1 は、記憶層 7 1 を構成する In - Ge - Sb - Te の平均組成と比較して In 濃度が高く、かつ非晶質である領域（以下、In + 非晶質と示す）9 2 と、記憶層 7 1 の平均組成と比較して In 濃度が低く、かつ非晶質である領域（以下、In - 非晶質と示す）9 3 とから構成される。言い換えると、記憶層 7 1 では、添加元素である In、または添加元素の化合物である InTe が、例えば In + 非晶質 9 2 のように析出している領域がある。また、析出した In、または添加元素の化合物である InTe は非晶質であり、高抵抗状態の記憶層 7 1 では、例えば

50

$I_n +$ 非晶質 92 と  $I_n -$ 非晶質 93 のように組成が異なった非晶質が混在している。

【0041】

このため、耐熱性に関して、リセット状態では  $I_n +$ 非晶質 92 の内部に結晶核が生成し、結晶成長した場合でも、 $I_n -$ 非晶質 93 に衝突することで、結晶成長が阻害される。 $I_n +$ 非晶質 92 と  $I_n -$ 非晶質 93 の組成は異なるため、格子定数は異なり、同一の結晶になることはない。そのため、結晶の大きさは微小になり、ビット線 - ソース線間の抵抗に影響を与えない、すなわち高抵抗のままである。なお、結晶粒経が小さい場合、結晶の表面面積に対して、体積が小さいため、生じたエンブリオが熱振動により、非晶質に戻ることがある。

【0042】

セット状態、すなわち低抵抗状態の場合、相変化領域 91 は  $I_n +$ 非晶質 92 と、記憶層 71 を構成する  $I_n - Ge - Sb - Te$  の平均組成と比較して  $I_n$  濃度が低く、かつ結晶相である領域（以下、 $I_n -$ 結晶と示す）95 とで構成される。言い換えると、記憶層 71 では、添加元素である  $I_n$ 、または添加元素の化合物である  $I_n Te$  が、例えば  $I_n +$ 非晶質 92 のように析出している領域がある。また、析出した  $I_n$ 、または添加元素の化合物である  $I_n Te$  は非晶質であり、低抵抗状態の記憶層 71 では、例えば  $I_n +$ 非晶質 92 と  $I_n -$ 結晶 95 のように結晶と非晶質が混在している。この  $I_n -$ 結晶 95 の間に、 $I_n +$ 非晶質 92 が析出している。 $I_n -$ 結晶 95 は、母材の  $Ge - Sb - Te$  系カルコゲナイド材料に近い組成であり、例えば  $I_n +$ 非晶質 92 に比べて  $Ge_2 Sb_2 Te_5$  に近い組成の  $I_n - Ge - Sb - Te$  であると考えられる。

【0043】

この  $I_n +$ 非晶質 92 の膜厚は  $I_n -$ 結晶 95 の粒径と比較して小さい。また、 $I_n -$ 結晶 95 の粒径は、 $Ge_2 Sb_2 Te_5$  より小さいものとなっている。言い換えると、記憶層 71 の  $I_n -$ 結晶 95 の粒径が、一对の電極（上部電極 72、下部電極 BEC）間の最短距離より小さいものとなっている。

【0044】

このため、セットパルス幅を長くすることで、余剰な  $I_n$  を  $I_n -$ 結晶 95 から、 $I_n +$ 非晶質 92 に熱拡散させる時間的余裕と温度を与えることが出来る。このときのパルス幅は、例えば、1 マイクロ秒以上である。また、リセットパルス幅を短くすることで、溶解時の  $I_n +$ 非晶質 92 から  $I_n -$ 結晶 95 への熱拡散を抑制し、記憶層 71 内の組成不均一を保つことも可能である。このときのパルス幅は、例えば 50 ナノ秒未満である。

【0045】

次に、第 2 のモデルについて図 4 を用いて説明する。リセット状態では  $I_n -$ 非晶質 93 の周辺に、記憶層 71 を構成する  $I_n - Ge - Sb - Te$  の平均組成と比較して  $I_n$  濃度が高く、かつ結晶相である領域（以下、 $I_n +$ 結晶と示す）94 が存在する。この場合も同様にリセット状態の耐熱性が確保される。 $I_n +$ 結晶 94 の結晶粒径は例えば 20 nm 以下と微細であることが、素子間ばらつき低減のために望ましい。

【0046】

次に、第 3 のモデルについて図 5 を用いて説明する。このモデルでは、リセット状態では  $I_n$  濃度の高い領域が非晶質（ $I_n +$ 非晶質 92）であり、セット状態では  $I_n$  濃度の高い領域は結晶（ $I_n +$ 結晶 94）である。

【0047】

次に、第 4 のモデルについて図 6 を用いて説明する。相変化領域 91 は、リセット状態では  $I_n -$ 非晶質 93 と  $I_n +$ 非晶質 92 で構成される。 $I_n -$ 非晶質 93 の結晶化が  $I_n +$ 非晶質 92 により抑制されるのは、第 1 のモデルと同じである。このモデルの特徴は、セット状態が、複数の結晶 96 で構成され、粒界近傍の  $I_n$  組成が高いことである。結晶間の粒界は、一般に結晶格子が乱れる。そのため、不純物が結晶の母相に位置することに比べて、元々エネルギー的に不安定な粒界に位置する方が、記憶層 71 全体の熱力学的エネルギーが少なく済むため、結晶格子の乱れのある粒界付近の  $I_n$  濃度が高くなる。例えば、添加元素が Zn の場合、 $Ge - Sb - Te$  系カルコゲナイド材料からなる結晶格

10

20

30

40

50

子内にGeもしくはSbを置換する形でZnが導入されていることが、我々のシンクロトロン放射光を用いた拡張X線微細構造(EXAFS)測定により確かめられている。

【0048】

このように、第1のモデルから第4のモデルはIn濃度の高い領域が結晶相であるか、それとも、非晶質相であるかが異なる。

【0049】

次に、第5のモデルについて図7を用いて説明する。第1のモデルとは、セット状態において記憶層71に占めるIn+非晶質92の体積比率が大きいことが異なる。例えば、In+非晶質92は、結晶95と比較して、大きな体積を占める。

【0050】

次に、第6のモデルについて図8を用いて説明する。このモデルの特徴は、電流の流れる方向にIn濃度が変化していることである。このため、記憶層71内の添加元素であるInの濃度が、一对の電極(上部電極72、下部電極BEC)のうち一方の電極側より他方の電極側で高いものとなる。具体的には、In濃度の場所による違いは、電流が流れることでもたらされ、InはTeに比べて電気陰性度が正であるため、電流が流れることで、イオン伝導が生じ、Inは負極側、すなわち負極である下部電極BEC(主導體膜70)へ移動する。

【0051】

このため、リセット状態において、In-非晶質93が、例え結晶化しても、下部電極BECと上部電極TECの間には非晶質のため高抵抗であるIn+非晶質92があるため、下部電極BECと上部TECの間の電気抵抗は高抵抗に保たれる。

【0052】

図9に、In-Ge-Te-Sbからなる相変化材料のIn含有率と結晶化温度との関係を示す。なお、In含有率は、In-Ge-Te-Sbの平均組成においてのものである。

【0053】

図9に示すように、Inが添加されることによって結晶化温度が高くなる。In含有率( )に対して結晶化温度が、例えば3原子%では180程度、10.5原子%では250、30原子%では270程度、40原子%では250程度となる。このような結晶化温度が高い範囲となるように添加元素のInあるいはその化合物(In化合物)を析出させた記憶層71を用いた相変化メモリ素子は、例えば自動車制御用マイコンの使用環境(140程度)のような高温でも、結晶化が起こりにくくなる。すなわち、記憶層71が高抵抗状態のときに高温環境に曝された場合であっても、記憶層71では結晶化が起こりにくいため、低抵抗とはならず、情報を保持することができる。

【0054】

(メモリセルアレイの構成およびその動作)

まず、本実施の形態におけるメモリセルアレイについて説明する。図10は、本実施の形態におけるメモリセルアレイおよびその周辺回路を示す回路図である。なお、説明が煩雑になるのを防ぐために、通常は多数含まれるワード線WLおよびビット線BLを簡略化し、4本のワード線WL1~WL4、2本のビット線BL1~BL2、2本のソース線SL1およびSL2のみを示している。

【0055】

図10に示す本実施の形態におけるメモリセルアレイは、NOR型の構成例であり、読出しが高速に行えることから、システムプログラムの格納用メモリなどに適している。従って、このメモリセルアレイは、主として単体メモリ用、あるいはマイコンなどの論理LSI混載用として用いられるものである。

【0056】

メモリセルMC11~MC12は、ワード線WL1に電氣的に接続されている。同様に、メモリセルMC21~MC22、MC31~MC32、MC41~MC42は、それぞれワード線WL2、WL3、WL4に接続されている。また、メモリセルMC11、MC

10

20

30

40

50

21、MC31、MC41は、ビット線BL1およびソース線SL1に接続されている。同様に、メモリセルMC12、MC22、MC32、MC42は、ビット線BL2、ソース線SL2に接続されている。

【0057】

各メモリセルMCは、それぞれMISトランジスタからなる1個のメモリセルトランジスタQMと、それに直列に接続された1個の抵抗素子RMとで構成されている。各メモリセルトランジスタQMのゲート電極にはワード線WLが接続されており、抵抗素子RMにはビット線BLが接続されている。また、各メモリセルトランジスタQMにおいて、抵抗素子RMが接続された一端（ソース、ドレイン領域の一方）とは異なる他の一端（ソース、ドレイン領域の他方）にはソース線SLが接続されている。なお、図1を用いて前述したように、抵抗素子RMは、下層から順に下部電極BEC、界面層68、記憶層71および上部電極72を積層した構成になっており、記憶層71は、相変化材料からなる。

10

【0058】

ワード線WL1~WL4は、それぞれワードドライバWD1~WD4によって駆動される。どのワードドライバWDを選択するかは、XアドレスデコーダXDECからの信号によって決まる。

【0059】

また、図10中の符号VPLは各ワードドライバWDへの電源供給線、符号Vddは例えば1.5Vの電源電圧、符号VGLは各ワードドライバWDの電位引抜き線である。なお、電位引き抜き線VGLは接地電圧に固定されている。

20

【0060】

また、メモリアレイの動作に必要なロウデコーダXDEC、カラムデコーダYDEC、読み出し回路RC、書き込み回路WCも同時に示されている。この構成の特徴は、データ線に平行なソース線を設け、双方を等電位に駆動するプリチャージ回路と、選択ソース線を選択的に駆動する回路を配置することにより、選択されたワード線と選択されたソース線の交点にある選択セルにのみ電流経路を発生する点にある。

【0061】

ロウデコーダXDECは、ロウアドレスに応じたワード線WLを選択する。また、カラムデコーダYDECは、カラムアドレスに応じたカラム選択線YSを駆動する。選択されたカラム選択線YSに応じたカラム選択スイッチQAが導通することにより、選択されたメモリセルMCは、共通データ線I/Oを介して読み出し回路RCおよび書き込み回路WCに接続される。

30

【0062】

ここで、QA1~QA2は複数のデータ線(BL1~BL2)の一つを選択して共通データ線I/Oに接続するための第1のスイッチ回路をなすと見ることができる。また、QB1~QB2は複数のソース線(SL1~SL2)の一つを選択してソース電圧供給線に接続するための第2のスイッチ回路をなすと見ることができる。

【0063】

このメモリアレイ構成は、以下の三つの特徴を有する。第一は、ビット線BLに平行な複数（ここではm本）のソース線SLr（r=1、2、...）が配置され、列方向のトランジスタQM<sub>r</sub>のソースがソース線SLrに共通に接続されている点である。

40

【0064】

第二は、それぞれのソース線SLrとソース電圧端子VSLとの間に複数（ここではm個）のNMISトランジスタQBr（r=1、2、...）が挿入され、これらのトランジスタが列デコーダで選択される点である。図10では、これらのゲートに対応するカラム選択線YSrが直接接続されている例を示している。

【0065】

第三は、対応するビット線BLとソース線SLをプリチャージ電圧VDLに駆動する複数のNMISトランジスタQCrおよびQDr（r=1、2、...）が配置され、これらのトランジスタのゲートにプリチャージイネーブル信号PCが接続されている点である。こ

50

のような構成により、プリチャージ電圧  $V_{PC}$  に駆動された複数のビット線  $B_L$  およびソース線  $S_L$  の中から、選択したいデータ線に対応するソース線を駆動することができる。つまり、選択したいデータ線及びソース線に接続されたメモリセル  $MC$  にのみ、電圧差を印加することができる。したがって、選択ワード線上の所望のメモリセル  $MC$  にのみ電流経路を形成し、選択データ線にのみ読み出し信号を発生することが可能となる。なお、プリチャージ回路は  $QC$ 、 $QD$  全体と解することができ、 $QC1$  と  $QD1$  は  $BL1$  と  $SL1$  の対毎に設けられた要素プリチャージ回路と見ることができる。

#### 【0066】

図11は図10の回路に対応するレイアウト図である。図11において、符号  $FL$  は  $MIS$  トランジスタの活性領域、 $M1$  は第1層配線、 $M2$  は第2層配線、 $FG$  はシリコン基板上に形成された  $MIS$  トランジスタのゲート電極である。符号  $FC$  は、 $MIS$  トランジスタの半導体領域（ソース、ドレイン領域）と第1層配線  $M1$  とを結ぶ接続孔、 $SC$  は第1層配線  $M1$  と抵抗素子  $RM$  とを結ぶ接続孔、 $TC$  は第1層配線  $M1$  と第2層配線  $M2$  とを結ぶ接続孔、 $YS$  はカラム選択線をそれぞれ示している。

10

#### 【0067】

メモリセル  $MC$  の抵抗素子  $RM$  は、同一のビット線  $B_L$  に接続された複数のメモリセル  $MC$  間で、接続孔  $TC$  を介してビット線  $B_L$ （第2層配線  $M2$ ）に引き上げられる。ワード線  $WL1 \sim WL4$  は、多結晶シリコン膜とシリサイド（シリコンと高融点金属との合金）膜との積層膜などからなるゲート電極  $FG$  により構成されている。また、例えばメモリセル  $MC11$  のメモリセルトランジスタ  $QM11$  と、メモリセル  $MC21$  のメモリセルトランジスタ  $QM21$  とは、ソース領域が共有されている。このソース領域は、接続孔  $FC$  を介してソース線  $SL1$  を構成する第1層配線  $M1$  に電氣的に接続されている。

20

#### 【0068】

ビット線  $BL1 \sim BL2$  は、メモリセルアレイの周辺部に配置された選択トランジスタ  $QB1 \sim QB2$  のソース領域に接続されている。これらの選択トランジスタは、 $Y$  アドレスレコーダ  $YDEC$  からの信号を受けて指定のビット線  $BL1$  または  $BL2$  を選択する機能を持つ。

#### 【0069】

次に、記憶層（相変化材料）の相変化によって、電気抵抗値が高抵抗と低抵抗に変化した状態（高抵抗状態、低抵抗状態）を2値の情報として記憶する本実施の形態におけるメモリ素子について説明する。なお、図1、図2を用いて前述したように、相変化メモリ素子は、抵抗素子  $RM$  と、 $MIS$  トランジスタ  $QM$  とから構成され、このうち抵抗素子  $RM$  は、下層から順に下部電極  $BE$ 、界面層  $68$ 、記憶層  $71$  および上部電極  $72$  を積層した構成される。

30

#### 【0070】

記憶情報 '0' を書き込む場合、抵抗素子  $RM$  を相変化材料の融点以上の温度に加熱してから急冷するようリセットパルスを印加する。その際、リセットパルスを短くして、与える全エネルギーを小さくし、冷却時間を短く（例えば約  $1\text{ ns}$ ）設定することにより、相変化材料が高抵抗の非晶質状態となる。

#### 【0071】

逆に、記憶情報 '1' を書き込む場合、抵抗素子  $RM$  を相変化材料の融点よりも低く、ガラス転移点と同じか、結晶化温度よりも高い温度領域に保つようなセットパルスを印加することにより、相変化材料が低抵抗の多結晶状態となる。結晶化に要する時間は相変化材料の組成によって異なるが、例えば約  $50\text{ ns}$  である。

40

#### 【0072】

抵抗素子  $RM$  の温度は、素子自身が発するジュール熱および周囲への熱拡散に依存する。図12は、相変化メモリ素子の  $I-V$  特性図である。本実施の形態におけるメモリ素子は、書き込み情報に応じた値の電流パルスを抵抗素子  $RM$  に印加することにより、記憶層  $71$  の結晶状態が制御される。

#### 【0073】

50

図12は、相変化材料を用いた抵抗素子RMの動作原理を模式的に示したものであり、図に示す範囲内のセット電流を印加した場合には記憶情報‘1’が書き込まれ、それよりも大きいリセット電流を印加した場合には記憶情報‘0’が書き込まれることを示している。ただし、どちらの状態を‘0’または‘1’とするかは任意である。以下、図12を参照しながら、四通りの書き込み動作について説明する。

【0074】

第一に、初期状態が‘1’の抵抗素子RMに‘1’を書き込む場合は、セット電流が印加されると、セット（結晶）状態の低抵抗曲線を辿って初期状態とセット領域との間を往復するので、状態が保持される。

【0075】

第二に、初期状態が‘1’の抵抗素子RMに‘0’を書き込む場合は、リセット電流が印加されると、セット状態の低抵抗曲線を辿ってリセット電流に達する。次に、ジュール熱により部分的に融解が始まるので、導電率が徐々に下がる。パルスが切れて液相の抵抗素子RMが急冷されると、非晶質状態に相変化するので、リセット（非晶質）状態の高抵抗曲線を一部辿って初期状態に戻る。図12の破線で示した曲線は、リセットパルスは既に切れているが、そのまま電圧を印加し続けると、抵抗値の変化で電流はこのように変化するはず、という仮想的な線である。

【0076】

第三に、初期状態が‘0’の抵抗素子RMに‘1’を書き込む場合は、セット電流を印加すると、素子の端子電圧がしきい電圧を超えた時に低抵抗状態にスイッチされる。スイッチング後は、ジュール熱によって結晶化が進行する。電流値がセット電流に達すると、結晶化領域が広がって相変化することにより、さらに抵抗値が下がるので、低抵抗曲線を辿って初期状態に戻る。途中から電圧-電流曲線の傾斜が緩やかになるのは、低抵抗状態へスイッチしていた領域がスイッチOFFとなり、結晶化による抵抗低下のみが残留するためである。

【0077】

第四に、初期状態が‘0’の抵抗素子RMに‘0’を書き込む場合は、前述したスイッチング後にほとんど結晶化する時間はなく、スイッチングしたことによる低抵抗曲線を辿ってリセット領域に達し、融解、急冷、固化して初期状態に戻る。

【0078】

このような抵抗素子RMの動作原理から、読み出し時に記憶情報を破壊しないようにするために、最高でもしきい電圧より低い電圧に抑制しながら動作させなければならない。実際には、しきい電圧は電圧印加時間にも依存し、時間が長いほど低下する傾向があるため、読み出し時間内にしきい電圧を越えて低抵抗状態へのスイッチングが起こらない電圧にする必要がある。これらの原理に基づき、図10に示したアレイ構成を実現する動作を以下に説明する。

【0079】

図13に、本発明の実施の形態における相変化メモリ素子の読み出し動作を説明する波形を示す。この図13に従い、メモリセルMC11の読み出し動作について説明する。なお、図13は、図10に示したメモリセルMC11を選択する場合の動作波形を示している。

【0080】

まず、待機状態においては、プリチャージイネーブル信号PCが電源電圧VDDに保持されているので、選択トランジスタQDにより、ビット線BLおよびソース線SLがプリチャージ電圧VBLに維持される。ここで、プリチャージ電圧VBLは、電源電圧VDDよりもトランジスタのしきい電圧Vthだけ低下した値（例えば1.0V）である。また、このときは、共通データ線I/Oも読み出し回路によりプリチャージ電圧VBLにプリチャージされている。

【0081】

読み出し動作が始まると、電源電圧VDDとなっているプリチャージイネーブル信号P

10

20

30

40

50

Cが接地電圧VSSに駆動され、接地電圧VSSとなっているカラム選択線YS1が昇圧電位VDH（例えば1.5V以上）に駆動されることにより、選択トランジスタQD1、QD2が導通する。この時、ビット線BL1は、共通データ線I/Oと等電位にあるのでプリチャージ電圧VBLに保持されるが、ソース線SL1は、選択トランジスタQD1によりソース電圧VSL（例えば0.5V）に駆動される。このソース電圧VSLとプリチャージ電圧VBLは、プリチャージ電圧VBLがソース電圧VSLよりも高く、その差は、抵抗素子RMの端子電圧が図12に示したような読み出し電圧領域の範囲内に収まるような関係に設定されている。

#### 【0082】

次に、接地電圧VSSとなっているワード線WL1が昇圧電位VDHに駆動されると、ワード線WL1に接続された全てのメモリセルMCのメモリセルトランジスタQMが導通する。この時、抵抗素子RMに電位差が生じたメモリセルMC11内には電流経路が発生し、ビット線BL1および共通データ線I/Oが抵抗素子RMの抵抗値に応じた速さでソース電圧VSLに向かって放電される。図13に示すように、記憶情報‘1’を保持している場合の方が、記憶情報‘0’を保持している場合よりも抵抗値が小さいものとしているので、放電が速い。従って、記憶情報に応じた信号電圧が発生する。

10

#### 【0083】

非選択メモリセルMC12は、抵抗素子RMの電位差が0なので、非選択ビット線BL2はプリチャージ電圧VBLに保持される。すなわち、ワード線WL1とソース線SL1により選択されたメモリセルMC11のみが、ビット線BL1を通じて読み出し電流を流す。

20

#### 【0084】

ここで、読み出し回路RCで読み出し情報が弁別された後ならば、ワード線WL1を立ち下げることができる。なお、この弁別が遅い場合にワード線WL1を立ち上げ続けると、記憶情報‘0’を読み出す場合においても、選択されたビット線BL1がソース電圧VSL付近まで放電されてしまい、‘0’読み出しの信号電圧と‘1’読み出しの信号電圧との差が減少し、記憶情報を正しく読み出せなくなる場合がある。このような場合には、‘0’読み出しの場合のビット線電圧が参照電圧VDRを越える前のタイミングでワード線WL1を立ち下げることにより、誤動作を防止できる。ワード線WLを立ち下げて電流経路を遮断することにより、共通データ線I/O上の信号電圧が保持されるので、読み出し回路RCは参照電圧VDRを基準として発生された正または負の信号を弁別することが可能である。

30

#### 【0085】

以上の読み出し動作が終了すると、共通データ線I/Oはプリチャージ電圧VBLに駆動されて、待機状態に戻る。なお、待機状態において、ビット線BL1、BL2、ソース線SL1、SL2をフローティングにすると、読み出し動作開始時にビット線BL1あるいはBL2と共通データ線I/Oとを接続した際に、電圧が不定であるビット線BL1あるいはBL2の容量が共通データ線I/Oから充電されてしまう。このため、図13ではワード線WL1に応じてカラム選択線YS1も立ち下げ、さらに接地電圧VSSとなっているプリチャージイネーブル信号PCを電源電圧VDDに駆動することにより、ビット線BL1およびソース線SL1をプリチャージ電圧VBLに駆動して待機状態としている。

40

#### 【0086】

また、昇圧電位VDHは、従来のDRAMにおいて広く用いられているような電圧であり、電源電圧VDDとMISトランジスタのしきい電圧Vthとを用いて、 $VDH > (VDD + Vth)$  の関係を満たすように設定されている。例えば相変化メモリの書き込み動作では、後述するように、読み出し動作よりも大きな電流を流す必要がある。このため、本発明では、ワード線WLとカラム選択線YSとを昇圧電位VDHに駆動してMISトランジスタの抵抗を下げることににより、正確な書き込み動作を行うことができる。

#### 【0087】

また、プリチャージ電圧VBLをソース電圧VSLよりも高く設定することにより、選

50

択ソース線  $S_L$  を、選択メモリセル  $MC$  におけるメモリセルトランジスタ  $QM$  のソース領域とし、抵抗素子  $RM$  の抵抗に依らず、 $MIS$  トランジスタのゲート-ソース間電圧を確保できる。なお、逆の電位関係であっても、その差が、図 12 に示したような読み出し電圧領域の範囲内に収まるように設定されているならば、同様の選択動作が可能である。

#### 【0088】

なお、図 13 は、ソース線  $S_L1$  を駆動してからワード線  $W_L1$  を駆動する例であるが、設計の都合によっては、ワード線  $W_L1$  を駆動してからソース線  $S_L1$  を駆動してもよい。この場合は、最初にワード線  $W_L1$  が駆動されて選択トランジスタ  $QD$  が導通するため、抵抗素子  $RM$  の端子電圧は  $0V$  に確保される。その後、ソース線  $S_L1$  を駆動すると、抵抗素子  $RM$  の端子電圧は  $0V$  から大きくなるが、その値はソース線  $S_L1$  の駆動速度により制御可能であり、前述した読み出し領域の範囲に収めることができる。同様に、ワード線  $W_L1$  とソース線  $S_L1$  を、ほぼ同時に駆動することもできる。また、ワード線  $W_L1$  とソース線  $S_L1$  のうち、駆動タイミングが遅い方のパルスに先行してカラム選択線  $YS1$  を駆動すれば、共通データ線  $I/O$  への出力待ち時間を減らせるので、アクセス時間が速くなる。この場合は、図 10 に示した選択トランジスタ  $QD1$ 、 $QD1$  をそれぞれ独立に駆動できるように結線を変えればよい。

10

#### 【0089】

以上、メモリセル  $MC11$  を選択する例を示したが、同じビット線  $BL1$  に接続された他のメモリセル ( $MC21$ 、 $MC31$ 、 $MC41$ ) は、それらのワード線電圧が接地電圧  $VSS$  固定されているので、選択されることはない。また、他のビット線 ( $BL2$ ) とソース線  $S_L2$  は同じ電位 ( $VBL$ ) なので、残りのメモリセル  $MC$  も非選択状態に維持される。

20

#### 【0090】

上記の説明では、非選択のメモリセル  $MC$  を通じて流れる電流が動作に影響を及ぼさないよう、待機状態のワード線  $WL$  を接地電圧  $VSS$  とし、選択状態のソース線  $SL$  を正のソース電圧  $VSL$  (例えば  $0.5V$ ) としている。すなわち、待機状態のワード線電圧を接地電圧  $VSS$  とし、ソース電圧  $VSL$  を正の電圧とすることにより、メモリセルトランジスタ  $QM$  のしきい値電圧を低くできる。

#### 【0091】

また、選択されたソース線  $SL$  を接地電圧  $0V$  とし、待機状態のワード線  $WL$  を負の電圧にすることによっても、メモリセルトランジスタ  $QM$  のしきい値電圧  $V_{th}$  を低くできる。この場合は、待機時のワード線  $WL$  用に負電圧を発生させる必要があるが、選択時のソース線  $SL$  の電圧が外部から印加される接地電圧  $VSS$  となるため、ソース線  $SL$  の電圧が安定になる。また、メモリセルトランジスタ  $QM$  のしきい値電圧  $V_{th}$  を十分高くすれば、選択時のソース線  $SL$  と待機状態のワード線  $WL$  を接地電圧  $0V$  としてもよい。この場合は、ソース線  $SL$  の電圧が外部から印加される接地電圧  $V_{ss}$  である上に、待機状態のワード線  $WL$  の容量が安定化容量として働くために、ソース線  $SL$  の電圧をさらに安定なものにできる。

30

#### 【0092】

また、ここでは共通データ線  $I/O$  に読み出された信号の電圧を、読み出し回路  $RC$  により弁別する動作について説明したが、共通データ線  $I/O$  に流れる信号の電流を弁別する動作も可能である。この場合は、読み出し回路  $RC$  として、例えば前述の特許文献 2 (米国特許第 5883827 号) に述べられているような入力インピーダンスの小さいセンス回路を用いる。電流をこのようなセンスする方式にすることにより、共通データ線  $I/O$  の配線容量の影響が小さくなるので、読み出し時間を短縮できる。

40

#### 【0093】

図 14 に、本発明の実施の形態における相変化メモリ素子の書き込み動作を説明する波形を示す。この図 14 に従い、メモリセル  $MC11$  の書き込み動作について説明する。なお、図 14 は、図 10 に示したメモリセル  $MC11$  を選択する場合の動作波形を示している。

50



## 【 0 0 9 4 】

まず、メモリセルMC11の選択動作は、前述した読み出し動作と同様に行う。メモリセルMC11が選択されると、書き込み回路WCが共通データ線I/Oを駆動することにより、書き込み電流IWCが発生する。‘0’書き込みの場合は、図12に示した範囲の値に設定されたリセット電流がメモリセルMC11に印加される。リセット電流のパルス幅は短く、駆動後は直ちに待機状態に戻って電流値が0となる。このようなリセット電流により、リセットパルスと同じジュール熱が発生する。

## 【 0 0 9 5 】

他方、‘1’書き込みの場合は、図12に示した範囲の値に設定されたセット電流が印加される。このパルス幅は約50nsである。このようなセット電流により、セットパルスと同じジュール熱が発生する。このように、書き込みパルスの印加時間と電流値は、書き込み回路WCによって制御されるので、どちらの記憶情報を書き込む場合においても、メモリセルMC11は、セット電流のパルス幅だけ選択状態にある。

10

## 【 0 0 9 6 】

(相変化メモリ素子を備えた半導体装置およびその製造方法)

まず、図10に示したアレイ構成を有する本実施の形態の半導体装置の構成を図2を用いて説明する。同図の右側部分はメモリセル領域mmryを示し、左側部分は論理回路領域lgcを示している。

## 【 0 0 9 7 】

論理回路領域lgcのシリコン基板51には、p型ウエル52とn型ウエル52aとが形成されている。p型ウエル52にはnチャネル型MISトランジスタQNが形成され、n型ウエル52aにはpチャネル型MISトランジスタQPが形成されている。論理回路領域lgcには、これらのMISトランジスタ(QN、QP)を用いた論理回路やセンスアンプ回路などが形成されている。

20

## 【 0 0 9 8 】

nチャネル型MISトランジスタQNは、p型ウエル52の上部に互いに離間して形成されており、LDD(Lightly Doped Drain)構造の半導体領域(ソース、ドレイン領域)DN1及びDN2とゲート絶縁膜54とゲート電極GNとを有している。pチャネル型MISトランジスタQPは、n型ウエル52aの上部に互いに離間して形成されており、LDD構造の半導体領域(ソース、ドレイン領域)DP1及びDP2とゲート絶縁膜54とゲート電極GPとを有している。nチャネル型MISトランジスタQNとpチャネル型MISトランジスタQPとは、浅い溝掘り埋込形の素子分離領域53aによって互いに分離されており、ゲート電極GN、GPのそれぞれの側壁には、サイドウォールスペーサ58が形成されている。

30

## 【 0 0 9 9 】

メモリセル領域mmryのシリコン基板51には、p型ウエル52が形成されている。このp型ウエル52には、nチャネル型MISトランジスタからなるメモリセルトランジスタQM1、QM2が形成されている。メモリセルトランジスタQM1、QM2のそれぞれは、LDD構造の半導体領域(ソース、ドレイン領域)DN3及びDNC、DN4及びDNC、とゲート絶縁膜54とゲート電極GNとを有している。メモリセルトランジスタQM1、QM2のそれぞれのゲート電極GNは、ワード線WLを構成しており、その側壁には、サイドウォールスペーサ58が形成されている。互いに隣接する2個のメモリセルトランジスタQM1、QM2は、それらのソース、ドレイン領域の一方(半導体領域DNC)を共有している。

40

## 【 0 1 0 0 】

上記のように構成されたnチャネル型MISトランジスタQN、pチャネル型MISトランジスタQPおよびメモリセルトランジスタQM1、QM2の上部には、2層の層間絶縁膜61a、61bが形成されており、第2層目の層間絶縁膜61bの上面は、論理回路領域lgcとメモリセル領域mmryとでその高さがほぼ一致するように平坦化されている。

50

## 【0101】

メモリセル領域  $m m r y$  の層間絶縁膜 61a、61b には、メモリセルトランジスタ QM1、QM2 の半導体領域 DN3、DN4、DNC を露出するような接続孔が穿孔されている。この接続孔には、例えばチタン膜、窒化チタン膜からなる導電性バリア膜 62、64 および、例えばタングステンからなる主導体膜 63、65 が埋め込まれており、コンタクト電極が形成されている。このコンタクト電極は、メモリセル選択用 MIST トラジスタ QM1 および QM2 の半導体領域 DN3、DN4、DNC と電氣的に接続されている。

## 【0102】

また、論理回路領域  $l g c$  の層間絶縁膜 61a および 61b には n チャネル型の MIST トラジスタ QN の半導体領域 DN1 の上面および p チャネル型の MIST トラジスタ QP の半導体領域 DP が露出するような接続孔が穿孔されている。この接続孔には、例えばチタン膜、窒化チタン膜からなる導電性バリア膜 64a および、例えばタングステンからなる主導体膜 65a が埋め込まれており、コンタクト電極が形成されている。このコンタクト電極は、n チャネル型の MIST トラジスタ QN の半導体領域 DN および p チャネル型の MIST トラジスタ QP の半導体領域 DP と電氣的に接続されている。

10

## 【0103】

層間絶縁膜 61b の上部には、層間絶縁膜 61c が形成されている。この層間絶縁膜 61c は、例えば、酸化シリコンからなる。論理回路領域  $l g c$  における層間絶縁膜 61c には、例えばチタン膜、窒化チタン膜からなる、導電性バリア膜 64a および例えばタングステンからなる主導体膜 65a からなるコンタクト電極が露出するような配線溝が穿孔されている。この配線溝には、例えばチタン膜、窒化チタン膜からなる導電性バリア膜 66a および、例えばタングステンからなる主導体膜 67a が埋め込まれており、第 1 層配線 M1 が形成されている。この第 1 層配線 M1 は、導電性バリア膜 64a およびタングステン 65a からなるコンタクト電極と電氣的に接続され、さらに、このコンタクト電極を通じて、n チャネル型 MIST トラジスタ QN の半導体領域 DN、および p チャネル型 MIST トラジスタ QP の半導体領域 DP と電氣的に接続されている。

20

## 【0104】

また、メモリセル領域  $m m r y$  における層間絶縁膜 61c には、例えばチタン膜、窒化チタン膜からなる導電性バリア膜 62 および例えばタングステンからなる主導体膜 63 からなるコンタクト電極が露出するような配線溝が穿孔されている。この配線溝には、例えばチタン膜、窒化チタン膜からなる導電性バリア膜 66b および、例えばタングステンからなる主導体膜 67b が埋め込まれており、66b、67b はソース線配線 SL を形成している。このソース線配線 SL は、導電性バリア膜 62 および主導体膜 63 からなるコンタクト電極と電氣的に接続され、さらに、このコンタクト電極を通じて、メモリ選択用 n チャネル型 MIST トラジスタ QM1、QM2 によって共有されている半導体領域 DNC と電氣的に接続されている。

30

## 【0105】

また、メモリセル領域  $m m r y$  における層間絶縁膜 61c には、例えばチタン膜、窒化チタン膜からなる導電性バリア膜 64 および例えばタングステンからなる主導体膜 65 からなるコンタクト電極が露出するような配線溝が穿孔されている。この配線溝には、例えばチタン膜、窒化チタン膜からなる導電性バリア膜 66 および、例えばタングステンからなる主導体膜 67 が埋め込まれており、導電性バリア膜 66 および主導体膜 67 は第 1 層配線パッド M1P を形成している。この第 1 層配線パッド M1P は、導電性バリア膜 64 およびタングステン 65 からなるコンタクト電極と電氣的に接続され、さらに、このコンタクト電極を通じて、メモリ選択用 n チャネル型 MIST トラジスタ QM1、QM2 の半導体領域 DN3、DN4 と電氣的に接続されている。

40

## 【0106】

層間絶縁膜 61c の上面には、層間絶縁膜 61d が堆積されている。この層間絶縁膜 61d は、例えば、酸化シリコンからなる。メモリセル領域  $m m r y$  における層間絶縁膜 61d には、導電性バリア膜 66 およびタングステン 67 からなる第 1 層配線パッド M1P

50

が露出するような接続孔が穿孔されている。この接続孔には、例えばチタン膜、窒化チタン膜からなる導電性バリア膜69および、例えばタングステンからなる主導体膜70が埋め込まれており、プラグBECが形成されている。コンタクト電極BECは、抵抗素子RMの下部電極を構成し、第1層配線パッドM1Pおよびその下のプラグを介してメモリセルトランジスタQM1、QM2の半導体領域DN3、DN4に接続されている。

#### 【0107】

プラグBECの上部には、抵抗素子RMの界面層68、記憶層71および上部電極72が形成されている。抵抗素子RMの界面層68は、例えば $Ta_2O_5$ （酸化タンタル）膜または $Cr_2O_3$ （酸化クロム）膜からなり、層間絶縁膜61dと記憶層71との剥離を防止する接着層として機能している。また、抵抗素子RMの上部電極72は、例えばW膜からなる。

10

#### 【0108】

ここで、抵抗素子RMの記憶層71は、下記の一般式(1)で表される相変化膜からなると、十分な耐熱性（初期不良を除く全素子が85で10年以上）と書換え特性（10万回以上）が得られた。

#### 【0109】



ここで、式中の $x$ 、 $Y$ 、 $Z$ は、それぞれ $0 < x < 0.4$ 、 $0 < Y < 0.4$ 、 $0 < Z < 0.3$ 、 $0 < Z < 0.6$ 、 $0 < (x + Y) < 0.03$ である。また、Mは、In、Ga、Al、Zn、Cd、Pb、Si、V、Nb、Ta、Cr、Mo、W、Ti、Fe、Co、Ni、Pt、Pd、Y、Euからなる群より選ばれた少なくとも1種類の元素である。Mで表される元素とSbでは、Mで表される元素を含有する方が、10年以上の耐熱性を保証できる温度が5以上高く、好ましかった。

20

#### 【0110】

このように、 $x$ が0.4より大きいと、10万回以上の多数回書換えが困難であった。 $x$ が0.04より小さいと、耐熱性が不十分で、0.4より大きいとセットパルス幅が100 $\mu$ sを越えた。 $Y$ が0.3を越えると、耐熱性が不十分であった。 $Z$ が0.3以上0.6以下の範囲から外れると、耐熱性が不十分であった。 $(x + Y)$ が0.03以下であると、10万回以上の多数回書換えが困難であった。

#### 【0111】

また、記憶層71を構成する相変化膜に少量の窒素または酸素を添加しても差し支えない。その場合の添加量は、5原子%以下とすることが好ましい。

30

#### 【0112】

抵抗素子RMの下部には、エッチングストップ膜101が形成されている。また、抵抗素子RMの上部には、層間絶縁膜61gが形成されており、層間絶縁膜61gの上面は、論理回路領域lgcとメモリセル領域mmryとでその高さがほぼ一致するように平坦化されている。

#### 【0113】

メモリセル領域mmryの層間絶縁膜61gおよびエッチングストップ膜101には、抵抗素子RMの上部電極72を露出する接続孔が形成されており、その内部には、例えばチタン膜、窒化チタン膜からなる導電性バリア膜73および、例えばタングステンからなる主導体膜74が埋め込まれている。エッチングストップ膜101は、層間絶縁膜61gをエッチングして接続孔を形成する際に、抵抗素子RMを構成する材料がエッチングされて特性が劣化するのを防ぐ保護膜である。また、導電性バリア膜73および主導体膜74は、プラグTECを構成する。

40

#### 【0114】

また、論理回路領域lgcの層間絶縁膜61g、エッチングストップ膜101および層間絶縁膜61dには、第1層配線M1を露出する接続孔が形成されており、その内部には、例えばチタン膜、窒化チタン膜からなる導電性バリア膜73aおよび、例えばタングステンからなる主導体膜74aが埋め込まれている。

50

## 【0115】

層間絶縁膜61gの上部には、例えばチタン膜、窒化チタン膜からなる導電性バリア膜75および、例えばタングステンからなる主導体膜76から構成される第2層配線が形成されている。メモリセル領域mmryの第2層配線は、図10および図11に示したビット線BLを構成し、プラグTECを介して抵抗素子RMの上部電極72に接続されている。また、論理回路領域lgcの第2層配線は、その下のプラグを介して第1層配線M1に接続されている。なお、第2層配線M2、BLの上部にも層間絶縁膜が形成されているが、その図示は省略する。

## 【0116】

次に、図2に示した本実施の形態における半導体装置の製造方法を図15～図Yを用いて工程順に説明する。

10

## 【0117】

まず、図15に示すように、例えばp型の単結晶シリコン基板51を用意し、その主面に公知の方法を用いてp型ウエル52、n型ウエル52aおよび素子分離領域53、53a、53bを形成する。素子分離領域53、53a、53bによって区画されたp型ウエル52およびn型ウエル52aは、nチャネル型MISトランジスタQN、pチャネル型MISトランジスタQP、メモリセルトランジスタQMなどの素子が形成される活性領域となる。

## 【0118】

続いて、メモリセル領域mmryのp型ウエル52にメモリセルトランジスタQM1、QM2を形成する。また、論理回路領域lgcのp型ウエル52にnチャネル型MISトランジスタQNを形成し、n型ウエル52aにpチャネル型MISトランジスタQPを形成する。

20

## 【0119】

メモリセルトランジスタQM1、QM2、nチャネル型MISトランジスタQNおよびpチャネル型MISトランジスタQPを形成するには、まず、p型ウエル52およびn型ウエル52aのそれぞれの表面を熱処理および窒化処理することにより、酸窒化シリコン膜からなる膜厚1.5～10nm程度のゲート絶縁膜54を形成する。

## 【0120】

続いて、シリコン基板51上にCVD法で多結晶シリコン膜を堆積した後、多結晶シリコン膜に不純物をイオン注入することにより、p型ウエル52上の多結晶シリコン膜55の導電性をn型とし、n型ウエル52a上の多結晶シリコン膜55aの導電性をp型とする。次いで、多結晶シリコン膜をドライエッチングすることにより、メモリセル領域mmryのゲート絶縁膜54上にゲート電極GN(ワード線WL)を形成し、論理回路領域lgcのゲート絶縁膜54上にゲート電極GN、GPを形成する。

30

## 【0121】

続いて、p型ウエル52にP(リン)をイオン注入することによって、ゲート電極GNの両側壁の下部にn<sup>-</sup>型半導体領域59を形成し、n型ウエル52aにB(ホウ素)をイオン注入することによって、ゲート電極GPの両側壁の下部にp<sup>-</sup>型半導体領域59aを形成する。

40

## 【0122】

続いて、シリコン基板51上にCVD法で絶縁膜を堆積した後、この絶縁膜をドライエッチングすることによって、ゲート電極GN、GPの側壁にサイドウォールスペーサ58を形成する。サイドウォールスペーサ58を構成する絶縁膜は、例えば酸化シリコン膜と窒化シリコン膜との積層膜とする。

## 【0123】

続いて、p型ウエル52にPをイオン注入することによって、ゲート電極GNの両側壁の下部にn<sup>+</sup>型半導体領域60を形成し、n型ウエル52nにBをイオン注入することによって、ゲート電極GPの両側壁の下部にp<sup>+</sup>型半導体領域60aを形成する。なお、その後、ゲート電極GN、GPの表面に金属シリサイド層56、および半導体領域DN1、

50

D N 2、D N 3、D N 4、D N C、D P 1、D P 2のそれぞれの表面に公知の方法を用いて金属シリサイド層（図示しない）を形成してもよい。

【0124】

続いて、シリコン基板51上にCVD法を用いて酸化シリコン膜からなる層間絶縁膜61aを堆積し、続いて層間絶縁膜61a上にCVD法を用いて酸化シリコン膜からなる層間絶縁膜61bを堆積した後、化学的機械研磨（CMP）法を用いて層間絶縁膜61bの表面を平坦化する。

【0125】

続いて、図16に示すように、フォトリソ膜（図示しない）をマスクにして層間絶縁膜61a、61bをドライエッチングすることにより、半導体領域D N 1、D P 2、D N 3、D N 4、D N Cを露出する接続孔を形成する。次いで、公知の方法を用いてその接続孔の内部に、例えばチタン膜、窒化チタン膜からなる導電性バリア膜62、64、64aおよび、例えばタングステンからなる主導体膜63、65、65aを埋め込み、プラグを形成する。

【0126】

続いて、図17に示すように、層間絶縁膜61b上にCVD法を用いて酸化シリコン膜からなる層間絶縁膜61cを堆積し、続いてフォトリソ膜（図示せず）をマスクにして層間絶縁膜61cをドライエッチングすることにより、主導体膜63、65、65aを露出する配線溝を形成した後、公知の方法を用いて配線溝の内部にTi/TiNなどの導電性バリア膜66、66a、66bとWなどの主導体膜67、67a、67bとからなる第1層配線M1、M1P、SLを形成する。

【0127】

続いて、図18に示すように、層間絶縁膜61c上にCVD法を用いて酸化シリコン膜からなる層間絶縁膜61dを堆積する。

【0128】

続いて、図19に示すように、フォトリソ膜（図示せず）をマスクにして層間絶縁膜61dをドライエッチングすることにより、第1層配線M1Pを露出する接続孔を形成した後、公知の方法を用いて接続孔の内部にWなどの主導体膜70とTi/TiNなどの導電性バリア膜69とからなるプラグ（下部電極）BECを形成する。抵抗素子RMの下部電極を構成するプラグBECは、W以外にも、その表面が平坦になり易い金属、例えば結晶粒径の小さいMo（モリブデン）などを用いることができる。平坦性のよい金属には、プラグBECの表面の凹凸部分で起こる電界集中による局所的な相変化を抑える効果があるので、メモリセルMCの電気特性の均一性、書き換え回数および耐高温動作特性を向上させることができる。

【0129】

次いで、図20に示すように、層間絶縁膜61d上に、界面層68、相変化材料膜からなる記憶層71とメモリセル上部電極72を下層から順に堆積する。界面層68を構成する材料は、金属酸化物、例えば酸化タンタルTa<sub>2</sub>O<sub>5</sub>、酸化クロムCr<sub>2</sub>O<sub>3</sub>であり、厚さは0.05から5nmである。界面層68の形成方法は、通常用いられる反応性スパッタリングの他に、金属（タンタルTaまたはクロムCr）をスパッタリング成膜した後、酸素ラジカルで酸化処理を施す方法を用いることができる。

【0130】

その上に、相変化材料膜（In-Ge-Sb-Te膜）からなる記憶層71を、複数のターゲットを用いたスパッタリング法で成膜する。記憶層71は、前記式（1）の成分から構成され、膜厚は例えば20から200nmである。なお、前述したように微細構造、すなわち記憶層71で添加元素であるIn、または添加元素の化合物であるInTeを析出するには、記憶層71に熱エネルギーを与える必要がある。後述するが、熱印加として例えば、電流を流す場合は、そのタイミングは、検査時に行うことが、工程数削減のため、望ましい。

【0131】

10

20

30

40

50

続いて、記憶層 7 1 上に上部電極 7 2 をスパッタリング法で成膜する。上部電極 7 2 は、例えばタングステンであり、厚さは例えば 5 0 から 2 0 0 n m である。

【 0 1 3 2 】

続いて、図 2 1 に示すように、フォトリソ膜をマスクにしてタングステン膜からなる上部電極 7 2、記憶層 7 1 および界面層 6 8 をドライエッチングすることにより、プラグ (下部電極) B E C、界面層 6 8、記憶層 7 1 および上部電極 7 2 からなる抵抗素子 R M を形成する。

【 0 1 3 3 】

また、図示しないが、ハードマスクを用いて抵抗素子 R M を形成してもよい。この場合、ハードマスク材料は、例えば窒化シリコン膜である。具体的には、窒化シリコン膜を上部電極 7 2 上に堆積し、フォトリソ膜をマスクにして窒化シリコン膜をドライエッチングすることによりハードマスクを形成する。その後、窒化シリコン膜をマスクにして上部電極 7 2、相変化材料膜からなる記憶層 7 1 および界面層 6 8 をドライエッチングすることにより、プラグ (下部電極) B E C、界面層 6 8、記憶層 7 1 および上部電極 7 2 からなる抵抗素子 R M を形成する。

【 0 1 3 4 】

次に、図 2 2 に示すように、抵抗素子 R M の上部に C V D 法で窒化シリコン膜からなるエッチングストップ膜 1 0 1 を堆積する。エッチングストップ膜 1 0 1 としての窒化シリコン膜は、抵抗素子 R M の側壁に露出した記憶層 7 1 の昇華を防ぐため、4 0 0 度以下の温度で堆積することが望ましい。

【 0 1 3 5 】

続いて、図 2 3 に示すように、酸化シリコン膜からなる層間絶縁膜 6 1 g を堆積した後、C M P 法を用いて層間絶縁膜 6 1 g の表面を平坦化し、図示しないフォトリソ膜をマスクにして層間絶縁膜 6 1 g およびエッチングストップ膜 1 0 1 をドライエッチングすることにより、抵抗素子 R M の上部電極 7 2 を露出する接続孔を形成する。

【 0 1 3 6 】

続いて、図 2 4 に示すように、層間絶縁膜 6 1 g、エッチングストップ膜 1 0 1 および層間絶縁膜 6 1 d をドライエッチングすることにより、第 1 層配線 M 1 を露出する接続孔を形成する。続いて、公知の方法を用いて接続孔の内部に W (タングステン) などの主導体膜 7 4、7 4 a と T i / T i N などの導電性バリア膜 7 3、7 3 a とからなるプラグを形成する。

【 0 1 3 7 】

その後、層間絶縁膜 6 1 g の上部に、チタン膜および窒化チタン膜からなる導電性バリア膜 7 5 をスパッタリング法等によって下層から順に堆積し、その上に、例えばアルミ膜からなる主導体膜 7 6 をスパッタリング法等によって積み重ねて導体膜を形成する。次いで、図示しないフォトリソ膜をマスクにしてこの金属膜をドライエッチングし、ビット線 B L および第 2 層配線 M 2 を形成することにより、図 2 に示した半導体装置がほぼ完成する。

【 0 1 3 8 】

本実施の形態における相変化メモリに対し透過電子顕微鏡観察の結果について説明する。従来の相変化メモリは、相変化材料 (記憶層) が結晶化することによる低抵抗状態と、非晶質化することによる高抵抗状態とで 2 値の情報を記憶していた。しかしながら、本実施の形態の相変化メモリでは、低抵抗状態においても、透過電子顕微鏡観察で対向する電極に挟まれた領域の 5 0 % 以上で結晶粒が観察されなかった。言い換えると、低抵抗状態においても、相変化材料は結晶相と非晶質相とが混在した状態である。このため、本実施の形態における相変化メモリは、1 . 3 V、1 0 n s のリセットパルスで高抵抗状態にした後、1 8 0 ° で 3 時間加熱しても、数倍の抵抗上昇はみられるものの、抵抗低下は見られなかった。

【 0 1 3 9 】

また、本実施の形態における相変化メモリに対し D C 電圧の掃引による初期低抵抗化と

10

20

30

40

50

100回書換えを行った後、長時間EDX分析を行った結果について説明する。図25は、抵抗素子RMの構造を模式的に示す説明図である。図26は、本発明の実施の形態である相変化メモリ素子を多数回書換えした後、抵抗素子RMの長時間EDX測定をした結果である。図27は、図26の結果を模式的に示す説明図である。なお、図25、図26、図27で示す構造は、それぞれ対応しており、抵抗素子RMの下部電極BECを負極とし、上部電極72を正極とし、記憶層71を構成する相変化材料の組成をIn-Ge-Sb-Teとした場合が示されている。

#### 【0140】

図26、図27に示すように、GeとInの組成に、場所による細かなゆらぎと、直径10nm程度の領域の平均的な組成(組成比ともいう)の、場所による不均一性が見られる。このような組成の異なる微細構造による不均一性が、耐熱性を向上させていると考えられる。特に、図27に示すように、記憶層71内のIn組成比の濃淡が示されている。記憶層71内部において場所によりIn濃度の異なることが示されている(図中、高濃度In領域97、低濃度In領域98)。また、下部電極BECすなわち負極側にIn濃度の高い領域が多く見られることも示されている。

10

#### 【0141】

このように記憶層71内で下部電極BEC寄りが、上部電極72寄りよりGe、Inの濃度が高いことがわかる。言い換えると、記憶層71内で下部電極BEC寄りが、上部電極72寄りよりGe、Inが多く析出していることがわかる。また、GeとInの析出量を比較した場合、Inの方が記憶層71内で下部電極BEC寄りが、上部電極72寄りより析出していることがわかる。これはGe-Te-SbにInを添加しているため、添加元素であるInまたはIn化合物(InTe)が析出しやすいものと考えられる。

20

#### 【0142】

これまでは抵抗素子RMの下部電極BECを負極とし、上部電極72を正極とした場合について示したが、下部電極BECを正極とし、上部電極72を負極とした場合は、記憶層71内で上部電極72寄りが、下部電極BEC寄りよりInが析出する。これは添加元素であるInがプラスイオンを示すことから、記憶層71内で一方の電極(負極)寄りが、他方の電極(正極)寄りより析出するためである。また、図26においては、添加元素としてInの場合について示したが、In、Ga、Al、Zn、Cd、Pb、Si、V、Nb、Ta、Cr、Mo、W、Ti、Fe、Co、Ni、Pt、Pd、Y、Euからなる群より選ばれた少なくとも1種類の元素の場合も同様である。これらの元素もプラスイオンを示すことから、記憶層71内で一方の電極(負極)寄りが、他方の電極(正極)寄りより析出するためである。

30

#### 【0143】

このように記憶層71で析出した添加元素、または添加元素の化合物によって高温環境下でのM-Ge-Sb-Teから構成される結晶の成長が抑制されると考えられる。このため、高耐熱性と安定なデータ保持特性とが両立した相変化メモリ素子を実現することができる。

#### 【0144】

組成の異なる微細構造は、構造の周期や組成比変化が大きくなり過ぎるとセットが難しくなり、例えばセットできるパルス幅が1msより長くなる不都合が発生する。このため、本実施の形態における組成の異なる微細構造の形成は、書換え動作電圧より5%以上、50%以下高い電圧パルスの印加によって行い、セット条件の変化は小さく、実用可能な範囲内としている。

40

#### 【0145】

また、組成の異なる微細構造の形成は、上記の多くの工程のプロセス温度から高く、短い方に外れた、温度450以上600以下、時間10ns以上10分以下の電流・または光(紫外・可視・赤外)・または熱伝導による加熱によって行っても上記と同様に良好な特性が得られる。

#### 【0146】

50

また、組成の異なる微細構造の形成は、上記の多くの工程のプロセス温度から低く、長い方に外れた、温度90 以上 150 以下、時間30分以上100時間以下の電流・または光（紫外・可視・赤外）・または熱伝導による加熱によって行っても、上記と同様な良好な特性が得られる。

【0147】

微細構造作成のため電流を流すタイミングは、検査時に行うことが、工程数削減のため、望ましい。また、温度が高く、時間が短い方の1例であるレーザー加熱を行うタイミングは、記憶層71成膜後に行うことになる。具体的には、レーザー照射時には、相変化材料の飛散を抑えるために、上部電極72の少なくとも1部の成膜後であり、かつ、均一に加熱するため、上部電極72のパターニング前が望ましい。

10

【0148】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0149】

例えば、前記実施の形態では、相変化メモリ素子の記憶層に、Ge-Te-Sb系カルコゲナイド材料（相変化材料）を適用した場合について説明したが、その他のカルコゲナイド材料を適用しても良い。

【産業上の利用可能性】

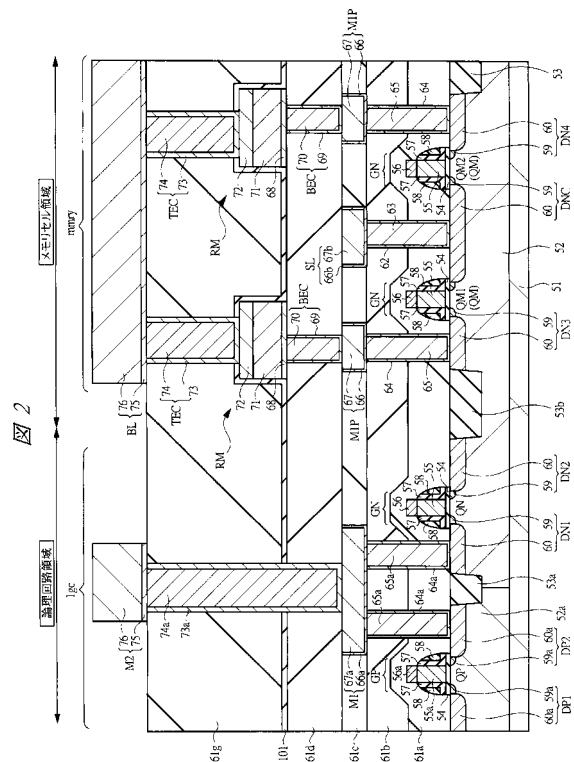
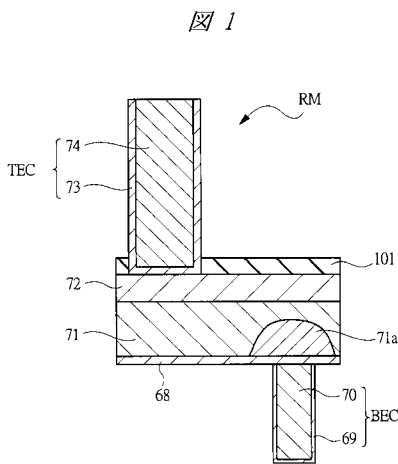
【0150】

20

本発明の半導体装置は、相変化材料を用いた相変化メモリ（不揮発性メモリ）、あるいは同一半導体チップに相変化メモリ（不揮発性メモリ）回路と論理回路とを形成したメモリ混載ロジックなどに広く適用可能であり、このような製品が高温条件下で用いられる場合にさらに有益なものとなる。

【図1】

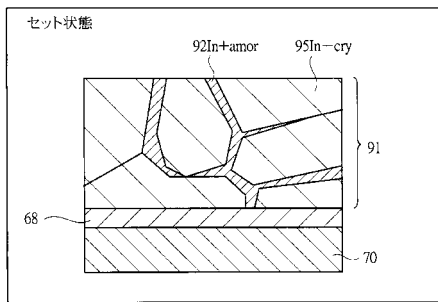
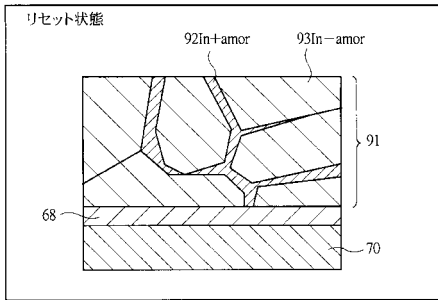
【図2】





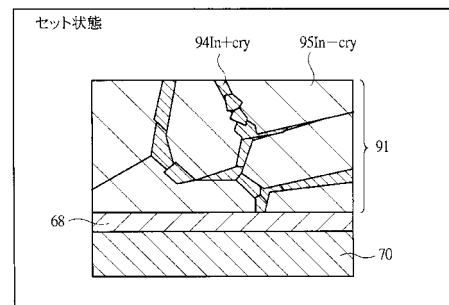
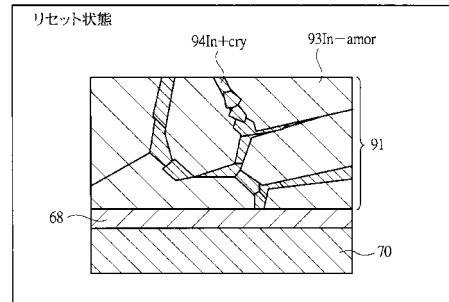
【 図 3 】

図 3



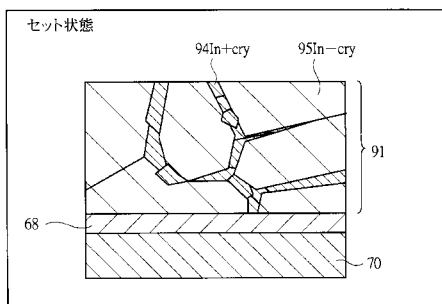
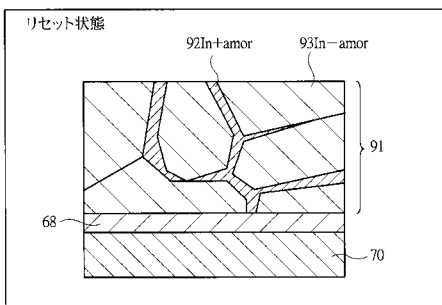
【 図 4 】

図 4



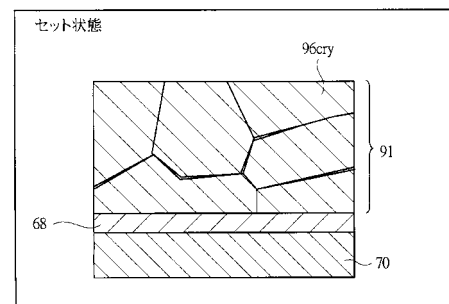
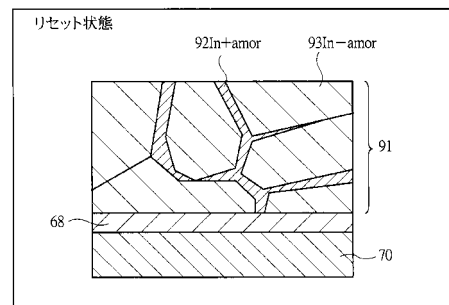
【 図 5 】

図 5



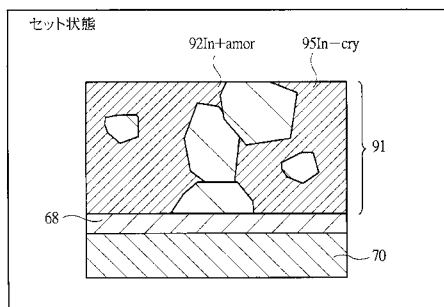
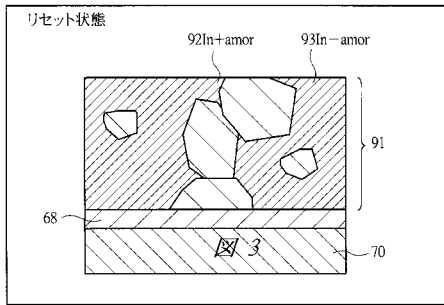
【 図 6 】

図 6



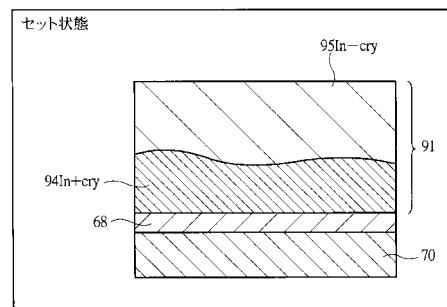
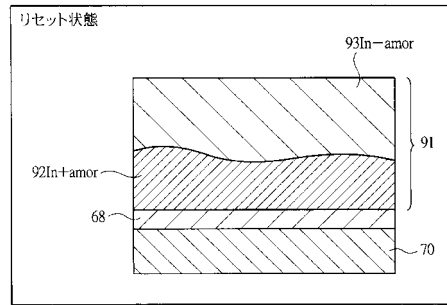
【 図 7 】

図 7



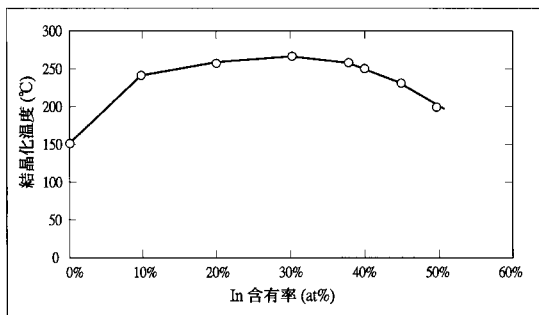
【 図 8 】

図 8



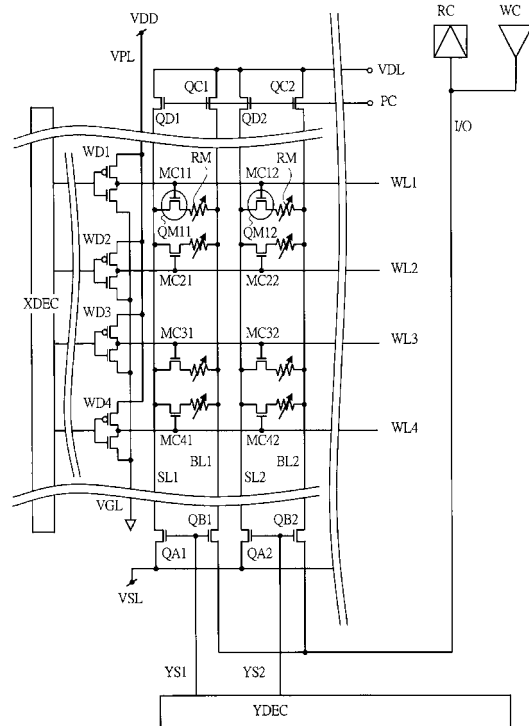
【 図 9 】

図 9



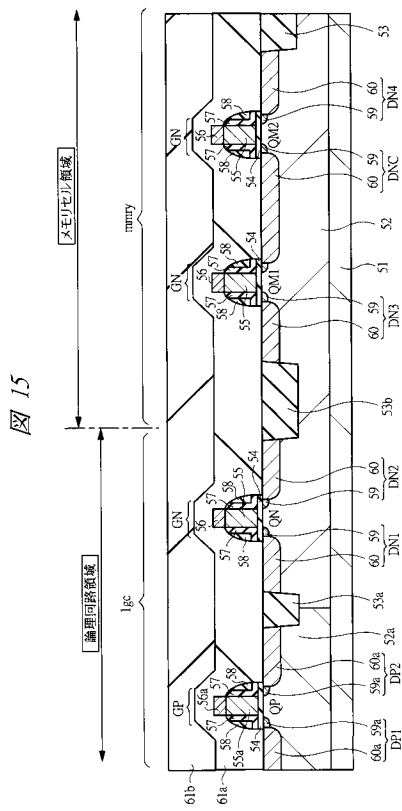
【 図 10 】

図 10

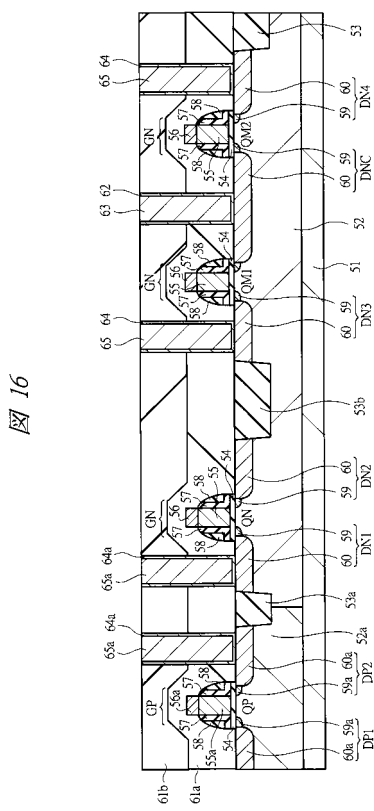




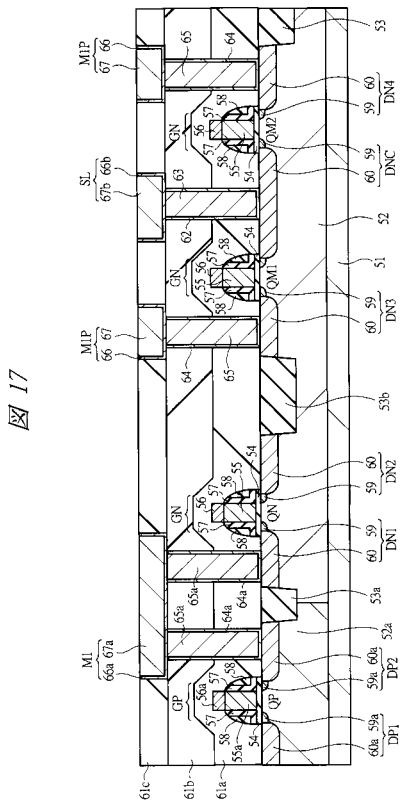
【 図 15 】



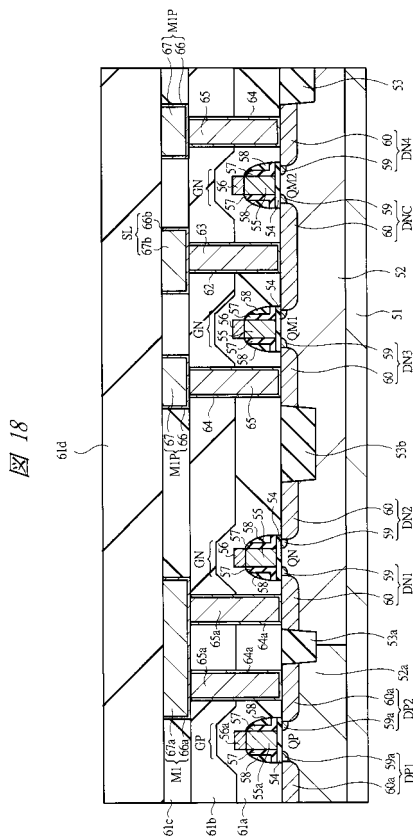
【 図 16 】



【 図 17 】



【 図 18 】



【 図 19 】

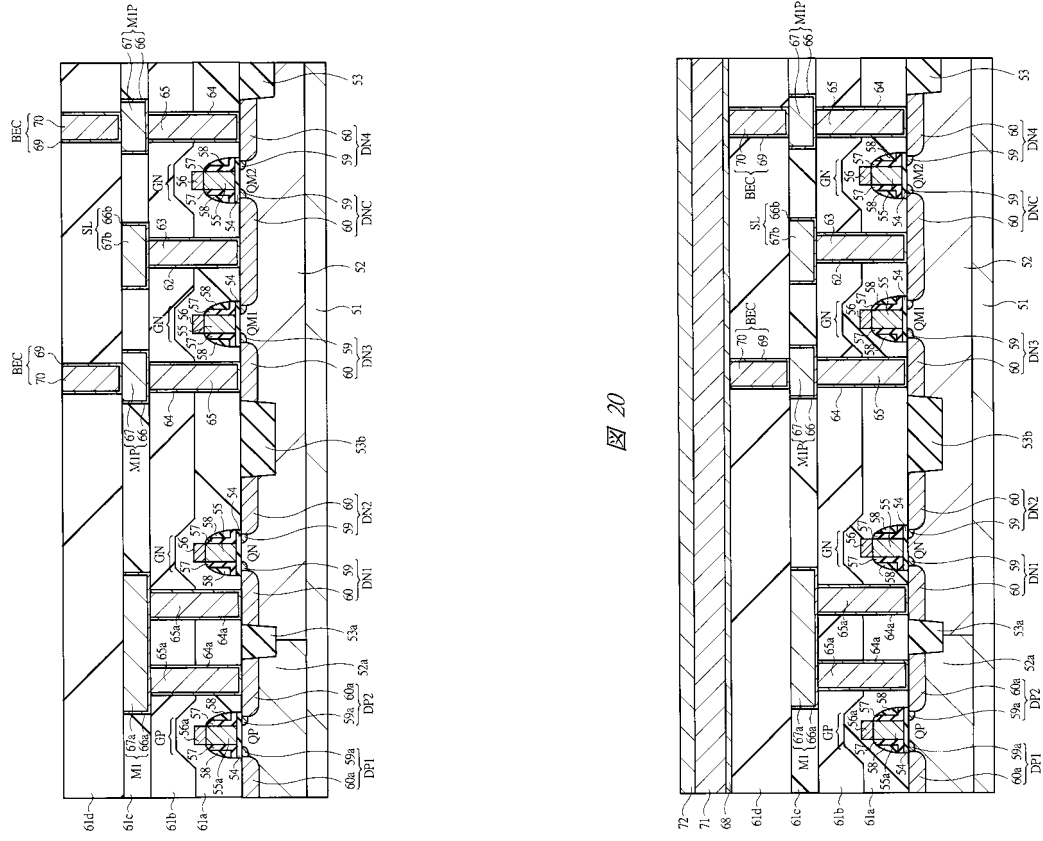


図 19

【 図 20 】

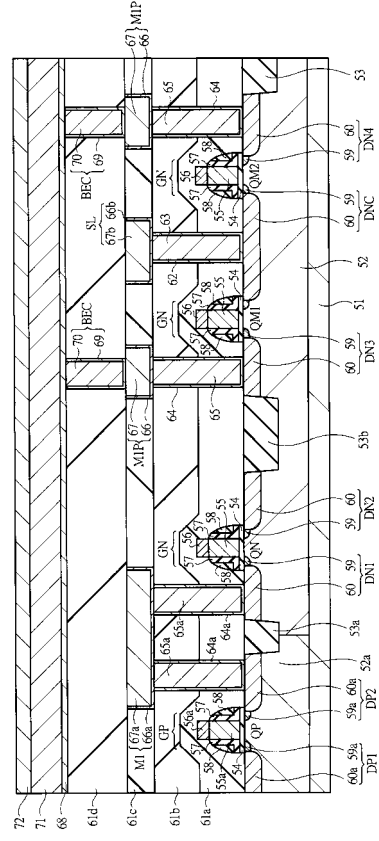
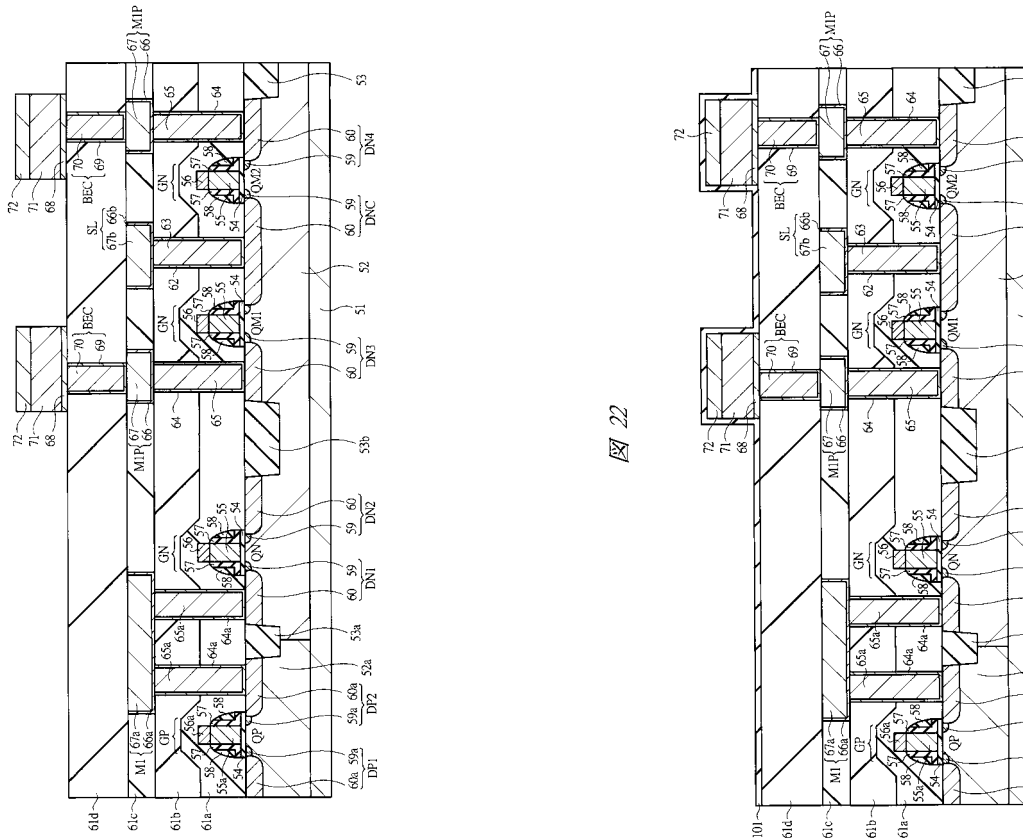
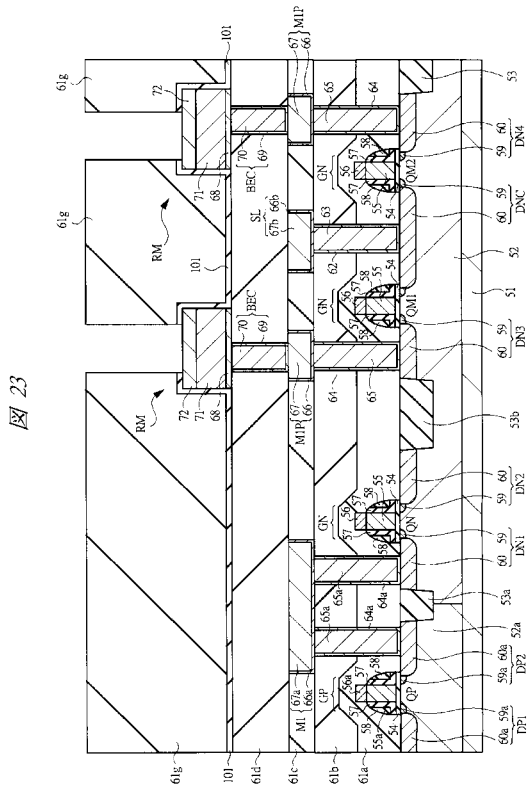


図 20

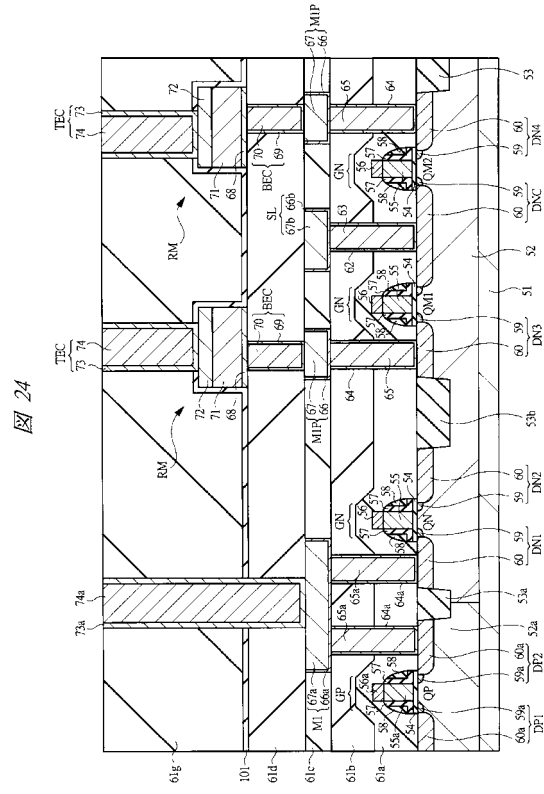
【 図 21 】



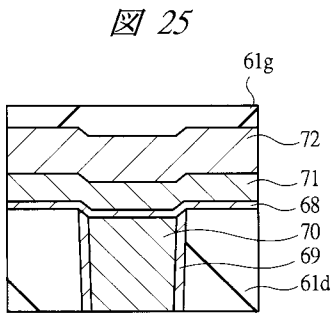
【 図 2 3 】



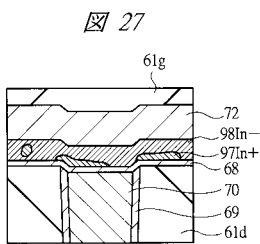
【 図 2 4 】



【 図 2 5 】

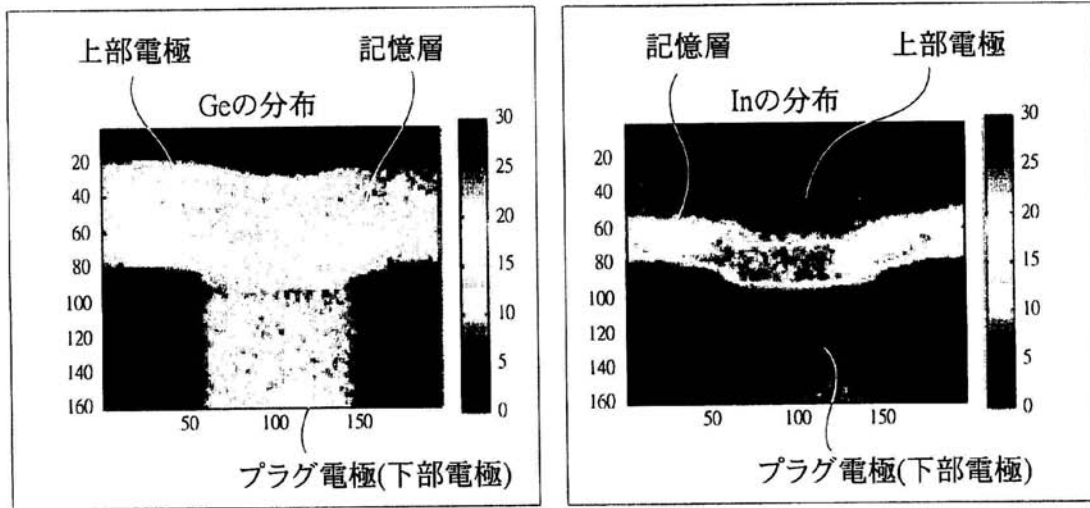


【 図 2 7 】



【 図 2 6 】

図 26



## 【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2007/060340
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> H01L27/105(2006.01) i, H01L45/00(2006.01) i  According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) H01L27/105, H01L45/00  Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2007 Kokai Jitsuyo Shinan Koho 1971-2007 Toroku Jitsuyo Shinan Koho 1994-2007  Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-289029 A (Hitachi, Ltd.), 14 October, 2004 (14.10.04), Abstract & US 2004/0233748 A1 & EP 1463061 A2	1-19
A	JP 2005-117030 A (Mitsubishi Materials Corp.), 28 April, 2005 (28.04.05), Full text & WO 2005/029585 A1	1-19
A	JP 2006-140395 A (Renesas Technology Corp.), 01 June, 2006 (01.06.06), Table 3; Par. No. [0042] & US 2006/0105556 A1	1-19
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 24 July, 2007 (24.07.07)		Date of mailing of the international search report 31 July, 2007 (31.07.07)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.



国際調査報告		国際出願番号 PCT/JP2007/060340									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H01L27/105(2006.01)i, H01L45/00(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H01L27/105, H01L45/00											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2007年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2007年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2007年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2007年	日本国実用新案登録公報	1996-2007年	日本国登録実用新案公報	1994-2007年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2007年										
日本国実用新案登録公報	1996-2007年										
日本国登録実用新案公報	1994-2007年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号									
A	JP 2004-289029 A (株式会社日立製作所) 2004.10.14, 要約 & US 2004/0233748 A1 & EP 1463061 A2	1-19									
A	JP 2005-117030 A (三菱マテリアル株式会社) 2005.04.28, 全文 & WO 2005/029585 A1	1-19									
A	JP 2006-140395 A (株式会社ルネサステクノロジ) 2006.06.01, 表3、0042段落 & US 2006/0105556 A1	1-19									
<input type="checkbox"/> C欄の続きにも文献が列挙されている。		<input type="checkbox"/> パテントファミリーに関する別紙を参照。									
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献									
国際調査を完了した日 24.07.2007		国際調査報告の発送日 31.07.2007									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 瀧内 健夫 電話番号 03-3581-1101 内線 3462	4M 9054								

---

フロントページの続き

(72)発明者 高浦 則克

東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内

Fターム(参考) 5F083 FZ10 GA01 GA11 GA21 GA27 HA01 JA36 JA39 JA40 JA53  
JA60 KA01 KA05 KA11 LA01 LA02 LA04 LA05 LA11 LA12  
LA16 LA17 LA20 MA05 MA06 MA15 MA16 MA19 PR06 PR07  
PR22 PR40 PR43 PR44 PR45 PR46 PR53 PR54 PR55 PR56  
ZA01 ZA13 ZA23

(注)この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。