



[12] 发明专利说明书

专利号 ZL 02104669.7

[45] 授权公告日 2005 年 8 月 3 日

[11] 授权公告号 CN 1213436C

[22] 申请日 2002.2.10 [21] 申请号 02104669.7

[30] 优先权

[32] 2001. 6. 15 [33] JP [31] 181403/2001

[71] 专利权人 三菱电机株式会社

地址 日本东京都

[72] 发明人 冈本武郎 山内忠昭 松本淳子

审查员 韩 燕

[74] 专利代理机构 中国专利代理(香港)有限公司

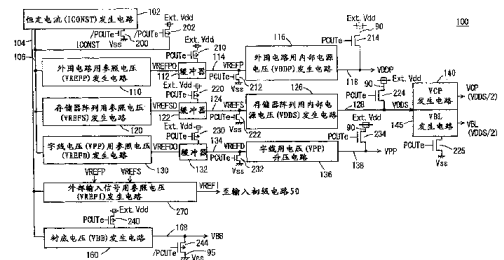
代理人 杨 凯 叶恺东

权利要求书 6 页 说明书 39 页 附图 16 页

[54] 发明名称 以低功耗工作的半导体存储器

[57] 摘要

本发明的课题是，内部电源电路(100)在低功耗模式下通过经晶体管(214、224、234、244)将内部电源布线(118、128、138、166)的每一个与外部电源布线(90)或接地布线(95)导电性地连接，生成内部电源电压(VDDP、VDDS、VPP、VBB)。与此相对应，由于在低功耗模式下停止对参照电压发生电路(110、120、130、160)、缓冲电路(112、122、132)、内部电源电压发生电路(116、126)和电压升压电路(136)的工作电流的供给，故可削减内部电源电路(100)的功耗。



1. 一种具有通常模式和低功耗模式的半导体存储器,其特征在于,具备:
- 内部电路(10、50、60、70、75、80),用来执行数据读出工作、
- 5 数据写入工作和数据保持工作;
- 第1外部电源布线(90),接受第1外部电源电压(Ext.Vdd)的供给;
- 第2外部电源布线(95),接受比上述第1外部电源电压低的第2外部电源电压(Vss)的供给;
- 10 模式寄存器(65),用来保持伴随第1指令(MRS)从外部输入的模式设定,上述模式设定包含是否进行从上述通常模式转移到上述低功耗模式的指定,在上述模式设定中指定了进行上述转移的情况下,响应于第2指令(SREF、DPE)开始上述低功耗模式;
- 内部电源布线(118、128、138、168),用来对上述内部电路传
- 15 递内部电源电压(VDDP、VDDS、VPP、VBB、VCP、VBL);以及
- 内部电源电路(100),接受上述第1和第2外部电源电压,生成上述内部电源电压,
- 上述内部电源电路包含:
- 参照电压生成部(110、120、130),用来接受上述第1和第2外
- 20 部电源电压,生成与上述内部电源电压的目标电平对应的参照电压;
- 第1电流隔断开关(252),用来在上述低功耗模式时隔断上述参照电压生成部的工作电流;
- 内部电源电压发生部(116、126、136、160),在上述通常模式时,根据上述内部电源电压与上述参照电压的比较,将上述内部电源
- 25 电压维持为上述目标电平,同时,在上述低功耗模式时停止工作;以及
- 连接开关(214、224、234、244),用来在上述低功耗模式时将上述第1和第2外部电源布线的一方与上述内部电源布线导电性地连接。
2. 如权利要求1中所述的半导体存储器,其特征在于,
- 30 上述内部电路包含:
- 配置成行列状的多个存储单元(MC);
- 多条字线(WL),分别对应于上述多个存储单元的行而被配置,

有选择地被激活；以及

多条位线 (BL、/BL)，分别对应于上述多个存储单元的列而被配置，与对应于已被激活的字线的存储单元的每一个连接，

上述第 2 指令 (SREF) 是用来指示上述数据保持工作的刷新指令，  
5 在上述刷新指令的开始后，在各上述字线被非激活的状态下，开始上述低功耗模式。

3. 一种具有通常模式和低功耗模式的半导体存储器，其特征在于，具备：

内部电路 (10、50、60、70、75、80)，用来执行数据读出工作、  
10 数据写入工作和数据保持工作；

第 1 外部电源布线 (90)，接受第 1 外部电源电压 (Ext. Vdd) 的供给；

第 2 外部电源布线 (95)，接受比上述第 1 外部电源电压低的第 2 外部电源电压 (Vss) 的供给；

15 内部电源布线 (118、128、138、168)，用来对上述内部电路传递内部电源电压 (VDDP、VDDS、VPP、VBB、VCP、VBL)；以及

内部电源电路 (100)，接受上述第 1 和第 2 外部电源电压，生成上述内部电源电压，

上述内部电源电路包含：

20 参照电压生成部 (110、120、130)，用来接受上述第 1 和第 2 外部电源电压，生成与上述内部电源电压的目标电平对应的参照电压；

第 1 电流隔断开关 (252)，用来在上述低功耗模式时隔断上述参照电压生成部的工作电流；

25 内部电源电压发生部 (116、126、136、160)，在上述通常模式时，根据上述内部电源电压与上述参照电压的比较，将上述内部电源电压维持为上述目标电平，同时上述低功耗模式时停止工作；以及

连接开关 (214、224、234、244)，用来在上述低功耗模式时将上述第 1 和第 2 外部电源布线的一方与上述内部电源布线导电性地连接；

30 缓冲部 (112、122、132)，被设置在上述参照电压生成部 (110、120、130) 与上述内部电源电压发生部 (116、126、136) 之间，用来将来自上述参照电压生成部的上述参照电压 (VREFP0、VREFS0、

VREFD0) 传递给上述内部电源电压发生部; 以及

第2电流隔断开关(210、220、230), 用来在上述低功耗模式时  
隔断上述缓冲部的工作电流。

4. 如权利要求3中所述的半导体存储器, 其特征在于,  
5 上述缓冲部(112、122、132)包含用来控制工作电流量  
的工作电流控制部(267、268),

上述工作电流控制部将从上述低功耗模式转移到上述通常模式的  
期间内的上述工作电流量设定成比上述通常模式时为大。

5. 一种能切换外部电源电压的电平的半导体存储器, 其特征在于,  
10 具备:

内部电路(10、50、60、70、75、80), 用来执行数据读出工作、  
数据写入工作和数据保持工作;

外部电源布线(90), 接受上述外部电源电压(Ext. Vdd)的供给;

15 内部电源布线(118、128、138、168), 用来对上述内部电路传  
递内部电源电压(VDDP、VDDS、VPP、VBB、VCP、VBL); 以及

内部电源电路(100), 接受上述外部电源电压, 为了将上述内部  
电源电压维持为目标电平而对上述内部电源布线供给内部电源电流,

20 为了与上述外部电源电压的电平无关地将上述内部电源电压的控制  
响应性维持为相同, 根据上述外部电源电压的电平来切换上述内部  
电源电路中的上述内部电源电流的供给工作。

6. 如权利要求5中所述的半导体存储器, 其特征在于,

上述内部电源电路(100)包含:

参照电压生成部(110、112), 接受上述外部电源电压(Ext. Vdd),  
生成与上述目标电平对应的参照电压(VREFP);

25 电压比较部(430), 在内部节点(N8)上生成对应于上述参照电  
压与上述内部电源电压的比较结果的电压; 以及

内部电源电流供给部(440), 被配置在上述外部电源布线(90)  
与上述内部电源布线(118)之间, 用来与上述外部电源电压的电平无  
关地以同样的电流供给能力对上述内部电源布线(118)供给上述内部  
30 电源电流,

上述内部电源电流供给部在上述外部电源电压的电平比上述目标  
电平高的情况下, 根据上述内部节点的电压供给上述内部电源电流,

同时在上述外部电源电压的电平与上述目标电平相当的外部电源电压直接连接模式时，导电性地连接上述外部电源布线与上述内部电源布线，供给上述内部电源电流。

7. 如权利要求5中所述的半导体存储器，其特征在于，

5 上述内部电源电路(100)具有：

参照电压生成部(110、112)，接受上述外部电源电压(Ext.Vdd)，生成与上述目标电平对应的参照电压(VREFP)；

电压比较部(430)，在内部节点(N8)上生成对应于上述参照电压与上述内部电源电压(VDDP)的比较结果的电压；

10 电流隔断开关(432)，在上述外部电源电压的电平与上述目标电平相当的情况下，隔断上述电压比较部的工作电流；

驱动晶体管(442)，被配置在上述外部电源布线(90)与上述内部电源布线(118)之间，用来将与上述内部节点的电压对应的电流作为上述内部电源电流供给上述内部电源布线；以及

15 连接开关(434)，在上述外部电源电压的电平与上述目标电平相当的外部电源电压直接连接模式时导通，导电性地结合在使上述驱动晶体管导通的电压(Vss)与上述内部节点之间。

8. 如权利要求5中所述的半导体存储器，其特征在于，

上述内部电源电路(100)包含：

20 电压比较部(450)，在第1内部节点(N9)上生成与对应于上述目标电平的参照电压(VREFS)与上述内部电源电压(VDDS)的比较结果对应的电压；以及

内部电源电流供给部(460)，被配置在上述外部电源布线(90)与上述内部电源布线(128)之间，用来根据上述第1内部节点的电压，  
25 对上述内部电源布线供给上述内部电源电流，

上述内部电源电流供给部与上述外部电源电压的电平无关地以同样的电流供给能力供给上述内部电源电流。

9. 如权利要求5中所述的半导体存储器，其特征在于，

上述内部电源电路(100)包含：

30 电压比较部(450)，在第1内部节点(N9)上生成与对应于上述目标电平的参照电压(VREFP)与上述内部电源电压(VDDS)的比较结果对应的电压；

驱动晶体管 (462、465)，被配置在上述外部电源布线 (90) 与上述内部电源布线 (128) 之间，用来将与上述第 1 内部节点的电压对应的电流作为上述内部电源电流供给上述内部电源布线；以及

5 第 1 工作电流控制部 (452、454)，根据上述外部电源电压的电平切换供给上述电压比较部的工作电流量。

10. 如权利要求 5 中所述的半导体存储器，其特征在于，在通常模式时，上述内部电源电压 (VPP) 比上述外部电源电压 (Ext. Vdd) 高，

上述内部电源电路 (100) 包含：

10 第 1 检测部 (520)，在激活时和备用时的两种情况下工作，用来检测上述内部电源电压比上述目标电平低的情况；

第 2 检测部 (510)，在上述备用时工作，用来检测上述内部电源电压比上述目标电平低的情况；

15 第 3 检测部 (500)，除了对于上述内部电路的自刷新指令执行时外，响应于上述第 1 检测部的检测结果而工作，用来检测上述内部电源电压比上述目标电平低的情况；

第 1 升压单元 (550)，响应于上述第 2 和第 3 检测部的检测结果而工作，使上述外部电源电压升压，供给上述内部电源电流；以及

20 第 2 升压单元 (570)，响应于上述第 1 检测部的检测结果而工作，使上述外部电源电压升压，供给上述内部电源电流，

上述第 2 升压单元与上述第 1 升压单元比较，每单位时间能供给的内部电源电流要大。

11. 如权利要求 10 中所述的半导体存储器，其特征在于，

上述第 1 升压单元 (550) 具有：

25 振荡部 (550、560)，响应于上述第 2 和第 3 检测部 (510、500) 的检测结果，用来生成具有恒定周期的泵时钟 (PCLK)；

泵工作部 (620)，响应于上述泵时钟，将第 1 节点 (Nb0) 的电压设定成比上述外部电源电压 (Ext. Vdd) 高；

30 传递晶体管 (630)，导电性地连接在上述第 1 节点与上述内部电源布线 (138) 之间；以及

栅升压部 (640)，响应于上述泵时钟，将上述传递晶体管的栅电压设定成比上述外部电源电压高，

上述泵工作部具有：

第 1 泵电容器 (C1)，连接在被输入上述泵时钟的第 2 节点 (Ni) 与上述第 1 节点之间；

5 时钟传递电路 (626、628)，根据上述外部电源电压的电平而成为工作状态，将上述泵时钟传递给第 3 节点 (Npc)；以及

第 2 泵电容器 (C2)，连接在上述第 1 节点与上述第 3 节点之间。

12. 如权利要求 10 中所述的半导体存储器，其特征在于，

上述第 1 升压单元 (550) 具有：

10 振荡部 (555)，响应于上述第 2 和第 3 检测部 (510、500) 的检测结果，用来生成具有规定周期的泵时钟 (PCLK)；以及

泵电路 (600a)，用来利用使用了上述泵时钟的充电泵工作，供给上述内部电源电流，

上述振荡部 (555) 具有：

以循环状连接的奇数个倒相器 (556)；以及

15 连接在上述倒相器之间的延迟元件 (558)。

## 以低功耗工作的半导体存储器

## 技术领域

5 本发明涉及半导体存储器，更特定地说，涉及能以低功耗工作的半导体存储器。

## 背景技术

近年来，为了适应安装到以电池驱动为前提的便携式装置等上的需要，要求能以低功耗驱动的半导体存储器。为了适应这样的要求，  
10 在半导体存储器中具备低功耗模式，该低功耗模式用来在要求数据读出或数据写入等的通常工作的通常模式时以外，将内部电路的大部分设定为等待工作状态，以削减功耗。即，根据来自外部的工作要求，通过切换通常模式和低功耗模式，可谋求半导体存储器的低功耗化。

由于在低功耗化中低电压工作是有效的，故存在从外部供给的外部电源电压的电平也下降的趋势。例如，在现有的通用系统中，使用了3.3V系列(3.0V~3.6V)的外部电源电压，但作为与低电压工作对应的类型，使用2.7V系列(2.7V~3.0V)或2.5V系列(2.5V~2.7V)的外部电源电压。  
15

另一方面，随着低功耗化的进展，发生内部电源电压用的内部电源电路的功耗对于半导体存储器整体的功耗的比率增加了。再者，由于伴随低电压工作、内部电源电流的功率效率下降，故有必要导入不仅使作为内部电源电压的供给目的地的内部电路处于等待状态以削减功耗、而且也削减内部电源电路本身的功耗的更强有力的低功耗模式。  
20

即使在这样的低功耗模式中，也希望其模式进入不使用特别的进入方法、而是能以共用现有的控制系统的形态来执行。再者，也希望  
25 能平稳地转向低功耗模式和恢复到通常模式。

再者，在如上所述应用各种电平的外部电源电压的情况下，为了使半导体存储器的设计具有通用性，必须具有能适应不同电平的外部电源电压的结构。例如，即使应用不同电平的外部电源电压，也对内  
30 部电源电路要求能同样地维持内部电源电压的控制响应性的结构。

再者，根据被组装半导体存储器的系统内的接口规格，由于必须



适应 1.8V 系列的 TTL(晶体管-晶体管逻辑)电平的 I/O(输入/输出)信号电平,故即使在信号输入电路中,也希望作成能输入不同的 I/O 信号电平的结构。

另一方面,在以通用的方式设计成能适应各种工作条件、例如外部电源电压电平或 I/O 信号电平的半导体存储器中,在利用掩模切换等以硬件的方式固定被应用的工作条件的情况下,也必须作成能从半导体存储器的外部容易地检测该已被固定的工作条件的结构。

#### 发明内容

本发明的目的在于,提供能进行低功耗工作的半导体存储器。

10 本发明的另一目的在于,提供能适应各种电平的外部电源电压和 I/O 信号来工作的半导体存储器。

本发明的再一目的在于,在设计成能适应各种工作条件的半导体存储器中,提供能从外部容易地检测被应用的工作条件的结构。

如果归纳本发明,则本发明是一种具有通常模式和低功耗模式的  
15 半导体存储器,具备:内部电路,用来执行数据读出工作、数据写入工作和数据保持工作;第 1 外部电源布线,接受第 1 外部电源电压的供给;第 2 外部电源布线,接受比第 1 外部电源电压低的第 2 外部电源电压的供给;内部电源布线,用来对内部电路传递内部电源电压;以及内部电源电路,接受第 1 和第 2 外部电源电压,生成内部电源电  
20 压。内部电源电路包含:参照电压生成部,用来接受第 1 和第 2 外部电源电压,生成与内部电源电压的目标电平对应的参照电压;第 1 电流隔断开关,用来在低功耗模式时隔断参照电压生成部的工作电流;内部电源电压发生部,在通常模式时,根据内部电源电压与参照电压的比较,将内部电源电压维持为目标电平,同时在低功耗模式时停止  
25 工作;以及连接开关,用来接受第 1 和第 2 外部电源电压,在低功耗模式时将第 1 和第 2 外部电源布线的一方与内部电源布线导电性地连接。

较为理想的是,连接开关包含导电性地连接在第 1 外部电源布线与内部电源布线之间的 N 沟道场效应晶体管,在低功耗模式时,对 N  
30 沟道场效应晶体管的栅施加第 1 外部电源电压。

此外,较为理想的是,连接开关包含导电性地连接在第 2 外部电源布线与内部电源布线之间的 P 沟道场效应晶体管,在低功耗模式时,

对 P 沟道场效应晶体管的栅施加第 2 外部电源电压。

在这样的半导体存储器中，由于在低功耗模式时能在使参照电压生成部和内部电源电压生成部的工作停止的状态下生成内部电源电压，故可削减内部电源电路本身的功耗。

- 5 或者，较为理想的是，还具备用来保持伴随第 1 指令从外部输入的模式设定的模式寄存器。模式设定包含是否进行从通常模式转移到低功耗模式的指定，在模式设定中指定了进行转移的情况下，响应于第 2 指令开始低功耗模式。

10 由此，根据由一般的模式寄存器进行的模式设定，可有选择地设定是否转移到低功耗模式。

特别是，第 2 指令是用来指示低功耗模式的开始的专用指令。

- 或者，特别是，内部电路包含：配置成行列状的多个存储单元；多条字线，分别对应于多个存储单元的行而被配置，有选择地被激活；以及多条位线，分别对应于多个存储单元的列而被配置，与对应于已  
15 被激活的字线的存储单元的每一个连接。第 2 指令是用来指示数据保持工作的刷新指令，在刷新指令的开始后，在各字线被非激活的状态下，开始低功耗模式。由此，可避开内部电路呈不稳定状态的期间，从通常模式转移到低功耗模式。

- 或者，特别是，还具备控制电路，该控制电路用来在低功耗模式  
20 时与第 2 指令的输入前从被设定为第 1 电平的外部控制信号的第 1 电平向第 2 电平的变化的变化对应地指示向通常模式的恢复。

- 或者，特别是，还具备第 1 和第 2 电平分别与第 1 和第 2 外部电源电压的各一方相对应地接受外部控制信号来生成内部控制信号的内部控制信号生成电路。内部控制信号生成电路包含：第 1 缓冲器，在  
25 低功耗模式下工作，用第 1 外部电源电压来驱动；第 2 缓冲器，在通常模式下工作，用来接受用内部电源电压来驱动的外部控制信号；以及逻辑电路，根据由第 1 和第 2 缓冲器中的已工作的一方接受的外部控制信号，将内部控制信号设定为内部电源电压和第 2 外部电源电压的某一方。控制电路响应于内部控制信号而对恢复作出指示。

- 30 由此，即使在低功耗模式中也能准确地反映外部控制信号的电平转移来生成内部控制信号。因而，能可靠地从低功耗模式恢复到通常模式。

或者，较为理想的是，内部电源电路还包含：缓冲部，被设置在参照电压生成部与内部电源电压发生部之间，用来将来自参照电压生成部的参照电压传递给内部电源电压发生部；以及第2电流隔断开关，用来在低功耗模式时隔断缓冲部的工作电流。

5 由此，由于经缓冲部将参照电压传递到内部电源电压发生部，故可抑制因噪声等引起的参照电压的变动。

此外，较为理想的是，缓冲部包含用来控制工作电流量度的工作电流控制部。工作电流控制部将从低功耗模式转移到通常模式的期间内的工作电流量设定成比通常模式时为大。

10 特别是，在这样的结构中，参照电压生成部在低功耗模式下将参照电压设定为第2外部电源电压，转移期间相当于参照电压为规定电平以下的期间。

由此，在从低功耗模式恢复到通常模式时，由于能高速地使参照电压上升，故可快速地使内部电源电压恢复。

15 本发明的另一结构的半导体存储器是一种能切换外部电源电压的电平的半导体存储器，具备：内部电路，用来执行数据读出工作、数据写入工作和数据保持工作；外部电源布线，接受外部电源电压的供给；内部电源布线，用来对内部电路传递内部电源电压；以及内部电源电路，接受外部电源电压，为了将内部电源电压维持为目标电平而  
20 对内部电源布线供给内部电源电流。为了与外部电源电压的电平无关地将内部电源电压的控制响应性维持为相同，根据外部电源电压的电平来切换内部电源电路中的内部电源电流的供给工作。

因而，由于能根据外部电源电压的电平来切换内部电源电流的供给工作，故可与外部电源电压的电平无关地维持内部电源电压的控制  
25 响应性。

较为理想的是，内部电源电路包含：参照电压生成部，接受外部电源电压，生成与目标电平对应的参照电压；电压比较部，在内部节点上生成对应于参照电压与内部电源电压的比较结果的电压；以及内部电源电流供给部，被配置在外部电源布线与内部电源布线之间，用  
30 来与外部电源电压的电平无关地以同样的电流供给能力对内部电源布线供给内部电源电流。内部电源电流供给部在外部电源电压的电平比目标电平高的情况下，根据内部节点的电压供给内部电源电流，同时

在外部电源电压的电平与目标电平相当的外部电源电压直接连接模式时，导电性地连接外部电源布线与内部电源布线，供给内部电源电流。

特别是，在这样的结构中，内部电源电流供给部具有：第1驱动晶体管，被配置在外部电源布线与内部电源布线之间，用来将与内部节点的电压对应的电流作为内部电源电流供给内部电源布线；第2驱动晶体管，在外部电源电压直接连接模式时导通，导电性地连接外部电源布线与内部电源布线；以及连接开关，在外部电源电压直接连接模式时导通，导电性地结合使第1驱动晶体管导通用的电压与内部节点。

10 由此，即使在具有直接连接外部电源布线与内部电源布线来供给内部电源电压的外部电源电压直接连接模式的情况下，也能与外部电源电压的电平无关地维持内部电源电压的控制响应性。

此外，较为理想的是，内部电源电路具有：参照电压生成部，接受外部电源电压，生成与目标电平对应的参照电压；电压比较部，在内部节点上生成对应于参照电压与内部电源电压的比较结果的电压；15 电流隔断开关，在外部电源电压的电平与目标电平相当的情况下，隔断电压比较部的工作电流；驱动晶体管，被配置在外部电源布线与内部电源布线之间，用来将与内部节点的电压对应的电流作为内部电源电流供给内部电源布线；以及连接开关，在外部电源电压的电平与目标电平相当的外部电源电压直接连接模式时导通，导电性地结合使驱动晶体管导通用的电压与内部节点之间。

由此，可削减外部电源电压直接连接模式时的功耗。

或者，较为理想的是，内部电源电路包含：电压比较部，在第1内部节点上生成与对应于目标电平的参照电压与内部电源电压的比较结果对应的电压；以及内部电源电流供给部，被配置在外部电源布线与内部电源布线之间，用来根据第1内部节点的电压，对内部电源布线供给内部电源电流。内部电源电流供给部与外部电源电压的电平无关地以同样的电流供给能力供给内部电源电流。

更为理想的是，内部电源电流供给部具有：第1驱动晶体管，被配置在外部电源布线与内部电源布线之间，用来将与第1内部节点的电压对应的电流作为内部电源电流供给内部电源布线；第2驱动晶体管，被配置在外部电源布线与内部电源布线之间，用来将与第2内部

节点的电压对应的电流作为内部电源电流供给内部电源布线；栅电路，用来根据外部电源电压的电平导电性地连接第1和第2内部节点；以及连接开关，与栅电路互补地导通，导电性地结合使第2驱动晶体管导通的电压与第2内部节点。

- 5 此外，较为理想的是，内部电源电路包含：电压比较部，在第1内部节点上生成与对应于目标电平的参照电压与内部电源电压的比较结果对应的电压；驱动晶体管，被配置在外部电源布线与内部电源布线之间，用来将与第1内部节点的电压对应的电流作为内部电源电流供给内部电源布线；以及第1工作电流控制部，根据外部电源电压的
- 10 电平切换供给电压比较部的工作电流量。

在这样的半导体存储器中，在被应用的外部电源电压的电平比内部电源电压高的情况下，即使切换外部电源电压的电平，也能维持内部电源电压的控制响应性。

- 更为理想的是，内部电源电路还包含在进行数据保持用的自刷新指令执行时对电压比较部供给规定的工作电流用的第2工作电流控制部。规定的工作电流比由第1工作电流控制部供给的工作电流量小，在自刷新指令执行时，停止由第1工作电流控制部供给工作电流。
- 15

因而，通过在内部电路的消耗电流小的自刷新指令执行时减少电压比较电路的工作电流，可进一步削减功耗。

- 20 此外，较为理想的是，在通常模式时，内部电源电压比外部电源电压高，内部电源电路包含：第1检测部，在激活时和备用时的两种情况下工作，用来检测内部电源电压比目标电平低的情况；第2检测部，在备用时工作，用来检测内部电源电压比目标电平低的情况；第3检测部，除了对于内部电路的自刷新指令执行时外，响应于第1检测部的检测结果而工作，用来检测内部电源电压比目标电平低的情况；
- 25 第1升压单元，响应于第2和第3检测部的检测结果而工作，使外部电源电压升压，供给内部电源电流；以及第2升压单元，响应于第1检测部的检测结果而工作，使外部电源电压升压，供给内部电源电流。第2升压单元与第1升压单元比较，每单位时间能供给的内部电源电
- 30 流大。

更为理想的是，第1升压单元具有：振荡部，响应于第2和第3检测部的检测结果，用来生成具有恒定周期的泵时钟；泵工作部，响

应于泵时钟，将第 1 节点的电压设定成比外部电源电压高；传递晶体管，导电性地连接在第 1 节点与内部电源布线之间；以及栅升压部，响应于泵时钟，将传递晶体管的栅电压设定成比外部电源电压高。泵工作部具有：第 1 泵电容器，连接在被输入泵时钟的第 2 节点与第 1 节点之间；时钟传递电路，根据外部电源电压的电平而形成工作状态，将泵时钟传递给第 3 节点；以及第 2 泵电容器，连接在第 1 节点与第 3 节点之间。

特别是，时钟传递电路响应于在测试模式时被输入的信号，被强制地设定为工作状态。

或者，较为理想的是，第 1 升压单元具有：第 1 振荡部，响应于第 2 和第 3 检测部的检测结果，用来生成具有第 1 周期的第 1 泵时钟；第 1 泵工作部，响应于第 1 泵时钟，将第 1 节点的电压设定成比外部电源电压高；第 1 传递晶体管，导电性地连接在第 1 节点与内部电源布线之间；以及第 1 栅升压部，响应于第 1 泵时钟，将第 1 传递晶体管的栅电压设定成比外部电源电压高。第 2 升压单元具有：第 2 振荡部，响应于第 1 检测部的检测结果，用来生成具有比第 1 周期长的第 2 周期的第 2 泵时钟；第 2 泵工作部，响应于第 2 泵时钟，将第 4 节点的电压设定成比外部电源电压高；第 2 传递晶体管，导电性地连接在第 4 节点与内部电源布线之间；以及第 2 栅升压部，响应于第 2 泵时钟，将第 2 传递晶体管的栅电压设定成比外部电源电压高，第 1 和第 2 栅升压部根据外部电源电压的电平，切换来自外部电源电压的升压量。

在这样的半导体存储器中，在对外部电源电压进行升压来生成内部电源电压的情况下，通过根据外部电源电压的电平来切换来自第 1 和第 2 升压单元的电流供给能力，即使切换外部电源电压的电平，也能维持内部电源电压的控制响应性。

或者，较为理想的是，上述第 1 升压单元具有：振荡部，响应于上述第 2 和第 3 检测部的检测结果，用来生成具有规定周期的泵时钟；以及泵电路，用来利用使用了上述泵时钟的充电泵工作供给上述内部电源电流。振荡部具有：以循环状连接的奇数个倒相器；以及连接在倒相器间的延迟元件。特别是，延迟元件包含在半导体衬底上形成的扩散电阻。

因而，由于可与外部电源电压的电平无关地稳定维持系时钟的周期，故可抑制对于内部电源电压的控制的外部干扰。

或者，较为理想的是，内部电源电路包含：连接开关，用来在低功耗模式时导电性地连接外部电源布线与内部电源布线；以及电流隔  
5 断开关，用来在低功耗模式时隔断第1、第2和第3检测部的工作电流。由此，可削减低功耗模式时的功耗。

本发明的再一结构的半导体存储器是一种有选择地应用多个工作条件中的1个的半导体存储器，具备工作测试控制电路，用来在工作测试时根据具有多位的信号的特定的组合，指示规定测试的启动。工  
10 作测试控制电路包含：第1测试进入电路，用来响应于特定的组合，激活第1测试进入信号；以及测试进入无效化电路，在指定了多个工作条件中的特定的工作条件的情况下，用来强制地使第1测试进入信号非激活。工作测试控制电路响应于第1测试进入信号的激活，启动规定测试。

15 本发明还包括：

一种具有通常模式和低功耗模式的半导体存储器，其特征在于，具备：

内部电路（10、50、60、70、75、80），用来执行数据读出工作、数据写入工作和数据保持工作；

20 第1外部电源布线（90），接受第1外部电源电压（Ext.Vdd）的供给；

第2外部电源布线（95），接受比上述第1外部电源电压低的第2外部电源电压（Vss）的供给；

模式寄存器（65），用来保持伴随第1指令（MRS）从外部输入的模式设定，上述模式设定包含是否进行从上述通常模式转移到上述低功耗模式的指定，在上述模式设定中指定了进行上述转移的情况下，  
25 响应于第2指令（SREF、DPE）开始上述低功耗模式；

内部电源布线（118、128、138、168），用来对上述内部电路传递内部电源电压（VDDP、VDDS、VPP、VBB、VCP、VBL）；以及

30 内部电源电路（100），接受上述第1和第2外部电源电压，生成上述内部电源电压，上述内部电源电路包含：

参照电压生成部（110、120、130），用来接受上述第1和第2外

部电源电压，生成与上述内部电源电压的目标电平对应的参照电压；

第1电流隔断开关（252），用来在上述低功耗模式时隔断上述参照电压生成部的工作电流；

5 内部电源电压发生部（116、126、136、160），在上述通常模式时，根据上述内部电源电压与上述参照电压的比较，将上述内部电源电压维持为上述目标电平，同时在上述低功耗模式时停止工作；以及  
连接开关（214、224、234、244），用来在上述低功耗模式时将上述第1和第2外部电源布线的一方与上述内部电源布线导电性地连接。

10 一种具有通常模式和低功耗模式的半导体存储器，其特征在于，具备：

内部电路（10、50、60、70、75、80），用来执行数据读出工作、数据写入工作和数据保持工作；

15 第1外部电源布线（90），接受第1外部电源电压（Ext.Vdd）的供给；

第2外部电源布线（95），接受比上述第1外部电源电压低的第2外部电源电压（Vss）的供给；

内部电源布线（118、128、138、168），用来对上述内部电路传递内部电源电压（VDDP、VDDS、VPP、VBB、VCP、VBL）；以及

20 内部电源电路（100），接受上述第1和第2外部电源电压，生成上述内部电源电压，

上述内部电源电路包含：

参照电压生成部（110、120、130），用来接受上述第1和第2外部电源电压，生成与上述内部电源电压的目标电平对应的参照电压；

25 第1电流隔断开关（252），用来在上述低功耗模式时隔断上述参照电压生成部的工作电流；

内部电源电压发生部（116、126、136、160），在上述通常模式时，根据上述内部电源电压与上述参照电压的比较，将上述内部电源电压维持为上述目标电平，同时在上述低功耗模式时停止工作；以及

30 连接开关（214、224、234、244），用来在上述低功耗模式时将上述第1和第2外部电源布线的一方与上述内部电源布线导电性地连接；



缓冲部(112、122、132)，被设置在上述参照电压生成部(110、120、130)与上述内部电源电压发生部(116、126、136)之间，用来将来自上述参照电压生成部的上述参照电压(VREFP0、VREFS0、VREFD0)传递给上述内部电源电压发生部；以及

- 5 第2电流隔断开关(210、220、230)，用来在上述低功耗模式时隔断上述缓冲部的工作电流。

因而，根据在工作测试时是否能启动规定测试，可简单地检测是否指定了特定的工作条件。

- 10 较为理想的是，工作测试控制电路还包含响应于与特定的组合不同的多位的其它的组合、用来激活第2测试进入信号的第2测试进入电路。工作测试控制电路响应于第1和第2测试进入信号的某一个的激活，启动规定测试。

由此，即使在指定了特定的工作条件的情况下，也能启动规定测试。

- 15 此外，较为理想的是，各工作条件与被供给的外部电源电压的电平相对应。由此，在可应用不同的电平的外部电源电压的情况下，可简单地检测是否应用了特定的外部电源电压。

- 20 或者，较为理想的是，各工作条件与被输入输出的信号的振幅电压相对应。由此，在可应用不同的电压电平的输入输出信号的情况下，可简单地检测是否应用了特定的电压电平的输入输出信号。

通过参照附图的后述的本发明的详细的说明，本发明的上述和其它的目的、特征、方面和优点会变得更加明白。

#### 附图说明

- 25 图1是示出本发明的实施例1的半导体存储器的整体结构的概略框图。

图2是说明通常模式和深功率下降模式中的内部电源电压的设定的图。

图3是说明在模式寄存器置位中使用的地址位的结构的图。

图4是说明对深功率下降模式的进入方式的一例的时序图。

- 30 图5是说明对深功率下降模式的进入方式的另一例的时序图。

图6是图1中示出的内部电源电路的结构的框图。

图7是图6中示出的参照电压发生电路的结构的电路图。

图 8 是图 6 中示出的缓冲电路的结构的电路图。

图 9 是图 6 中示出的外部输入信号用参照电压发生电路的结构的电路图。

图 10 是示出内部时钟启动信号生成电路的结构的电路图。

5 图 11 是示出恢复到通常模式时响应性高的缓冲电路的结构的电路图。

图 12 是示出功率导通复位信号生成电路的结构的电路图。

图 13 是说明与外部电源电压电平对应的内部电源电压的设定电平的差别的图。

10 图 14 是示出实施例 2 的与外围电路电源电压对应的的参照电压发生电路的结构的电路图。

图 15 是说明实施例 2 的对缓冲电路的电流供给的电路图。

图 16 是示出实施例 2 的内部电源电压发生电路的结构的电路图。

图 17 是示出实施例 2 的内部电源电压发生电路的结构的电路图。

15 图 18 是示出实施例 2 的电压升压电路的结构的框图。

图 19 是示出图 18 中示出的环形振荡器的结构的电路图。

图 20 是示出图 18 中示出的非常时用检测部的结构的电路图。

图 21 是示出图 18 中示出的泵电路的结构的电路图。

图 22A 和 22B 是说明图 21 中示出的泵电路的工作用的时序图。

20 图 23 是示出实施例 3 的测试模式控制电路的结构的电路图。

图 24 是示出实施例 3 的变形例的外部电源电压电平检测电路的结构的电路图。

#### 具体实施方式

以下，参照附图，详细地说明本发明的实施例。再有，假定图中的同一符号表示同一或相当的部分。

#### 实施例 1

参照图 1，本发明的实施例 1 的半导体存储器 1000 具备存储器阵列部 10。存储器阵列部 10 包含存储单元阵列 20、行选择部 30 以及列选择部和读出放大器 40。

30 存储单元阵列 20 具有被配置成行列状的多个存储单元 MC。存储单元 MC 的结构不作特别限定，可将各种类型的 DRAM（动态随机存取存储器）单元应用于本申请的发明。

与存储单元 MC 的各行对应地配置执行行选择用的字线 WL。与存储单元 MC 的各列对应地配置位线对 BLP。位线对 BLP 具有互补的位线 BL 和 /BL。在各存储单元行中，存储单元 MC 的每一个与位线 BL 和 /BL 的某一方连接。在图 1 中，代表性地示出了对于 1 个存储单元的字线和位线对的配置。

行选择部 30 按照地址信号有选择地激活与选择行对应的字线 WL。与选择行对应的存储单元的每一个与位线 BL 或 /BL 连接。列选择部和读出放大器 40 包含在各位线对 BLP 中放大位线 BL 与 /BL 的电压差的读出放大器和按照地址信号选择对应于选择列的位线对 BLP 用的列选择部。

半导体存储器 1000 还具备输入初级电路 50、外围电路控制部 60、存储器阵列部控制电路 70、75 和输出电路 80。

输入初级电路 50 从外部接受总括地表示时钟、指令、地址和写入数据的输入信号。外围电路控制部 60 生成执行由经输入初级电路 50 传递的输入信号表示的指令用的控制信号，传递给存储器阵列部控制电路 70、75 等的内部电路。

在从外部输入的指令中包含：指示数据读出的读指令 READ；指示数据写入的写指令 WRITE；更新模式寄存器的保持内容用的模式寄存器置位指令 MRS；不特别指示工作状态的指令 NOP；激活特定的存储体用的存储体激活指令 ACT；使特定的存储体成为预充电状态用的存储体预充电指令 PRE；自动刷新指令 AREF；以及自刷新指令 SREF。

自动刷新指令 AREF 和自刷新指令 SREF 指示防止在存储单元阵列 20 中已被存储的数据的消失用的数据保持工作（刷新工作）。

在刷新工作时，按顺序激活字线 WL，利用读出放大器执行对于与已被激活的字线对应的存储单元的数据的读出、放大和再写入。

加入到数据读出或数据写入那样的随机存取工作中指示自动刷新指令 AREF。另一方面，在电池备份期间等的备用期间内，为了保持在存储器阵列部 10 中的存储信息而指示自刷新指令 SREF。

外围电路控制部 60 具有模式寄存器 65。在模式寄存器 65 中，保持构成与从外部被指示的模式寄存器置位指令 MRS 对应地输入的地址的地址位的每一个。根据在模式寄存器 65 中已被保持的地址位，执行等待时间的设定或与字符串工作有关的设定等。

存储器阵列部控制电路 70 响应于由外围电路控制部 60 生成的行系列工作控制信号 SGr, 控制对于存储器阵列部 10 的列系列的工作。存储器阵列部控制电路 75 响应于由外围电路控制部 60 生成的列系列工作控制信号 SGc, 控制对于存储器阵列部 10 的列系列的工作。

5 输出电路 80 在输入了读指令 READ 的情况下, 对外部输出来自存储器阵列部 10 的读出数据。

半导体存储器 1000 还具备内部电源电路 100。内部电源电路 100 分别从外部电源布线 90 和接地布线 95 接受外部电源电压 Ext. Vdd 和接地电压 Vss, 生成内部电源电压。

10 内部电源电压包含字线电压 VPP、衬底电压 VBB、单元板电压 VCP、位线电压 VBL、外围电路电源电压 VDDP 和 存储器阵列电源电压 VDDS。将单元板电压 VCP 和位线电压 VBL 设定为存储器阵列电源电压 VDDS 的 1/2 的电平。

再者, 内部电源电路 100 生成外部输入信号用参照电压 VREFI。  
15 输入初级电路 50 根据外部输入信号用参照电压 VREFI 识别输入信号的高电平/低电平。

对存储器阵列部 10 供给字线电压 VPP、衬底电压 VBB、单元板电压 VCP 和位线电压 VBL。对存储器阵列部控制电路 70 和 75 供给存储器阵列电源电压 VDDS。对外围电路控制部 60 供给外围电路电源电压  
20 VDDP。

外围电路控制部 60 根据从外部输入的规定指令, 使半导体存储器 1000 转移到低功耗模式。在低功耗模式时, 外围电路控制部 60 使功率削减信号 PCUTE 激活为高电平。内部电源电路 100 中的功耗响应于功率削减信号 PCUTE 的激活而被削减。

25 再有, 如以下的说明中可知, 本发明的实施例 1 的低功耗模式比利用自刷新指令 SREF 等以存储器阵列部 10 中的存储数据保持为前提的现有的低功耗模式更进一步, 追求进一步的低功耗工作。因而, 以下特别将半导体存储器 1000 中的低功耗模式称为「深功率下降模式」。

其次, 说明深功率下降模式中的内部电源电压电平的设定。

30 参照图 2, 在通常模式中, 将外围电路电源电压 VDDP 设定为 2.5V。因而, 在外部工作电源电压为 2.5V 系列的情况下, 按原样将外部电源电压 Ext. Vdd 作为外围电路电源电压 VDDP 来使用。在除此以外的情况

下，例如在外部电源电压为 2.7V 系列的情况下，对外部电源电压 Ext.Vdd 进行降压，生成外围电路电源电压 VDDP。

在深功率下降模式中，在外部电源电压 Ext.Vdd 为 2.5V 系列的情况下，外围电路电源电压 VDDP 与通常模式同样，可按原样使用外部电源电压 Ext.Vdd。另一方面，在外部电源电压为 2.7V 系列的情况下，使外部电源电压 Ext.Vdd 降压  $V_{tn}$ ，生成外围电路电源电压 VDDP。关于深功率下降模式中的内部电源电压的生成，在后面将详细地说明，但  $V_{tn}$  相当于在内部电源电路 100 内配置的 N 型晶体管的阈值电压。

在通常模式中，对外部电源电压 Ext.Vdd 进行降压，将存储器阵列电源电压 VDDS 设定为 2.0V。另一方面，在深功率下降模式中，与外围电路电源电压 VDDP 同样，将其设定为 “Ext.Vdd -  $V_{tn}$ ”。

在通常模式中，将位线电压 VBL 和单元板电压 VCP 设定为存储器阵列电源电压 VDDS 的 1/2，即设定为 1.0V。在深功率下降模式中，中止位线电压 VBL 和单元板电压 VCP 的供给，使对应的内部电源布线呈开路 (Open) 状态。

在通常模式中，将衬底电压 VBB 设定为 -1.0V，在深功率下降模式中，将其设定为 0V，即接地电压  $V_{ss}$ 。

在通常模式中，对外部电源电压 Ext.Vdd 进行升压，将字线电压 VPP 设定为 3.7V。在深功率下降模式中，与外围电路电源电压 VDDP 同样，将字线电压 VPP 设定为 Ext.Vdd 或 “Ext.Vdd -  $V_{tn}$ ”。

再有，图 2 中示出的通常模式中的内部电源电压的设定电平不过是一例，即使在将这些内部电源电压设定为其它的电压电平的情况下，也可应用本申请的发明的深功率下降模式。

其次，说明对于深功率下降模式的进入方式。

图 3 中示出在模式寄存器置位中使用的地址位的结构。

参照图 3，在模式寄存器 65 内保持由模式寄存器置位指令 MRS 输入的地址位 A0 ~ A11、BA0、BA1。

根据在模式寄存器 65 内已被保持的这些地址位，设定半导体存储器 1000 的工作状态的一部分。例如，在模式寄存器 65 内已被保持的地址位 A0 ~ A2 表示字符串长度。此外，地址位 A3 表示字符串类型 (连续/交替) 的设定，地址位 A4 ~ A6 表示相当于等待时间模式设定、即 CAS 等待时间的时钟循环数。此外，利用地址位 A9 表示写模式 (1 位

写/字符串写) 设定。

在半导体存储器 1000 中, 使用在通常的模式寄存器置位中未使用的地址位来执行是否应用深功率下降模式。例如, 使用在以上已叙述的模式寄存器置位中未使用的地址位 A7 和 A8, 在深功率下降模式的应用、即规定的条件齐备的情况下, 执行设定进入深功率下降模式用的模式寄存器置位。

图 4 中示出半导体存储器 1000 中的对于深功率下降模式的进入方式的一例。

参照图 4, 与外部时钟 EXTCLK 同步地执行对于半导体存储器 1000 的指令 CMD 的输入。在时刻  $t_0$  处, 从外部指示自刷新指令 SREF。在自刷新指令 SREF 输入时, 将外部时钟启动信号 EXTCKE 设定为低电平。

响应于此, 在半导体存储器 1000 内部, 指示执行刷新工作, 为了激活刷新对象的字线, 将内部控制信号 INTRAS 激活为高电平, 对与已被激活的字线对应的存储单元, 执行数据读出、放大和再写入。

如果执行 1 次行系列工作, 内部控制信号 INTRAS 从高电平变化为低电平, 则响应于此, 控制信号 SOD 在规定期间内被激活为高电平。在一度已被激活的控制信号 SOD 被非激活的时刻, 假定在存储器阵列部 10 中全部的字线 WL 为非激活状态, 各位线 BL 和 /BL 已被预充电。

在利用模式寄存器置位并应用了深功率下降模式的情况下, 响应于控制信号 SOD 的非激活 (高电平  $\rightarrow$  低电平), 在时刻  $t_1$  处, 功率削减信号 PCUTE 被激活为高电平。与此相伴, 切换内部电源电路 100 中的内部工作。其结果, 将内部电源电压设定为与深功率下降模式对应的图 2 中示出的电压电平。

即, 在利用模式寄存器置位指令 MRS 设定了深功率下降模式的应用的情况下, 在要求了自刷新指令 SREF 时, 至少在 1 次的行系列工作和位线预充电工作结束后, 执行从通常模式到深功率下降模式的转移。

因而, 可避开字线被激活、从存储单元读出了数据的期间, 在存储器阵列部 10 呈稳定的状态下转移到深功率下降模式。

响应于外部时钟启动信号 EXTCKE 的激活 (低电平  $\rightarrow$  高电平), 执行从深功率下降模式到通常模式的恢复。即, 响应于外部时钟启动信号 EXTCKE 的激活, 功率削减信号 PCUTE 在时刻  $t_2$  处被非激活为低电

平。其结果是，深功率下降模式结束，再次切换内部电源电路 100 的内部工作。其结果是，内部电源电压被设定为与图 2 中示出的通常模式对应的电压电平。

再有，功率削减信号 PCUTE 的非激活状态（低电平）和激活状态（高电平）中的电压分别被设定为接地电压  $V_{SS}$  和外部电源电压 Ext. Vdd。

另一方面，在利用模式寄存器置位而没有应用深功率下降模式的情况下，执行原来的自刷新指令 SREF，依次执行刷新工作。

图 5 中示出说明对深功率下降模式的进入方式的另一例的时序图。

参照图 5，在利用模式寄存器置位并应用了深功率下降模式的情况下，也可使用自刷新指令 SREF 以外的规定的专用指令来执行向深功率下降模式的转移。

例如，在时刻  $t_0$  处，输入作为该专用指令而被定义的深功率下降模式进入指令 DPE。响应于此，在时刻  $t_1'$  处，功率削减信号 PCUTE 被激活为高电平。

与图 4 的情况同样，响应于外部时钟启动信号 EXTCKE 的激活，执行从深功率下降模式到通常模式的恢复。即，响应于在时刻  $t_2$  处外部时钟启动信号 EXTCKE 的激活，功率削减信号 PCUTE 被非激活为低电平。与此相伴，深功率下降模式结束，将内部电源电压设定为与通常模式对应的图 2 中示出的电压电平。

其次，说明图 1 中示出的内部电源电路 100 的结构。

首先，说明内部电源电路 100 中的与通常模式对应的部分的结构。

参照图 6，内部电源电路 100 包含恒定电流发生电路 102。恒定电流发生电路 102 对恒定电流供给线 104 和 106 供给恒定电流 ICONST。

内部电源电路 100 还包含为了生成外围电路电源电压 VDDP 而设置的参照电压发生电路 110、缓冲电路 112 和内部电源电压发生电路 116。

参照电压发生电路 110 从恒定电流供给线 106 接受恒定电流 ICONST 的供给，生成与外围电路电源电压 VDDP 的目标电平对应的参照电压 VREFP0。缓冲电路 112 根据来自参照电压发生电路 110 的参照电压 VREFP0，在参照电压布线 114 上生成参照电压 VREFP。

内部电源电压发生电路 116 对外部电源电压 Ext. Vdd 进行降压，在内部电源布线 118 上输出外围电路电源电压 VDDP。在通常模式中，内部电源电压发生电路 116 根据外围电路电源电压 VDDP 与参照电压 VREFP 的比较，打算将外围电路电源电压 VDDP 维持为目标电平。

5 内部电源电路 100 还包含生成存储器阵列电源电压 VDDS 用的参照电压发生电路 120、缓冲电路 122 和内部电源电压发生电路 126。

参照电压发生电路 120 从恒定电流供给线 106 接受恒定电流 ICONST 的供给，生成与存储器阵列电源电压 VDDS 的目标电平对应的参照电压 VREFS0。缓冲电路 122 根据来自参照电压发生电路 120 的参  
10 照电压 VREFS0，在参照电压布线 124 上生成参照电压 VREFS。

内部电源电压发生电路 126 对外部电源电压 Ext. Vdd 进行降压，在内部电源布线 128 上输出存储器阵列电源电压 VDDS。在通常模式中，内部电源电压发生电路 126 根据存储器阵列电源电压 VDDS 与参照电压 VREFS 的比较，打算将存储器阵列电源电压 VDDS 维持为目标电  
15 平。

内部电源电路 100 还包含生成字线电压 VPP 用的参照电压发生电路 130、缓冲电路 132 和电压升压电路 136。

参照电压发生电路 130 从恒定电流供给线 106 接受恒定电流 ICONST 的供给，生成与字线电压 VPP 的目标电平对应的参照电压  
20 VREFD0。缓冲电路 132 根据来自参照电压发生电路 130 的参照电压 VREFD0，在参照电压布线 134 上生成参照电压 VREFD。

电压升压电路 136 对外部电源电压 Ext. Vdd 进行升压，在内部电源布线 138 上输出字线电压 VPP。在通常模式中，电压升压电路 136 根据字线电压 VPP 与参照电压 VREFD 的比较，打算将字线电压 VPP 维  
25 持为目标电平。

分别与图 2 中示出的通常模式中的外围电路电源电压 VDDP、存储器阵列电源电压 VDDS 和字线电压 VPP 的设定电平对应地决定参照电压 VREFP0、VREFP；VREFS0、VREFS；VREFD0、VREFD。

可应用一般的结构的电压降压电路 (VDC) 作为对外部电源电压  
30 Ext. Vdd 进行降压的内部电源电压发生电路 116 和 126。

内部电源电路 100 还包含接受存储器阵列电源电压 VDDS 来生成单元板电压 VCP 的 VCP 发生电路 140 和生成位线电压 VBL 的 VBL 发生电



路 145. VCP 发生电路 140 和 VBL 发生电路 145 例如由带有微调功能的分压电路构成, 接受从内部电源布线 128 供给的存储器阵列电源电压 VDD5, 生成单元板电压 VCP 和位线电压 VBL.

5 内部电源电路 100 还包含衬底电压发生电路 160. 衬底电压发生电路 160 接受外部电源电压 Ext. Vdd 而工作, 在内部电源布线 168 上生成负电压的衬底电压 VBB. 衬底电压发生电路 160 例如由充电泵电路构成.

通过作成这样的结构, 将通常模式中的内部电源电压设定为图 2 中示出的电压电平.

10 其次, 说明内部电源电路 100 中的与深功率下降模式对应的部分的结构.

内部电源电路 100 还包含: PMOS 晶体管 210, 用来在深功率下降模式中隔断缓冲电路 112 的工作电流; NMOS 晶体管 212, 用来在深功率下降模式中导电性地结合在参照电压布线 114 与接地电压 Vss 之间; 以及 NMOS 晶体管 214, 用来在深功率下降模式中导电性地结合在  
15 内部电源布线 118 与外部电源电压 Ext. Vdd 之间.

PMOS 晶体管 210 导电性地结合在外部电源电压 Ext. Vdd 与缓冲电路 112 之间, 在栅上接受功率削减信号 PCUTE. NMOS 晶体管 212 导电性地结合在参照电压布线 114 与接地电压 Vss 之间, 在栅上接受功率  
20 削减信号 PCUTE. NMOS 晶体管 214 导电性地连接在外部电源布线 90 与内部电源布线 118 之间, 在栅上接受功率削减信号 PCUTE.

再有, 在本实施例中, 作为用作连接开关的场效应晶体管的代表例, 应用了 MOS 晶体管.

内部电源电路 100 还包含: 对于存储器阵列电源电压 VDD5 生成系  
25 统而配置的 PMOS 晶体管 220 和 NMOS 晶体管 222、224; 以及与字线电压 VPP 发生系统对应地配置的 PMOS 晶体管 230 和 NMOS 晶体管 232、234.

NMOS 晶体管 222 和 232 与 NMOS 晶体管 212 同样地被配置. NMOS 晶体管 224 和 234 与 NMOS 晶体管 214 同样地被配置. NMOS 晶体管 214、  
30 224 和 234 的阈值电压相当于图 2 中标记的  $V_{tn}$ . 此外, 如果配置在栅上接受功率削减信号的反转信号/PCUTE 的 PMOS 晶体管来代替 NMOS 晶体管 234, 则可将深功率下降模式中的字线电压 VPP 设定为外部电源电

压 Ext. Vdd。

通过作成这样的结构，在深功率下降模式中，使内部电源电压发生电路 116、126 和电压升压电路 136 的工作停止，将外围电路电源电压 VDDP、存储器阵列电源电压 VDDS 和字线电压 VPP 设定为 Ext. Vdd - Vtn。其结果是，在深功率下降模式中，也不需要分别对内部电源电压发生电路 116、126 和电压升压电路 136 输入的参照电压 VREFP、VREFS、VREFD 的生成。因而，在深功率下降模式中，利用晶体管 212、222 和 232 分别将参照电压 VREFP、VREFS、VREFD 固定为接地电压 Vss。

与此相伴，也不需要在前级配置的参照电压发生电路 110、120、130 和缓冲电路 112、122、132 的工作，可削减这些电路组的功耗。

内部电源电路 100 还包含：NMOS 晶体管 200，用来在深功率下降模式中隔在恒定电流发生电路 102 与接地电压 Vss 之间；以及 PMOS 晶体管 202，用来在深功率下降模式中隔在外部电源电压 Ext. Vdd 与恒定电流供给线 106 之间。

NMOS 晶体管 200 导电性地结合在恒定电流发生电路 102 与接地电压 Vss 之间，在栅上接受功率削减信号 PCUTE。PMOS 晶体管 202 导电性地结合在外部电源电压 Ext. Vdd 与恒定电流供给线 106 之间，在栅上接受已被反转的功率削减信号/PCUTE。

其结果是，在深功率下降模式中，停止由恒定电流发生电路 102 进行的恒定电流 ICONST 的供给，以削减功耗。此外，利用晶体管 202 将恒定电流供给线 106 固定为外部电源电压 Ext. Vdd。

由于图 6 中示出的参照电压发生电路 110、120、130 的结构是同样的，故使用图 7 代表性地说明参照电压发生电路 110 的结构。

参照图 7，参照电压发生电路 110 具有串联地结合在外部电源电压 Ext. Vdd 与节点 N0 之间的电阻 250、PMOS 晶体管 251 和 252。在节点 N0 上生成参照电压 VREFP0。将参照电压 VREFP0 传递给缓冲电路 112。

PMOS 晶体管 251 的栅与恒定电流供给线 106 连接。对 PMOS 晶体管 252 的栅输入功率削减信号 PCUTE。

参照电压发生电路 110 还具有在节点 N0 与接地电压 Vss 之间串联地结合的 N 个 (N: 自然数) PMOS 晶体管 253。N 个 PMOS 晶体管 253 的栅的每一个与接地电压 Vss 结合。因而，N 个 PMOS 晶体管 253 的每一个具有电阻器的功能。

通过作成这样的结构，在将功率削减信号 PCUTE 设定为非激活状态（低电平）的通常模式时，参照电压发生电路 110 使用从外部电源电压 Ext.Vdd 至接地电压 Vss 之间产生的工作电流，生成参照电压 VREFP0。通过适当地调整节点 N0 与接地电压 Vss 之间的电阻值，可得到所希望的参照电压 VREFP0。

如图 7 中所示，通过与 PMOS 晶体管 253 的每一个并联地再配置旁路用的熔断器 255，可利用熔断器熔断对节点 N0 与接地电压 Vss 之间的电阻值进行微调。

另一方面，在将功率削减信号 PCUTE 设定为激活状态（高电平）的深功率下降模式时，由于 PMOS 晶体管 252 被关断，故外部电源电压 Ext.Vdd 与接地电压 Vss 之间的贯通电流、即参照电压发生电路 110 的工作电流被隔断。

由此，在深功率下降模式中，通过隔断工作电流，中止成为不需要的参照电压 VREFP0 的生成，可削减参照电压发生电路 110 的功耗。

由于图 6 中示出的缓冲电路 112、122、132 的结构是同样的，故使用图 8 代表性地说明缓冲电路 112 的结构。

参照图 8，缓冲电路 112 具有：PMOS 晶体管 260，导电性地连接在经 PMOS 晶体管 210 与外部电源电压 Ext.Vdd 导电性地结合的节点 N1 与节点 N2 之间；PMOS 晶体管 262，导电性地连接在节点 N1 与 N3 之间；NMOS 晶体管 264，导电性地连接在节点 N2 与 N4 之间；以及 NMOS 晶体管 266，导电性地连接在节点 N3 与 N4 之间。

PMOS 晶体管 260 和 262 的栅与节点 N2 连接。对 NMOS 晶体管 264 的栅输入来自参照电压发生电路 110 的参照电压 VREFP0。节点 N3 和晶体管 266 的栅与传递参照电压 VREFP 的参照电压布线 114 连接。

缓冲电路 112 还具有导电性地结合在节点 N4 与接地电压 Vss 之间的 NMOS 晶体管 267。对 NMOS 晶体管 267 的栅输入控制电压  $\phi_1$ 。

通过作成这样的结构，在晶体管 210 导通的通常模式时，对缓冲电路 112 供给与控制电压  $\phi_1$  对应的工作电流。缓冲电路 112 以与工作电流量对应的响应速度将被传递到内部电源电压发生电路 116 的参照电压 VREFP 设定为与来自参照电压发生电路 110 的参照电压 VREFP0 同样的电平。这样，通过经缓冲电路 112 传递参照电压，可防止参照电压 VREFP 因噪声等而变动。

另一方面，在深功率下降模式中，响应于功率削减信号 PCUTE 的结合（高电平），由于晶体管 210 被关断，故缓冲电路 112 的工作电流被隔断。由此，中止成为不需要的参照电压 VREFP 的生成，可削减缓冲电路 112 中的功耗。

5 再次参照图 6，内部电源电路 100 还包含：PMOS 晶体管 240，用来在深功率下降模式中将衬底电压发生电路 160 与外部电源电压 Ext.Vdd 隔开；以及 PMOS 晶体管 244，用来使内部电源布线 168 与接地电压 Vss 导电性地结合。对 PMOS 晶体管 240 的栅输入功率削减信号 PCUTE。对 PMOS 晶体管 244 的栅输入已被反转的功率削减信号  
10 /PCUTE。

因而，在深功率下降模式中，在 PMOS 晶体管 240 被关断的同时，PMOS 晶体管 244 被导通。其结果是，将衬底电压 VBB 如图 2 中所示那样，被设定为接地电压 Vss。即，在深功率下降模式中，由于衬底电压发生电路 160 没有必要工作，故响应于 PMOS 晶体管 240 的关断，通过  
15 隔断衬底电压发生电路 160 的工作电流，可削减衬底电压发生电路 160 中的功耗。

内部电源电路 100 还包含生成外部输入信号用参照电压 VREFI 的外部输入信号用参照电压发生电路 270。外部输入信号用参照电压 VREFI 被传递到输入初级电路 50，用于识别输入信号是高电平/低电平  
20 中的哪一个。

参照图 9，外部输入信号用参照电压发生电路 270 具有串联地结合在外部电源电压 Ext.Vdd 与节点 N5 之间的电阻 271、PMOS 晶体管 272 和 273。在节点 N5 上生成外部输入信号用参照电压 VREFI。

外部输入信号用参照电压发生电路 270 还具有串联地结合在节点  
25 N5 与接地电压 Vss 之间的 M 个（M：自然数）PMOS 晶体管 274。M 个 PMOS 晶体管 274 的栅的每一个与接地电压 Vss 结合。因而，M 个 PMOS 晶体管 274 的每一个都具有电阻器的功能。

对 PMOS 晶体管 274 的栅有选择地输入参照电压 VREFS 和 VREF 中的一方。对 PMOS 晶体管 272 的栅输入功率削减信号 PCUTE。

30 通过作成这样的结构，在通常模式中，可切换外部输入信号用参照电压 VREFI 的电平。例如，在对 PMOS 晶体管 272 的栅输入了参照电压 VREFP（2.5V）的情况下，将外部输入信号用参照电压 VREFI 设定

为 1.4V。另一方面，在对 PMOS 晶体管 272 的栅输入了参照电压 VREFS (2.0V) 的情况下，将外部输入信号用参照电压 VREFI 设定为 0.9V。通过作成这样的结构，对于不同的 I/O 信号电平的输入信号，可切换外部输入信号用参照电压 VREFI 来与其相对应。

5 如图 9 中所示，通过与 PMOS 晶体管 274 的每一个并联地配置旁路用的熔断器 275，可利用熔断器熔断对外部输入信号用参照电压 VREFI 的电平进行微调。

另一方面，在深功率下降模式中，由于不从外部输入输入信号，故不需要外部输入信号用参照电压 VREFI。因而，在深功率下降模式  
10 中，响应于功率削减信号 PCUTE 的激活（高电平），通过关断 PMOS 晶体管 273 以隔断工作电流，可削减外部输入信号用参照电压发生电路 270 的功耗。

如以上所说明的那样，在内部电源电路 100 中，可大幅度地削减深功率下降模式中的功耗。

15 此外，由于对隔断外部电源电压 Ext. Vdd 用的 NMOS 晶体管 214、224 和 234 等的栅输入功率削减信号 PCUTE，故必须分别将其低电平和  
高电平设定为接地电压 Vss 和外部电源电压 Ext. Vdd。

其次，说明从深功率下降模式平稳地恢复用的结构。

如已说明的那样，响应于外部时钟启动信号 EXTCKE 执行从深功率  
20 下降模式到通常模式的恢复。在半导体存储器 1000 内，根据对外部时钟启动信号 EXTCKE 进行缓冲而生成的内部时钟启动信号 INTCKE，控制这样的模式的恢复。因而，在深功率下降模式中，即使在将外围电路电源电压 VDDP 设定为“Ext. Vdd - Vtn”的情况下，也必须作成准确地反映外部时钟启动信号 EXTCKE 的电平转移、生成内部时钟启动信号  
25 INTCKE 的结构。

例如在输入初级电路 50 内配置图 10 中示出的内部时钟启动信号生成电路 280。

参照图 10，内部时钟启动信号生成电路 280 具有由外部电源电压 Ext. Vdd 驱动的逻辑门 281 和由外围电路电源电压 VDDP 驱动的逻辑门  
30 282 - 285。

逻辑门 281 输出外部时钟启动信号 EXTCKE 与功率削减信号 PCUTE 的“与非”(NAND)运算结果。逻辑门 282 输出外部时钟启动信号 EXTCKE

与功率削减信号的反转信号的“与非”（NAND）运算结果。

因而，在功率削减信号 PCUTE 被设定为高电平的深功率下降模式中，逻辑门 281 作为外部时钟启动信号 EXTCKE 的缓冲器来工作。另一方面，在功率削减信号 PCUTE 被设定为低电平的通常模式中，逻辑门  
5 282 作为接受外部时钟启动信号 EXTCKE 的缓冲器来工作。

逻辑门（倒相器）283 和 284 反转逻辑门 281 和 282 的各自的输出。逻辑门 285 将倒相器 283 和 284 的输出的“或”（OR）运算结果作为内部时钟启动信号 INTCKE 来输出。

通过作成这样的结构，在通常模式时，利用由外围电路电源电压  
10 VDDP 驱动的缓冲器（逻辑门 282）来生成内部时钟启动信号 INTCKE。另一方面，在深功率下降模式中，利用由外部电源电压 Ext.Vdd 驱动的缓冲器（逻辑门 281）来生成内部时钟启动信号 INTCKE。

其结果是，在通常模式和深功率下降模式的任一模式中，可准确地反映外部时钟启动信号 EXTCKE 的电平转移，生成内部时钟启动信号  
15 INTCKE。

将内部时钟启动信号 INTCKE 传递给在外围电路控制部 60 中包含的功率削减信号生成电路 300。

功率削减信号生成电路 300 包含倒相器 302、触发器 304 和电平  
20 变换电路 306。由外围电路电源电压 VDDP 来驱动倒相器 302 和触发器 304。

倒相器 302 反转内部时钟启动信号 INTCKE 来输出。将倒相器 302 的输出作为复位输入供给触发器 304。另一方面，将控制信号/DPD 供给触发器 304 的置位输入。控制信号/DPD 是在深功率下降模式的进入条件齐备的情况下被设定为低电平的信号。例如，如果按照图 4 中示  
25 出的进入方式，则控制信号/DPD 响应于在控制信号 SOD 中的非激活而被激活为低电平。此外，按照图 5 中示出的模式进入方式，响应于深功率下降模式进入指令 DPE 的输入，控制信号/DPD 被激活为低电平。

因而，触发器 304 的输出信号响应于控制信号/DPD 的朝向低电平的激活，被置位为高电平，响应于内部时钟启动信号 INTCKE 的朝向高  
30 电平的转移，被复位为低电平。

电平变换电路 306 对触发器 304 的输出信号进行电平变换，使其成为接地电压 Vss ~ 外部电源电压 Ext.Vdd 的振幅，生成功率削减信

号 PCUTE。

由此，按照图 4 和图 5 中示出的模式进入方式，可设定功率削减信号 PCUTE。再者，能可靠地执行从深功率下降模式到通常模式的恢复。

- 5 在从深功率下降模式到通常模式的恢复中，必须使内部电源电路内的内部电源电压发生电路 116、126 和电压升压电路 136 迅速地工作，再次切换内部电源电压。因而，必须高速地使在深功率下降模式中被固定为接地电压  $V_{SS}$  的参照电压 VREFP、VREFS、VREFD 恢复到规定的电平。特别是，必须高速地生成与对外部电源电压 Ext.Vdd 进行  
10 升压的字线电压 VPP 对应的参照电压 VREFD。

其次，说明向通常模式的恢复时响应性高的缓冲电路的结构。在图 11 中，代表性地示出与字线电压 VPP 对应的缓冲电路 132 的结构。

- 参照图 11，缓冲电路 132 除了与图 8 中示出的缓冲电路同样地配置的 PMOS 晶体管 260、262 和 NMOS 晶体管 264、266、267 外，在具  
15 有与 NMOS 晶体管 267 并列地连接的 NMOS 晶体管 268 这一点上不同。

NMOS 晶体管 268 导电性地结合在节点 N4 与接地电压  $V_{SS}$  之间，响应于功率导通复位信号/PORr 的激活（低电平）而导通。

- 功率导通复位信号/PORr 通常在启动时在一定的期间内被激活，但在本实施例中，除此以外，即使在从深功率下降模式到通常模式的恢复  
20 时，也在规定的期间内被激活为低电平。

通过作成这样的结构，图 11 中示出的缓冲电路 132 与具有图 8 中示出的结构的缓冲电路比较，使功率导通复位信号/PORr 的激活期间中的工作电流增加，可在向通常模式的恢复时高速地使参照电压 VREFD 从接地电压  $V_{SS}$  上升。

- 25 参照图 12，功率导通复位信号生成电路 310 具有：PMOS 晶体管 311，导电性地结合在外部电源电压 Ext.Vdd 与节点 N6 之间；PMOS 晶体管 312，导电性地连接在节点 N6 与 N7 之间；NMOS 晶体管 313，导电性地结合在节点 N7 与接地电压  $V_{SS}$  之间；以及倒相器 315，反转节点 N7 的电压电平来生成功率导通复位信号/PORr。

- 30 对 PMOS 晶体管的栅输入已被反转的功率削减信号/PCUTE。对节点 N6 施加来自参照电压发生电路 130 的参照电压 VREFD0。PMOS 晶体管 312 和 NMOS 晶体管 313 具有与参照电压布线 114 连接的栅，构成倒相

器。

在深功率下降模式中，在 PMOS 晶体管 311 导通的同时，将参照电压 VREFD 固定为接地电压  $V_{SS}$ 。其结果是 PMOS 晶体管 312 导通，NMOS 晶体管 313 关断。因而，功率导通复位信号/PORr 准备向通常模式恢复，被激活为低电平。

如果从深功率下降模式切换到通常模式，则来自参照电压发生电路 130 的参照电压 VREFD0 和 VREFD 开始变化为与通常模式中的字线电压 VPP 的目标电平对应的电压。因而，由于在参照电压 VREFD 超过与 NMOS 晶体管 313 的阈值电压相当的规定电压之前的规定期间内，NMOS 晶体管 313 维持关断状态，故也维持功率导通复位信号/PORr 的激活状态（低电平）。

其后，如果参照电压 VREFD 超过该规定的电压，则由于 NMOS 晶体管 313 导通，故功率导通复位信号/PORr 被非激活为高电平。

通过作成这样的结构，如果在向通常模式的恢复时响应于 PMOS 晶体管 210 的导通以确保缓冲电路 132 的工作电流路径，则利用 NMOS 晶体管 267 和 268 这两者，可供给缓冲电路 132 的工作电流。其结果是，在从深功率下降模式到通常模式的恢复时，可使参照电压 VREFD 的从接地电压  $V_{SS}$  开始的上升实现高速化，可迅速地使字线电压 VPP 恢复。

再有，图 11 中示出的缓冲器电路的结构也可适用于分别与外围电路电源电压 VDDP 和存储器阵列电源电压 VDDS 对应的图 6 中示出的缓冲电路 112 和 122。此时，也可由缓冲电路 112、122 和 132 来共有图 12 中示出的功率导通复位信号生成电路。

## 实施例 2

在实施例 2 中，说明与不同的电平的外部电源电压对应地同样地维持内部电源电压的控制响应性用的内部电源电路的结构。

首先，使用图 13，说明与外部电源电压电平对应的内部电源电压的设定电平的差别。

参照图 13，在实施例 2 中，作为外部电源电压，考虑 2.5V 系列和比其高的 2.7V 系列这 2 种。

在应用 2.7V 系列外部电源电压时，对外部电源电压 Ext.Vdd (2.7V) 进行降压，将存储器阵列电源电压 VDDS 和外围电路电源电压 VDDP 分别设定为 2.0V 和 2.5V。对外部电源电压 Ext.Vdd (2.7V) 进



行升压，将字线电压 VPP 设定为 3.7V。此外，将衬底电压 VBB 设定为负电压 -1V。

在应用 2.5V 系列外部电源电压时，与应用 2.7V 系列外部电源电压时相同，将存储器阵列电源电压 VDDS、字线电压 VPP 和衬底电压 VBB 分别设定为 2.0V、3.7V 和 -1V。

但是，在外部电源电压 Ext.Vdd 低的 2.5V 系列中，由于因驱动器驱动力的低下而存在妨碍内部电源电压的控制响应性的可能性，故在存储器阵列电源电压发生系统中，谋求比较器和驱动器的响应速度的提高。出于同样的原因，即使在字线电压 VPP 的发生系统中，也必须谋求泵电容器的尺寸增加等，使升压工作速度上升。

在应用 2.5V 系列外部电源电压时，外围电路电源电压 VDDP (2.5V) 可按原样使用外部电源电压 Ext.Vdd。以下，将应用这样的外部电源电压的情况也称为「外部电源电压直接连接模式」。在外部电源电压直接连接模式中，在直接连接供给外围电路电源电压 VDDP 的内部电源布线 118 与外部电源布线的同时，也使该驱动器的尺寸增加，以谋求提高电流供给能力。

其次，说明实施例 2 的外围电路电源电压 VDDP 发生系统的结构。在实施例 2 的结构中，在外围电路电源电压 VDDP 发生系统中，配置参照电压发生电路 410、缓冲电路 412 和内部电源电压发生电路 416，来代替图 6 中示出的参照电压发生电路 110、缓冲电路 112 和内部电源电压发生电路 116。

参照图 14，实施例 2 的参照电压发生电路 410 与图 7 中示出的实施例 1 的参照电压发生电路的结构相比，还具有逻辑门 415，在这一点上是不同的。

逻辑门 415 输出功率削减信号 PCUTE 与控制信号 VD1 的“或”(OR) 运算结果。对 PMOS 晶体管 252 的栅输入逻辑门 415 的输出。

根据外部电源电压 Ext.Vdd 的电压电平来设定控制信号 VD1。具体地说，在应用与外部电源电压直接连接模式对应的外部电源电压时、即在图 13 的例子中应用 2.5V 系列外部电源电压时，将控制信号 VD1 设定为高电平。如已说明的那样，在应用 2.5V 系列外部电源电压时，由于直接结合外部电源电压 Ext.Vdd 与内部电源布线 118 来生成外围电路电源电压 VDDP，故不需要生成参照电压 VREFD0。

在应用比外部电源电压直接连接模式高的外部电源电压的情况下、即在图 13 的例子中应用 2.7V 系列外部电源电压时，将控制信号 VD1 设定为低电平。

5 通过作成这样的结构，PMOS 晶体管 252 除了在深功率下降模式时，即使在通常模式时，也根据被应用的外部电源电压电平而关断。与此相伴，在不需生成参照电压 VREFDO 的外部电源电压直接连接模式中，隔断参照电压发生电路 410 中的工作电流，可削减功耗。

参照图 15，实施例 2 的缓冲电路 412 的结构与图 8 中示出的缓冲电路 112 相同，但在实施例 2 中，工作电流的供给形态不同。

10 对导电性地结合在外部电源电压 Ext. Vdd 与缓冲电路 412 之间的 PMOS 晶体管 210 的栅上供给与图 14 同样的逻辑门 415 的输出。因而，与参照电压发生电路 410 相同，在不需生成参照电压 VREFP 的外部电源电压直接连接模式中，隔断缓冲电路 412 的工作电流，可削减功耗。

15 参照图 16，实施例 2 的内部电源电压发生电路 416 具有：比较器 430；PMOS 晶体管 432；NMOS 晶体管 434；逻辑门 436、437；倒相器 438；以及内部电源电流供给部 440。内部电源电流供给部 440 具有驱动晶体管 442、445。

20 比较器 430 放大与外围电路电源电压 VDDP 对应的参照电压 VREFP 与外围电路电源电压 VDDP 的电压差，输出给节点 N8。具体地说，在  $VDDP > VREFP$  的情况下，将节点 N8 的电压设定于高电平（外部电源电压 Ext. Vdd）一侧，在  $VDDP < VREFP$  的情况下，将节点 N8 的电压设定于低电平（接地电压 Vss）一侧。

25 PMOS 晶体管 432 导电性地结合在外部电源电压 Ext. Vdd 与比较器 430 之间。NMOS 晶体管 434 导电性地结合在节点 N8 与接地电压 Vss 之间。

30 逻辑门 436 将控制信号 VD1 与测试模式信号 TMDV 的“或”（OR）运算结果供给 PMOS 晶体管 432 的栅。在工作测试时，在试验性地执行与外部电源电压直接连接模式对应的电路工作时，将测试模式信号 TMDV 激活为高电平。

逻辑门 437 与逻辑门 436 同样，输出控制信号 VD1 与测试模式信号 TMDV 的“或”（OR）运算结果。将逻辑门 437 的输出供给 NMOS 晶

晶体管 434 的栅。

驱动晶体管 442 具有与节点 N8 连接的栅，被导电性地连接在外部电源布线 90 与内部电源布线 118 之间。驱动晶体管 445 与驱动晶体管 442 并联地被导电性地连接在外部电源布线 90 与内部电源布线 118 之间。驱动晶体管 442 和 445 由 PMOS 晶体管构成。对驱动晶体管 445 的栅输入由倒相器 438 反转了的逻辑门 437 的输出。

通过作成这样的结构，由于在通常工作时将测试模式信号 TMDV 设定为低电平，故在应用比外部电源电压直接连接模式高的 2.7V 系列外部电源电压（控制信号 VD1 为低电平）的情况下，将逻辑门 436 和 437 的输出设定为低电平。因而，PMOS 晶体管 432 导通，NMOS 晶体管 434 关断。再者，也使驱动晶体管 445 强制性地关断。因而，根据节点 N8 的电压、即比较器 430 的电压比较结果，驱动晶体管 442 从外部电源布线 90 对内部电源布线 118 供给内部电源电流。

与此不同，在应用与外部电源电压直接连接模式对应的 2.5V 系列外部电源电压（控制信号 VD1 为高电平）的情况下，将逻辑门 436 和 437 的输出设定为高电平。因而，PMOS 晶体管 432 关断，NMOS 晶体管 434 导通。

其结果是，在隔断比较器 430 的工作电流的同时，将节点 N8 固定为接地电压 Vss。其结果是，并联地配置的驱动晶体管 442 和 445 这两者被强制性地导通，通过连接外部电源布线 90 与内部电源布线 118，供给内部电源电流。

其结果是，即使在外部电源电压低、驱动晶体管的电流供给能力相对地降低的外部电源电压直接连接模式中，也维持驱动晶体管 442 和 445 的电流供给能力之和。其结果是，可同样确保外围电路电源电压 VDDP 的控制响应性。

此外，在工作测试时将测试模式信号 TMDV 设定为高电平的情况下，由于逻辑门 436 和 437 的输出强制性地变化为高电平，故可试验性地执行与通常工作时的外部电源电压直接连接模式同样的电路工作。

参照图 17，实施例 2 的内部电源电压发生电路 426 包含：比较器 450；控制比较器 450 的工作电流用的 NMOS 晶体管 452、454、456；传输门 459；内部电源电流供给部 460；逻辑门 457、466；倒相器 467；

以及 PMOS 晶体管 468。内部电源电流供给部 460 具有驱动晶体管 462 和 465。

5 比较器 450 放大对应于存储器阵列电源电压  $V_{DD5}$  的参照电压  $V_{REF5}$  与存储器阵列电源电压  $V_{DD5}$  的电压差，输出给节点 N9。具体地说，在  $V_{DD5} > V_{REF5}$  的情况下，将节点 N9 的电压设定于高电平（外部电源电压  $Ext. V_{dd}$ ）一侧，在  $V_{DD5} < V_{REF5}$  的情况下，将节点 N9 的电压设定于低电平（接地电压  $V_{ss}$ ）一侧。

10 NMOS 晶体管 452、454、456 被并联地结合在比较器 450 与接地电压  $V_{ss}$  之间。对 NMOS 晶体管 452 的栅输入逻辑门 457 的输出。逻辑门 457 具有输出控制信号  $VD1$  与测试模式信号  $TMDV$  的“或”（OR）运算结果的“或”门和输出该“或”门的输出与控制信号  $SREF$  的反转信号之间的“与”（AND）运算结果的“与”门。控制信号  $SREF$  在自刷新指令的执行时被设定为高电平，在除此以外的期间内被设定为低电平。

15 通过作成这样的结构，将 NMOS 晶体管 452 的栅电压在自刷新指令的执行时被强制性地设定为低电平（接地电压  $V_{ss}$ ）。在自刷新指令的执行时以外，在控制信号  $VD1$  或测试模式信号  $TMDV$  被设定为高电平时、即在应用与外部电源电压直接连接模式对应的 2.5V 系列外部电源电压时，或在工作测试时指示了规定的工作测试时，将 NMOS 晶体管 452  
20 的栅电压设定为高电平（外部电源电压  $Ext. V_{dd}$ ）。

对 NMOS 晶体管 454 的栅输入控制信号  $SREF$ 。其结果是，NMOS 晶体管 454 在自刷新指令的执行时被关断，在除此以外的期间内被导通。对 NMOS 晶体管 456 的栅输入控制电压  $\phi 1$ 。由此，NMOS 晶体管 456 对比较器 450 一直供给微小电流。

25 因而，在自刷新指令的执行时，只由 NMOS 晶体管 456 供给比较器 450 的工作电流。在自刷新指令的执行时以外，在应用比外部电源电压直接连接模式高的外部电源电压的情况下，利用 NMOS 晶体管 454 和 456 供给比较器 450 的工作电流。在应用与外部电源电压直接连接模式对应的外部电源电压的情况下，利用 NMOS 晶体管 452、454 和 456 供给  
30 比较器 450 的工作电流。

通过作成这样的结构，在外部电源电压直接连接模式中的比较器 450 的响应速度比应用比外部电源电压直接连接模式高的外部电源电

压的情况提高了。此外，在自刷新指令的执行时，可减少比较器 450 的工作电流来削减功耗。这是因为，在自刷新指令的执行时，由于存储器阵列部 10 中的功耗少，故对存储器阵列电源电压 VDD5 要求的控制响应性不严格。

5 驱动晶体管 462 和 465 分别由并联连接在外部电源布线 90 与内部电源布线 128 之间的 PMOS 晶体管构成。驱动晶体管 462 的栅与节点 N9 连接。驱动晶体管 465 的栅经传输门 459 与节点 N9 连接。再者，驱动晶体管 465 的栅经 PMOS 晶体管 468 也与外部电源电压 Ext. Vdd 导电性地结合。

10 传输门 459 响应于逻辑门 466 的输出而导通/关断。具体地说，在控制信号 VD1 或测试模式信号 TMDV 被设定为高电平的情况下，传输门 459 导通。另一方面，在控制信号 VD1 和测试模式信号 TMDV 这两者被设定为低电平的情况下，传输门 459 关断。

PMOS 晶体管 468 导电性地结合在外部电源电压 Ext. Vdd 与驱动晶体管 465 的栅之间，在栅上接受逻辑门 466 的输出。

15 通过作成这样的结构，在应用比外部电源电压直接连接模式高的外部电源电压的情况下，PMOS 晶体管 468 导通，另一方面，传输门 459 被关断。因而，由于驱动晶体管 465 被强制地关断，故根据节点 N9 的电压，由驱动晶体管 462 从外部电源布线 90 对内部电源布线 128 供给内部电源电流。

20 与此不同，在外部电源电压直接连接模式中，传输门 459 导通，另一方面，PMOS 晶体管 468 被关断。其结果是，节点 N9 与驱动晶体管 462 和 465 的栅连接。因而，由于利用联配置的驱动晶体管 462 和 465 能以同样的电流供给能力供给内部电源电流，故即使在驱动晶体管的电流驱动力相对地降低的外部电源电压直接连接模式中，也能维持存储器阵列电源电压 VDD5 的控制响应性。

此外，在工作测试时，由于通过将测试模式信号 TMDV 设定为高电平可将逻辑门 457 和 466 的输出设定为高电平，故可试验性地执行外部电源电压直接连接模式的电路工作。

30 再者，在实施例 2 的结构中，配置电压升压电路 470 来代替图 6 中示出的电压升压电路 136。

参照图 18，实施例 2 的电压升压电路 470 包含：非常时用检测部

500; 激活时用检测部 510; 备用时用检测部 520; 激活检测部控制电路 530; 升压单元控制电路 545; 激活升压单元 550; 以及备用升压单元 570。

5 非常时用检测部 500 在工作时, 在字线电压 VPP 比对应的参照电压 VREFD 低了时, 将检测信号 LOWE 激活为高电平。激活时用检测部 510 和备用时用检测部 520 与非常时用检测部 500 同样地工作, 在各自的工作时, 在字线电压 VPP 比对应的参照电压 VREFD 低了时, 分别将对检测信号 LOWN 和 LOWS 激活为高电平。

10 备用时用检测部 520 在激活时和备用时一直在工作。非常时用检测部 500 除了自刷新指令的执行期间外, 响应于备用时用检测部 520 的检测信号 LOWS 的激活而工作。激活时用检测部 510 响应于检测部激活信号 ACTe 的激活 (激活时) 而工作。

15 激活检测部控制电路 530 在内部时钟启动信号 INTCKE 的高电平期间或自刷新指令的执行期间中, 响应于控制信号 ACTOR 或检测信号 LOWN 的激活期间 (高电平), 将检测部激活信号 ACTe 设定为激活状态 (高电平)。

20 升压单元控制电路 545 根据来自非常时用检测部 500 和激活时用检测部 510 的每一个的检测信号 LOWE 和 LOWN 以及控制信号 ACTOR, 生成使激活升压单元 550 工作用的启动信号/PMe。激活升压单元 550 在启动信号/PMe 的激活期间内工作。

25 升压单元控制电路 545 在检测信号 LOWE 的激活期间内, 激活启动信号/PMe。再者, 升压单元控制电路 545 使检测信号 LOWN 被激活为高电平的情况下, 以控制信号 ACTOR 或检测信号 LOWN 被激活为高电平为条件, 激活启动信号/PMe。此时, 在检测信号 LOWN 被非激活 (低电平) 之前的期间内, 一度已被激活的启动信号/PMe 被维持为激活状态。

激活升压单元 550 具有: 环形振荡器 555; 分频电路 560; 以及并联配置的泵电路 600a、600b。

30 环形振荡器 555 响应于启动信号/PMe 的激活而工作, 生成振荡信号 PCLK0。分频电路 560 对振荡信号 PCLK0 进行分频, 生成周期 Tc2 的泵时钟 PCLK。

泵电路 600a、600b 响应于泵时钟 PCLK, 利用充电泵工作对外部电源电压 Ext. Vdd 进行升压, 对内部电源布线 138 输出字线电压 VPP。

备用升压单元 570 具有环形振荡器 575 和泵电路 610。环形振荡器 575 响应于备用时用检测部 520 的检测信号 LOWS 的激活而被设定为工作状态，生成具有周期  $T_{c1}$  ( $>T_{c2}$ ) 的泵时钟。泵电路 610 响应于环形振荡器 575 生成的泵时钟，对外部电源电压 Ext. Vdd 进行升压，  
5 在内部电源布线 138 上生成字线电压 VPP。

将在激活升压单元 550 中使用的泵时钟的周期设定得比在备用升压单元 570 中使用的泵时钟的周期短。此外，将激活升压单元 550 内的充电泵电容器的电容设计成比备用升压单元 570 内的充电泵电容器的电容大。因而，激活升压单元 550 虽然其功耗相对地较大，但可高  
10 速地进行升压工作。另一方面，备用升压单元 570 的升压工作的速度较低，但功耗小。

其次，详细地说明电压升压电路 470 的各部分的电路结构。

参照图 19，环形振荡器 555 具有连接成循环状的  $2n+1$  级 ( $n$ :  
自然数)的倒相器 556。对于倒相器 556 的每一个，响应于启动信号/PMe  
15 的激活，供给外部电源电压 Ext. Vdd。再者，在邻接的倒相器 556 相互间，例如设置由扩散电阻形成的延迟元件 558。

通过作成这样的结构，可抑制对于由环形振荡器 555 产生的振荡信号 PCLK0 的周期的电压依存性。即，即使在应用不同的电平的外部电源电压 Ext. Vdd 的情况下，也能抑制振荡信号 PCLK0 的周期的变动。  
20 其结果是，可抑制对于内部电源电压的控制的外部干扰。

其次，说明非常时用检测部 500、激活时用检测部 510 和备用时用检测部 520 的结构。由于这些检测部的结构是同样的，故在图 20 中，代表性地说明非常时用检测部 500 的结构。

参照图 20，非常时用检测部 500 具有 PMOS 晶体管 501~503 和  
25 NMOS 晶体管 504~506。

PMOS 晶体管 501 被导电性地结合在外部电源电压 Ext. Vdd 与节点 N10 之间，在栅上接受功率削减信号 PCUTE。PMOS 晶体管 502 和 503 分别导电性地连接在节点 N10、节点 N11 和 N13 之间。PMOS 晶体管 502 和 503 的栅与节点 N11 连接。

30 NMOS 晶体管 504 和 505 分别导电性地连接在节点 N11 和 N13 与节点 N12 之间。对 NMOS 晶体管 504 的栅输入与字线电压对应的参照电压 VREFD。对 NMOS 晶体管 505 的栅输入字线电压 VPP。晶体管 506 导电

性地结合在节点 N12 与接地电压  $V_{SS}$  之间。对晶体管 506 的栅输入工作状态控制信号。

5 在非常时用检测部 500 中，根据控制信号 SREF 的反转信号/SREF 与检测信号 LOWS 的“与”运算结果，生成工作状态控制信号。因而，除了控制信号/SREF 被设定为低电平的期间、即自刷新的执行期间外，在检测信号 LOWS 的激活期间（高电平）中，可使 NMOS 晶体管 506 导通，供给非常时用检测部 500 的工作电流。

10 此外，如已说明的那样，在深功率下降模式中，由于没有必要生成字线电压  $V_{PP}$ ，故响应于功率削减信号 PCUTE，PMOS 晶体管 501 被截止，非常时用检测部 500 的工作被停止，可谋求功耗的削减。

在工作电流的供给时，非常时用检测部 500 放大字线电压  $V_{PP}$  和与之对应的参照电压  $V_{REFD}$  的电压差，作为检测信号 LOWE 输出给节点 N13。即，在字线电压  $V_{PP}$  比对应的参照电压  $V_{REFD}$  低的情况下，检测信号 LOWE 被激活为高电平。

15 在激活时用检测部 510 中，被输入到 NMOS 晶体管 506 的栅的工作状态控制信号相当于来自激活检测部控制电路 530 的检测部激活信号 ACTE。同样，在备用时用检测部 520 中，总是将工作状态控制信号设定为高电平。

20 激活时用检测部 510 和备用时用检测部 520 的其它的部分的电路结构与非常时用检测部 500 相同，在深功率下降模式中，通过隔断工作电流来削减功耗。

再次参照图 18，泵电路 600a 和 600b 具有同样的结构，可根据外部电源电压  $Ext.V_{DD}$  的电平，切换其升压工作。

再有，以下，在总称泵电路 600a 和 600b 时，也称为泵电路 600。

25 参照图 21，泵电路 600 包含：升压工作部 620，接受泵时钟 PCLK（振幅  $Ext.V_{DD}$ ），在节点 Nb0 上生成升压电压；传递晶体管 630，导电性地连接在节点 Nb0 与内部电源布线 138 之间；以及栅升压部 640，用来对晶体管 630 的栅电压进行升压。

30 升压工作部 620 具有：逻辑门 622、624；PMOS 晶体管 626；NMOS 晶体管 628；以及泵电容器 C1、C2。

逻辑门 622 输出控制信号 PDB 与泵时钟 PCLK 的“与非”（NAND）运算结果。逻辑门 624 输出控制信号 PDB 与泵时钟 PCLK 的“与”（AND）



运算结果。控制信号 PDB 在打算实现升压工作的高速化的情况下（以下，也称为「双升压时」），被激活为高电平，在除此以外的情况下（以下，也称为「单升压时」），被设定为低电平。

5 PMOS 晶体管 626 导电性地结合在外部电源电压 Ext.Vdd 与节点 Npc 之间。NMOS 晶体管 628 导电性地结合在节点 Npc 与接地电压 Vss 之间。对晶体管 626 的栅输入逻辑门 622 的输出。对晶体管 628 的栅输入逻辑门 624 的输出。

泵电容器 C1 连接在被输入泵时钟 PCLK 的节点 Ni 与节点 Nb0 之间。泵电容器 C2 连接在节点 Npc 与节点 Nb0 之间。

10 在双升压时，逻辑门 622 和 624 输出泵时钟 PCLK 的反转时钟。其结果是，作为传递泵时钟 PCLK 用的倒相器工作的 PMOS 晶体管 626 和 NMOS 晶体管 628 被设定为工作状态，对节点 Npc 输出与泵时钟 PCLK 相位相同的时钟信号。因而，在升压工作部 620 中，使用并联连接的泵电容器 C1 和 C2 来执行升压工作。其结果是，由于利用 1 次泵工作  
15 蓄积的电荷量增加，故可使对内部电源布线 138 供给的内部电源电流增加，可相对地提高升压工作速度。

另一方面，在单升压时，分别将逻辑门 622 和 624 的输出固定为高电平和低电平。因而，PMOS 晶体管 626 和 NMOS 晶体管 628 这两者被关断，节点 Npc 成为高阻抗状态。因而，在单升压时，只由泵电容  
20 器 C1 执行升压工作。

通过作成这样的结构，利用充电泵工作从泵电路 600 供给的内部电源电流，在双升压时比在单升压时相对地增多。

25 传递晶体管 630 根据节点 Nb2 的电压、即栅电压，导电性地连接节点 Nb0 与内部电源布线 138。为了将由升压工作部 620 对节点 Nb0 供给的电荷传递给内部电源布线 138，必须与由升压工作部 620 进行的充电泵工作同步地使节点 Nb2 升压。

栅升压部 640 具有：升压单元 650；对升压单元 650 供给子时钟 Pc 的子时钟生成部 655；供给子时钟 Pd 的子时钟生成部 660；导电性地连接在子时钟生成部 660 与节点 Nb1 之间的电容器 670；倒相器  
30 675；连接在倒相器 675 的输出节点与节点 Nb2 之间的电容器 680；以及对于节点 Nb2 设置的升压单元 690。

升压单元 650 具有：导电性地结合在外部电源电压 Ext.Vdd 与节

点 Nb1 之间的 NMOS 晶体管 652; 导电性地连接在子时钟生成部 655 与 NMOS 晶体管 652 的栅之间的电容器 654; 以及导电性地结合在外部电源电压 Ext. Vdd 与 NMOS 晶体管 652 的栅之间的 NMOS 晶体管 656。对 NMOS 晶体管 656 的栅输入外部电源电压 Ext. Vdd。

- 5 子时钟生成部 655 根据基于泵时钟 PCLK 生成的子时钟 Pa 和控制信号 PDB, 生成子时钟 Pc。子时钟生成部 660 同样根据子时钟 Pa 和控制信号 PDB, 生成子时钟 Pd。

10 倒相器 675 根据子时钟 Pa, 将节点 Nb1 和接地电压 Vss 的某一个与节点 N12 导电性地结合。升压单元 690 响应于子时钟 Pb 执行升压工作, 对外部电源电压 Ext. Vdd 进行升压, 传递给节点 Nb2。子时钟 Pb 相当于泵时钟 PCLK 的反转时钟。

15 升压单元 690 具有: 导电性地结合在外部电源电压 Ext. Vdd 与节点 Nb2 之间的 NMOS 晶体管 692; 与 NMOS 晶体管 692 的栅连接并接受子时钟 Pb 的供给的电容器 694; 导电性地结合在外部电源电压 Ext. Vdd 与节点 Nb0 之间的 NMOS 晶体管 695; 以及导电性地结合在外部电源电压 Ext. Vdd 与 NMOS 晶体管 692 的栅之间的 NMOS 晶体管 696。NMOS 晶体管 695 的栅与 NMOS 晶体管 692 的栅连接。对 NMOS 晶体管 696 的栅输入外部电源电压 Ext. Vdd。

20 升压单元 690 还具有串联连接在外部电源电压 Ext. Vdd 与 NMOS 晶体管 692 的栅之间的 NMOS 晶体管 697 和 698。NMOS 晶体管 697 和 698 的每一个被连接成二极管。利用 NMOS 晶体管 695、697 和 698 来防止 NMOS 晶体管 692 的栅电压的过度升压。

其次, 使用图 22A 和图 22B, 说明泵电路 600 的工作。

在图 22A 中示出控制信号 = 低电平、即单升压时的工作。

- 25 参照图 22A, 子时钟 Pb 相当于泵时钟 PCLK 的反转时钟。子时钟 Pa 与子时钟 Pb 相比, 虽然其下降沿延迟了, 但上升沿是对齐的。在单升压时, 利用子时钟生成部 655 生成子时钟 Pc, 作为与子时钟 Pa 相比其极性反转了的时钟。此外, 在单升压时, 将子时钟 Pd 固定为低电平 (接地电压 Vss)。

- 30 因而, 在单升压时, 将节点 Nb1 的电压 VNb1 固定为 Ext. Vdd。因而, 节点 Nb2 的电压 VNb2 响应于子时钟 Pa, 被升压成在 Ext. Vdd 与  $2 \cdot \text{Ext. Vdd}$  之间摆动。由此, 由升压工作部 620 在节点 Nb0 上生成的

升压电压  $V_{Nb0}$  经传递晶体管 630 被传递给内部电源布线 138。

在图 22B 中，示出在双升压时的泵电路 600 的工作。

参照图 22B，在双升压时，利用子时钟生成部 655 将子时钟  $P_c$  设定为与子时钟  $P_a$  相位相同的时钟。此外，在双升压模式时，子时钟生成部 660 将子时钟  $P_d$  设定为子时钟  $P_a$  的反转时钟。

通过作成这样的结构，节点  $Nb1$  的电压  $V_{Nb1}$  被升压成在  $Ext.V_{dd}$  与  $2 \cdot Ext.V_{dd}$  之间摆动。响应于此，节点  $Nb2$  的电压  $V_{Nb2}$  也被升压成在  $Ext.V_{dd}$  与  $3 \cdot Ext.V_{dd}$  之间摆动。即，与单升压时相比，可增加传递晶体管 630 的栅电压中的升压量。

因而，在双升压时，利用传递晶体管 630 将由升压工作部 620 供给节点  $Nb0$  的电荷传递给内部电源布线 138，可相对地加快字线电压  $V_{PP}$  的升压速度。

通过作成这样的结构，在外部电源电压相对地被设定得较低（例如，应用 2.5V 系列外部电源电压时）的情况下，使泵电路 600 以双升压方式工作，在外部电源电压相对地高的情况（例如，应用 2.7V 系列外部电源电压时）下，使泵电路 600 以单升压方式工作，由此，可与不同的电平的外部电源电压的应用对应地维持字线电压  $V_{PP}$  的控制响应性。具体地说，根据被应用的外部电源电压的电平来设定控制信号  $PDB$  即可。

此外，如果作成控制信号  $PDB$  与在工作测试时输入被设定为高电平的测试控制信号的“或”运算结果来代替控制信号  $PDB$  的结构，则可试验性地执行双升压时的电路工作。

再次参照图 18，关于在备用升压单元 570 中使用的泵电路 610，作为从图 21 中示出的泵电路 600 的结构，在升压工作部 620 中省略了逻辑门 622、624、晶体管 626、628 和泵电容器  $C2$  的配置的结构来应用。再者，将泵电容器  $C1$  的电容设定得比泵电路 600 为小。在泵电路 610 中，由于不要求高速的响应性，故作成了不具备与外部电源电压的电平对应的充电泵电容器电容的切换功能的结构。

如以上已叙述的那样，在实施例 2 的结构中，通过与不同的电平的外部电源电压的应用对应地切换内部电源电路中的内部电源电流的供给工作，即使在应用相对较低的外部电源电压的情况下，也能确保内部电源电压的控制响应性。

### 实施例 3

在本发明的实施例的半导体存储器中，具有对于 I/O 信号电平和外部电源电压可应用多个电压电平的结构。其结果是，可使对于被应用的 I/O 信号电平和外部电源电压电平不同的半导体存储器的设计成为通用的设计。

如已说明的那样，在使用了这样的通用的设计的情况下，根据被应用的 I/O 信号电平和外部电源电压的电平等的工作条件，以固定的方式设定切换内部电源电路的工作状态用的控制信号的电平。在实施例 3 中，说明能从半导体存储器外部容易地检测已被应用的工作条件的结构。

参照图 23，实施例 3 的测试模式控制电路 700 具有响应于构成地址信号的地址位  $A_0 \sim A_m$  ( $m$ : 自然数) 的组合、检测指示了特定的工作测试的情况的测试模式进入电路 702、704、706。

测试模式进入电路 702、704、706 的每一个是用来进入共同的工作测试的电路。但是，在测试模式进入电路 702、704、706 的每一个中，被检测工作测试指示的地址位的组合不同。测试模式进入电路 702、704、706 的每一个分别响应于地址位  $A_0 \sim A_m$  的不同的特定的组合，在检测了工作测试指示的情况下，输出高电平信号。测试模式进入电路 702 输出测试进入信号 TEa。

测试模式控制电路 700 还具有逻辑门 710、720、730 和 740。逻辑门 710 将测试模式进入电路 704 的输出信号与控制信号 LVVD 的“与非”结果作为测试进入信号 TEb 来输出。控制信号 LVVD 例如在外部电源电压被设定为特定的电平的情况下，被设定为低电平，在除此以外的情况下，被设定为高电平。

逻辑门 720 将测试模式进入电路 706 的输出信号与控制信号 LVIO 的“与非”结果作为测试进入信号 TEc 来输出。控制信号 LVIO 例如在 I/O 信号电平被设定为特定的电平的情况下，被设定为低电平，在除此以外的情况下，被设定为高电平。

逻辑门 730 输出测试进入信号 TEb 与 TEc 的“与非”运算结果。逻辑门 740 将逻辑门 730 的输出信号与测试进入信号 TEa 的“或”运算结果作为控制信号 TMS 来输出。响应于控制信号 TMS 的朝向高电平的激活，启动与测试模式进入电路 702、704、706 对应的工作测试。

在控制信号 LVVD 被设定为低电平的情况下，不管测试模式进入电路 704 的输出信号如何，测试进入信号 TEb 被固定为高电平。其结果，即使在供给了与测试模式进入电路 704 对应的地址位 A0 ~ Am 的特定的组合的情况下，朝向对应的特定的工作测试的进入也由于逻辑门 730 的缘故而成为无效。即，不能启动该工作测试。

相反，在控制信号 LVVD 被设定为高电平的情况下，在输入了与测试模式进入电路 704 对应的地址位 A0 ~ Am 的组合的情况下，测试进入信号 TEb 变化为低电平。因而，可将控制信号 TMS 激活为高电平。

因而，在供给了与测试模式进入电路 704 对应的地址位 A0 ~ Am 的特定的组合的情况下，通过检验控制信号 TMS 是否被激活、即是否能启动特定的工作测试，可判定被应用的外部电源电压是否是特定的电平。

同样，在供给了与测试模式进入电路 706 对应的地址位 A0 ~ Am 的特定的组合的情况下，通过检验控制信号 TMS 是否被激活、即是否能启动特定的工作测试，可判定被应用的 I/O 信号电平是否是特定的电平。

此外，即使在控制信号 LVVD 和 LVIO 这两者被设定为低电平的情况下，通过供给激活测试进入信号 TEa 用的与测试模式进入电路 702 对应的地址位 A0 ~ Am 的特定的组合，也能启动与控制信号 TMS 对应的特定的工作测试。

#### 实施例 3 的变例

在实施例 3 的变例中，说明简单地判定是否应用了与在实施例 2 中已说明的外部电源电压直接连接模式对应的外部电源电压用的结构。

参照图 24，实施例 3 的变例的外部电源电压电平检测电路 760 具有：晶体管开关 765，用来在工作测试时导电性地连接在外部焊区 750 与节点 Np 之间；以及晶体管开关 767，导电性地结合在节点 Np 与接地电压 Vss 之间。

晶体管开关 765 由在栅上接受测试控制信号/TE 的 PMOS 晶体管构成。为了确认内部电源电压发生电路 416 的工作，在由外部焊区 750 直接输入参照电压 VREFP 的工作测试执行时，将测试控制信号/TE 激活为低电平。

内部电源电压发生电路 416 抽出图 16 中示出的结构中的一部分加以标记，该电路接受外部电源电压 Ext.Vdd，生成外围电路电源电压 VDDP。如上所述，在外部电源电压直接连接模式中，由于将控制信号 LVVD 设定为高电平，故利用驱动晶体管 445 直接结合外部电源电压 Ext.Vdd 与内部电源布线 118。即，不进行比较器 430 中的电压比较工作，将外围电路电源电压 VDDP 设定为与外部电源电压 Ext.Vdd 相同的电压电平。

VREFP 发生电路 770 是总括地示出了在图 14 和图 15 中分别示出的与外围电路电源电压 VDDP 对应的参照电压发生电路 410 和缓冲电路 412 的电路。即，在将控制信号 LVVD 设定为高电平的外部电源电压直接连接模式中，VREFP 发生电路的工作电流被隔断，对于节点 Np 的参照电压 VREFP 的生成被停止。

在测试控制信号/TE 被激活为低电平的情况下，如果将控制信号 LVVD 设定为高电平，即在应用了外部电源电压直接连接模式的情况下，则对于外部焊区 750 产生漏泄电流。因而，通过检测在外部焊区 750 上产生的漏泄电流，可容易地判定被应用的外部电源电压的电平是否与外部电源电压直接连接模式相对应。

以上，参照附图详细地说明了本发明，但这些说明始终是例示性的，而不是在任何意义上限定本发明，本发明的要旨和范围只由后附的权利要求书来限定，包含与权利要求的范围均等的意义和范围内的全部的变更。

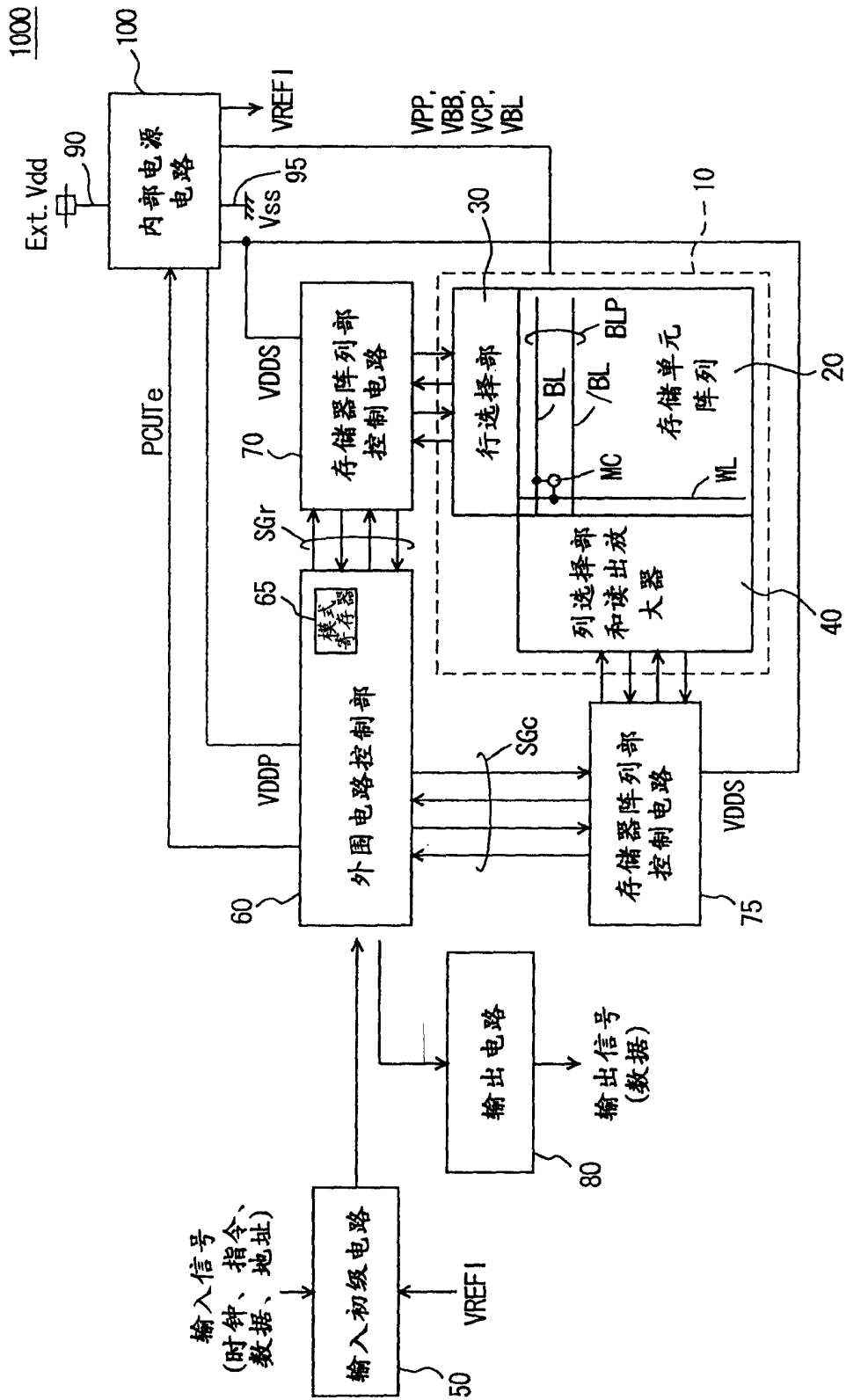


图 1

电源名	通常模式	深功率下降模式
VDDP	Ext. Vdd (2.5V 系列)	Ext. Vdd
	2.5V (2.7V 系列)	Ext. Vdd-Vtn
VDDS	2.0V	Ext. Vdd-Vtn
VBL, VCP	1.0V	开路
VBB	-1.0V	0V (Vss)
VPP	3.7V	Ext. Vdd (或 Ext. Vdd-Vtn)

图 2

BA1	BA0	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
0	0	0	0	WM	0	0	LTMODE		BT	BL			

使用于深功率下降模式的进入

图 3

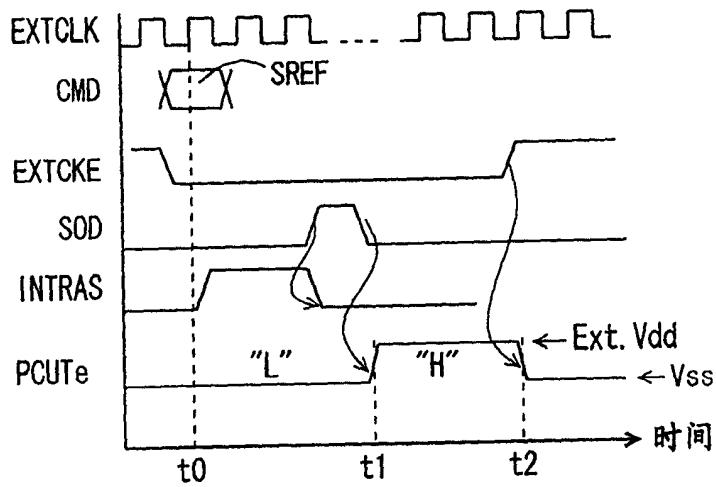


图 4



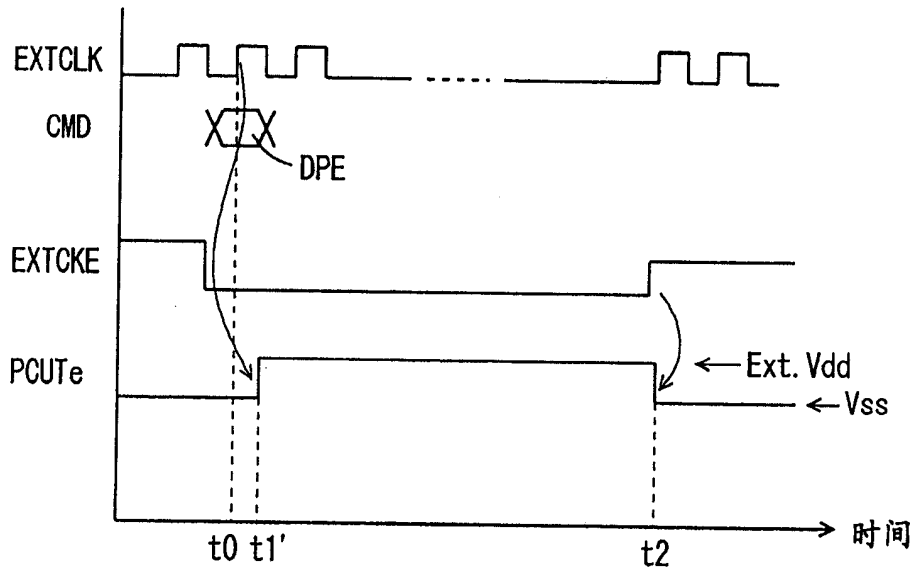


图 5

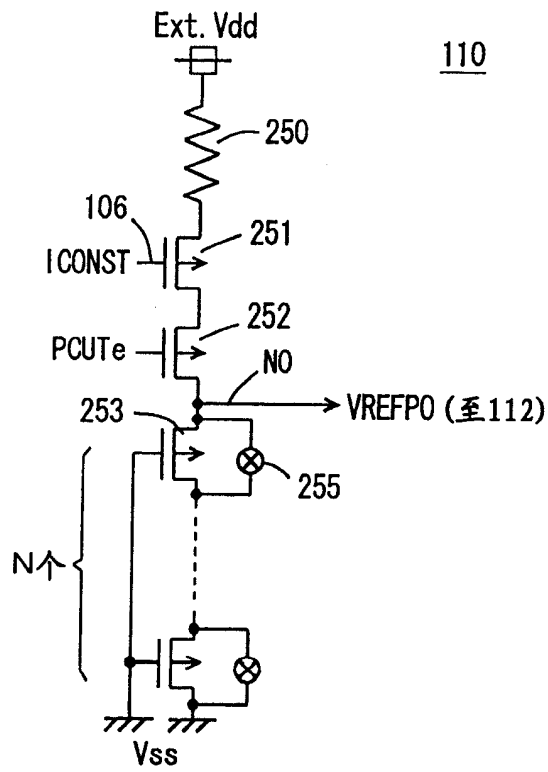


图 7

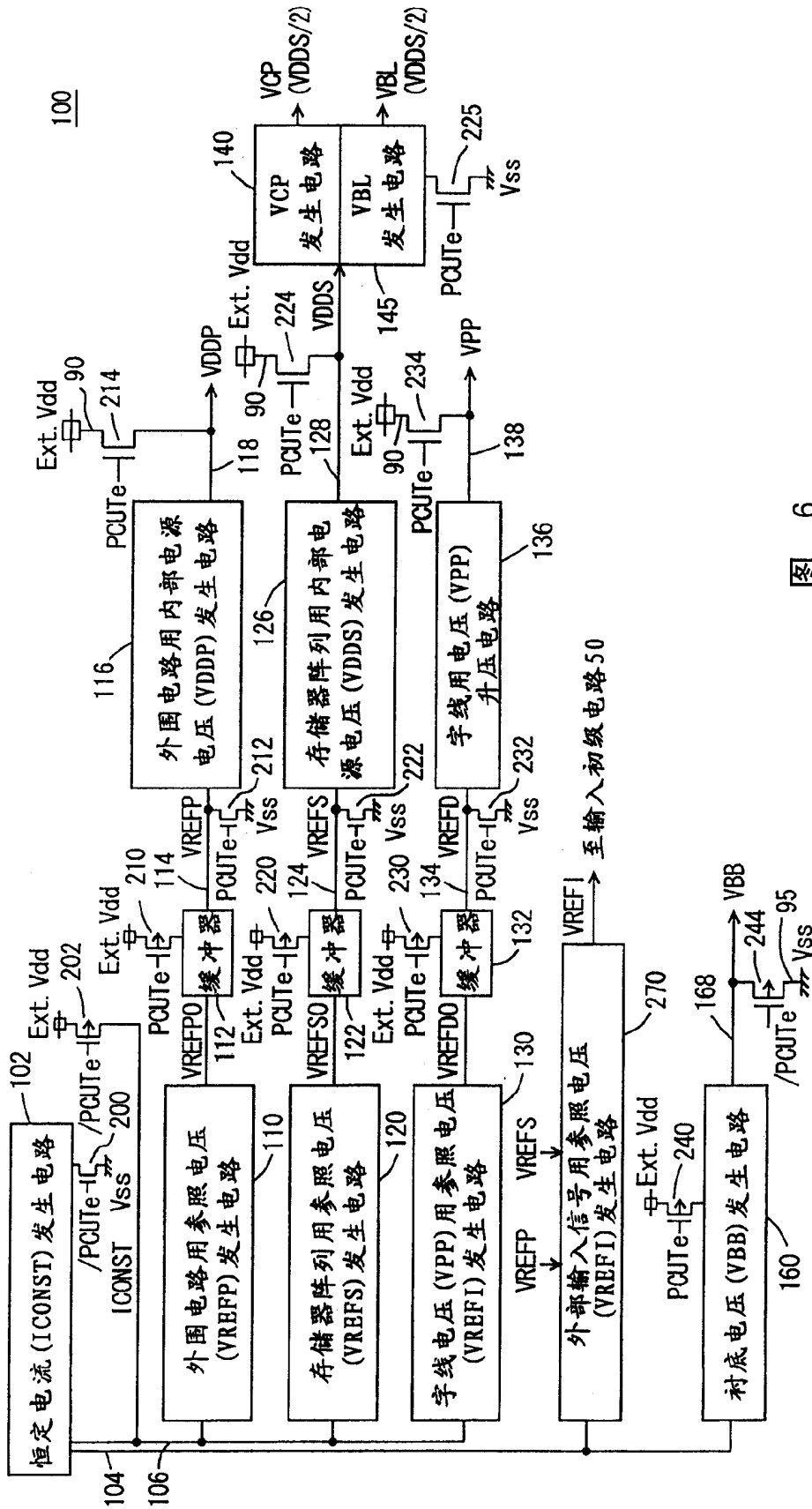


图 6

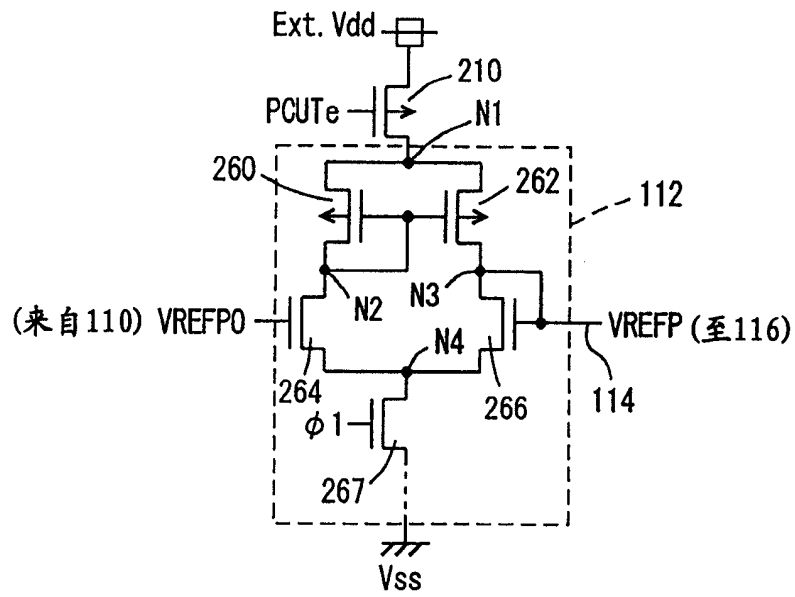


图 8

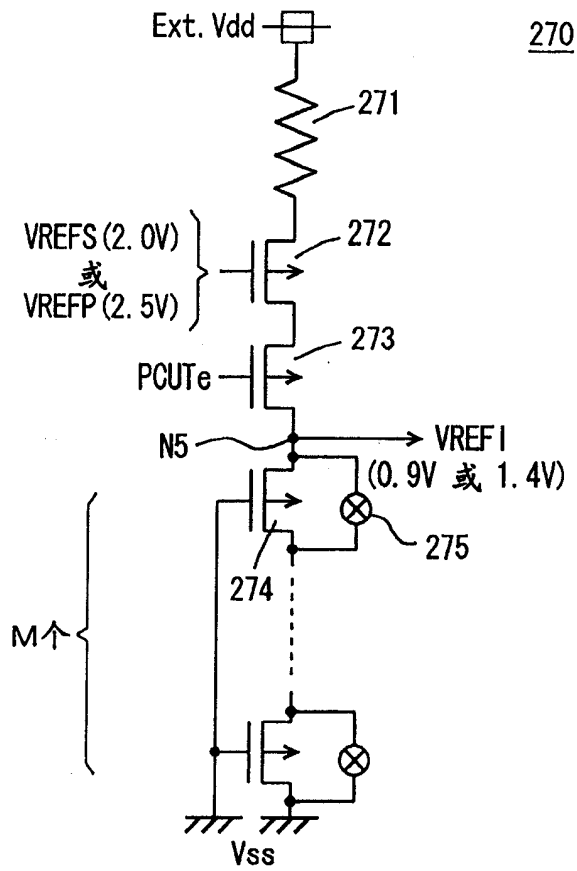


图 9

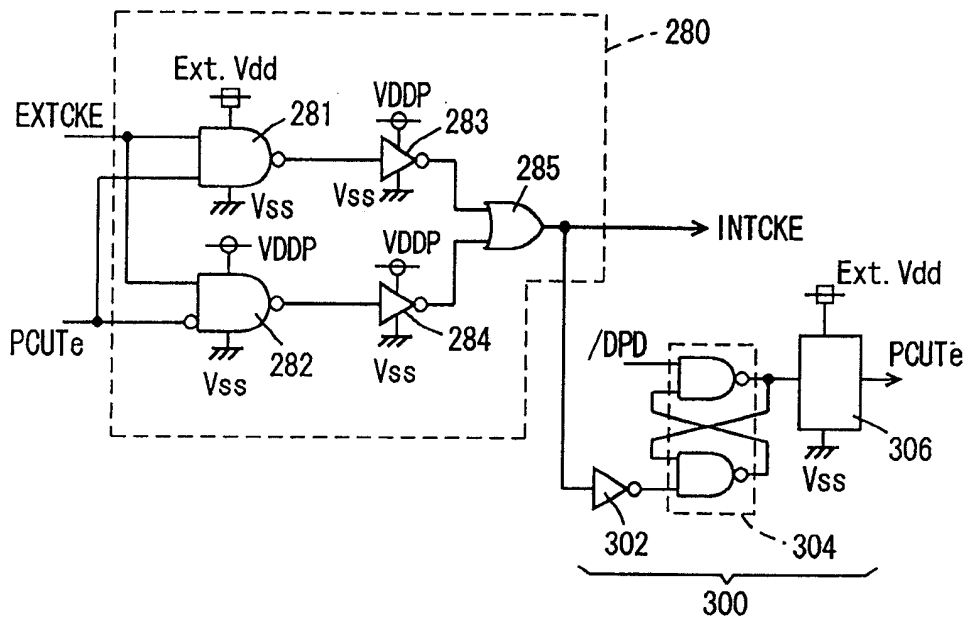


图 10

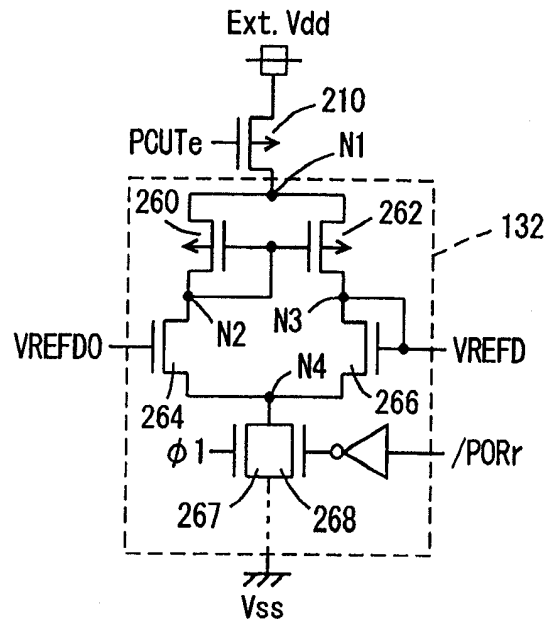


图 11

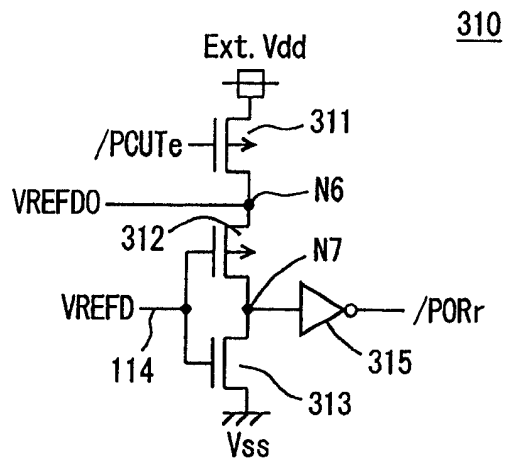


图 12

电源名	2.5V系列 Ext. Vdd	2.7V系列 Ext. Vdd	因Ext. Vdd电平引起的差别
VDD5	2.0V	2.0V	在205V系列中,提高比较器和驱动器的快速响应性
VDDP	Ext. Vdd	2.5V	在205V系列中,在经驱动器直接结合Ext. Vdd与VDDP布线的时候,将驱动器的尺寸增加2倍以上
VPP	3.7V	3.7V	在205V模式时,增加激活系电容器的尺寸.或与备用、激活一起对栅进行2级升压
VBB	-1V	-1V	相同

图 13

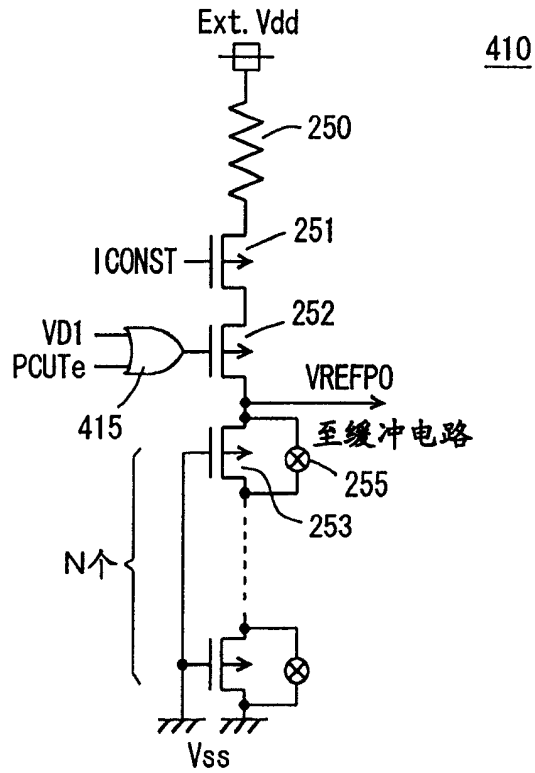


图 14

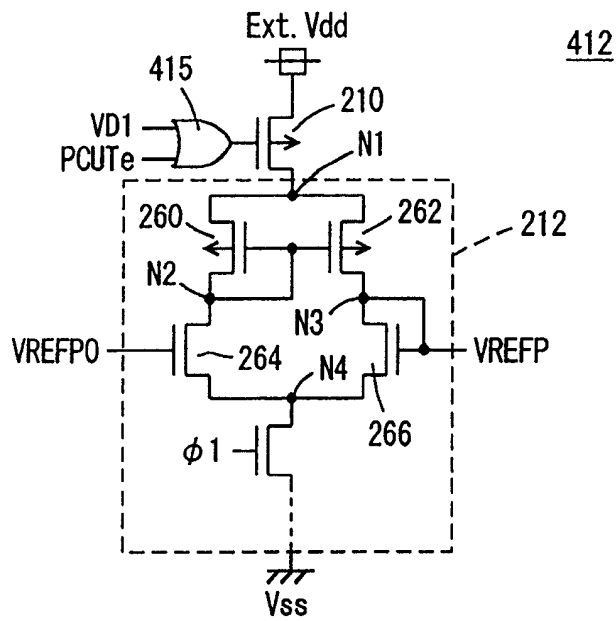


图 15

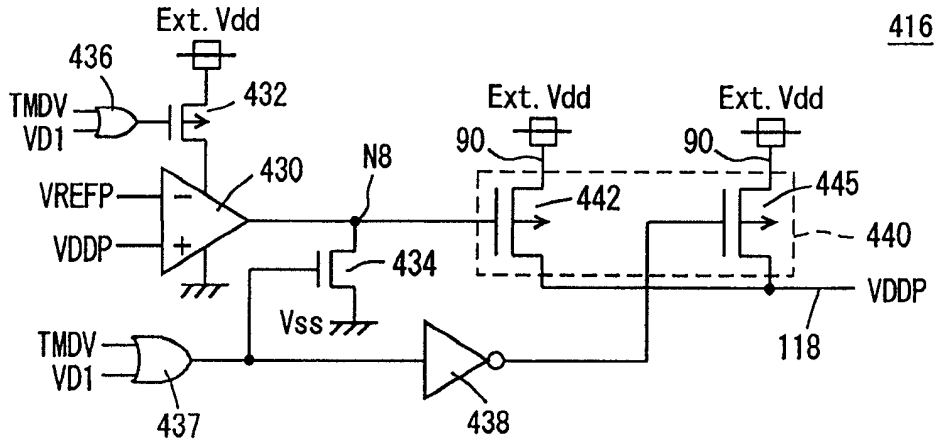


图 16

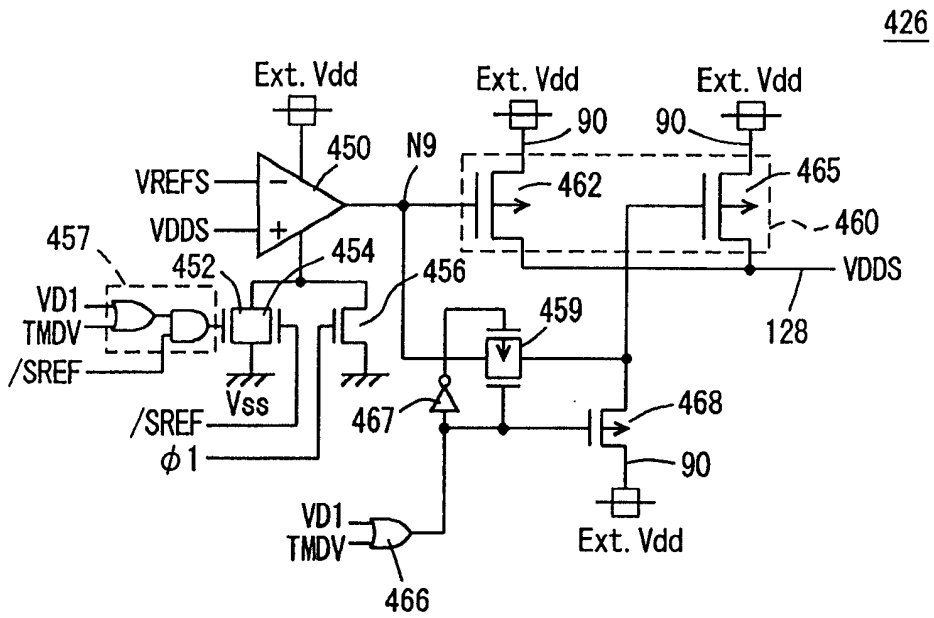


图 17



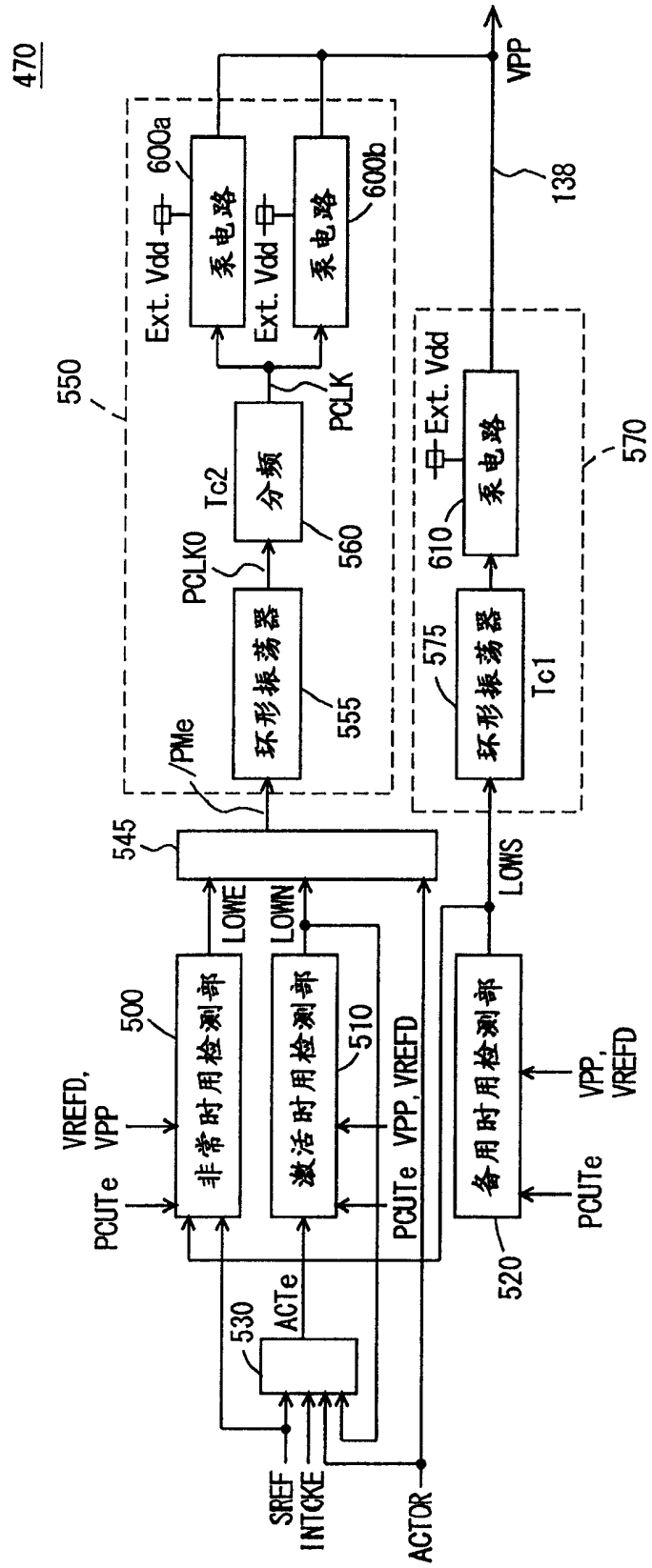


图 18

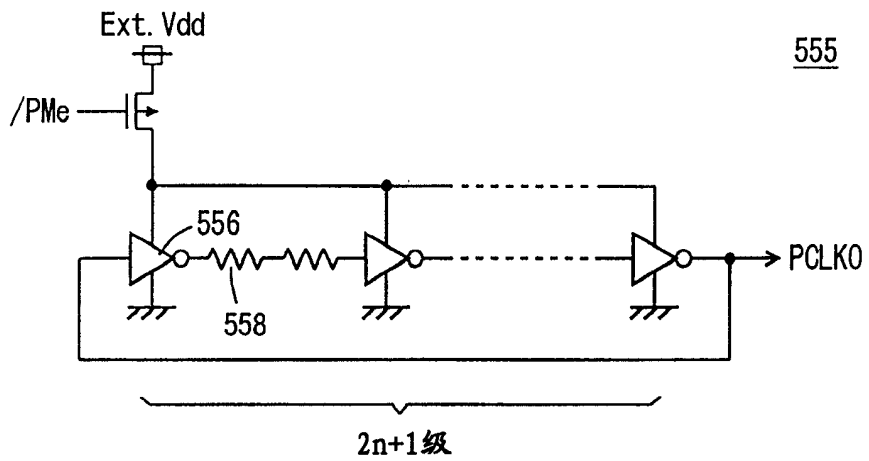


图 19

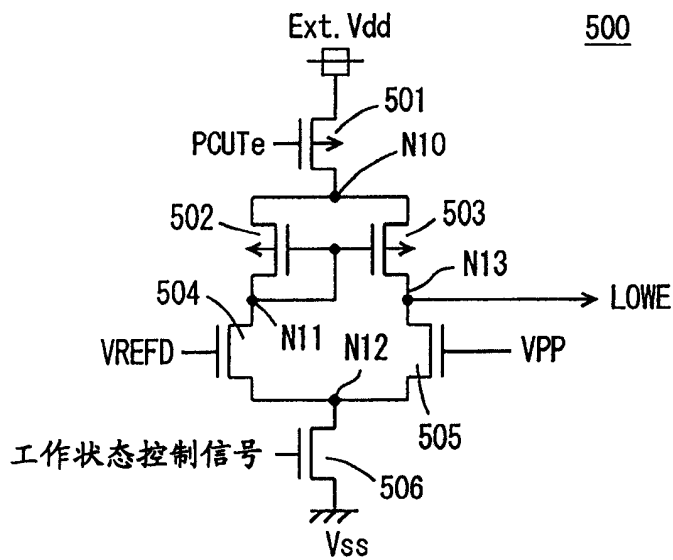


图 20

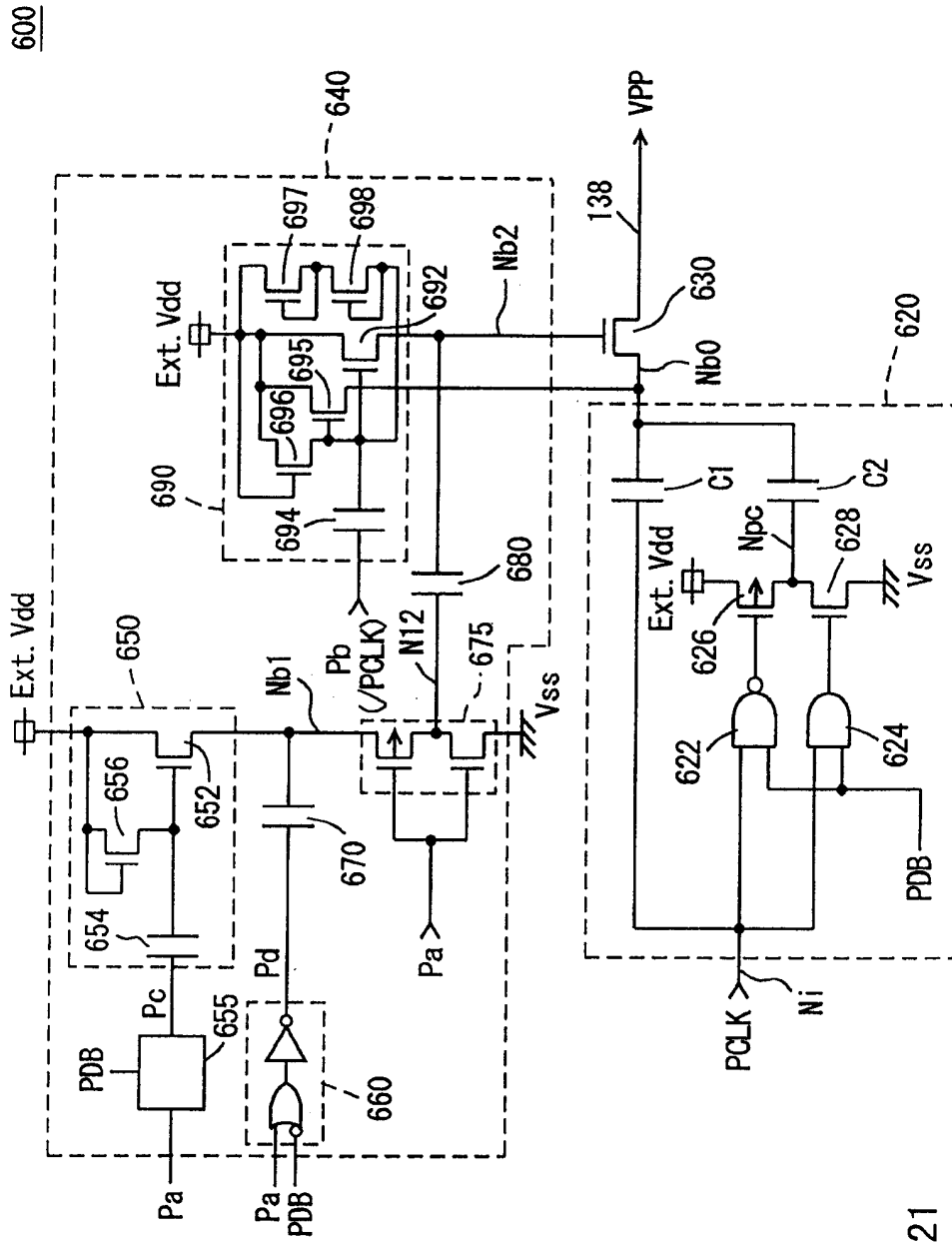


图 21

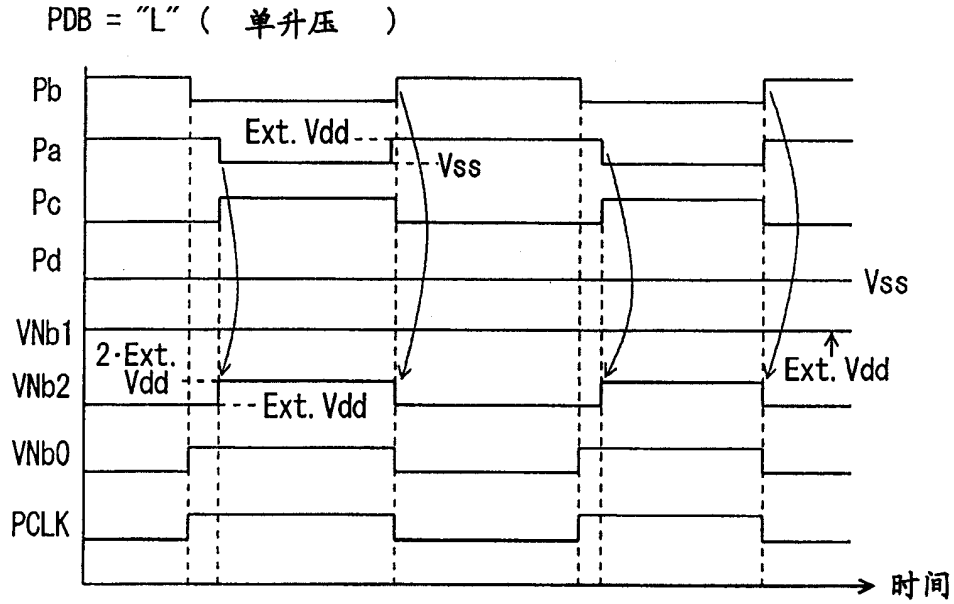


图 22A

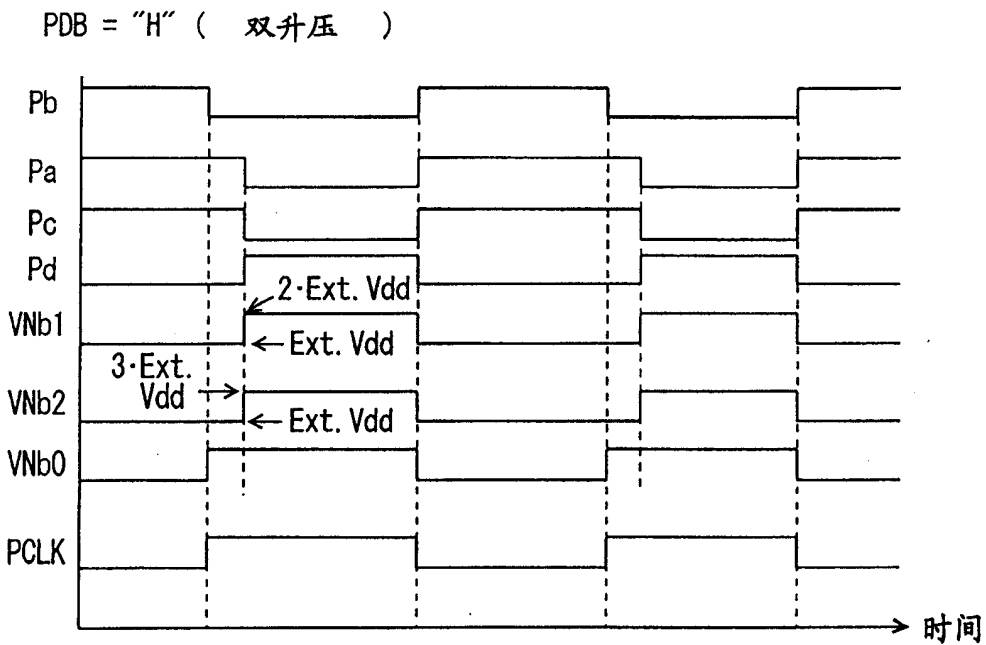


图 22B

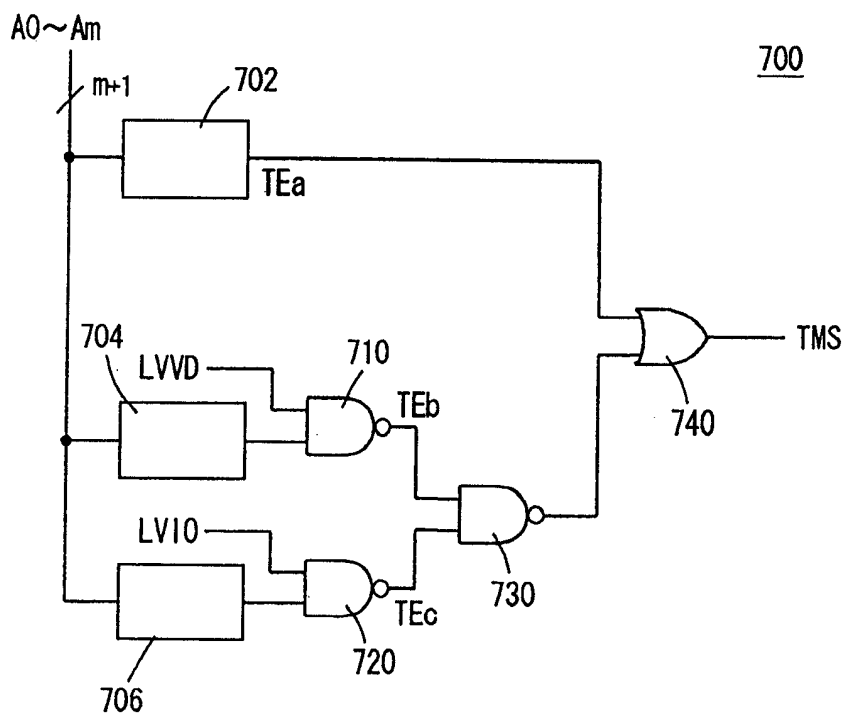


图 23

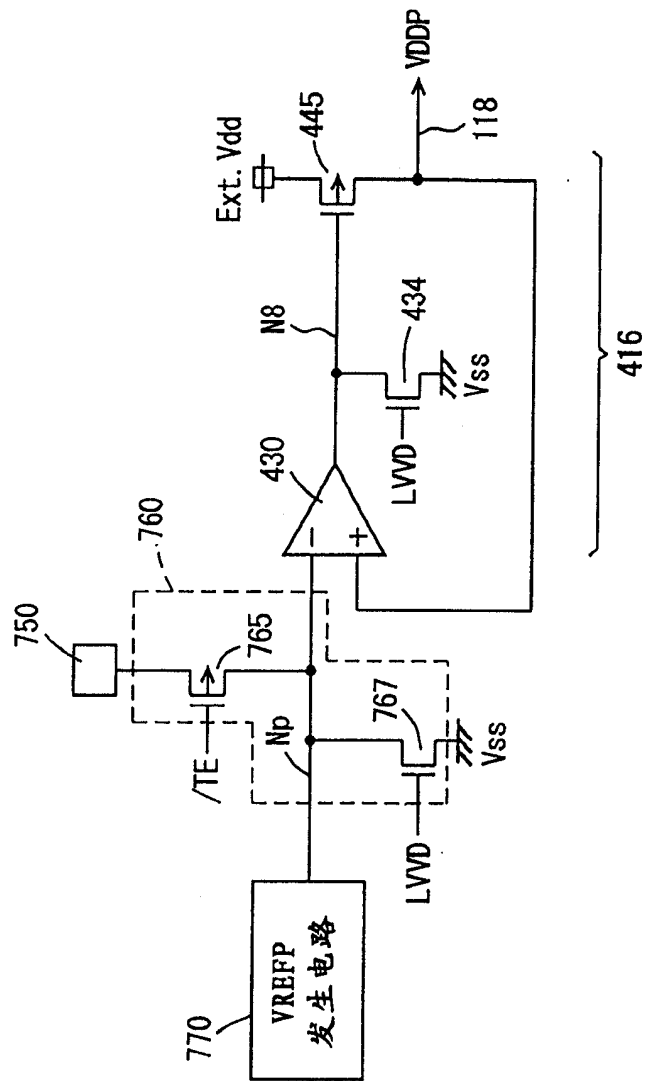


图 24 (现有技术)