

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5169419号  
(P5169419)

(45) 発行日 平成25年3月27日(2013.3.27)

(24) 登録日 平成25年1月11日(2013.1.11)

(51) Int.Cl.		F I			
<b>H03F</b>	<b>3/45</b>	<b>(2006.01)</b>	H03F	3/45	Z
<b>H03F</b>	<b>3/34</b>	<b>(2006.01)</b>	H03F	3/34	A
<b>G05F</b>	<b>3/30</b>	<b>(2006.01)</b>	G05F	3/30	

請求項の数 3 (全 14 頁)

(21) 出願番号	特願2008-104889 (P2008-104889)	(73) 特許権者	000002945
(22) 出願日	平成20年4月14日(2008.4.14)		オムロン株式会社
(65) 公開番号	特開2009-260490 (P2009-260490A)		京都市下京区塩小路通堀川東入南不動堂町
(43) 公開日	平成21年11月5日(2009.11.5)		801番地
審査請求日	平成23年2月4日(2011.2.4)	(74) 代理人	100127030
			弁理士 増井 義久
		(74) 代理人	100125944
			弁理士 比村 潤相
		(72) 発明者	籠島 謙知
			京都府京都市下京区塩小路通堀川東入南不
			動堂町801番地 オムロン株式会社内
		(72) 発明者	大渡 恵史
			京都府京都市下京区塩小路通堀川東入南不
			動堂町801番地 オムロン株式会社内

最終頁に続く

(54) 【発明の名称】 差動増幅回路及びそれを用いた電源回路

(57) 【特許請求の範囲】

【請求項1】

所定の電位差を持つ差動電圧入力である第1及び第2の電圧入力を第1及び第2の電流出力に変換する入力変換手段と、

前記第1の電流出力に対応する第3の電流出力と前記第2の電流出力との間で演算を行い、前記第1の電圧入力と前記第2の電圧入力との電位差に応じた第4の電流出力を得る出力演算手段と、

前記第1の電圧入力と前記第2の電圧入力とを同電位とすることが可能な同電位手段と、

前記同電位手段が前記第1の電圧入力と前記第2の電圧入力とを同電位とした場合において、前記出力演算手段が前記第2の電流出力と前記第3の電流出力との間で演算を行ったときに生じる電位を保持する電位保持手段と

を備え、

前記出力演算手段は、前記電位保持手段に保持された電位に基づいて前記出力演算手段が行う演算の偏差を補償する差動増幅回路であって、

前記出力演算手段から入力される前記第4の電流出力を前記差動増幅回路の外部に出力する出力バッファ手段と、

前記出力演算手段から入力される前記第4の電流出力を記憶する電流出力記憶手段とをさらに備え、

前記出力バッファ手段は、前記同電位手段が前記第1の電圧入力と前記第2の電圧入力

10

20

とを同電位とした場合においては、前記電流出力記憶手段に記憶された前記第 4 の電流出力を前記差動増幅回路の外部に出力することを特徴とする差動増幅回路。

【請求項 2】

前記出力バッファ手段の電圧入力は、前記同電位手段が前記第 1 の電圧入力と前記第 2 の電圧入力とを同電位とする前後にわたって前記出力演算手段の電圧出力と前記出力バッファ手段の電圧入力とを等電位にするように設定されていることを特徴とする請求項 1 に記載の差動増幅回路。

【請求項 3】

請求項 1 または 2 に記載の差動増幅回路と、  
前記第 4 の電流出力に基づいて基準電圧を生成する基準電圧生成手段と  
を備えることを特徴とする電源回路。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路に使用される電源回路に好適な差動増幅回路、及び、その差動増幅回路を用いた電源回路に関する。

【背景技術】

【0002】

半導体集積回路に使用される電源回路には、環境温度や素子ばらつきによる出力電圧値のばらつきが少なく、低ノイズのものが要求される。また、近年、CMOS 技術の採用により電源電圧の低電圧化が活発になってきており、それらに合わせて低電圧駆動の電源回路も要求されるようになって来ている。

20

【0003】

図 7 に、半導体集積回路の電源回路として広く使用されている構成の 1 つで、バンドギャップレギュレータと呼ばれる構成を持つ電源回路の回路図を示す。従来の電源回路 20 は、図 7 に示すように、pnp バイポーラトランジスタ Q1、Q2 と、抵抗 R1、R2、R3 と、差動増幅回路 200 と、から構成されている。また、GND は GND 電圧、Vref は基準電圧出力端子、IN+ は差動増幅回路 200 の非反転入力端子、IN- は差動増幅回路 200 の反転入力端子をそれぞれ示している。基準電圧出力端子 Vref を約 1.25V にすることで、温度依存性のない基準電圧を得ることができ、環境温度の変化に対して非常に強い回路である。

30

【0004】

図 7 に示した電源回路 20 は、比較的単純な回路構成から基準電圧を容易に発生することができる利点を持っている。しかしながら、実際の半導体集積回路においては、能動素子の特性ばらつきに起因し、差動増幅回路 200 の入力端子 IN+、IN- の各々の入力電圧が完全には一致しない。通常、2つの入力端子間における入力電圧差を「オフセット電圧」と呼んでいる。このため、電源回路 20 の基準電圧出力端子 Vref から出力される基準電圧は、電源回路 20 を構成する差動増幅回路 200 のオフセット電圧の影響を受ける。つまり、差動増幅回路 200 のオフセット電圧により、出力すべき基準電圧の精度が悪くなる。

40

【0005】

上記の能動素子の特性ばらつきの原因としては、例えば、MOS トランジスタのゲート絶縁膜の膜厚ばらつきやソース、ドレイン等の不純物濃度ばらつき、あるいは、素子サイズばらつきがある。これらの製造ばらつきは MOS トランジスタの製造プロセスに依存するものであり、不可避な問題である。

【0006】

そこで、上記のオフセット電圧をキャンセルする方法として、チョッパ回路を導入した差動増幅回路が提案されている（例えば、特許文献 1）。図 8 に示すチョッパ型の差動増幅回路 200a は、入力変換回路を構成する pMOS トランジスタ P1、P2 と、定電流回路を構成する pMOS トランジスタ P3、P4 及び電流源 I と、出力演算回路を構成す

50

る n M O S トランジスタ N 1、N 2 及び容量 C o f f と、スイッチ S W 1 ~ 3 と、から構成されている。また、V D D は電源電圧、G N D は G N D 電圧、I N + は非反転入力端子、I N - は反転入力端子、O U T は出力端子をそれぞれ示している。

【 0 0 0 7 】

図 8 の差動増幅回路 2 0 0 a において、スイッチ S W 1 とスイッチ S W 3 は同時にオン / オフするように構成され、スイッチ S W 2 は、スイッチ S W 1、S W 3 がオンする期間にオフし、スイッチ S W 1、S W 3 がオフする期間にオンするように構成されている。スイッチ S W 1、S W 3 がオンする期間 ( スイッチ S W 2 はオフ ) においては、オフセット電圧が検出され、その検出電圧が容量 C o f f に記憶される一方、スイッチ S W 2 がオンする期間 ( スイッチ S W 1、3 はオフ ) においては、上記のオフセット検出期間において検出されたオフセット電圧を用いてオフセット電圧をキャンセルさせた基準電圧を出力する。このため、オフセット電圧に起因する基準電圧の誤差が低減されることになる。

10

【特許文献 1】特開 2 0 0 2 - 2 0 2 7 4 8 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 8 】

上述したように、図 8 に示した特許文献 1 の差動増幅回路 2 0 0 a においては、オフセット電圧を検出するための期間であるオフセット検出期間と、実際に基準電圧を発生する期間である電圧出力期間とが交互に切り替わることになる。このため、差動増幅回路 2 0 0 a の出力は離散動作することになる。したがって、特許文献 1 の差動増幅回路 2 0 0 a を電源回路に使用した場合、オフセット検出期間と電圧出力期間との和を 1 周期として、出力される基準電圧が振動し、リップルが生じる。すなわち、従来の差動増幅回路 2 0 0 a はノイズが増大する問題を有している。

20

【 0 0 0 9 】

上記問題点に鑑み、本発明の目的は、オフセットが少なく、低ノイズの差動増幅回路、及び、その差動増幅回路を用いた電源回路を提供することである。

【課題を解決するための手段】

【 0 0 1 0 】

上記目的を達成するために、本発明にかかる差動増幅回路は、所定の電位差を持つ差動電圧入力である第 1 及び第 2 の電圧入力を第 1 及び第 2 の電流出力に変換する入力変換手段と、前記第 1 の電流出力に対応する第 3 の電流出力と前記第 2 の電流出力との間で演算を行い、前記第 1 の電圧入力と前記第 2 の電圧入力との電位差に応じた第 4 の電流出力を得る出力演算手段と、前記第 1 の電圧入力と前記第 2 の電圧入力とを同電位とすることが可能な同電位手段と、前記同電位手段が前記第 1 の電圧入力と前記第 2 の電圧入力とを同電位とした場合において、前記出力演算手段が前記第 2 の電流出力と前記第 3 の電流出力との間で演算を行ったときに生じる電位を保持する電位保持手段とを備え、前記出力演算手段は、前記電位保持手段に保持された電位に基づいて前記出力演算手段が行う演算の偏差を補償する差動増幅回路であって、前記出力演算手段から入力される前記第 4 の電流出力を前記差動増幅回路の外部に出力する出力バッファ手段と、前記出力演算手段から入力される前記第 4 の電流出力を記憶する電流出力記憶手段とをさらに備え、前記出力バッファ手段は、前記同電位手段が前記第 1 の電圧入力と前記第 2 の電圧入力とを同電位とした場合においては、前記電流出力記憶手段に記憶された前記第 4 の電流出力を前記差動増幅回路の外部に出力することを特徴とする。

30

40

【 0 0 1 1 】

上記の差動増幅回路では、同電位手段が第 1 の電圧入力と第 2 の電圧入力とを同電位とし、出力演算手段が第 2 の電流出力と第 3 の電流出力との間で演算を行う場合においては、出力バッファ手段が電流出力記憶手段に記憶された第 4 の電流出力を出力するようにしているので、同電位手段が第 1 の電圧入力と第 2 の電圧入力とを同電位とする前後にわたって、安定して第 4 の電流出力を出力することができる。このため、リップルの少ない低ノイズの差動増幅回路を実現することができる。

50

## 【 0 0 1 2 】

前記出力バッファ手段の電圧入力、前記同電位手段が前記第 1 の電圧入力と前記第 2 の電圧入力とを同電位とする前後にわたって前記出力演算手段の電圧出力と前記出力バッファ手段の電圧入力とを等電位にするように設定されていることが好ましい。

## 【 0 0 1 3 】

この場合、同電位手段が第 1 の電圧入力と第 2 の電圧入力とを同電位とする前後において、前記出力演算手段の電圧出力と前記出力バッファ手段の電圧入力との間における電位差が実質的に無くなるので、同電位手段が第 1 の電圧入力と第 2 の電圧入力とを同電位とした場合において出力演算手段が第 2 の電流出力と第 3 の電流出力との間で演算を行ったときに生じる電位の安定化を図ることができる。このため、上記の差動増幅回路を駆動する電源電圧の低電圧化が進んだ場合でも、上記の電位が変動することが無く、その結果、その電位に基づいて出力演算手段が行う演算の偏差の補償を精度よく行うことができる。

10

## 【 0 0 1 4 】

本発明にかかる電源回路は、上記の差動増幅回路と、前記第 4 の電流出力に基づいて基準電圧を生成する基準電圧生成手段とを備えることを特徴とする。

## 【 0 0 1 5 】

上記の電源回路では、上記の差動増幅回路を用いているので、素子ばらつきによる出力電圧値のばらつきが少なく、低ノイズの電圧を供給でき、かつ低電圧起動が可能な電源回路が実現できる。

## 【 発明の効果 】

20

## 【 0 0 1 6 】

本発明に係る差動増幅回路は、以上のように、前記出力演算手段から入力される前記第 4 の電流出力を前記差動増幅回路の外部に出力する出力バッファ手段と、前記出力演算手段から入力される前記第 4 の電流出力を記憶する電流出力記憶手段とを備え、前記出力バッファ手段は、前記同電位手段が前記第 1 の電圧入力と前記第 2 の電圧入力とを同電位とした場合においては、前記電流出力記憶手段に記憶された前記第 4 の電流出力を前記差動増幅回路の外部に出力するので、同電位手段が第 1 の電圧入力と第 2 の電圧入力とを同電位とする前後にわたって、安定して第 4 の電流出力を出力することができる。このため、リップルの少ない低ノイズの差動増幅回路を実現することができる。

## 【 発明を実施するための最良の形態 】

30

## 【 0 0 1 7 】

以下、本発明の実施の形態について、図面を参照しながら説明する。なお、同一部分には同一符号を付し、図面で同一の符号が付いたものは、説明を省略する場合もある。

## 【 0 0 1 8 】

## ( 実施の形態 1 )

図 1 は、本発明の実施の形態 1 にかかる差動増幅回路の構成を示す回路図である。本実施の形態にかかる差動増幅回路 100 はチョッパ回路を導入したチョッパ型の差動増幅回路であって、図 1 に示すように、入力変換回路 101 と、定電流回路 102 と、出力演算回路 103 と、出力バッファ回路 104 と、スイッチ SW 1 ~ 4 と、を備えている。また、VDD は電源電圧、GND は GND 電圧、IN+ は非反転入力端子、IN- は反転入力端子、OUT は出力端子をそれぞれ示している。

40

## 【 0 0 1 9 】

入力変換回路 101 は、pMOS トランジスタ P1、P2 を有している。pMOS トランジスタ P1、P2 は入力差動対を構成しており、pMOS トランジスタ P1 のゲート端子が反転入力端子 IN- に接続され、pMOS トランジスタ P2 のゲート端子が非反転入力端子 IN+ に接続されている。

## 【 0 0 2 0 】

定電流回路 102 は、pMOS トランジスタ P3、P4 と、電流源 I と、を有しており、pMOS トランジスタ P3、P4 はカレントミラー回路を構成している。pMOS トランジスタ P3 のゲート端子とドレイン端子とが短絡されおり、電流源 I から印加される電

50

流を pMOS トランジスタ P3 が検出してその電流に応じたゲート電圧を出力する。pMOS トランジスタ P3 のゲート端子は pMOS トランジスタ P4 のゲート端子に接続されており、pMOS トランジスタ P3 がゲート電圧を pMOS トランジスタ P4 のゲート端子に出力すると、pMOS トランジスタ P4 のドレイン端子には pMOS トランジスタ P4 の素子の寸法比に比例した電流がコピーされる。

#### 【0021】

出力演算回路 103 は、nMOS トランジスタ N1、N2 と、容量 C<sub>off</sub> (電位保持手段) と、を有している。nMOS トランジスタ N1、N2 は、定電流回路 102 の pMOS トランジスタ P3、P4 と同様、カレントミラー回路を構成している。入力変換回路 101 の pMOS トランジスタ P1、P2 の各々のゲート端子に入力電圧が入力されると、pMOS トランジスタ P1 には第 1 の電流 I<sub>1</sub> が流れ、pMOS トランジスタ P2 には第 2 の電流 I<sub>2</sub> が流れる。ここで、出力演算回路 103 においては、pMOS トランジスタ P1 を流れる第 1 の電流 I<sub>1</sub> を nMOS トランジスタ N1 が検出し、検出した電流を nMOS トランジスタ N2 にコピーする。そして、pMOS トランジスタ P2 を流れる第 2 の電流 I<sub>2</sub> と nMOS トランジスタ N2 にコピーされた第 3 の電流 I<sub>3</sub> との差に応じた第 4 の電流 I<sub>4</sub> が出力されることになる。その出力電圧は nMOS トランジスタ N2 のソース端子とドレイン端子間の電位差である。なお、容量 C<sub>off</sub> の配置に起因する効果については後述する。

10

#### 【0022】

出力バッファ回路 104 は、pMOS トランジスタ P5 と、nMOS トランジスタ N3 と、容量 C<sub>b</sub> (電流出力記憶手段) と、を有している。pMOS トランジスタ P5 は、定電流回路 102 の pMOS トランジスタ P3 との間でカレントミラー回路を構成している。pMOS トランジスタ P3 のゲート端子は pMOS トランジスタ P5 のゲート端子に接続されており、pMOS トランジスタ P3 がゲート電圧を pMOS トランジスタ P5 のゲート端子に出力すると、pMOS トランジスタ P5 のドレイン端子には pMOS トランジスタ P5 の素子の寸法比に比例した電流がコピーされる。出力バッファ回路 104 は、出力演算回路 103 からの出力電圧を一時的に保持するものであり、具体的には、出力演算回路 103 からの出力電圧を容量 C<sub>b</sub> に蓄えることができる。

20

#### 【0023】

スイッチ SW1 (同電位手段) は、pMOS トランジスタ P1 のゲート端子と pMOS トランジスタ P2 のゲート端子間に、スイッチ SW2 は、反転入力端子と pMOS トランジスタ P1 のゲート端子間に、スイッチ SW3 は、nMOS トランジスタ N2 のゲート端子とドレイン端子間に、スイッチ SW4 は、出力演算回路 103 の出力と出力バッファ回路 104 の入力間に、それぞれ配置されている。スイッチ SW1 ~ 4 は、例えば、nMOS トランジスタや pMOS トランジスタから構成すればよい。

30

#### 【0024】

スイッチ SW1、SW3 と、スイッチ SW2、SW4 とは、それぞれ一対になっており、スイッチ SW1、SW3 がオンのときは、スイッチ SW2、SW4 はオフ (以下、「オフセット検出期間」と定義する。) し、スイッチ SW1、SW3 がオフのときは、スイッチ SW2、SW4 はオン (以下、「電圧出力期間」と定義する。) する。本実施の形態にかかる差動増幅回路 100 は、上記の 2 つの期間、つまり、オフセット検出期間と電圧出力期間においてそれぞれ異なる動作を実行する。以下、この点について説明する。

40

#### 【0025】

本実施の形態にかかる差動増幅回路 100 においては、上記のオフセット検出期間及び電圧検出期間は所定の周期で繰り返し到来する。繰り返しの周期はスイッチ SW1 ~ 4 を制御するクロックによって制御されている。

#### 【0026】

次に、上記のオフセット検出期間及び電圧検出期間における差動増幅回路 100 の動作について説明する。

#### 【0027】

50

まず、オフセット検出期間について説明する。

【 0 0 2 8 】

オフセット検出期間においては、スイッチ S W 1、S W 3 がオンし、スイッチ S W 2、S W 4 がオフする。この場合、p M O S トランジスタ P 1、P 2 のゲート端子間、及び、n M O S トランジスタ N 2 のゲート端子とドレイン端子間がそれぞれ接続される一方、p M O S トランジスタ P 1 のゲート端子と入力端子 I N - 間、及び、出力演算回路 1 0 3 の出力と出力バッファ回路 1 0 4 の入力間がそれぞれ切断される。

【 0 0 2 9 】

上記の接続状態においては、p M O S トランジスタ P 1 のゲート端子と p M O S トランジスタ P 2 のゲート端子とはオン状態のスイッチ S W 1 を介して同電位となるので、2 つの p M O S トランジスタ P 1、P 2 が飽和特性領域で動作している限り、理想的には、同一の電流が流れることになる。

10

【 0 0 3 0 】

しかしながら、上述したように、2 つの p M O S トランジスタ P 1、P 2 対に特性ばらつきが生じていると、p M O S トランジスタ P 1、P 2 を流れる電流は互いに異なるものとなる。

【 0 0 3 1 】

一方、スイッチ S W 3 がオンすることにより、n M O S トランジスタ N 2 のゲート端子とドレイン端子間が短絡され、n M O S トランジスタ N 2 は n M O S トランジスタ N 1 と同様、ダイオード接続された M O S トランジスタとなる。したがって、p M O S トランジスタ P 1、P 2 の各々を流れる電流が同一であれば、2 つの n M O S トランジスタ N 1、N 2 間に特性ばらつきが無い限り、2 つの n M O S トランジスタ N 1、N 2 のドレイン端子に出力される電流は同一のゲート電圧に変換されることになる。

20

【 0 0 3 2 】

しかしながら、上述したように、2 つの p M O S トランジスタ P 1、P 2 対に特性ばらつきがあると、p M O S トランジスタ P 1、P 2 を流れる電流は互いに異なり、その結果、それらから変換される n M O S トランジスタ N 1、N 2 の各々のゲート電圧が異なる値となる。さらに、n M O S トランジスタ N 1、N 2 対自体に特性ばらつきがあった場合、p M O S トランジスタ P 1、P 2 の各々を流れる電流が同一であったとしても、やはり、n M O S トランジスタ N 1、N 2 の各々のゲート端子に互いに異なるゲート電圧が出力されてしまう。

30

【 0 0 3 3 】

すなわち、入力変換回路 1 0 1 を構成する p M O S トランジスタ P 1、P 2 対の特性ばらつき及び出力演算回路 1 0 3 を構成する n M O S トランジスタ N 1、N 2 対の特性ばらつきに起因するオフセット電圧が n M O S トランジスタ N 1、N 2 のゲート電圧の電位差として現れることになる。本実施の形態の出力演算回路 1 0 3 を構成する n M O S トランジスタ N 1、N 2 のゲート端子間には容量 C o f f が配置されており、上記の n M O S トランジスタ N 1、N 2 のゲート電圧の電位差は容量 C o f f の両端に印加され、記憶される。

【 0 0 3 4 】

次に、電圧出力期間について説明する。

40

【 0 0 3 5 】

電圧出力期間においては、スイッチ S W 2、S W 4 がオンし、スイッチ S W 1、S W 3 がオフする。この場合、p M O S トランジスタ P 1、P 2 のゲート端子間、及び、n M O S トランジスタ N 2 のゲート端子とドレイン端子間がそれぞれ切断される一方、p M O S トランジスタ P 1 のゲート端子と入力端子 I N - 間、及び、出力演算回路 1 0 3 の出力と出力バッファ回路 1 0 4 の入力間がそれぞれ接続される。

【 0 0 3 6 】

上記の接続状態においては、p M O S トランジスタ P 1 のゲート端子が反転入力端子 I N - に接続され、p M O S トランジスタ P 2 のゲート端子が非反転入力端子 I N + に接続

50

され、pMOSトランジスタP1、P2は入力差動対を再び構成する。また、nMOSトランジスタN2のゲート端子とドレイン端子間は切断され、nMOSトランジスタN1、N2はカレントミラー回路を再び構成する。以下、電圧出力期間における差動増幅回路100の動作について説明する。

#### 【0037】

まず、2つの入力電圧の微小な差信号が、入力端子IN-、入力端子IN+の各々を介して、入力変換回路101のpMOSトランジスタP1、P2の各々のゲート端子に入力されると、pMOSトランジスタP1にはVDD側からGND側へ向かう第1の電流I1が流れ、pMOSトランジスタP2にはVDD側からGND側へ向かう第2の電流I2が流れる。

10

#### 【0038】

一方、入力変換回路101のpMOSトランジスタP1を流れる第1の電流I1を検出する出力演算回路103においては、pMOSトランジスタP1を流れる第1の電流I1をnMOSトランジスタN1が検出し、検出した電流をnMOSトランジスタN2にコピーしてGNDラインに出力し、nMOSトランジスタN2に第3の電流I3を流す。そして、pMOSトランジスタP2を流れる第2の電流I2とnMOSトランジスタN2にコピーされた第3の電流I3との差に応じた第4の電流I4が出力されることになる。その出力電圧はnMOSトランジスタN2のソース端子とドレイン端子間の電位差である。

#### 【0039】

ここで、上述したように、上記のオフセット検出期間においてオフセット電圧が出力演算回路103の容量Coffに記憶済みである。このため、入力端子IN+、IN-が同電位するとき、すなわち、差動電圧がゼロのとき、オフセット検出期間で設定された容量Coffの電位差によってnMOSトランジスタN2のゲート電圧が補正されて、pMOSトランジスタP1を流れる第1の電流I1をnMOSトランジスタN1によってnMOSトランジスタN2にコピーした第3の電流I3と、pMOSトランジスタP2を流れる第2の電流I2が等しくなる。すなわち、出力演算回路103からの出力電流がゼロとなり、オフセット電圧がゼロとなる。したがって、入力端子IN+、IN-の電位差をVinとすると、Vinに相当する電圧がオフセット電圧の影響を受けることなく、出力バッファ回路104に出力されることになる。

20

#### 【0040】

出力バッファ回路104は、出力演算回路103から出力される電圧を出力端子に出力する一方、出力演算回路103からの出力電圧を容量Cbに記憶する。電圧出力期間において容量Cbに記憶される、出力演算回路103の出力電圧に相当する電位差は、引き続き実行されるオフセット検出期間において、出力演算回路103からの出力電圧として、出力端子から出力される。そうすることにより、出力バッファ回路104は、オフセット検出期間においては、オフセット電圧を検出するために出力バッファ回路104から切り離された出力演算回路103に代わって、出力端子に電圧を出力し続けることができる。

30

#### 【0041】

実際の動作は、上述したように、上記のオフセット検出期間と電圧出力期間がクロック信号に基づき所定の周期で繰り返されるので、出力演算回路103からの出力は離散的なものになる。しかしながら、オフセット検出期間においては出力バッファ回路104の容量Cbに記憶された電位差によって直前の電圧出力期間における出力演算回路103の出力電圧が保持されているので、差動増幅回路100の出力端子からは、リップルの少ない出力を得ることができる。すなわち、本実施の形態にかかる差動増幅回路100は、直流アンプとして使用すると非常に有効である。

40

#### 【0042】

次に、本実施の形態にかかる差動増幅回路100の出力電圧の安定性について説明する。図2は、本実施の形態にかかる差動増幅回路100を用いた一般的なボルテージホロワの構成図である。このボルテージホロワは、差動増幅回路100の出力端子が反転入力端子に帰還接続されており、入力電圧の電圧を等倍して出力するバッファとして一般的に使

50

用されている構成である。

【0043】

図3に、本実施の形態にかかる差動増幅回路100を用いた図2のボルテージホロワの出力波形と、図8の従来の差動増幅回路200aを用いたボルテージホロワの出力波形をそれぞれ示す。図3から明らかなように、本実施の形態にかかる差動増幅回路100を用いた場合の方が、リップルが少なく、安定した電圧を出力していることが分かる。

【0044】

なお、本実施の形態にかかる差動増幅回路100は、一般的なトランスコンダクタンスアンプの回路構成を用いたが、他の差動増幅回路の回路構成でも本実施の形態と同様の効果がある。

【0045】

また、本実施の形態にかかる差動増幅回路100においては、入力変換回路101をpMOSトランジスタP1、P2を用いて構成し、出力演算回路103をnMOSトランジスタN1、N2を用いて構成しているが、本発明はこの構成に限られるものではない。例えば、入力変換回路101はnMOSトランジスタ対を用いて構成し、出力演算回路103はpMOSトランジスタ対を用いて構成してもよい。この場合、差動増幅回路100の回路構成は、上記の入力変換回路101及び出力演算回路103を構成するトランジスタを含むすべてのトランジスタにおいて、n型とp型とを入れ替え、VDD及びGNDとの接続関係を逆にした構成となる。

【0046】

(実施の形態2)

次に、本発明の実施の形態2について説明する。図4は、本発明の実施の形態2にかかる差動増幅回路の構成を示す回路図である。本実施の形態にかかる差動増幅回路100aは、上記の実施の形態1の差動増幅回路100の出力バッファ回路104を構成するnMOSトランジスタN3とpMOSトランジスタP5間においてpMOSトランジスタP6が挿入された構成となっている。なお、本実施の形態にかかる差動増幅回路100aが上記の実施の形態1にかかる差動増幅回路100と異なる点は、上記のpMOSトランジスタP6の挿入のみである。したがって、その他の構成については基本的には同一であるので、ここでは説明を繰り返さない。以下では、上記のpMOSトランジスタP6の挿入に起因する効果について説明する。

【0047】

まず、上記のpMOSトランジスタが存在しない場合、つまり、上記の実施の形態1にかかる差動増幅回路100における問題点について説明する。

【0048】

上記の実施の形態1にかかる差動増幅回路100においては、上述したように、オフセット電圧検出期間と電圧出力期間とが交互に繰り返される。このため、出力演算回路103を構成するnMOSトランジスタN2のドレイン端子の接続先は、上記の2つの期間の切り替えが行われる毎に、nMOSトランジスタN2のゲート端子とnMOSトランジスタN3のゲート端子間において遷移する。このため、nMOSトランジスタN2及びnMOSトランジスタN3の各々のゲート電圧が異なると、上記の2つの期間の切り替え毎に、nMOSトランジスタN2のドレイン電圧の変動を招くことになる。nMOSトランジスタN2のドレイン電圧の変動は、その電圧から変換されるnMOSトランジスタN2のゲート電圧の変動を意味し、このため、容量Coffに印加される電圧の変動を招くことになる。その結果、容量Coffにかかる電圧は上記の2つの期間の切り替え周期毎に変動し、容量Coffに記憶されるオフセット電圧が安定せず、延いては、正しいオフセット補償が困難となってしまふ。すなわち、差動増幅回路100にオフセット電圧が発生してしまうことになる。

【0049】

上記の問題点を解決するためには、nMOSトランジスタN2のゲート電圧とnMOSトランジスタN3のゲート電圧とが極力等しくなるようにする必要がある。上記の実施の

10

20

30

40

50



形態1の差動増幅回路100では、VDDが十分大きければ、nMOSトランジスタN2に流れる電流はpMOSトランジスタP4から供給されるバイアス電流、nMOSトランジスタN3に流れる電流はpMOSトランジスタP5から供給されるバイアス電流とみなすことができる。このため、nMOSトランジスタN2とnMOSトランジスタN3の各々のゲート電圧は、pMOSトランジスタP4、P5から供給されるバイアス電流によって決まり、pMOSトランジスタP4、P5の各々バイアス電流と、nMOSトランジスタN2とnMOSトランジスタN3とのゲート面積の比を等しくすることで、nMOSトランジスタN2とnMOSトランジスタN3のゲート電圧をほぼ同一とすることができる。

#### 【0050】

ところが、低電源電圧化が進むにつれて、nMOSトランジスタN2に流れる電流をpMOSトランジスタP4から供給されるバイアス電流とみなすことができなくなる状況が予想される。すなわち、電源電圧の低下に従ってpMOSトランジスタP4、P5の各々のバイアス電流が低下するが、pMOSトランジスタP4からnMOSトランジスタN2に向かって流れる電流経路には入力変換回路101を構成するpMOSトランジスタP2が配置されている。一方、pMOSトランジスタP2に対応するpMOSトランジスタは、pMOSトランジスタP5からnMOSトランジスタN3に向かって流れる電流経路上には存在しない。したがって、pMOSトランジスタP4のバイアス電流の低下に伴ってpMOSトランジスタP2による電流値の減少が顕在化し、このため、pMOSトランジスタP4、P5のバイアス電流が等しい場合であっても、nMOSトランジスタN2、N3の各々に流れ込むバイアス電流が異なるものになってしまう。すなわち、nMOSトランジスタN2、N3のゲート電圧間に差異が生じてしまう。

#### 【0051】

これに対し、本発明の実施の形態2にかかる差動増幅回路100aは、上記の問題を解消するために、上記の実施の形態1の出力バッファ回路104においてnMOSトランジスタN3とpMOSトランジスタP5間にpMOSトランジスタP6が挿入された出力バッファ回路104aを上記の実施の形態1の出力バッファ回路104に代えて備えている。pMOSトランジスタP6は、pMOSトランジスタP2に対応し、pMOSトランジスタP5からnMOSトランジスタN3に向かって流れる電流経路上に配置されている。

#### 【0052】

pMOSトランジスタP6のゲート端子は、pMOSトランジスタP2のゲート端子に接続されているので、電源電圧が小さくなった場合でも、nMOSトランジスタN2、N3に流れ込む電流は、pMOSトランジスタP2、P6の影響を受けて同じように減少する。したがって、nMOSトランジスタN2、N3のゲート電圧はほぼ一定に保たれる。

#### 【0053】

図5に、上記の実施の形態1にかかる差動増幅回路100を用いた図2のボルテージホロワの出力波形と、図4の本実施の形態2にかかる差動増幅回路100aを用いたボルテージホロワの出力波形をそれぞれ示す。なお、電源電圧は1.9Vとした。

#### 【0054】

図5(a)に示すように、上記の実施の形態1にかかる差動増幅回路100を用いた場合は、nMOSトランジスタN2のゲート電圧が変動しているのに対し、本実施の形態2にかかる差動増幅回路100aを用いた場合は、ほとんど変動していないことが分かる。

#### 【0055】

また、図5(b)に示すように、上記の実施の形態1にかかる差動増幅回路100を用いた場合は、入力電圧1Vからずれた出力電圧が出ているのに対し、本実施の形態2にかかる差動増幅回路100aを用いた場合は、ほぼ1Vの出力が出ていることがわかる。

#### 【0056】

本発明の実施の形態2においては、電源電圧が1.9Vの場合を例に挙げたが、上記のバイアス電流の減少は電源電圧が2V以下で起こり易くなるので、本発明の実施の形態2にかかる差動増幅回路100aは2V以下で駆動するときには有用である。

10

20

30

40

50

## 【 0 0 5 7 】

また、本発明の実施の形態 2 にかかる差動増幅回路 1 0 0 a は、上記の実施の形態 1 と同様に、一般的なトランスコンダクタンスアンプの回路構成を用いたが、他の差動増幅回路の回路構成でも本実施の形態と同様の効果がある。

## 【 0 0 5 8 】

また、本発明の実施の形態 2 にかかる差動増幅回路 1 0 0 a においては、p M O S トランジスタ P 6 を新たに挿入しているが、p M O S トランジスタ P 6 に代えて、所定の抵抗値を持つ抵抗を挿入しても構わない。この場合、挿入される抵抗の抵抗値は、p M O S トランジスタ P 2 によって減少する電流値に合わせて設定すればよい。

## 【 0 0 5 9 】

さらに、本発明の実施の形態 2 にかかる差動増幅回路 1 0 0 a においては、入力変換回路 1 0 1 を p M O S トランジスタ P 1、P 2 を用いて構成し、出力演算回路 1 0 3 を n M O S トランジスタ N 1、N 2 を用いて構成しているが、本発明はこの構成に限られるものではない。例えば、入力変換回路 1 0 1 は n M O S トランジスタ対を用いて構成し、出力演算回路 1 0 3 は p M O S トランジスタ対を用いて構成してもよい。この場合、差動増幅回路 1 0 0 の回路構成は、上記の入力変換回路 1 0 1 及び出力演算回路 1 0 3 を構成するトランジスタを含むすべてのトランジスタにおいて、n 型と p 型とを入れ替え、V D D 及び G N D との接続関係を逆にした構成となる。

## 【 0 0 6 0 】

( 実施の形態 3 )

次に、本発明の実施の形態 3 について説明する。本実施の形態は、上記の実施の形態 1 及び 2 にかかる差動増幅回路を用いた電源回路にかかる形態である。図 6 は、本発明の実施の形態 1 及び 2 にかかる差動増幅回路を用いた電源回路の構成を示す図である。

## 【 0 0 6 1 】

本実施の形態にかかる電源回路は、p n p バイポーラトランジスタ Q 1、Q 2 ( 基準電圧生成手段 ) と、抵抗 R 1、R 2、R 3 ( 基準電圧生成手段 ) と、上記の実施の形態 1 または 2 にかかる差動増幅回路 1 0 0、1 0 0 a と、から構成されている。また、G N D は G N D 電圧、V r e f は基準電圧出力端子、I N + は差動増幅回路 1 0 0、1 0 0 a の非反転入力端子、I N - は差動増幅回路 1 0 0、1 0 0 a の反転入力端子をそれぞれ示している。

## 【 0 0 6 2 】

本実施の形態にかかる電源回路においては、ダイオード接続された p n p バイポーラトランジスタ Q 1、Q 2 のベース端子とエミッタ端子間電圧の差を検出して基準電圧出力端子から出力される電圧を得る形式で、出力電圧を約 1 . 2 5 V とすることで温度依存性のない基準電圧を得ることができ、一般的に用いられる回路形式である。基準電圧のばらつき要因として最も支配的なものは、上述したように差動増幅回路のオフセット電圧であり、このオフセット電圧を V o f f、オフセットがゼロの時の出力電圧を V r e f とすると、オフセット電圧 V o f f がある場合の出力電圧 V r e f ' は、以下の式で表わされる。

## 【 0 0 6 3 】

$$V r e f ' = V r e f - ( 1 + ( R 2 / R 3 ) ) \times V o f f$$

上記の式から明らかなように、オフセット電圧 V o f f は ( 1 + R 2 / R 3 ) 倍されて出力電圧に現れる。

## 【 0 0 6 4 】

本発明の実施の形態 3 にかかる電源回路においては、上記の実施の形態 1 及び 2 にかかる差動増幅回路 1 0 0、1 0 0 a を用いることにより、オフセット電圧が非常に少ないので、ばらつきの少ない出力電圧を得ることができる。また、リップルも非常に小さいので、ノイズ性能についても優れている。

## 【 0 0 6 5 】

また、上記の実施の形態 2 にかかる差動増幅回路 1 0 0 a を用いた場合であれば、2 V 以下の低電圧の駆動でも良好な出力電圧を得ることができる。

10

20

30

40

50

## 【 0 0 6 6 】

なお、本実施の形態の電源回路は、一般的にはバンドギャップレギュレータの回路構成の一例であるが、差動増幅回路を利用した電源回路であれば、本実施の形態と同様の効果がある。

## 【 0 0 6 7 】

本発明は上述した各実施の形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施の形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施の形態についても本発明の技術的範囲に含まれる。

## 【産業上の利用可能性】

## 【 0 0 6 8 】

本発明にかかる差動増幅回路及びそれを用いた電源回路は、低電源電圧を用いて動作させる場合でも安定して基準電圧を発生することができるので、低電源電圧用アナログ回路の基準電圧を発生する電源回路に適用できる。

## 【図面の簡単な説明】

## 【 0 0 6 9 】

【図 1】本発明の実施の形態 1 にかかる差動増幅回路の構成を示す回路図である。

【図 2】本発明の実施の形態 1 にかかるボルテージホロワの構成図である。

【図 3】本発明の実施の形態 1 にかかるボルテージホロワの出力波形を示すグラフ図である。

【図 4】本発明の実施の形態 2 にかかる差動増幅回路の構成を示す回路図である。

【図 5】本発明の実施の形態 2 にかかるボルテージホロワの出力波形を示すグラフ図である。

【図 6】本発明の実施の形態 3 にかかる電源回路の構成を示す回路図である。

【図 7】従来のバンドギャップレギュレータを用いた電源回路の構成を示す回路図である。

【図 8】従来の差動増幅回路の構成を示す回路図である。

## 【符号の説明】

## 【 0 0 7 0 】

2 0 電源回路

1 0 0、1 0 0 a、2 0 0、2 0 0 a 差動増幅回路

1 0 1 入力変換回路（入力変換手段）

1 0 2 定電流回路

1 0 3 出力演算回路（出力演算手段）

1 0 4、1 0 4 a 出力バッファ回路（出力バッファ手段）

I N - 反転入力端子（第 1 の電圧入力）

I N + 非反転入力端子（第 2 の電圧入力）

I 1 第 1 の電流（第 1 の電流入力）

I 2 第 2 の電流（第 2 の電流入力）

I 3 第 3 の電流（第 3 の電流入力）

I 4 第 4 の電流（第 4 の電流入力）

S W 1 スイッチ（同電位手段）

S W 2、S W 3、S W 4 スイッチ

C o f f 容量（電位保持手段）

C b 容量（電流出力記憶手段）

R 1、R 2、R 3 抵抗（基準電圧生成手段）

Q 1、Q 2 n p n バイポーラトランジスタ（基準電圧生成手段）

P 1、P 2、P 3、P 4、P 5、P 6 p M O S トランジスタ

N 1、N 2、N 3 n M O S トランジスタ

I 電流源

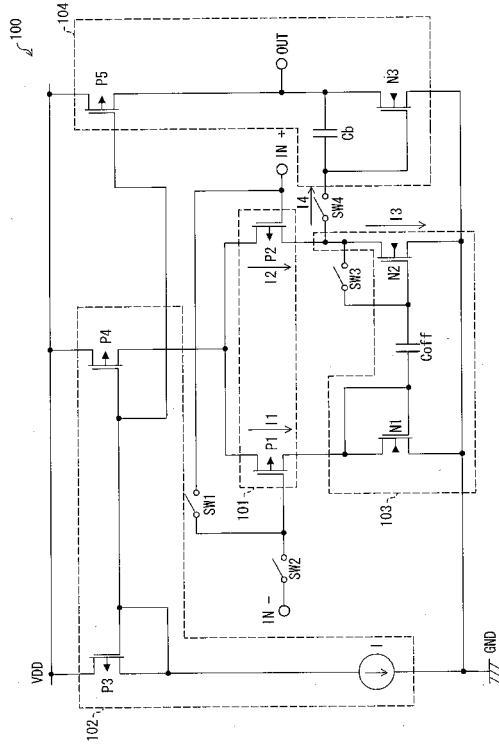
10

20

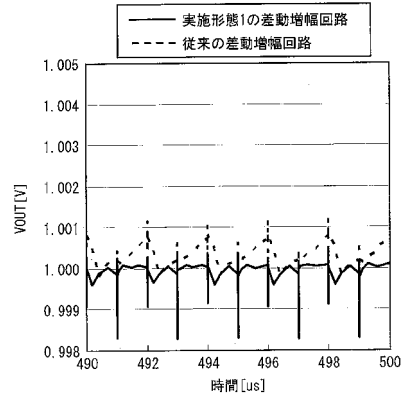
30

40

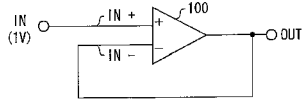
【図1】



【図3】

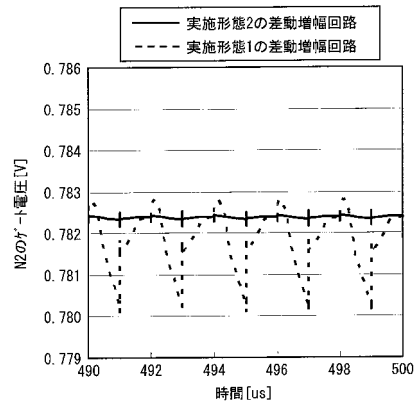


【図2】

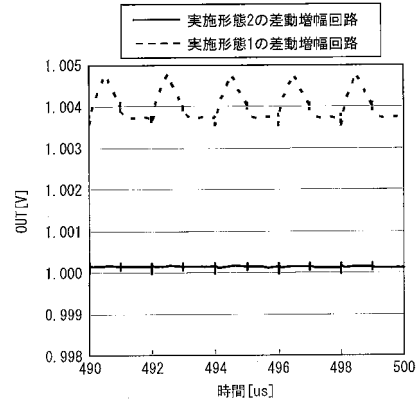


【図5】

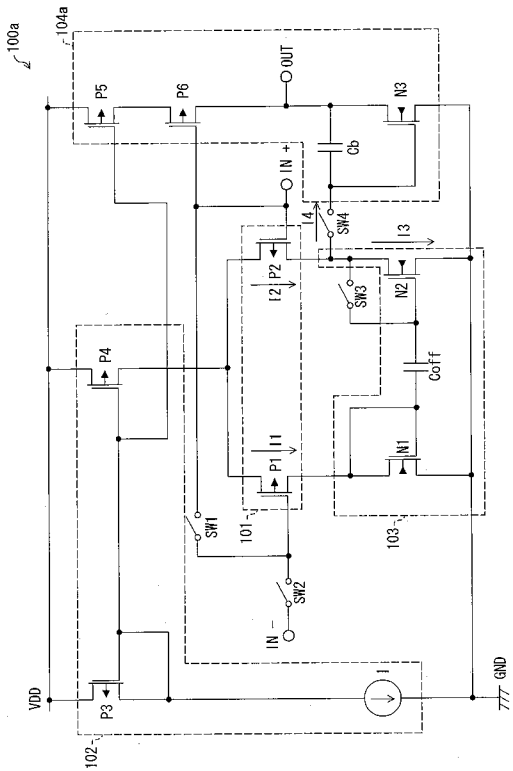
(a)



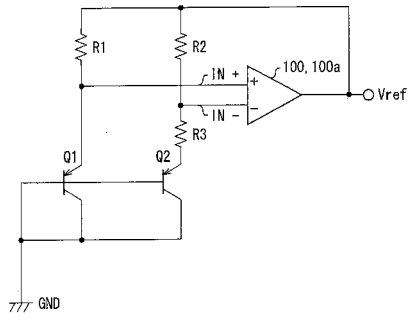
(b)



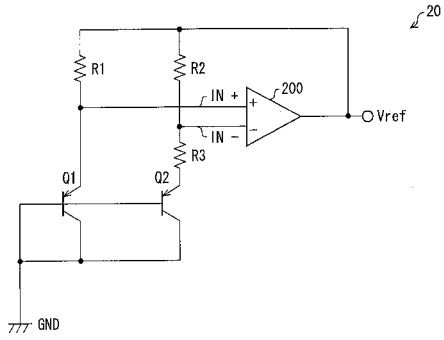
【図4】



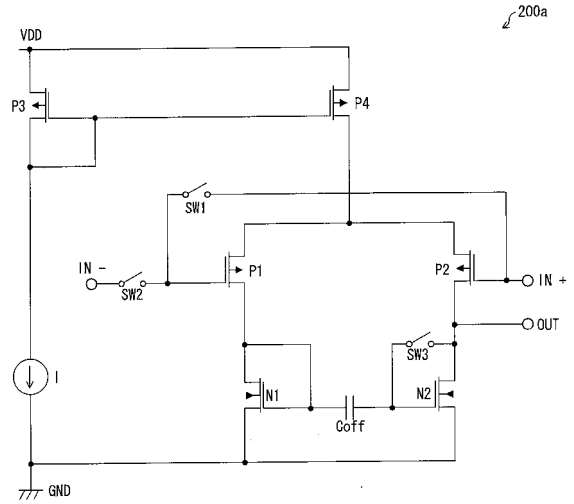
【 6 】



【 7 】



【 8 】



---

フロントページの続き

(72)発明者 加納 賢次  
兵庫県伊丹市松ヶ丘1丁目185番地

審査官 矢頭 尚之

(56)参考文献 特開2002-202748(JP,A)  
特開2005-182494(JP,A)  
特開平08-320730(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H03F 3/45  
G05F 3/30  
H03F 3/34