

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：97116430

※ 申請日期：97.5.5

※ I P C 分類：H01L 23/485(2006.01)

## 一、發明名稱：(中文/英文)

半導體元件暨嵌埋有半導體元件之封裝基板及其製法

PACKAGE SUBSTRATE HAVING SEMICONDUCTOR COMPONENT EMBEDDED THEREIN  
AND FABRICATION METHOD THEREOF

## 二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

欣興電子股份有限公司

UNIMICRON TECHNOLOGY CORP.

代表人：(中文/英文) 曾子章 / TSENG, TZYU-JANG

住居所或營業所地址：(中文/英文)

桃園縣桃園市龜山工業區興邦路 38 號

No. 38, Hsing Pong Rd., Kwei-San Industrial Zone, Taoyuan 333, Taiwan,  
R. O. C.

國 籍：(中文/英文) 中華民國/R. O. C.

## 三、發明人：(共 1 人)

姓 名：(中文/英文)

賈侃融 / CHIA, KAN-JUNG

國 籍：(中文/英文) 中華民國/R. O. C.

#### 四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 五、中文發明摘要：

一種半導體元件暨嵌埋有半導體元件之封裝基板及其製法，係提供作用面上具有複數電極墊之半導體晶片，於該作用面及電極墊上設有鈍化層，以及該鈍化層上對應該電極墊處設有金屬墊，以將該半導體晶片設置於基板本體之開口中，再以第一介電層形成於該半導體晶片及基板本體上，接著以雷射在第一介電層中形成介電層開孔，並藉由該金屬墊阻擋以避免貫穿該電極墊，然後移除該介電層開孔中之金屬墊及鈍化層，以露出該電極墊，再於該第一介電層上形成電性連接該電極墊之第一線路層，俾可避免習知須先在晶圓上製作擴充墊(Expanded Pad)當雷射擋止層，以降低晶圓製程之成本與時程。

## 六、英文發明摘要：

The invention provides a package substrate having semiconductor components embedded therein and a method of fabricating the same, comprising providing a semiconductor chip having a plurality of electrode pads formed on the active surface thereof; forming a passivation layer on the active surface and the electrode pads; forming a metal pad on the passivation layer at positions corresponding to each electrode pad; disposing a semiconductor chip into the opening of the substrate body; forming a first dielectric layer on the semiconductor chip and the substrate body respectively; forming an opening in the first dielectric layer by laser using the metal pad as a blocking layer to prevent the electrode pads from being penetrated through; removing the metal pad and the passivation layer from the opening formed in the dielectric layer to expose the electrode pads therefrom; forming a first circuit layer on the first dielectric layer for electrically connecting with the electrode pads, thereby eliminating the necessity to form expanded pads on the wafer as a blocking layer as in the prior art and thus reducing the manufacturing time and costs.

**七、指定代表圖：**

(一)本案指定代表圖為：第( 3G )圖。

(二)本代表圖之元件代表符號簡單說明：

20'	半導體晶片
201	電極墊
30	基板本體
31	第一介電層
34	第一線路層
341	第一導電盲孔

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無。

## 九、發明說明：

### 【發明所屬之技術領域】

本發明係有關於一種半導體結構及製法，尤指一種半導體元件暨嵌埋有半導體元件之封裝基板及其製法。

### 【先前技術】

隨著半導體封裝技術的演進，除了傳統打線式(Wire bonding)半導體封裝技術以外，目前半導體裝置(Semiconductor device)已開發出不同的封裝型態，例如直接在一封裝基板(package substrate)中嵌埋並電性整合一係如具有積體電路之半導體晶片，此種半導體裝置可縮減整體體積大小及厚度，並提昇電性功能，而此封裝結構遂逐漸成為一種封裝的主流。

請參閱第 1A 至 1L 圖美國專利第 6586276 號所揭示之習知嵌埋有半導體晶片之封裝基板之製法；如第 1A 圖所示，係提供一具有複數電極墊 101 之晶圓 10；如第 1B 圖所示，於該晶圓 10 上形成鈍化層 11；如第 1C 圖所示，於該鈍化層 11 中形成有第一開孔 110，以露出該電極墊 101；如第 1D 圖所示，於該鈍化層 11 及該電極墊 101 之表面覆蓋一黏著層 12；如第 1E 圖所示，再於該黏著層 12 之表面形成一保護層 13；如第 1F 圖所示，接著切割該晶圓 10 以形成複數半導體晶片 10a；如第 1G 圖所示，提供一具有開口 140 之基板本體 14，將該半導體晶片 10a 置於該基板本體 14 之開口 140 中，並以結合材料 15 形成於該基板本體 14 之開口 140 與半導體晶片 10a 之間隙

中，以將該半導體晶片 10a 固定於該開口 140 中；如第 1H 圖所示，於該半導體晶片 10a 之保護層 13、結合材料 15 及該基板本體 14 上形成一導電層 16；如第 1I 圖所示，接著於該導電層 16 上形成阻層 17，並於對應該些電極墊 101 之位置形成有阻層開口 170；如第 1J 圖所示，於該阻層開口 170 中之導電層 16 上電鍍形成擴充墊 (Expanded Pad) 18；如第 1K 圖所示，移除該阻層 17 及其所覆蓋之導電層 16、保護層 13 與黏著層 12，以露出該擴充墊 18 及鈍化層 11，其中該擴充墊 18 係大於該電極墊 101，以利於後續壓合介電層，再形成線路層時之對位；如第 1L 圖所示，復於該擴充墊 18、鈍化層 11 及基板本體 14 上形成增層結構 19，該增層結構 19 係包括有至少一介電層 191、疊置於該介電層上之線路層 192，以及形成於該介電層中並電性連接該擴充墊 18 之導電盲孔 193，且於該增層結構 19 表面具有複數電性連接該線路層 192 之電性接觸墊 194，又於該增層結構 19 上形成絕緣保護層 195，該絕緣保護層 195 形成有複數個絕緣保護層開口 1950 以對應露出該電性接觸墊 194。

由上可知，習知嵌埋有半導體晶片之封裝基板之製法中，需要於該鈍化層 11 及該電極墊 101 上先形成黏著層 12，再於該黏著層 12 上形成保護層 13，之後才將該晶圓 10 切割形成複數半導體晶片 10a；之後將該半導體晶片 10a 以結合材料 15 固定於該基板本體 14 之開口 140 中，接著再於該黏著層 12 及保護層 13 上形成擴充墊 18，之

後才於該形成有擴充墊 18 之半導體晶片 10a、結合材料 15 及基板本體 14 上形成增層結構 19 之介電層 191；即該半導體晶片 10a 必須以結合材料 15 先固定於該基板本體 14 之開口 140 中，因而增加製程複雜度；之後再於該半導體晶片 10a 之電極墊 101 上形成擴充墊 18，方可進行後續之增層結構 19，以藉由該擴充墊 18 避免在增層結構 19 之介電層 191 形成開孔時導致該半導體晶片 10a 之電極墊 101 受損，如此於製作擴充墊 18 之製程步驟將導致增加製程步驟、時間及生產成本，且該包括擴充墊 18 及導電盲孔 193 之電性連接結構亦為一複雜之結構。

因此，鑒於上述之問題，如何避免習知技術中加工成本高且浪費時間與結構複雜等問題，實已成目前亟欲解決的課題。

#### 【發明內容】

鑒於上述習知技術之缺失，本發明之一目的係提供一種半導體元件暨嵌埋有半導體元件之封裝基板及其製法，能簡化半導體元件結構並節省製程步驟。

本發明之又一目的係提供一種半導體元件暨嵌埋有半導體元件之封裝基板及其製法，能將導電盲孔直接電性連接半導體晶片之電極墊。

為達上述目的及其他目的，本發明揭露一種半導體元件，係包括：半導體晶片，係具有相對應之作用面及非作用面，於該作用面上具有複數電極墊；鈍化層，係設於該作用面及電極墊上；以及金屬墊，係設於該鈍化層上，並

對應該電極墊。

依上述結構，該鈍化層係由具有開孔以露出該電極墊之第一鈍化層及形成於該第一鈍化層上並覆蓋該電極墊之第二鈍化層所組成，其中該第一鈍化層係為氮化矽 ( $\text{Si}_3\text{N}_4$ ) 或二氧化矽 ( $\text{SiO}_2$ )，而該第二鈍化層係為聚醯亞胺 (Polyimide) 或苯並環丁烯 (BCB)。該金屬墊係為銅。

本發明復提供一種嵌埋有半導體元件之封裝基板，係包括：基板本體，係具有至少一開口；半導體晶片，係固定於該基板本體之開口中，該半導體晶片具有相對應之作用面及非作用面，於該作用面上具有複數電極墊及設於該作用面上之鈍化層，該鈍化層具有對應該電極墊之鈍化層開孔；金屬環，係設於該鈍化層開孔上；第一介電層，係設於該基板本體、鈍化層及金屬環上，並對應該電極墊形成貫穿之介電層開孔，以露出該電極墊；以及第一線路層，係設置於該第一介電層上，並於該介電層開孔及鈍化層開孔中設有第一導電盲孔以電性連接該電極墊，且該第一導電盲孔接觸該金屬環。

依上述之結構，該鈍化層係由具有開孔以露出該電極墊之第一鈍化層及形成於該第一鈍化層上並覆蓋該電極墊之第二鈍化層所組成，其中該第一鈍化層係為氮化矽 ( $\text{Si}_3\text{N}_4$ ) 或二氧化矽 ( $\text{SiO}_2$ )，而該第二鈍化層係為聚醯亞胺 (Polyimide) 或苯並環丁烯 (BCB)。

該第一介電層及第一線路層上設有增層結構，該增層結構係包括有至少一第二介電層、疊置於該第二介電層上



之第二線路層、以及複數設於該第二介電層中並電性連接該第一線路層及第二線路層之第二導電盲孔，並於該增層結構上具有電性連接該第二線路層之電性接觸墊，又於該增層結構上設有絕緣保護層，且該絕緣保護層中具有複數絕緣保護層開孔，以對應露出該電性接觸墊。

本發明再提供一種嵌埋有半導體元件之封裝基板製法，係包括：提供一具有相對應之作用面及非作用面之晶圓，於該作用面上具有複數電極墊及形成於該作用面上之鈍化層，且於該鈍化層上設有相對應該電極墊處之金屬墊；切割該晶圓以形成複數半導體晶片；提供一具有開口之基板本體，並將該半導體晶片容設於該開口中；於該基板本體及半導體晶片上形成第一介電層，並使該第一介電層填入該基板本體之開口與半導體晶片之間的間隙中，以將該半導體晶片固定於該開口中；以雷射於該第一介電層中形成相對應該金屬墊之介電層開孔，並露出該金屬墊之部份表面；移除該介電層開孔中之金屬墊及鈍化層，以形成鈍化層開孔並露出該電極墊，並使該金屬墊形成一金屬環；於該第一介電層上形成有第一線路層，該第一線路層具有複數形成於該介電層開孔及鈍化層開孔中之第一導電盲孔，以電性連接該電極墊，且該第一導電盲孔接觸該金屬環；以及移除該阻層及其所覆蓋之導電層。

依上述製法，該金屬墊係為金屬層蝕刻或物理濺鍍形成；該鈍化層係由具有開孔以露出該電極墊之第一鈍化層及形成於該第一鈍化層上並覆蓋該電極墊之第二鈍化

層所組成，其中該第一鈍化層係為氮化矽 ( $\text{Si}_3\text{N}_4$ ) 或二氧化矽 ( $\text{SiO}_2$ )，而該第二鈍化層係為聚醯亞胺 (Polyimide) 或苯並環丁烯 (BCB)；該雷射係為二氧化碳雷射。

該晶圓之作用面上形成鈍化層之製法，係包括：於該晶圓上形成第一鈍化層，並於該第一鈍化層中形成開孔以露出該電極墊；於該電極墊、第一鈍化層及其開孔上形成第二鈍化層；以及於該第二鈍化層上對應該電極墊之位置形成該金屬墊。

該介電層開孔中之金屬墊及鈍化層係同步移除，或先移除該金屬墊，再移除該鈍化層。

該第一線路層及第一導電盲孔之製法，係包括：於該電極墊上、鈍化層開孔、第一介電層及其介電層開孔表面形成有導電層；於該導電層上形成有阻層，該阻層中形成有複數阻層開口，以露出該第一介電層上之導電層部份表面、介電層開孔與鈍化層開孔中導電層；以及於該阻層開口中之導電層上電鍍形成該第一線路層，且於該阻層開口、介電層開孔及鈍化層開孔中形成該第一導電盲孔，以電性連接該電極墊。

該第一介電層及第一線路層上形成增層結構，該增層結構係包括有至少一第二介電層、疊置於該第二介電層上之第二線路層、以及複數形成於該第二介電層中並電性連接該第一線路層及第二線路層之第二導電盲孔，並於該增層結構上具有電性連接該第二線路層之電性接觸墊，又於

該增層結構上形成有絕緣保護層，且該絕緣保護層中具有複數絕緣保護層開孔，以對應露出該電性接觸墊。

因此，本發明之半導體元件暨嵌埋有半導體元件之封裝基板及其製法，係將具有設於鈍化層上並相對該電極墊之金屬墊的晶圓切割成複數半導體晶片，將該半導體晶片設置於該基板本體之開口中，再以第一介電層形成於該半導體晶片及基板本體上，以將該半導體晶片固定於該基板本體之開口中，俾以免除習知以結合材料固定再形成介電層，而增加製程之缺失；接著，以雷射在第一介電層中形成介電層層開孔，並藉由該金屬墊阻擋以避免貫穿該電極墊，然後再移除該介電層開孔中之金屬墊及鈍化層，以露出該半導體晶片之電極墊，再於該第一介電層上形成第一線路層，並電性連接該電極墊，俾可免除習知必須先製作擴充墊，然後再形成增層結構之缺失，以降低晶圓製程之成本與產品製作之時程；因此，本發明具有保護半導體晶片電極墊、並能直接電性導接及節省製程步驟之效果。

### 【實施方式】

以下藉由特定的具體實施例說明本發明之實施方式，熟悉此技藝之人士可由本說明書所揭示之內容輕易地瞭解本發明之其他優點及功效。

#### [第一實施例]

請參閱第 2A 至 2D 圖及第 3A 至 3H 圖，係為本發明半導體元件暨嵌埋有半導體元件之封裝基板及其製法。

請參閱第 2A 至 2D 圖，係為晶圓上形成鈍化層及金屬

墊之製法。

如第 2A 圖所示，提供一具有相對應之作用面 20a 及非作用面 20b 之晶圓 20，於該作用面 20a 上具有複數電極墊 201。

如第 2B 圖所示，於該晶圓 20 之作用面 20a 上形成例如為氮化矽 ( $\text{Si}_3\text{N}_4$ ) 或二氧化矽 ( $\text{SiO}_2$ ) 之第一鈍化層 22a，且該第一鈍化層 22a 形成有開孔 220a 以露出該電極墊 201 之部份表面。

如第 2C 圖所示，於該電極墊 201 及第一鈍化層 22a 上形成例如為聚醯亞胺 (Polyimide) 或苯並環丁烯 (BCB) 之第二鈍化層 22b，使該第一鈍化層 22a 及第二鈍化層 22b 組成鈍化層 22。

如第 2D 圖所示，於該鈍化層 22 上以金屬層蝕刻或物理濺鍍形成金屬墊 23；其中該金屬層蝕刻係先形成一金屬層，再於該金屬層上形成阻層，並於阻層中形成有非對應該電極墊之阻層開口，以露出部份之金屬層，移除未被該阻層所覆蓋之金屬層，最後再移除該阻層，以露出該金屬墊；該物理濺鍍則以一光罩置於該鈍化層上，且該光罩具有對應該電極墊之穿孔，於該穿孔中以物理濺鍍形成該金屬墊，最後移除該光罩以露出該金屬墊。

請參閱第 3A 圖，接著對該晶圓 20 進行切割以形成複數半導體晶片 20'，因此，本發明提供一種半導體元件，包括：半導體晶片 20'，係具有相對應之作用面 20a 及非作用面 20b，於該作用面 20a 上具有複數電極墊 201；鈍

化層 22，係設於該作用面 20a 及電極墊 201 上；以及金屬墊 23，係設於該鈍化層 22 上，並對應該電極墊 201。

該鈍化層 22 係由具有開孔 220a 以露出該電極墊 201 之第一鈍化層 22a 及形成於該第一鈍化層 22a 上並覆蓋該電極墊 201 之第二鈍化層 22b 所組成，其中該第一鈍化層 22a 係為氮化矽 ( $\text{Si}_3\text{N}_4$ )，而該第二鈍化層 22b 係為聚醯亞胺 (Polyimide)。該金屬墊 23 係為銅。

請參閱第 3A 至 3H 圖，係為接續將半導體晶片嵌埋於封裝基板之製法流程剖視圖。

如第 3A 圖所示，提供一係如第 2D 圖之晶圓 20，且該晶圓 20 經切割以形成複數半導體晶片 20'，該半導體晶片 20' 具有相對應之作用面 20a 及非作用面 20b，於該作用面 20a 上具有複數電極墊 201 及形成於該作用面 20a 上之鈍化層 22，且於該鈍化層 22 上對應該電極墊 201 設有金屬墊 23。

如第 3B 圖所示，提供一具有開口 300 之基板本體 30，於該開口 300 中容置該半導體晶片 20'，且於該半導體晶片 20' 及基板本體 30 上形成第一介電層 31，該第一介電層 31 並填入該開口 300 與半導體晶片 20' 之間間隙中，以將該半導體晶片 20' 固定於該開口 300 中。

如第 3C 圖所示，利用例如二氧化碳雷射於該第一介電層 31 中形成介電層開孔 310，並露出該金屬墊 23 之部份表面，藉由該金屬墊 23 阻擋以避免雷射貫穿該電極墊 201。

如第 3D 圖所示，接著，依序移除該金屬墊 23(以微蝕刻方式移除)再移除該鈍化層 22，以形成鈍化層開孔 220 並露出該電極墊 201，並使該金屬墊形成一金屬環 23'。

如第 3E 圖所示，於該電極墊 201 上、鈍化層開孔 220、第一介電層 31 及該介電層開孔 310 表面形成導電層 32，該導電層 32 主要作為後述電鍍金屬材料所需之電流傳導路徑，其可由金屬、合金或沉積數層金屬層所構成，或可使用導電高分子材料以作為該導電層 32；然後，於該導電層 32 上形成阻層 33，該阻層 33 係為乾膜或液態光阻等光阻層(Photoresist)，其係利用印刷、旋塗或貼合等方式形成於該導電層 32 表面，再藉由曝光、顯影等方式加以圖案化，使該阻層 33 中形成有複數阻層開口 330，以露出該第一介電層 31 上之導電層 32 部份表面，以及介電層開孔 310 與鈍化層開孔 220 中之導電層 32。

如第 3F 圖所示，藉由該導電層 32 作為電流傳導路徑，以於該阻層開口 330 中之導電層 32 上電鍍形成第一線路層 34，且於該阻層開口 330、介電層開孔 310 及鈍化層開孔 220 中形成第一導電盲孔 341，以電性連接該電極墊 201，且該第一導電盲孔 341 接觸該金屬環 23'。

如第 3G 圖所示，移除該阻層 33 及其所覆蓋之導電層 32，以露出該第一介電層 31 及第一線路層 34。

如第 3H 圖所示，最後，於該第一介電層 31 及第一線路層 34 上形成增層結構 35，該增層結構 35 係包括有至

少一第二介電層 351、疊置於該第二介電層上之第二線路層 352、以及複數形成於該第二介電層中並電性連接該第一線路層 34 及第二線路層 352 之第二導電盲孔 353，並於該增層結構 35 具有電性連接該第二線路層 352 之電性接觸墊 354，接著於該增層結構 35 上形成絕緣保護層 36，且該絕緣保護層 36 中具有複數絕緣保護層開孔 360，以對應露出該電性接觸墊 354。

本發明復提供一種嵌埋有半導體元件之封裝基板，係包括：基板本體 30，係具有至少一開口 300；半導體晶片 20'，係固定於該基板本體 30 之開口 300 中，該半導體晶片 20' 具有相對應之作用面 20a 及非作用面 20b，於該作用面 20a 上具有複數電極墊 201 及設於該作用面 20a 上之鈍化層 22，該鈍化層 22 具有對應該電極墊 201 之鈍化層開孔 220；金屬環 23'，係設於該鈍化層開孔 220 上；第一介電層 31，係設於該基板本體 30、鈍化層 22 及金屬環 23' 上，並對應該電極墊 201 形成貫穿之介電層開孔 310，以露出該電極墊 201；以及第一線路層 34，係設置於該第一介電層 31 上，並於該介電層開孔 310 及鈍化層開孔 220 中設有第一導電盲孔 341 以電性連接該電極墊 201，且該第一導電盲孔 341 接觸該金屬環 23'。

依上述結構，該鈍化層 22 係由具有開孔 220a 以露出該電極墊 201 之第一鈍化層 22a 及形成於該第一鈍化層 22a 上並覆蓋該電極墊 201 之第二鈍化層 22b 所組成，其中該第一鈍化層 22a 係為氮化矽 ( $\text{Si}_3\text{N}_4$ ) 或二氧化矽

(SiO<sub>2</sub>)，而該第二鈍化層 22b 係為聚醯亞胺 (Polyimide) 或苯並環丁烯 (BCB)。

該第一介電層 31 及第一線路層 34 上設有增層結構 35，該增層結構 35 係包括有至少一第二介電層 351、疊置於該第二介電層上之第二線路層 352、以及複數設於該第二介電層中並電性連接該第二線路層 352 之第二導電盲孔 353，該第二導電盲孔 353 電性連接至該第一線路層 34，並於該增層結構 35 具有電性連接該第二線路層 352 之電性接觸墊 354，又於該增層結構 35 上設有絕緣保護層 36，且該絕緣保護層 36 中具有複數絕緣保護層開孔 360，以對應露出該電性接觸墊 354。

因此，本發明之半導體元件暨嵌埋有半導體元件之封裝基板及其製法，係將具有設於鈍化層上並相對該電極墊之金屬墊的晶圓切割成複數半導體晶片，將該半導體晶片設置於該基板本體之開口中，再以第一介電層形成於該半導體晶片及基板本體上，以將該半導體晶片固定於該基板本體之開口中，俾以免除習知以結合材料固定再形成介電層，而增加製程之缺失；接著，以雷射在第一介電層中形成介電層層開孔，並藉由該金屬墊阻擋以避免貫穿該電極墊，然後再移除該介電層開孔中之金屬墊及鈍化層，以露出該半導體晶片之電極墊，再於該第一介電層上形成第一線路層，並於該介電層開孔、鈍化層開孔中形成第一導電盲孔以電性連接該電極墊，俾可免除習知必須先製作擴充墊以保護電極墊，然後再形成增層結構之缺失，以降低晶



圓製程之成本與產品製作之時程；因此，本發明具有保護半導體晶片電極墊、並能直接電性導接及節省製程步驟之效果。

上述實施例係用以例示性說明本發明之原理及其功效，而非用於限制本發明。任何熟習此項技藝之人士均可在不違背本發明之精神及範疇下，對上述實施例進行修改。因此本發明之權利保護範圍，應如後述之申請專利範圍所列。

### 【圖式簡單說明】

第 1A 至 1L 圖係顯示習知嵌埋有半導體元件之封裝基板製法的剖視示意圖；

第 2A 至 2D 圖係為本發明中於晶圓作用面上形成鈍化層之製法的剖視示意圖；以及

第 3A 至 3H 圖係為本發明之嵌埋有半導體元件之封裝基板製法之剖視示意圖。

### 【主要元件符號說明】

10、20	晶圓
101、201	電極墊
10a、20'	半導體晶片
11、22	鈍化層
110	第一開孔
12	黏著層
13	保護層
14、30	基板本體

140、300	開口
15	結合材料
16、32	導電層
17、33	阻層
170、330	阻層開口
18	擴充墊
19、35	增層結構
191	介電層
192	線路層
193	導電盲孔
194、354	電性接觸墊
195、36	絕緣保護層
1950、360	絕緣保護層開孔
20a	作用面
20b	非作用面
220	鈍化層開孔
220a	開孔
22a	第一鈍化層
22b	第二鈍化層
23	金屬墊
23'	金屬環
31	第一介電層
310	介電層開孔
34	第一線路層

- 341 第一導電盲孔
- 351 第二介電層
- 352 第二線路層
- 353 第二導電盲孔

## 十、申請專利範圍：

### 1. 一種半導體元件，係包括：

半導體晶片，係具有相對應之作用面及非作用面，於該作用面上具有複數電極墊；

鈍化層，係設於該作用面及電極墊上，該鈍化層係由具有開孔以露出該電極墊之第一鈍化層及形成於該第一鈍化層上並覆蓋該電極墊之第二鈍化層所組成；以及

金屬墊，係設於該第二鈍化層上，並對應該電極墊位置。

### 2. 如申請專利範圍第 1 項之半導體元件，其中，該第一鈍化層係為氮化矽 ( $\text{Si}_3\text{N}_4$ ) 或二氧化矽 ( $\text{SiO}_2$ )。

### 3. 如申請專利範圍第 1 項之半導體元件，其中，該第二鈍化層係為聚醯亞胺 (Polyimide) 或苯並環丁烯 (BCB)。

### 4. 如申請專利範圍第 1 項之半導體元件，其中，該金屬墊係為銅。

### 5. 一種嵌埋有半導體元件之封裝基板，係包括：

基板本體，係具有至少一開口；

半導體晶片，係固定於該基板本體之開口中，該半導體晶片具有相對應之作用面及非作用面，於該作用面上具有複數電極墊及設於該作用面上之鈍化層，該鈍化層具有對應該電極墊之鈍化層開孔，該鈍化層係由具有開孔以露出該電極墊之第一鈍化層及

形成於該第一鈍化層上並覆蓋該電極墊之第二鈍化層所組成；

金屬環，係設於該鈍化層開孔上；

第一介電層，係設於該基板本體、鈍化層及金屬環上，並對應該電極墊形成貫穿之介電層開孔，以露出該電極墊；以及

第一線路層，係設置於該第一介電層上，並於該介電層開孔及鈍化層開孔中設有第一導電盲孔以電性連接該電極墊，且該第一導電盲孔接觸該金屬環。

6. 如申請專利範圍第 5 項之嵌埋有半導體元件之封裝基板，其中，該第一鈍化層係為氮化矽 ( $\text{Si}_3\text{N}_4$ ) 或二氧化矽 ( $\text{SiO}_2$ )。
7. 如申請專利範圍第 5 項之嵌埋有半導體元件之封裝基板，其中，該第二鈍化層係為聚醯亞胺 (Polyimide) 或苯並環丁烯 (BCB)。
8. 如申請專利範圍第 5 項之嵌埋有半導體元件之封裝基板，復包括有增層結構，係設於該第一介電層及第一線路層上。
9. 如申請專利範圍第 7 項之嵌埋有半導體元件之封裝基板，其中，該增層結構係包括有至少一第二介電層、疊置於該第二介電層上之第二線路層、以及複數設於該第二介電層中並電性連接該第一線路層及第二線路層之第二導電盲孔，且該增層結構具有電性連接該第二線路層之電性接觸墊。

10. 如申請專利範圍第 9 項之嵌埋有半導體元件之封裝基板，復包括於該增層結構上設有絕緣保護層，且該絕緣保護層中具有複數絕緣保護層開孔，以對應露出該電性接觸墊。

11. 一種嵌埋有半導體元件之封裝基板製法，係包括：

提供一具有相對應作用面及非作用面之晶圓，於該作用面上具有複數電極墊及形成於該作用面上之鈍化層，該鈍化層係由具有開孔以露出該電極墊之第一鈍化層及形成於該第一鈍化層上並覆蓋該電極墊之第二鈍化層所組成，且於該第二鈍化層上設有相對應該電極墊之金屬墊；

切割該晶圓以形成複數半導體晶片；

提供一具有開口之基板本體，並將該半導體晶片容設於該開口中；

於該基板本體及半導體晶片上形成第一介電層，並使該第一介電層填入該基板本體之開口與半導體晶片之間間隙中，以將該半導體晶片固定於該開口中；

以雷射於該第一介電層中形成相對應該金屬墊之介電層開孔，並露出該金屬墊之部份表面；

移除該介電層開孔中之金屬墊及鈍化層，以形成鈍化層開孔並露出該電極墊，並使該金屬墊形成一金屬環；

於該第一介電層上形成第一線路層，該第一線路

層具有複數形成於該介電層開孔及鈍化層開孔中之第一導電盲孔，以電性連接該電極墊，且該第一導電盲孔接觸該金屬環；以及

移除該阻層及其所覆蓋之導電層。

12. 如申請專利範圍第 11 項之嵌埋有半導體元件之封裝基板製法，其中，該金屬墊係利用金屬層蝕刻或物理濺鍍形成。

13. 如申請專利範圍第 11 項之嵌埋有半導體元件之封裝基板製法，其中，該第一鈍化層係為氮化矽 ( $\text{Si}_3\text{N}_4$ ) 或二氧化矽 ( $\text{SiO}_2$ )。

14. 如申請專利範圍第 11 項之嵌埋有半導體元件之封裝基板製法，其中，該第二鈍化層係為聚醯亞胺 (Polyimide) 或苯並環丁烯 (BCB)。

15. 如申請專利範圍第 11 項之嵌埋有半導體元件之封裝基板製法，其中，於該晶圓之作用面上形成鈍化層及金屬墊之製法，係包括：

於該晶圓上形成第一鈍化層，並於該第一鈍化層中形成開孔以露出該電極墊；

於該電極墊、第一鈍化層及其開孔上形成第二鈍化層；以及

於該第二鈍化層上對應該電極墊之位置形成該金屬墊。

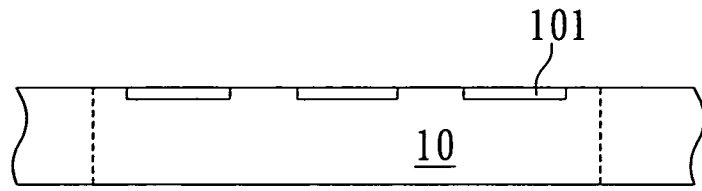
16. 如申請專利範圍第 11 項之嵌埋有半導體元件之封裝基板製法，其中，該雷射係為二氧化碳雷射。

17. 如申請專利範圍第 11 項之嵌埋有半導體元件之封裝基板製法，其中，該介電層開孔中之金屬墊及鈍化層，係先移除該金屬墊，再移除該鈍化層。
18. 如申請專利範圍第 11 項之嵌埋有半導體元件之封裝基板製法，其中，該第一線路層及第一導電盲孔之製法，係包括：
- 於該電極墊上、鈍化層開孔、第一介電層及其介電層開孔表面形成有導電層；
- 於該導電層上形成有阻層，該阻層中形成有複數阻層開口，以露出該第一介電層上之導電層部份表面、介電層開孔與鈍化層開孔中導電層；以及
- 於該阻層開口中之導電層上電鍍形成該第一線路層，且於該阻層開口、介電層開孔及鈍化層開孔中形成該第一導電盲孔，以電性連接該電極墊。
19. 如申請專利範圍第 11 項之嵌埋有半導體元件之封裝基板製法，復包括於該第一介電層及第一線路層上形成增層結構。
20. 如申請專利範圍第 19 項之嵌埋有半導體元件之封裝基板製法，其中，該增層結構係包括有至少一第二介電層、疊置於該第二介電層上之第二線路層、以及複數形成於該第二介電層中並電性連接該第一線路層及第二線路層之第二導電盲孔，且該增層結構上具有電性連接該第二線路層之電性接觸墊。
21. 如申請專利範圍第 20 項之嵌埋有半導體元件之封裝

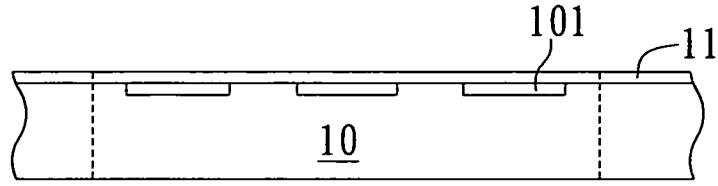


年 月 日修正替換頁  
101. 8. 23第 97116430 號專利申請案  
101 年 8 月 23 日修正替換頁

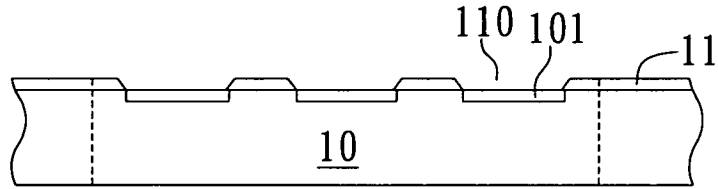
基板製法，復包括於該增層結構上形成絕緣保護層，且該絕緣保護層中具有複數絕緣保護層開孔，以對應露出該電性接觸墊。



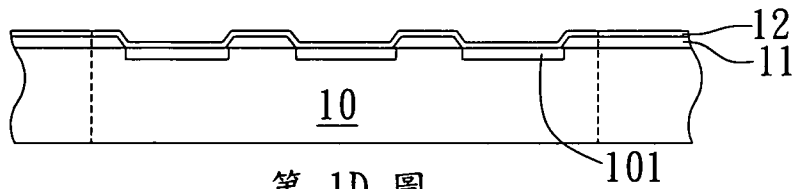
第 1A 圖



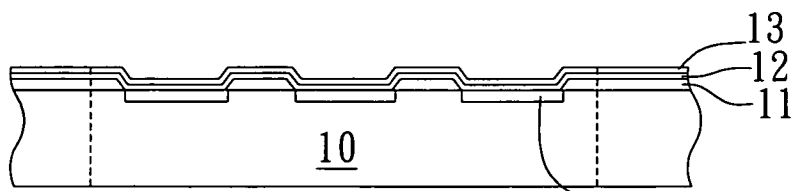
第 1B 圖



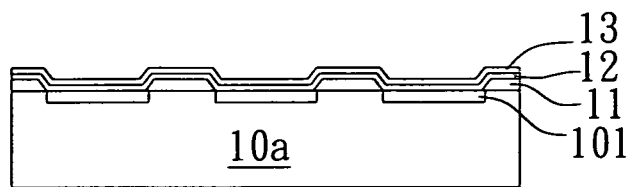
第 1C 圖



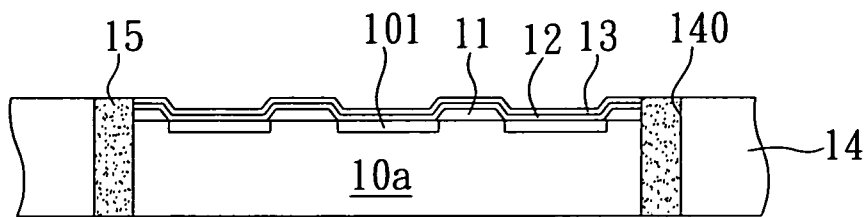
第 1D 圖



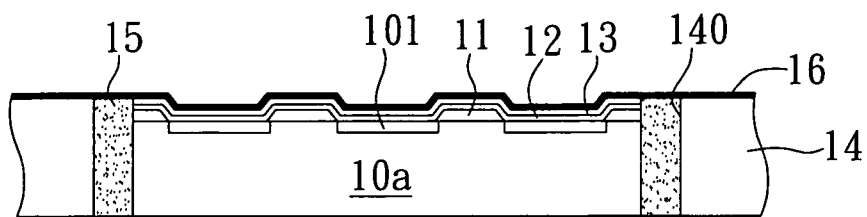
第 1E 圖



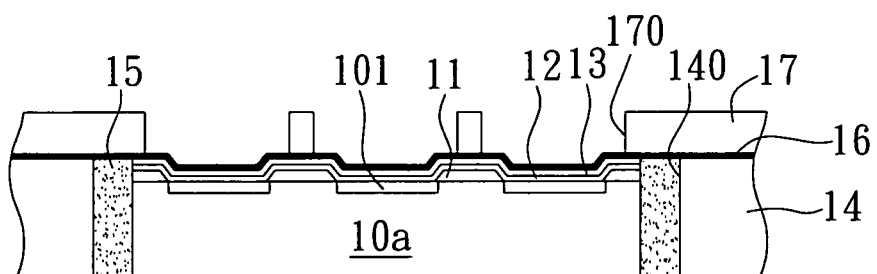
第 1F 圖



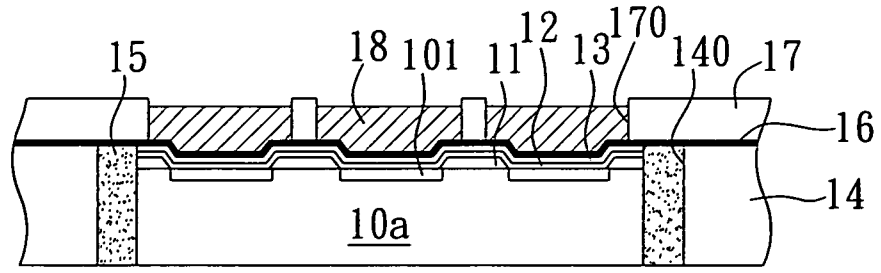
第 1G 圖



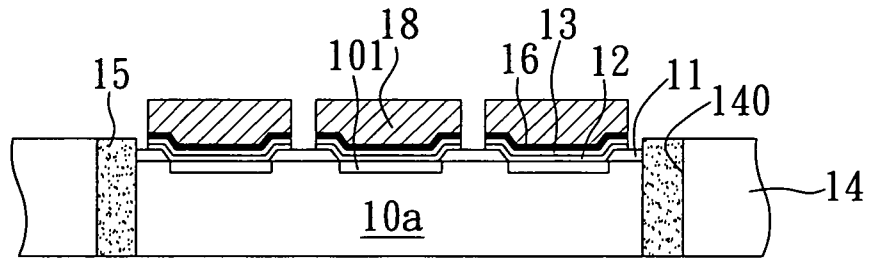
第 1H 圖



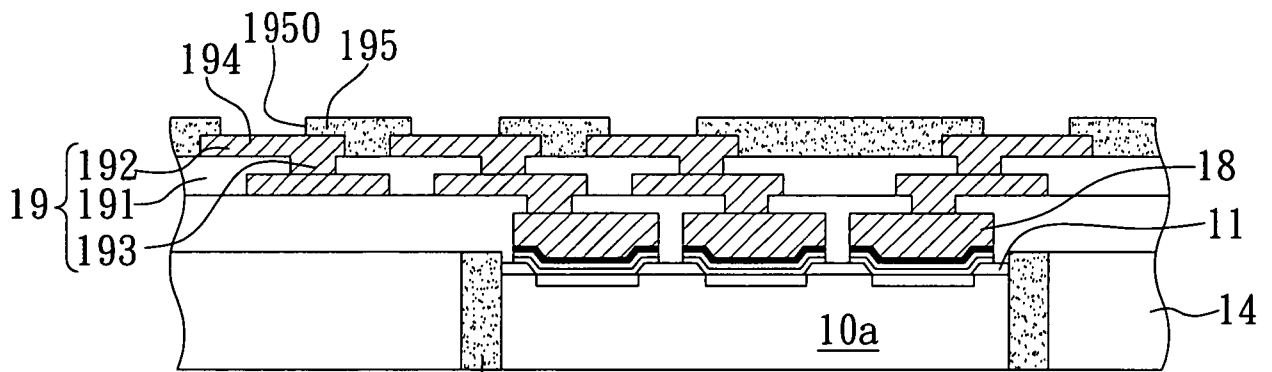
第 1I 圖



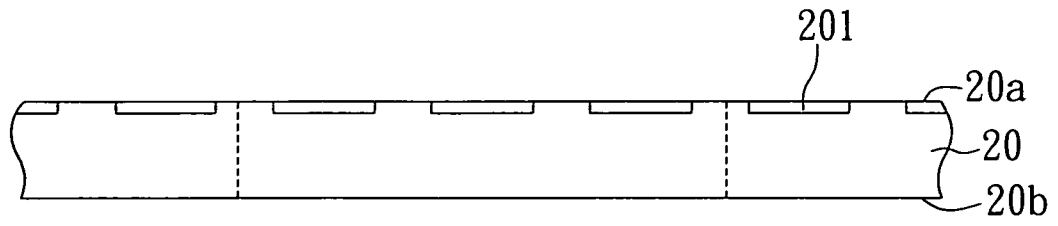
第 1J 圖



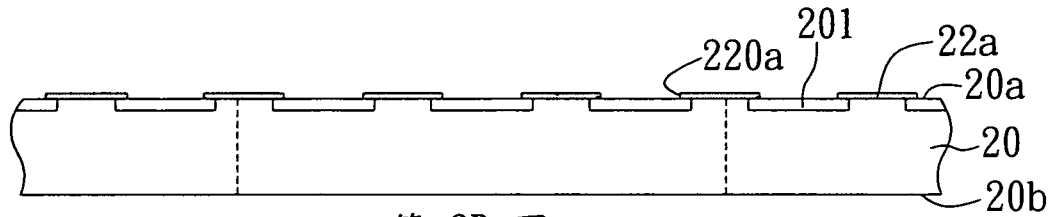
第 1K 圖



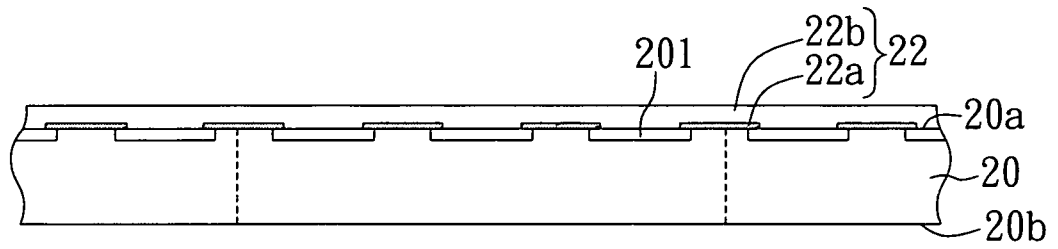
第 1L 圖



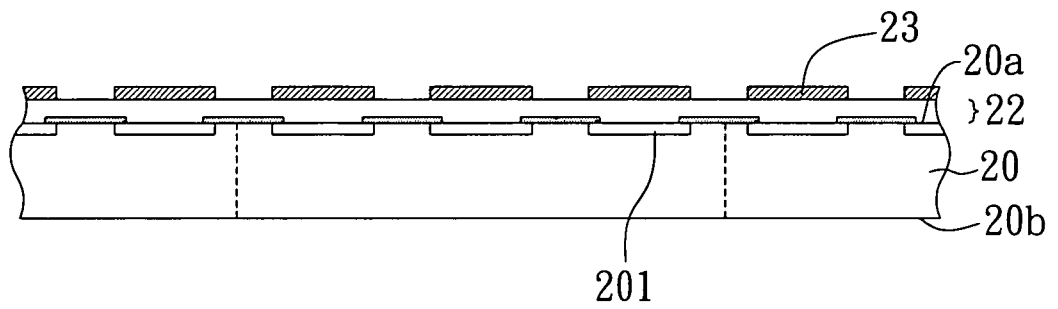
第 2A 圖



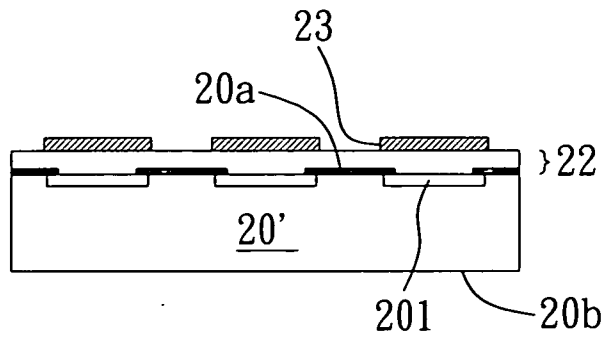
第 2B 圖



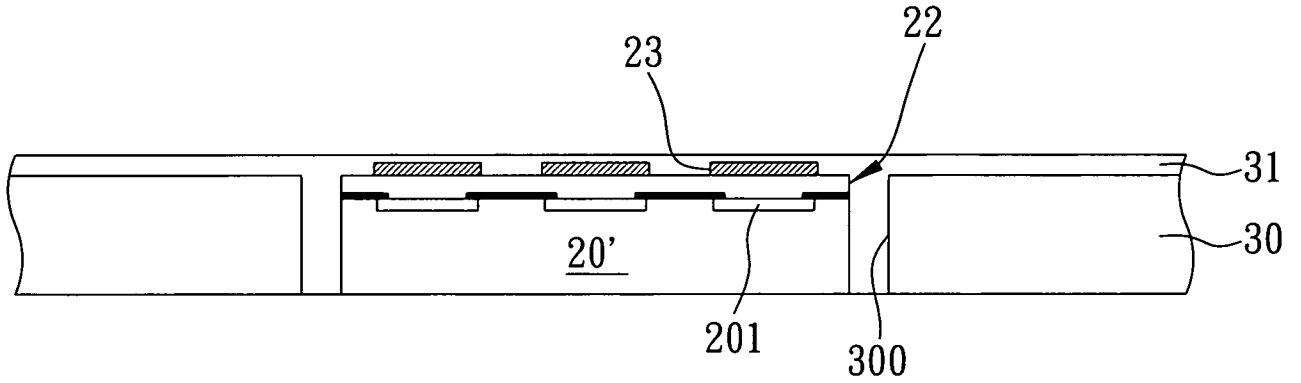
第 2C 圖



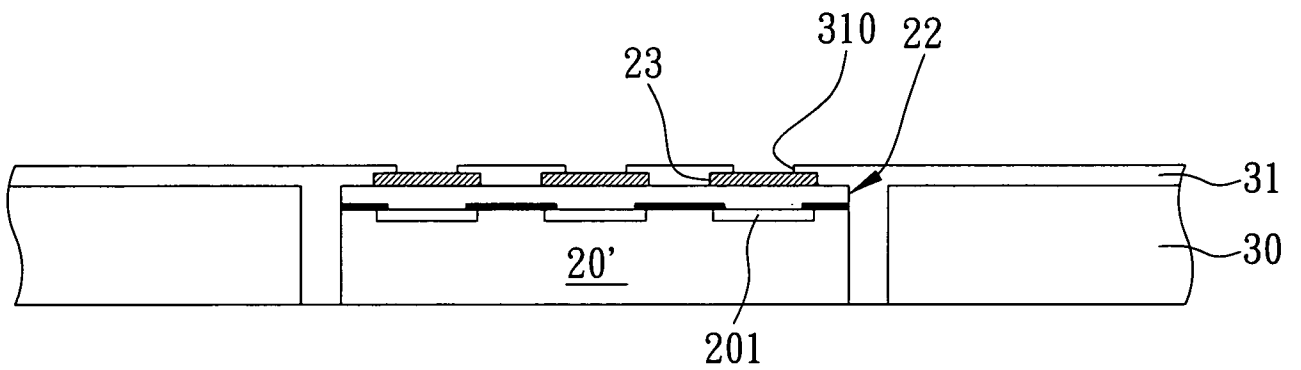
第 2D 圖



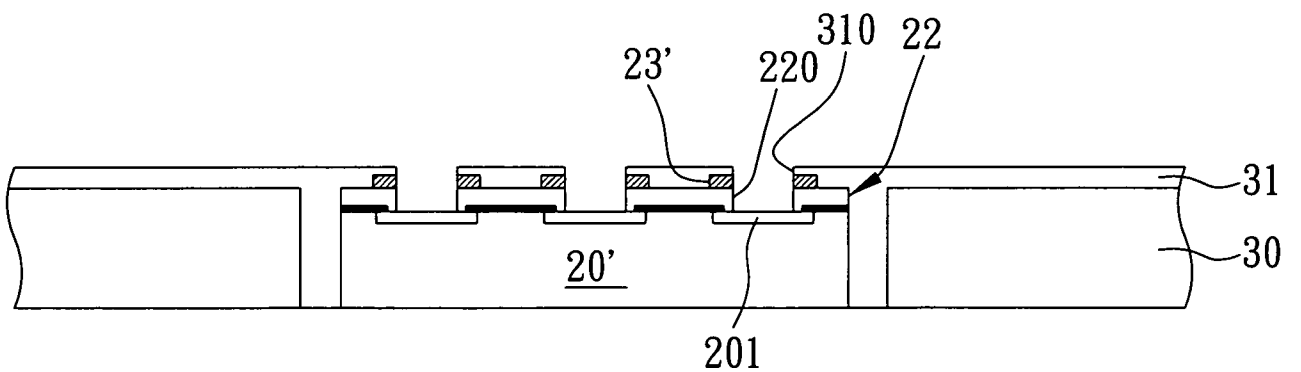
第 3A 圖



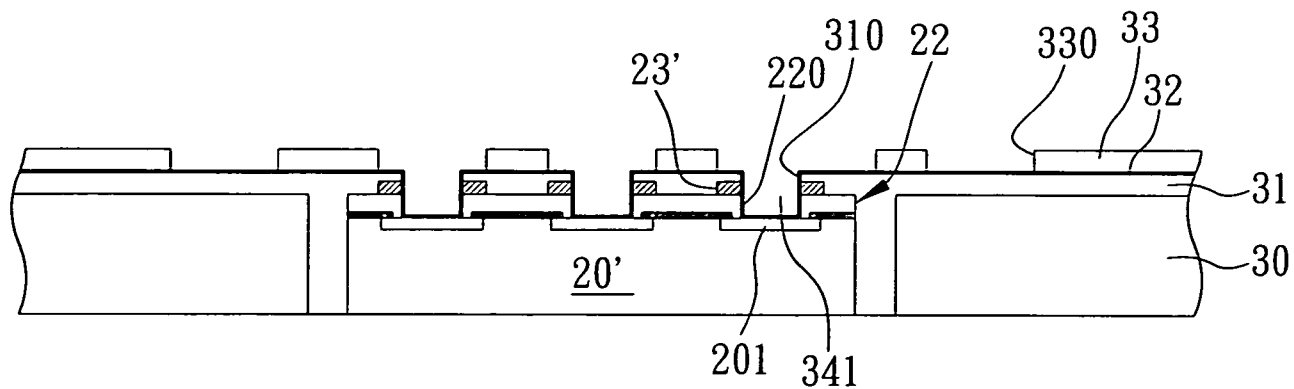
第 3B 圖



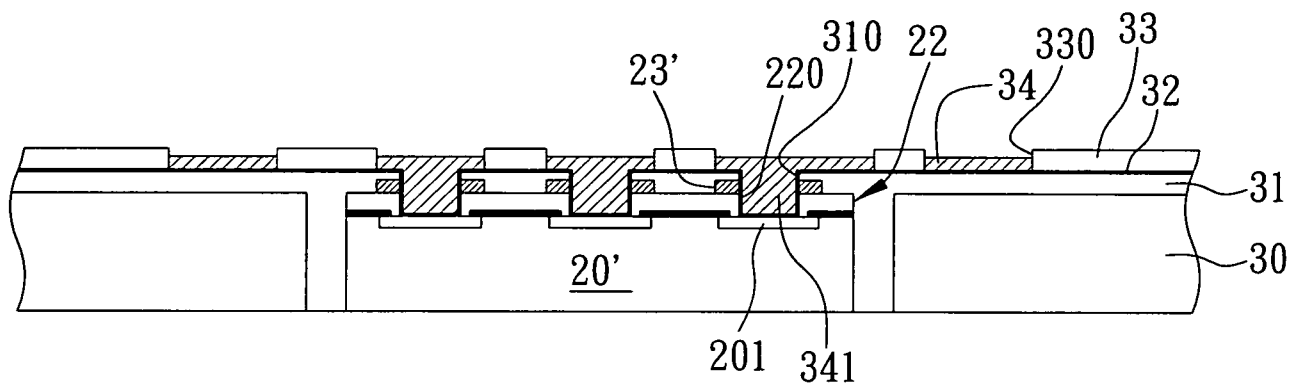
第 3C 圖



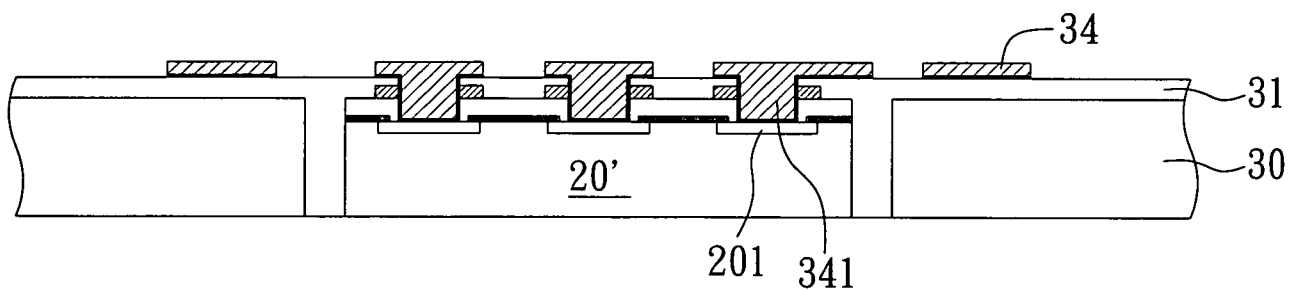
第 3D 圖



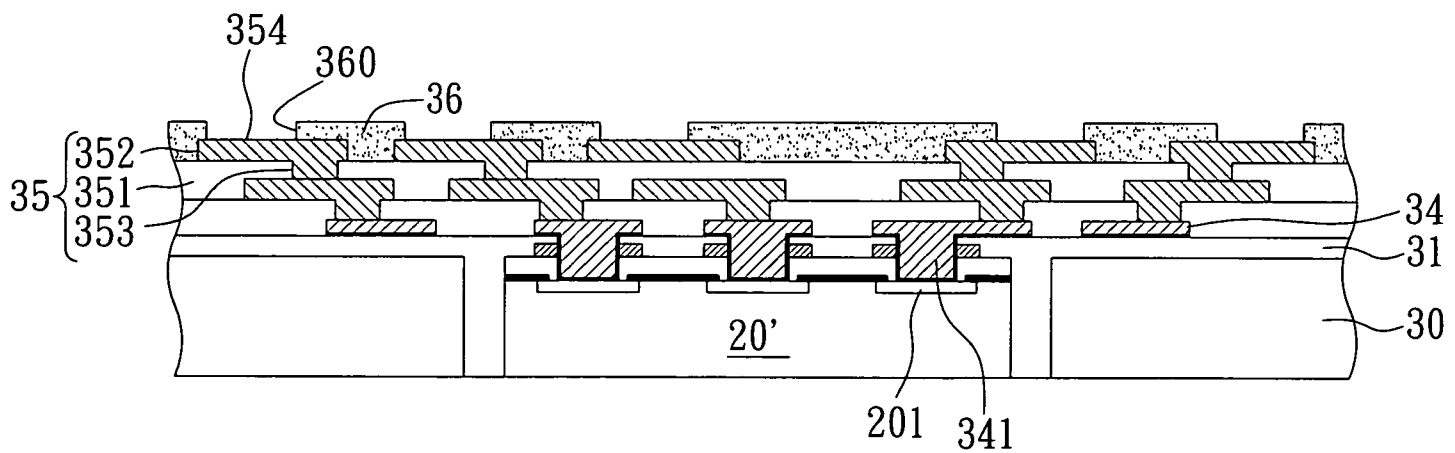
第 3E 圖



第 3F 圖



第 3G 圖



第 3H 圖