



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0005368  
(43) 공개일자 2021년01월14일

- (51) 국제특허분류(Int. Cl.)  
H01L 27/32 (2006.01) H01L 51/52 (2006.01)
- (52) CPC특허분류  
H01L 27/3276 (2013.01)  
H01L 27/3211 (2013.01)
- (21) 출원번호 10-2019-0080338
- (22) 출원일자 2019년07월03일  
심사청구일자 없음

- (71) 출원인  
삼성디스플레이 주식회사  
경기도 용인시 기흥구 삼성로 1 (농서동)
- (72) 발명자  
이승록  
경기도 화성시 동탄기흥로353번길 77 (오산동 , 동탄2신도시에일린의뜰) 1603동 1103호
- 권도현  
경기도 성남시 분당구 판교원로82번길 30 1301동 2703호 (운중동, 산운마을13단지아파트)
- (74) 대리인  
특허법인 고려

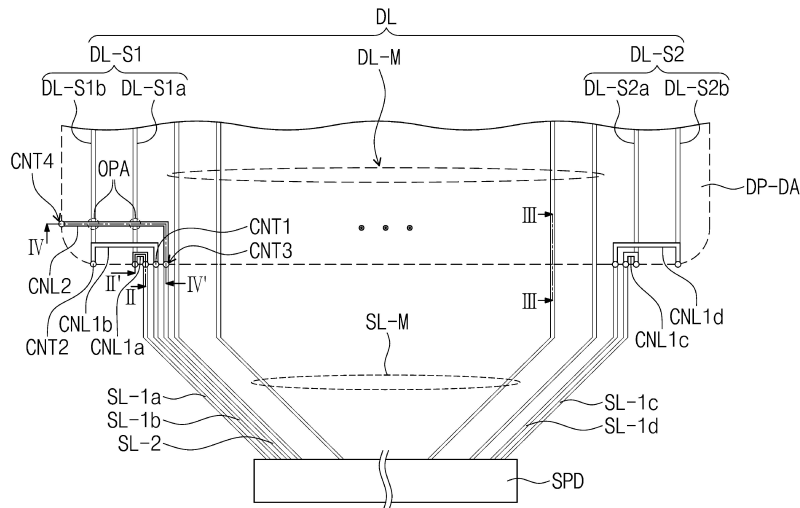
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 표시장치

(57) 요약

표시장치는, 베이스기판, 상기 베이스기판 상에 배치된 구동칩, 상기 구동칩에 전기적으로 연결된 제1 서브 라인 및 상기 표시 영역에 중첩하며 상기 제1 서브 라인과 평면상에서 이격된 제2 서브 라인을 갖는 제1 신호 라인을 포함하는 신호 라인 그룹, 상기 베이스기판 상에 배치된 절연층, 상기 절연층에 정의된 제1 컨택홀을 통해 상기 제1 서브 라인에 전기적으로 연결된 일단 및 상기 절연층에 정의된 제2 컨택홀을 통해 상기 제2 서브 라인에 전기적으로 연결된 타단을 포함하는 제1 연결 라인, 상기 절연층 상에 배치된 봉지층, 상기 평면상에서 상기 제1 연결 라인에 중첩한 차광층, 상기 차광층 상에 배치되며 상기 차광층에 의해 구획된 복수 개의 컬러 필터층을 포함하는 컬러 필터층을 포함한다.

대표도 - 도6



(52) CPC특허분류

*H01L 27/322* (2013.01)

*H01L 51/5237* (2013.01)

*H01L 51/5284* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

표시 영역 및 상기 표시 영역에 인접한 비표시 영역이 정의된 베이스기판;

상기 비표시 영역에 중첩하며 상기 베이스기판 상에 배치된 구동칩;

상기 베이스기판 상에 배치되고, 상기 구동칩에 전기적으로 연결된 제1 서브 라인 및 상기 표시 영역에 중첩하며 상기 제1 서브 라인과 평면상에서 이격된 제2 서브 라인을 갖는 제1 신호 라인을 포함하는 신호 라인 그룹;

상기 신호 라인 그룹을 커버하며 상기 베이스기판 상에 배치된 절연층;

상기 표시 영역에 중첩하며 상기 절연층 상에 배치되고, 상기 절연층에 정의된 제1 콘택홀을 통해 상기 제1 서브 라인에 전기적으로 연결된 일단 및 상기 절연층에 정의된 제2 콘택홀을 통해 상기 제2 서브 라인에 전기적으로 연결된 타단을 포함하는 제1 연결 라인;

상기 제1 연결 라인을 커버하며 상기 절연층 상에 배치된 봉지층;

상기 봉지층 상에 배치되며 상기 평면상에서 상기 제1 연결 라인에 중첩한 차광층; 및

상기 차광층 상에 배치되며 상기 차광층에 의해 구획된 복수 개의 컬러 필터들을 포함한 컬러 필터층을 포함하는 표시장치.

#### 청구항 2

제 1 항에 있어서,

상기 표시 영역은 복수 개의 화소 영역들 및 상기 화소 영역들에 인접하며 상기 차광층에 의해 정의된 차광 영역을 포함하고,

상기 제1 연결 라인은 상기 차광 영역에 전체적으로 중첩하는 표시장치.

#### 청구항 3

제 2 항에 있어서,

상기 차광층의 광학 밀도는 1.0 이상 내지 4.0 이하인 것을 특징으로 하는 표시장치.

#### 청구항 4

제 2 항에 있어서,

상기 화소 영역들은 제1 내지 제3 화소 영역들을 포함하고,

상기 컬러 필터들은,

상기 제1 화소 영역에 중첩하며 제1 색을 갖는 제1 컬러 필터,

상기 제2 화소 영역에 중첩하며 상기 제1 색과 다른 제2 색을 갖는 제2 컬러 필터; 및

상기 제3 화소 영역에 중첩하며 상기 제1 색 및 상기 제2 색과 다른 제3 색을 갖는 제3 컬러 필터를 포함하는 표시장치.

#### 청구항 5

제 1 항에 있어서,

상기 평면상에서, 제1 서브 라인은 상기 제1 연결 라인에 적어도 일 부분 중첩하는 표시장치.

#### 청구항 6

제 1 항에 있어서,

상기 제1 서브 라인 및 상기 제2 서브 라인은 동일 층 상에 배치되는 표시장치.

#### 청구항 7

제 1 항에 있어서,

상기 신호 라인 그룹은,

상기 구동칩에 전기적으로 연결된 제3 서브 라인 및 상기 제3 서브 라인과 상기 평면상에서 이격된 제4 서브 라인을 갖는 제2 신호 라인; 및

상기 구동칩에 전기적으로 연결되며, 상기 표시 영역 및 상기 비표시 영역 각각에 중첩한 중앙 신호 라인을 더 포함하는 표시장치.

#### 청구항 8

제 7 항에 있어서,

상기 평면상에서, 상기 제3 서브 라인은 상기 제1 서브 라인 및 상기 중앙 신호 라인 사이에 배치된 것을 특징으로 하는 표시장치.

#### 청구항 9

제 7 항에 있어서,

상기 표시 영역에 중첩하며 상기 절연층 상에 배치되고, 상기 절연층에 정의된 제3 컨택홀을 통해 상기 제3 서브 라인에 전기적으로 연결된 일단 및 상기 절연층에 정의된 제4 컨택홀을 통해 상기 제4 서브 라인에 전기적으로 연결된 타단을 포함하는 제2 연결 라인을 더 포함하는 표시장치.

#### 청구항 10

제 9 항에 있어서,

상기 평면상에서, 상기 제2 연결 라인은 상기 제2 서브 라인과 적어도 일 부분 중첩하는 표시장치.

#### 청구항 11

제 9 항에 있어서,

상기 제1 연결 라인 및 상기 제2 연결 라인은 동일 층 상에 배치된 표시장치.

#### 청구항 12

제 7 항에 있어서,

상기 제3 서브 라인 및 상기 제4 서브 라인은 서로 다른 층 상에 배치되고, 상기 제4 서브 라인은 상기 제1 연결 라인과 다른 층 상에 배치된 표시장치.

#### 청구항 13

제 7 항에 있어서,

상기 베이스 기관 및 상기 절연층 사이에 배치되며, 유기막으로 제공된 중간 절연층을 더 포함하고,

상기 제1 신호 라인, 상기 중앙 신호 라인 및 상기 제3 서브 라인은 상기 중간 절연층 상에 배치되는 표시장치.

#### 청구항 14

제 13 항에 있어서,

상기 중앙 신호 라인은 한 번의 공정을 통한 일체 형상으로 제공되는 것을 특징으로 하는 표시장치.

#### 청구항 15

제 1 항에 있어서,

상기 제1 연결 라인은 상기 평면상에서 적어도 한번 절곡된 형상을 갖는 것을 특징으로 하는 표시장치.

**청구항 16**

제 1 항에 있어서,

상기 제1 컨택홀 및 상기 제2 컨택홀은 상기 표시 영역에 중첩한 것을 특징으로 하는 표시장치.

**청구항 17**

제 1 항에 있어서,

상기 신호 라인 그룹은 상기 베이스기판 상에 배치된 복수 개의 데이터 라인들을 포함하고,

상기 제1 신호 라인은 상기 데이터 라인들 중 최외각에 인접한 하나의 데이터 라인에 대응하는 것을 특징으로 하는 표시장치.

**청구항 18**

제 1 항에 있어서,

상기 봉지층 및 상기 컬러 필터층 사이에 배치된 입력 감지층을 더 포함하고,

상기 입력 감지층은 상기 차광층에 중첩한 복수 개의 도전 패턴들을 포함하는 표시장치.

**청구항 19**

제 1 항에 있어서,

상기 절연층은 유기막인 것을 특징으로 하는 표시장치.

**청구항 20**

제 1 항에 있어서,

상기 비표시 영역은 밴딩 영역을 포함하고, 상기 제1 서브 라인의 적어도 일부가 밴딩되는 것을 특징으로 하는 표시장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 표시장치에 관한 것으로, 보다 상세하게는 비표시 영역을 줄일 수 있는 표시장치에 관한 것이다.

**배경 기술**

[0002] 텔레비전, 휴대 전화, 태블릿 컴퓨터, 네비게이션, 게임기 등과 같은 멀티 미디어 장치에 사용되는 다양한 표시 장치들이 개발되고 있다. 표시장치는 영상을 표시하며 외부의 입력을 감지하는 표시모듈, 표시패널 상에 배치된 편광층, 및 윈도우를 포함할 수 있다. 표시모듈은 영상을 표시하는 표시패널과 외부 입력을 감지하는 입력 감지층을 포함할 수 있다. 표시패널을 통해 출력된 영상은 윈도우를 통해 시인될 수 있다.

[0003] 표시장치는 윈도우를 통해 영상이 시인되는 표시 영역과 표시 영역에 인접한 비표시 영역을 포함한다.

**발명의 내용**

**해결하려는 과제**

[0004] 본 발명의 목적은 비표시 영역이 축소되며, 외부에서 회로 소자가 시인되는 것을 방지할 수 있는 표시장치를 제공하는 데 있다.

**과제의 해결 수단**

- [0005] 본 발명의 목적을 달성하기 위한 일 실시 예에 따른 표시장치는, 표시 영역 및 상기 표시 영역에 인접한 비표시 영역이 정의된 베이스기판, 상기 비표시 영역에 중첩하며 상기 베이스기판 상에 배치된 구동칩, 상기 베이스기판 상에 배치되고, 상기 구동칩에 전기적으로 연결된 제1 서브 라인 및 상기 표시 영역에 중첩하며 상기 제1 서브 라인과 평면상에서 이격된 제2 서브 라인을 갖는 제1 신호 라인을 포함하는 신호 라인 그룹, 상기 신호 라인 그룹을 커버하며 상기 베이스기판 상에 배치된 절연층, 상기 표시 영역에 중첩하며 상기 절연층 상에 배치되고, 상기 절연층에 정의된 제1 콘택홀을 통해 상기 제1 서브 라인에 전기적으로 연결된 일단 및 상기 절연층에 정의된 제2 콘택홀을 통해 상기 제2 서브 라인에 전기적으로 연결된 타단을 포함하는 제1 연결 라인, 상기 제1 연결 라인을 커버하며 상기 절연층 상에 배치된 봉지층, 상기 봉지층 상에 배치되며 상기 평면상에서 상기 제1 연결 라인에 중첩한 차광층, 상기 차광층 상에 배치되며 상기 차광층에 의해 구획된 복수 개의 컬러 필터들을 포함한 컬러 필터층을 포함한다.
- [0006] 본 발명의 실시 예에 따르면, 상기 표시 영역은 복수 개의 화소 영역들 및 상기 화소 영역들에 인접하며 상기 차광층에 의해 정의된 차광 영역을 포함하고, 상기 제1 연결 라인은 상기 차광 영역에 전체적으로 중첩한다.
- [0007] 본 발명의 실시 예에 따르면, 상기 차광층의 광학 밀도는 1.0 이상 내지 4.0 이하인 것을 특징으로 한다.
- [0008] 본 발명의 실시 예에 따르면, 상기 화소 영역들은 제1 내지 제3 화소 영역들을 포함하고, 상기 컬러 필터들은, 상기 제1 화소 영역에 중첩하며 제1 색을 갖는 제1 컬러 필터, 상기 제2 화소 영역에 중첩하며 상기 제1 색과 다른 제2 색을 갖는 제2 컬러 필터, 상기 제3 화소 영역에 중첩하며 상기 제1 색 및 상기 제2 색과 다른 제3 색을 갖는 제3 컬러 필터를 포함한다.
- [0009] 본 발명의 실시 예에 따르면, 상기 평면상에서, 제1 서브 라인은 상기 제1 연결 라인에 적어도 일 부분 중첩한다.
- [0010] 본 발명의 실시 예에 따르면, 상기 제1 서브 라인 및 상기 제2 서브 라인은 동일 층 상에 배치된다.
- [0011] 본 발명의 실시 예에 따르면, 상기 신호 라인 그룹은, 상기 구동칩에 전기적으로 연결된 제3 서브 라인 및 상기 제3 서브 라인과 상기 평면상에서 이격된 제4 서브 라인을 갖는 제2 신호 라인, 상기 구동칩에 전기적으로 연결되며, 상기 표시 영역 및 상기 비표시 영역 각각에 중첩한 중앙 신호 라인을 더 포함한다.
- [0012] 본 발명의 실시 예에 따르면, 상기 평면상에서, 상기 제3 서브 라인은 상기 제1 서브 라인 및 상기 중앙 신호 라인 사이에 배치된 것을 특징으로 한다.
- [0013] 본 발명의 실시 예에 따르면, 상기 표시 영역에 중첩하며 상기 절연층 상에 배치되고, 상기 절연층에 정의된 제3 콘택홀을 통해 상기 제3 서브 라인에 전기적으로 연결된 일단 및 상기 절연층에 정의된 제4 콘택홀을 통해 상기 제4 서브 라인에 전기적으로 연결된 타단을 포함하는 제2 연결 라인을 더 포함한다.
- [0014] 본 발명의 실시 예에 따르면, 상기 평면상에서, 상기 제2 연결 라인은 상기 제2 서브 라인과 적어도 일 부분 중첩한다.
- [0015] 본 발명의 실시 예에 따르면, 상기 제1 연결 라인 및 상기 제2 연결 라인은 동일 층 상에 배치된 표시장치.
- [0016] 본 발명의 실시 예에 따르면, 상기 제3 서브 라인 및 상기 제4 서브 라인은 서로 다른 층 상에 배치되고, 상기 제4 서브 라인은 상기 제1 연결 라인과 다른 층 상에 배치된 표시장치.
- [0017] 본 발명의 실시 예에 따르면, 상기 베이스 기판 및 상기 절연층 사이에 배치되며, 유기막으로 제공된 중간 절연층을 더 포함하고, 상기 제1 신호 라인, 상기 중앙 신호 라인 및 상기 제3 서브 라인은 상기 중간 절연층 상에 배치된다.
- [0018] 본 발명의 실시 예에 따르면, 상기 중앙 신호 라인은 한 번의 공정을 통한 일체 형상으로 제공되는 것을 특징으로 한다.
- [0019] 본 발명의 실시 예에 따르면, 상기 제1 연결 라인은 상기 평면상에서 적어도 한번 절곡된 형상을 갖는 것을 특징으로 한다.
- [0020] 본 발명의 실시 예에 따르면, 상기 제1 콘택홀 및 상기 제2 콘택홀은 상기 표시 영역에 중첩한 것을 특징으로 한다.
- [0021] 본 발명의 실시 예에 따르면, 상기 신호 라인 그룹은 상기 베이스기판 상에 배치된 복수 개의 데이터 라인들을 포함하고, 상기 제1 신호 라인은 상기 데이터 라인들 중 최외각에 인접한 하나의 데이터 라인에 대응하는 것을

특징으로 한다.

[0022] 본 발명의 실시 예에 따르면, 상기 봉지층 및 상기 컬러 필터층 사이에 배치된 입력 감지층을 더 포함하고, 상기 입력 감지층은 상기 차광층에 중첩한 복수 개의 도전 패턴들을 포함한다.

[0023] 본 발명의 실시 예에 따르면, 상기 절연층은 유기막인 것을 특징으로 한다.

[0024] 본 발명의 실시 예에 따르면, 상기 비표시 영역은 밴딩 영역을 포함하고, 상기 제1 서브 라인의 적어도 일부가 밴딩되는 것을 특징으로 한다.

### 발명의 효과

[0025] 본 발명의 실시 예에 따르면, 표시 영역에 중첩한 연결 라인을 통해 패드 라인과 데이터 라인을 전기적으로 연결될 수 있다. 그 결과, 표시장치의 코너부에 인접한 비표시 영역을 경유하는 패드 라인의 일 부분이 생략됨으로써, 표시장치의 표시 영역은 확대되고 비표시 영역이 축소될 수 있다.

[0026] 또한, 차광층이 연결 라인에 전체적으로 중첩함에 따라, 외부에서 연결 라인의 소자가 시인되는 것이 방지될 수 있다.

### 도면의 간단한 설명

[0027] 도 1a 및 도 1b는 본 발명의 실시 예에 따른 표시장치의 사시도이다.

도 2는 본 발명의 실시 예에 따른 표시모듈의 단면도이다.

도 3은 본 발명의 실시 예에 따른 표시패널의 평면도이다.

도 4a는 본 발명의 실시 예에 따른 표시패널에 포함된 화소의 등가 회로도이다.

도 4b는 본 발명의 실시 예에 따른 표시패널의 일 부분을 도시한 단면도이다.

도 5a는 본 발명의 실시 예에 따른 입력 감지층의 단면도이다.

도 5b는 본 발명의 실시 예에 따른 입력 감지층의 평면도이다.

도 5c는 본 발명의 실시 예에 따른 도 5b에 도시된 일 부분을 확대한 확대도이다.

도 5d는 본 발명의 실시 예에 따른 도 5c에 도시된 I-I'를 따라 절단한 표시장치의 단면도이다.

도 6은 본 발명의 실시 예에 따른 표시패널의 일 부분을 보여주는 평면도이다.

도 7은 본 발명의 실시 예에 따른 도 6에 도시된 II-II'를 따라 절단한 표시장치의 단면도이다.

도 8은 본 발명의 실시 예에 따른 도 6에 도시된 III-III'를 따라 절단한 표시장치의 단면도이다.

도 9는 본 발명의 실시 예에 따른 도 6에 도시된 IV-IV'를 따라 절단한 표시장치의 단면도이다.

### 발명을 실시하기 위한 구체적인 내용

[0028] 본 명세서에서, 어떤 구성요소(또는 영역, 층, 부분 등)가 다른 구성요소 “상에 있다”, “연결 된다”, 또는 “결합된다”고 언급되는 경우에 그것은 다른 구성요소 상에 직접 배치/연결/결합될 수 있거나 또는 그들 사이에 제3의 구성요소가 배치될 수도 있다는 것을 의미한다.

[0029] 동일한 도면부호는 동일한 구성요소를 지칭한다. 또한, 도면들에 있어서, 구성요소들의 두께, 비율, 및 치수는 기술적 내용의 효과적인 설명을 위해 과장된 것이다.

[0030] “및/또는”은 연관된 구성들이 정의할 수 있는 하나 이상의 조합을 모두 포함한다.

[0031] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

[0032] 또한, “아래에”, “하측에”, “위에”, “상측에” 등의 용어는 도면에 도시된 구성들의 연관관계를 설명하

기 위해 사용된다. 상기 용어들은 상대적인 개념으로, 도면에 표시된 방향을 기준으로 설명된다.

- [0033] 다르게 정의되지 않는 한, 본 명세서에서 사용된 모든 용어 (기술 용어 및 과학 용어 포함)는 본 발명이 속하는 기술 분야의 당업자에 의해 일반적으로 이해되는 것과 동일한 의미를 갖는다. 또한, 일반적으로 사용되는 사전에서 정의된 용어와 같은 용어는 관련 기술의 맥락에서 의미와 일치하는 의미를 갖는 것으로 해석되어야 하고, 이상적인 또는 지나치게 형식적인 의미로 해석되지 않는 한, 명시적으로 여기에서 정의됩니다.
- [0034] "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0035] 이하, 도면을 참조하여 본 발명의 실시예들을 설명한다.
- [0036] 도 1a 및 도 1b는 본 발명의 실시 예에 따른 표시장치의 사시도이다.
- [0037] 도 1a 및 도 1b를 참조하면, 핸드폰 단말기에 적용될 수 있는 표시장치(DD)가 예시적으로 도시되었다. 도시되지 않았으나, 메인보드에 실장된 전자모듈들, 카메라 모듈, 전원모듈 등이 표시장치(DD)와 함께 브라켓/케이스 등에 배치됨으로써 핸드폰 단말기를 구성할 수 있다. 본 발명에 따른 표시장치(DD)는 텔레비전, 모니터 등과 같은 대형 전자장치를 비롯하여, 태블릿, 자동차 네비게이션, 게임기, 스마트 워치 등과 같은 중소형 전자장치 등에 적용될 수 있다.
- [0038] 표시면(DD-IS)은 제1 방향(DR1) 및 제1 방향(DR1)과 교차하는 제2 방향(DR2)으로 각각 연장된 형상을 가질 수 있다. 표시면(DP-IS)의 법선 방향, 즉 표시장치(DD)의 두께 방향은 제3 방향(DR3)이 지시한다. 본 명세서 내에서 “평면상에서 보았을 때 또는 평면상에서”의 의미는 제3 방향(DR3)에서 바라보는 경우를 의미할 수 있다. 이하에서 설명되는 각 층들 또는 유닛들의 전면(또는 상면)과 배면(또는 하면)은 제3 방향(DR3)에 의해 구분된다. 그러나, 제1 내지 제3 방향들(DR1, DR2, DR3)이 지시하는 방향은 상대적인 개념으로서 다른 방향, 예를 들어 반대 방향으로 변환될 수 있다.
- [0039] 본 발명의 실시 예에 따르면, 평면상에서 표시면(DD-IS)의 적어도 일 부분은 곡선을 포함할 수 있다. 예컨대, 표시면(DD-IS)의 코너부가 곡선 형상을 가질 수 있다. 다른 예에 따르면, 표시면(DD-IS)은 제1 방향(DR1) 및 제2 방향(DR2)이 정의하는 면과 평행할 수 있다. 이 경우, 표시면(DD-IS)은 사각 형상으로 제공될 수 있다. 한편, 표시장치(DD)의 일부가 평면상에서 곡선 형상의 표시면(DD-IS)을 갖는 것으로 설명되나, 입체형 표시면을 포함할 수도 있다. 입체형 표시면은 서로 다른 방향을 지시하는 복수 개의 표시 영역들을 포함하고, 예컨대, 다각기둥형 표시면을 포함할 수도 있다.
- [0040] 도 1a에 도시된 바에 따르면, 표시면(DD-IS)은 이미지(IM)가 표시되는 표시 영역(DD-DA) 및 표시 영역(DD-DA)에 인접한 비표시 영역(DD-NDA)을 포함한다. 비표시 영역(DD-NDA)은 이미지가 표시되지 않는 영역일 수 있다. 도 1a에는 이미지(IM)의 일 예로 시계창 및 아이콘 이미지들을 도시하였다.
- [0041] 특히, 본 발명에 따른 표시장치(DD)는 제1 비밴딩 영역(NBA1), 제2 비밴딩 영역(NBA2) 및 밴딩 영역(BA)을 포함할 수 있다. 제1 비밴딩 영역(NBA1), 제2 비밴딩 영역(NBA2) 및 밴딩 영역(BA)은 추후 도 3을 통해 설명될 표시패널(DP)을 기준으로 설정될 수 있다.
- [0042] 평면상에서, 표시장치(DD)는 영역에 따라 서로 다른 제2 방향(DR2)의 폭을 가질 수 있다. 밴딩 영역(BA) 및 제2 비밴딩 영역(NBA2)은 제1 비밴딩 영역(NBA1)의 제2 방향(DR2)의 최대 폭보다 작은 제2 방향(DR2)의 폭을 가질 수 있다. 밴딩 영역(BA)이 제1 비밴딩 영역(NBA1) 보다 상대적으로 작은 폭을 가짐으로써 밴딩이 용이할 수 있다.
- [0043] 도 1b에 도시된 바에 따르면, 표시장치(DD)가 밴딩된 상태를 도시하였다. 밴딩영역(BA)은 제2 방향(DR2)을 따라 연장되는 밴딩축(BX)을 따라 밴딩된다. 표시장치(DD)가 밴딩된 상태에서, 제2 비밴딩 영역(NBA2)은 제1 비밴딩 영역(NBA1)과 마주하고, 제3 방향(DR3)에서 제1 비밴딩 영역(NBA1)과 이격된다.
- [0044] 도 2는 본 발명의 실시 예에 따른 표시모듈의 단면도이다.
- [0045] 도 2를 참조하면, 표시모듈(DM)은 표시패널(DP) 및 입력 감지층(ISU)을 포함할 수 있다.
- [0046] 본 발명의 실시 예에 따르면, 표시패널(DP)은 발광형 표시패널일 수 있고, 특별히 그 종류가 제한되지 않는다. 예컨대, 표시패널(DP)은 유기발광 표시패널 또는 퀀텀닷 발광 표시패널일 수 있다. 유기발광 표시패널의 발광층은 유기발광물질을 포함할 수 있다. 퀀텀닷 발광 표시패널의 발광층은 퀀텀닷, 및 퀀텀로드 등을 포함할 수 있다.



다. 이하, 표시패널(DP)은 유기발광 표시패널로 설명된다.

- [0047] 표시패널(DP)은 베이스기관(SUB), 회로 소자층(DP-CL), 표시 소자층(DP-OLED), 및 봉지층(ECL)을 포함한다. 표시패널(DP)은 표시 영역(DP-DA) 및 비표시 영역(DP-NDA)을 포함한다. 표시패널(DP)의 표시 영역(DP-DA) 및 비표시 영역(DP-NDA)은 앞서 도 1a를 통해 설명된 표시장치(DD)의 표시 영역(DD-DA) 및 비표시 영역(DD-NDA)에 중첩할 수 있다. 비표시 영역(DP-NDA)은 표시 영역(DP-DA)의 일 측에 인접하거나 생략될 수도 있다.
- [0048] 베이스기관(SUB)은 표시패널(DP)의 구성들 및 입력 감지층(ISU)을 전반적으로 지지하며, 플렉서블한 물질을 포함할 수 있다. 예를 들어, 베이스기관(SUB)은 플라스틱 기관, 유리 기관, 또는 유/무기 복합재료 기관 등을 포함할 수 있다. 또는, 베이스기관(SUB)은 복수 개의 절연층들을 포함하는 적층 구조체일 수 있다. 플라스틱 기관은 아크릴계 수지, 메타크릴계 수지, 폴리이소프렌, 비닐계 수지, 에폭시계 수지, 우레탄계 수지, 셀룰로오스계 수지, 실록산계 수지, 폴리이미드계 수지, 폴리아미드계 수지 및 페릴렌계 수지 중 적어도 어느 하나를 포함할 수 있다.
- [0049] 회로 소자층(DP-CL)은 복수 개의 절연층들, 복수 개의 도전층들 및 반도체층을 포함할 수 있다. 회로 소자층(DP-CL)의 복수 개의 도전층들은 신호라인들 또는 화소의 제어회로를 구성할 수 있다.
- [0050] 표시 소자층(DP-OLED)은 표시 영역(DP-DA)에 중첩하며, 베이스기관(SUB) 상에 배치된다. 표시 소자층(DP-OLED)은 표시 소자, 예컨대 유기발광 소자들을 포함한다. 다만, 이에 제한되는 것은 아니고, 표시패널(DP)의 종류에 따라, 표시 소자층(DP-OLED)은 무기발광 다이오드들 또는 유기-무기 하이브리드 발광 다이오드들을 포함할 수 있다.
- [0051] 봉지층(ECL)은 표시 소자층(DP-OLED)을 밀봉한다. 일 예로, 봉지층(ECL)은 표시 영역(DP-DA) 및 비표시 영역(DP-NDA)에 각각 중첩하거나, 비표시 영역(DP-NDA)에 비중첩할 수 있다.
- [0052] 일 실시 예에 따르면, 봉지층(ECL)은 박막 봉지층으로 제공될 수 있으며, 적어도 하나 이상의 절연층을 포함한다. 본 발명의 실시 예에 따른 봉지층(ECL)은 적어도 하나의 봉지 유기막 및 적어도 하나의 봉지 무기막을 포함할 수 있다.
- [0053] 봉지 무기막은 수분/산소로부터 표시 소자층(DP-OLED)을 보호하고, 봉지 유기막은 먼지 입자와 같은 이물질로부터 표시 소자층(DP-OLED)을 보호한다. 봉지 무기막은 실리콘 나이트라이드층, 실리콘 옥시 나이트라이드층, 실리콘 옥사이드층, 티타늄옥사이드층, 또는 알루미늄옥사이드층 등을 포함할 수 있고, 이에 특별히 제한되지 않는다. 봉지 유기막은 아크릴 계열 유기막을 포함할 수 있고, 특별히 제한되지 않는다.
- [0054] 입력 감지층(ISU)은 외부에서 인가되는 입력을 감지한다. 외부에서 인가되는 입력은 다양한 형태로 제공될 수 있다. 예를 들어, 외부 입력은 사용자 신체의 일부, 스타일러스 펜, 광, 열, 또는 압력 등 다양한 형태의 외부 입력들을 포함한다. 또한, 사용자의 손 등 신체의 일부가 접촉하는 입력은 물론, 근접하거나 인접하는 공간 터치(예를 들어, 호버링)도 입력의 일 형태일 수 있다.
- [0055] 본 발명의 실시 예에 따르면, 입력 감지층(ISU)은 표시패널(DP) 상에 직접 배치될 수 있다. 본 명세서에서 "A 구성이 B 구성 상에 직접 배치된다"는 것은 A 구성과 B 구성 사이에 접촉층이 배치되지 않는 것을 의미한다. 입력 감지층(ISU)은 표시패널(DP)과 연속공정에 의해 제조될 수 있다. 즉, 입력 감지층(ISU)은 봉지층(ECL) 상에 연속 공정에 의해 직접적으로 형성될 수 있다.
- [0056] 도 3은 본 발명의 실시 예에 따른 표시패널의 평면도이다.
- [0057] 도 3을 참조하면, 표시패널(DP)은 구동회로(GDC), 복수 개의 신호 라인 그룹(SGL), 구동칩(SPD), 및 복수 개의 화소들(PX)을 포함할 수 있다. 화소들(PX)은 표시 영역(DP-DA)에 배치된다. 화소들(PX) 각각은 유기발광 다이오드와 그에 연결된 화소 구동회로를 포함한다. 구동회로(GDC), 신호 라인 그룹(SGL), 구동칩(SPD), 및 화소 구동회로는 도 2에 도시된 회로 소자층(DP-CL)에 포함될 수 있다.
- [0058] 본 발명의 실시 예에 따르면, 표시패널(DP)의 화소들(PX)과 회로 소자층(DP-CL)의 구동회로(GDC)는 제1 비밴딩 영역(NBA1)에 중첩한다. 신호 라인 그룹(SGL)은 제1 비밴딩 영역(NBA1), 제2 비밴딩 영역(NBA2), 및 밴딩 영역(BA) 각각에 중첩할 수 있다.
- [0059] 구동회로(GDC)는 복수 개의 주사 신호들(이하, 주사 신호들)을 생성하고, 주사 신호들을 후술하는 복수 개의 주사 라인들(GL, 이하 주사 라인들)에 순차적으로 출력한다. 구동회로(GDC)는 화소들(PX)의 구동회로에 또 다른 제어 신호를 더 출력할 수 있다.

- [0060] 구동회로(GDC)는 화소들(PX)의 구동회로와 동일한 공정, 예컨대 LTPS(Low Temperature Polycrystalline Silicon) 공정 또는 LTPO(Low Temperature Polycrystalline Oxide) 공정을 통해 형성된 복수 개의 박막 트랜지스터들을 포함할 수 있다.
- [0061] 신호 라인 그룹(SGL)은 표시 영역(DP-DA) 및 비표시 영역(DP-NDA)에 중첩한다. 신호 라인 그룹(SGL)은 주사 라인들(GL), 데이터 라인들(DL), 전원 라인(PL), 제어 신호라인(CSL), 및 패드 라인들(SL)을 포함한다. 주사 라인들(GL)은 화소들(PX) 중 대응하는 화소들(PX)에 연결되고, 데이터 라인들(DL) 각각은 화소들(PX) 중 대응하는 화소(PX)들에 각각 연결된다. 전원 라인(PL)은 화소들(PX)에 연결된다. 제어 신호라인(CSL)은 주사 구동회로에 제어신호들을 제공할 수 있다. 구동칩(SPD)은 패드 라인들(SL)과 전기적으로 연결되어, 표시패널(DP)의 동작에 필요한 구동 신호들을 패드 라인들(SL)에 출력한다.
- [0062] 패드 라인들(SL) 중 제1 패드 라인들은 데이터 라인들(DL)에 각각 전기적으로 연결된다. 패드 라인들(SL) 중 제2 패드 라인들은 제어 신호라인(CSL)에 전기적으로 연결된다. 패드 라인들(SL) 중 제3 패드 라인들은 전원 라인(PL)에 전기적으로 연결된다. 이하, 본 명세서에서, 데이터 라인들(DL), 제어 신호라인(CSL), 및 전원 라인(PL)은 구동 라인들로 통일되어 설명될 수 있다. 패드 라인들(SL) 각각은 구동칩(SPD)에 전기적으로 연결된 일단 및 구동 라인들 중 대응하는 하나의 구동 라인에 연결된 타단을 포함한다.
- [0063] 도 3에 도시된 바에 따르면, 패드 라인들(SL) 각각의 타단이 비표시 영역(DP-NDA)에만 중첩한 것으로 도시되었으나, 이에 한정되지 않고 일부가 표시 영역(DP-DA)에 중첩할 수 있다.
- [0064] 데이터 라인들(DL) 중 제1 데이터 라인은 패드 라인들(SL) 중 대응하는 제1 패드 라인에 전기적으로 연결될 수 있다. 본 명세서에서, 제1 데이터 라인 및 제1 패드 라인은 제1 신호 라인으로 정의될 수 있다. 구동칩(SPD)에 전기적으로 연결된 제1 패드 라인은 제1 서브 라인으로 정의되고, 표시 영역(DP-DA)에 중첩한 제1 데이터 라인은 제2 서브 라인으로 정의된다.
- [0065] 본 발명의 실시 예에 따르면, 제1 서브 라인 및 제2 서브 라인은 물리적으로 직접 연결되는 것이 아닌, 제1 연결 라인을 통해 서로 전기적으로 연결될 수 있다. 예컨대, 제1 연결 라인은 표시 영역(DP-DA)에 중첩하고, 컨택홀(CNT)을 통해 제1 서브 라인 및 제2 서브 라인을 서로 연결할 수 있다. 또한, 제1 서브 라인 및 제2 서브 라인은 평면상에서 서로 이격될 수 있다.
- [0066] 데이터 라인들(DL) 중 제2 데이터 라인은 패드 라인들(SL) 중 대응하는 제2 패드 라인에 전기적으로 연결될 수 있다. 본 명세서에서, 제2 데이터 라인 및 제2 패드 라인은 중앙 신호 라인으로 정의될 수 있다. 제1 신호 라인은 중앙 신호 라인과 비교하여, 제2 방향(DR2)에서 더 외각에 배치될 수 있다.
- [0067] 특히, 제2 데이터 라인 및 제2 패드 라인은 물리적으로 직접 연결될 수 있다. 예컨대, 제2 데이터 라인 및 제2 패드 라인은 한 번의 공정을 통해 형성된 일체 형상으로 제공될 수 있다.
- [0068] 제어 신호라인(CSL)은 패드 라인들(SL) 중 대응하는 제3 패드 라인에 전기적으로 연결될 수 있다. 본 명세서에서, 제어 신호라인(CSL) 및 제3 패드 라인은 제2 신호 라인으로 정의될 수 있다. 구동칩(SPD)에 전기적으로 연결된 제3 패드 라인은 제3 서브 라인으로 정의되고, 구동회로(GDC)에 전기적으로 연결된 제어 신호라인(CSL)은 제4 서브 라인으로 정의된다.
- [0069] 본 발명의 실시 예에 따르면, 제3 서브 라인 및 제4 서브 라인은 물리적으로 직접 연결되는 것이 아닌, 제2 연결 라인을 통해 서로 전기적으로 연결될 수 있다. 예컨대, 제2 연결 라인은 표시 영역(DP-DA)에 중첩하고, 컨택홀(CNT)을 통해 제3 서브 라인 및 제4 서브 라인을 서로 연결할 수 있다.
- [0070] 마찬가지로, 전원 라인(PL) 역시 상술된 제어 신호라인과 같은 구조를 가질 수 있다. 예컨대, 전원 라인(PL) 역시 컨택홀(CNT)을 통해 패드 라인들(SL) 중 대응하는 패드 라인에 전기적으로 연결될 수 있다.
- [0071] 한편, 패드 라인들(SL)과 구동 라인들 간의 연결 구조에 대해선 도 6을 통해 보다 자세히 설명한다.
- [0072] 도 4a는 본 발명의 실시 예에 따른 표시패널에 포함된 화소의 등가 회로도이다. 도 4b는 본 발명의 실시 예에 따른 표시패널의 일 부분을 도시한 단면도이다.
- [0073] 도 4a를 참조하면, 어느 하나의 주사 라인(GL)과 어느 하나의 데이터 라인(DL), 및 전원 라인(PL)에 연결된 화소(PX)를 예시적으로 도시하였다. 다만, 본 발명의 기술적 사상은 이에 한정되지 않으며, 화소(PX)의 구성은 다양하게 변형되어 실시될 수 있다.
- [0074] 화소(PX)는 발광 소자(OLED) 및 화소 회로(PXC)를 포함한다. 발광 소자(OLED)는 도 2를 통해 도시된 표시 소자

층(DP-OLED)에 포함될 수 있다. 발광 소자(OLED)는 전면 발광형 다이오드이거나, 배면 발광형 다이오드일 수 있다.

- [0075] 화소 회로(PXC)는 발광 소자(OLED)를 구동하기 위한 회로부로서 제1 트랜지스터(T1, 또는 스위칭 트랜지스터), 제2 트랜지스터(T2, 또는 구동 트랜지스터), 및 커패시터(Cap)를 포함한다. 화소 회로(PXC)는 도 2를 통해 도시된 회로 소자층(DP-CL)에 포함될 수 있다.
- [0076] 발광 소자(OLED)는 제1 및 제2 트랜지스터들(T1, T2)로부터 제공되는 전기적 신호의 의해 광을 생성한다.
- [0077] 제1 트랜지스터(T1)는 주사 라인(GL)에 인가된 스캔 신호에 응답하여 데이터 라인(DL)에 인가된 데이터 신호를 출력한다. 커패시터(Cap)는 제1 트랜지스터(T1)로부터 수신한 데이터 신호에 대응하는 전압을 충전한다. 제1 전원 전압(ELVDD)은 제2 트랜지스터(T2)를 통해 제1 전극(AE)에 제공되고, 제2 전원 전압(ELVSS)은 제2 전극(CE)에 제공된다. 제2 전원 전압(ELVSS)은 제1 전원 전압(ELVDD)보다 낮은 전압일 수 있다.
- [0078] 제2 트랜지스터(T2)는 제1 전극(AE)을 통해 발광 소자(OLED)에 전기적으로 연결된다. 제2 트랜지스터(T2)는 커패시터(Cap)에 저장된 전하량에 대응하여 발광 소자(OLED)에 흐르는 구동전류(ID)를 제어한다. 발광 소자(OLED)는 제2 트랜지스터(T2)의 턴-온 구간 동안 발광한다.
- [0079] 도 4b를 참조하면, 도 4a에 도시된 등가 회로에 대응하는 표시패널(DP)의 부분 단면이 도시된다. 베이스기판(SUB) 상에 회로 소자층(DP-CL), 표시 소자층(DP-OLED), 및 봉지층(ECL)이 순차적으로 배치된다.
- [0080] 회로 소자층(DP-CL)은 적어도 하나의 절연층과 회로 소자를 포함한다. 회로 소자는 신호 라인, 화소의 구동회로 등을 포함한다. 코팅, 증착 등에 의한 절연층, 반도체층 및 도전층 형성공정과 포토리소그래피 공정에 의한 절연층, 반도체층 및 도전층층의 패터닝 공정을 통해 회로 소자층(DP-CL)이 형성될 수 있다.
- [0081] 회로 소자층(DP-CL)은 무기막인 버퍼막(BFL), 제1 중간 무기막(10) 및 제2 중간 무기막(20)을 포함하고, 유기막인 제1 중간 유기막(30) 및 제2 중간 유기막(40)을 포함할 수 있다. 버퍼막(BFL)은 적층된 복수개의 무기막을 포함할 수 있다. 도 4b에는 스위칭 트랜지스터(T1) 및 구동 트랜지스터(T2)를 구성하는 제1 반도체 패턴(OSP1), 제2 반도체 패턴(OSP2), 제1 제어전극(GE1), 제2 제어전극(GE2), 제1 입력전극(DE1), 제1 출력전극(SE1), 제2 입력전극(DE2), 제2 출력전극(SE2)의 배치관계가 예시적으로 도시되었다. 제1 내지 제4 관통홀들(CH1, CH2, CH3, CH4) 역시 예시적으로 도시되었다.
- [0082] 버퍼층(BFL) 상에 제1 반도체 패턴(OSP1) 및 제2 반도체 패턴(OSP2)이 배치된다. 제1 중간 무기막(10)은 제1 반도체 패턴(OSP1) 및 제2 반도체 패턴(OSP2)을 커버하며 버퍼층(BFL) 상에 배치된다.
- [0083] 제1 제어전극(GE1) 및 제2 제어전극(GE2)은 제1 중간 무기막(10) 상에 배치된다. 제1 제어전극(GE1)은 제1 반도체 패턴(OSP1)에 중첩하고, 제2 제어전극(GE2)은 제2 반도체 패턴(OSP2)에 중첩한다.
- [0084] 제2 중간 무기막(20)은 제1 제어전극(GE1) 및 제2 제어전극(GE2)을 커버하며 제1 중간 무기막(10) 상에 배치된다. 제1 입력전극(DE1), 제1 출력전극(SE1), 제2 입력전극(DE2), 및 제2 출력전극(SE2)이 제1 중간 유기막(30) 상에 배치된다. 제1 입력전극(DE1) 및 제1 출력전극(SE1)은 제1 중간 무기막(10) 및 제2 중간 무기막(20)을 관통하는 제1 관통홀(CH1) 및 제2 관통홀(CH2)을 통해 제1 반도체 패턴(OSP1)에 전기적으로 연결될 수 있다. 제2 입력전극(DE2) 및 제2 출력전극(SE2)은 제1 중간 무기막(10) 및 제2 중간 무기막(20)을 관통하는 제3 관통홀(CH3) 및 제4 관통홀(CH4)을 통해 제2 반도체 패턴(OSP2)에 전기적으로 연결될 수 있다.
- [0085] 제1 중간 유기막(30)은 제1 입력전극(DE1), 제1 출력전극(SE1), 제2 입력전극(DE2), 및 제2 출력전극(SE2)을 커버하며 제2 중간 무기막(20) 상에 배치된다. 연결 전극(CNE)이 제1 중간 유기막(30) 상에 배치될 수 있다. 연결 전극(CNE)은 제1 중간 유기막(30)을 관통하는 제5 관통홀(CH5)을 통해 제2 출력 전극(SE2)에 전기적으로 연결될 수 있다. 제2 중간 유기막(40)은 연결 전극(CNE)을 커버하며 제1 중간 유기막(30) 상에 배치된다. 제1 중간 유기막(30) 및 제2 중간 유기막(40)은 평탄화층으로 형성될 수 있다.
- [0086] 표시 소자층(DP-OLED)은 발광 소자(OLED) 및 화소 정의층(PDL)을 포함한다. 발광 소자(OLED)는 제1 전극(AE), 정공 제어층(HCL), 발광층(EML), 전자 제어층(TCL), 및 제2 전극(CE)을 포함한다. 화소 정의층(PDL)은 유기층으로 제공되며, 개구부(OM)를 포함한다. 화소 정의층(PDL)의 개구부(OM)는 제1 전극(AE)의 적어도 일부분을 노출시킨다.
- [0087] 자세하계, 제2 중간 유기막(40) 상에 제1 전극(AE)이 배치된다. 제1 전극(AE)은 제2 중간 유기막(40)을 관통하는 제6 관통홀(CH6)을 통해 연결 전극(CNE) 및 제2 출력전극(SE2)에 전기적으로 연결된다.

- [0088] 표시패널(DP)의 표시 영역(DP-DA)은 화소 영역(PXA)과 화소 영역(PXA)에 인접한 차광 영역(NPXA)을 포함할 수 있다. 화소 영역(PXA)은 실제 광이 외부로 출사되는, 즉 외부로부터 영상이 시인되는 영역을 의미할 수 있다. 표시 영역(DP-DA)에 증착한 표시 소자층(DP-OLED)은 복수 개의 화소 영역들(PXA) 및 이에 인접한 차광 영역(NPXA)을 포함할 수 있다. 일 예로, 평면상에서, 차광 영역(NPXA)은 화소 영역들(PXA)을 에워쌀 수 있다.
- [0089] 정공 제어층(HCL)은 발광 영역(OPA)과 비발광 영역(NPA)에 공통으로 배치될 수 있다. 정공 제어층(HCL)은 정공 수송층을 포함하고, 정공 주입층을 더 포함할 수 있다. 정공 제어층(HCL) 상에 발광층(EML)이 배치된다. 발광층(EML)은 발광 개구부(OM)에 대응하는 영역에 배치될 수 있다. 즉, 발광층(EML)은 화소들 각각에 분리되어 형성될 수 있다. 발광층(EML)은 유기물질 및/또는 무기물질을 포함할 수 있다. 발광층(EML)은 소정의 유색 컬러광을 생성할 수 있다.
- [0090] 발광층(EML) 상에 전자 제어층(TCL)이 배치된다. 전자 제어층(TCL)은 전자 수송층을 포함하고, 전자 주입층을 더 포함할 수 있다. 정공 제어층(HCL)과 전자 제어층(TCL)은 오픈 마스크를 이용하여 복수 개의 화소들에 공통으로 형성될 수 있다. 전자 제어층(TCL) 상에 제2 전극(CE)이 배치된다. 제2 전극(CE)은 일체의 형상을 갖고 복수 개의 화소들 각각에 포함된 전자 제어층(TCL) 상에 공통적으로 배치된다.
- [0091] 제2 전극(CE) 상에 봉지층(ECL)이 배치된다. 봉지층(ECL)은 단일 봉지층으로 제공되거나, 복수 개의 박막들로 제공될 수 있다.
- [0092] 도 5a는 본 발명의 실시 예에 따른 입력 감지층의 단면도이다. 도 5b는 본 발명의 실시 예에 따른 입력 감지층의 평면도이다. 도 5c는 본 발명의 실시 예에 따른 도 5b에 도시된 일 부분을 확대한 확대도이다. 도 5d는 본 발명의 실시 예에 따른 도 5c에 도시된 I-I' 를 따라 절단한 표시장치의 단면도이다.
- [0093] 도 5a를 참조하면, 입력 감지층(ISU)은 봉지층(ECL) 상에 배치된 제1 도전층(IS-CL1), 제1 입력 절연층(IS-IL1), 제2 도전층(IS-CL2), 및 제2 입력 절연층(IS-IL2)을 포함한다. 제1 도전층(IS-CL1)은 봉지층(ECL) 상에 직접 배치된다.
- [0094] 제1 도전층(IS-CL1) 및 제2 도전층(IS-CL2) 각각은 단층구조를 갖거나, 제3 방향(DR3)을 따라 적층된 다층구조를 가질 수 있다. 다층구조의 도전층은 투명 도전층들과 금속층들 중 적어도 2 이상을 포함할 수 있다. 다층구조의 도전층은 서로 다른 금속을 포함하는 금속층들을 포함할 수 있다. 투명 도전층은 ITO(indium tin oxide), IZO(indium zinc oxide), ZnO(zinc oxide), ITZO(indium tin zinc oxide), PEDOT, 금속 나노 와이어, 그래핀을 포함할 수 있다. 금속층은 몰리브덴, 은, 티타늄, 구리, 알루미늄, 및 이들의 합금을 포함할 수 있다. 예컨대, 제1 도전층(IS-CL1) 및 제2 도전층(IS-CL2) 각각은 3층의 금속층 구조, 예컨대, 티타늄/알루미늄/티타늄의 3층 구조를 가질 수 있다.
- [0095] 제1 도전층(IS-CL1) 및 제2 도전층(IS-CL2) 각각은 복수 개의 도전 패턴들을 포함한다. 이하, 제1 도전층(IS-CL1)은 제1 도전 패턴들을 포함하고, 제2 도전층(IS-CL2)은 제2 도전 패턴들을 포함하는 것으로 설명된다. 본 발명에 따르면, 동일한 층 상에 배치된 도전 패턴들은 동일한 공정을 통해 형성될 수 있고, 동일한 재료를 포함할 수 있고, 동일한 적층 구조를 가질 수 있다.
- [0096] 예컨대, 제1 도전 패턴들은 제1 연결 패턴을 포함하고, 제2 도전 패턴들은 감지 패턴들, 이에 연결된 감지 신호 라인들, 및 제2 연결 패턴을 포함할 수 있다. 감지 패턴들은 도 4b에 도시된 차광 영역(NPXA)에 증착하고 화소 영역(PXA)에 비증착하는 메쉬 형상으로 제공될 수 있다. 또한, 감지 패턴들은 화소 영역(PXA) 및 차광 영역(NPXA)에 증착하는 투명도로 제공될 수도 있다.
- [0097] 제1 입력 절연층(IS-IL1) 및 제2 입력 절연층(IS-IL2) 각각은 무기물 또는 유기물을 포함할 수 있다. 본 발명의 실시 예에 따르면, 제1 입력 절연층(IS-IL1) 및 제2 입력 절연층(IS-IL2)은 유기물을 포함하는 유기막일 수 있다. 유기막은 아크릴계 수지, 메타크릴계 수지, 폴리이소프렌, 비닐계 수지, 에폭시계 수지, 우레탄계 수지, 셀룰로오스계 수지, 실록산계 수지, 폴리이미드계 수지, 폴리아미드계 수지 및 페틸렌계 수지 중 적어도 어느 하나를 포함할 수 있다.
- [0098] 다만, 이에 한정되지 않으며, 제1 입력 절연층(IS-IL1) 및 제2 입력 절연층(IS-IL2)은 무기물을 포함하는 무기막으로 제공될 수도 있다. 이 경우, 무기막은 알루미늄 옥사이드, 티타늄 옥사이드, 실리콘 옥사이드 실리콘옥시나이트라이드, 지르코늄옥사이드, 및 hafnium 옥사이드 중 적어도 하나를 포함할 수 있다.
- [0099] 본 발명의 실시 예에 따르면, 입력 감지층(ISU)은 정전 용량 방식으로 외부입력을 감지할 수 있다. 예를 들어, 입력 감지층(ISU)은 제2 도전층(IS-CL2)에 포함된 제2 도전 패턴들 간의 변화되는 정전 용량을 기반으로 외부



입력의 좌표 정보를 산출할 수 있다. 다만, 이에 한정되지 않으며, 입력 감지층(ISU)은 압력 감지방식으로 외부 입력을 감지할 수도 있다.

- [0100] 도 5b를 참조하면, 입력 감지층(ISU)은 복수 개의 제1 센서부들, 복수 개의 제2 센서부들, 복수 개의 감지 신호 라인들, 제1 패드부(PD1), 및 제2 패드부(PD2)를 포함한다.
- [0101] 입력 감지층(ISU)은 활성 영역(AR) 및 활성 영역(AR)에 인접한 비활성 영역(NAR)을 포함한다. 활성 영역(AR)은 도 3을 통해 도시된 표시 영역(DP-DA)에 대응될 수 있으며, 비활성 영역(NAR)은 도 3을 통해 도시된 비표시 영역(DP-NDA)에 대응될 수 있다. 또한, 본 발명에 따른 입력 감지층(ISU)은 봉지층(ECL) 상에 직접 배치된 것으로 설명된다.
- [0102] 제1 센서부들 및 제2 센서부들은 활성 영역(AR)에 배치된다. 복수 개의 감지 신호 라인들, 제1 패드부(PD1), 및 제2 패드부(PD2)는 비활성 영역(NAR)에 배치된다.
- [0103] 제1 센서부들 각각은 제1 방향(DR1)으로 나열되고 제2 방향(DR2)으로 연장된 형상을 가질 수 있다. 제1 센서부들 각각은 복수 개의 제1 감지 패턴들(SP1) 및 제1 감지 패턴들(SP1)을 연결하는 복수 개의 제1 연결 패턴들(CP1)을 포함할 수 있다.
- [0104] 제1 감지 패턴들(SP1) 및 제1 연결 패턴들(CP1) 각각은 복수 개의 메쉬 개구부들이 정의된 메쉬 형상을 가질 수 있다. 제1 감지 패턴들(SP1) 및 제1 연결 패턴들(CP1)은 제2 방향(DR2)으로 나열된다. 제1 연결 패턴들(CP1) 각각은 제1 감지 패턴들(SP1) 중 인접하는 2개의 제1 감지 패턴들(SP1)을 연결한다.
- [0105] 제2 센서부들 각각은 제1 방향(DR1)으로 연장되고 제2 방향(DR2)으로 나열된 형상을 가질 수 있다. 제2 센서부들 각각은 복수 개의 제2 감지 패턴들(SP2) 및 제2 감지 패턴들(SP2)을 연결하는 복수 개의 제2 연결 패턴들(CP2)을 포함할 수 있다.
- [0106] 제2 감지 패턴들(SP2) 및 제2 연결 패턴들(CP2) 각각은 복수 개의 메쉬 개구부들이 정의된 메쉬 형상을 가질 수 있다. 제2 감지 패턴들(SP2) 및 제2 연결 패턴들(CP2)은 제1 방향(DR1)으로 나열된다. 제2 연결 패턴들(CP2) 각각은 제2 감지 패턴들(SP2) 중 인접하는 2개의 제2 감지 패턴들(SP2)을 연결한다.
- [0107] 예시적으로, 제2 연결 패턴들(CP2) 및 제2 감지 패턴들(SP2)은 서로 다른 층 상에 배치되며, 예컨대 제2 연결 패턴들(CP2) 및 제2 감지 패턴들(SP2) 사이에 적어도 하나의 입력 절연층이 배치될 수 있다. 또한, 상기 입력 절연층에 포함된 컨택홀들을 통해 제2 연결 패턴들(CP2) 및 제2 감지 패턴들(SP2)이 각각 전기적으로 연결될 수 있다.
- [0108] 한편, 본 발명에 따르면, 제2 연결 패턴들(CP2)은 제1 도전층(IS-CL1)에 포함되고, 이하 제1 도전 패턴들로 설명될 수 있다. 제1 감지 패턴들(SP1), 제2 감지 패턴들(SP2), 및 제2 연결 패턴들(CP2)은 제2 도전층(IS-CL2)에 포함되고, 이하 제2 도전 패턴들로 설명될 수 있다. 다만, 이에 한정되지 않으며, 제1 도전층(IS-CL1) 및 제2 도전층(IS-CL2)의 위치는 서로 변경될 수 있다.
- [0109] 복수 개의 감지 신호 라인들은 제1 감지 신호 라인들(SPL1a~SPL1d) 및 제2 감지 신호 라인들(SPL2a~SPL2e)을 포함한다. 제1 감지 신호 라인들(SPL1a~SPL1d)의 일단들은 제1 감지 패턴들(SP1)에 연결되고, 제1 감지 신호 라인들(SPL1a~SPL1d)의 끝단들은 제1 패드부(PD1)에 포함된 패드들에 각각 연결된다. 제1 감지 신호 라인들(SPL1a~SPL1d)은 제1 패드부(PD1)로부터 출력된 감지 신호를 제1 감지 패턴들(SP1)에 전달한다.
- [0110] 제2 감지 신호 라인들(SPL2a~SPL2e)의 일단들은 제2 감지 패턴들(SP2)에 연결된다. 제2 감지 신호 라인들(SPL2a~SPL2e)의 끝단들은 제2 패드부(PD2)에 포함된 패드들에 각각 연결된다. 제2 감지 신호 라인들(SPL2a~SPL2e)은 제2 패드부(PD2)로부터 출력된 전기적 신호를 제2 감지 패턴들(SP2)에 전달한다.
- [0111] 도시되지 않았지만, 제1 감지 신호 라인들(SPL1a~SPL1d) 및 제2 감지 신호 라인들(SPL2a~SPL2e) 역시 메쉬 형상으로 제공될 수 있다.
- [0112] 도 5c를 참조하면, 도 4b를 통해 설명된 바와 같이, 표시 영역(DP-DA)은 복수 개의 화소 영역들(PXA-R, PXA-G, PXA-B) 및 화소 영역들(PXA-R, PXA-G, PXA-B)에 인접한 차광 영역(NPXA)을 포함한다. 화소 영역들(PXA-R, PXA-G, PXA-B)은 화소 정의층(PDL)에 정의된 개구부들(OM)에 각각 중첩할 수 있다.
- [0113] 제1 감지 패턴들(SP1)은 메쉬 개구부들을 정의하는 제1 메쉬선들(SPt1)을 포함한다. 다만, 제1 메쉬선들(SPt1)이 메쉬 개구부들을 정의하는 것으로 설명되나, 제1 메쉬선들(SPt1)의 적어도 일부는 메쉬 개구부들을 정의하지 않을 수 있다. 예를 들어, 제1 감지 패턴(SP1)의 가장 자리에 인접한 제1 메쉬선들(SPt1)의 일부는 메쉬 개구부

를 정의하지 않을 수 있다.

- [0114] 제2 감지 패턴들(SP2)은 메쉬 개구부들을 정의하는 제2 메쉬선들(SPt2)을 포함한다. 마찬가지로, 제2 메쉬선들(SPt2)이 메쉬 개구부들을 정의하는 것으로 설명되나, 제2 메쉬선들(SPt2)의 적어도 일부는 메쉬 개구부를 정의하지 않을 수 있다. 예를 들어, 제2 감지 패턴(SP2)의 가장 자리에 인접한 제2 메쉬선들(SPt2)의 일부는 메쉬 개구부를 정의하지 않을 수 있다.
- [0115] 본 발명의 실시 예에 따르면, 평면상에서 메쉬 개구부의 면적은 화소 영역의 면적 보다 클 수 있다.
- [0116] 또한, 제1 메쉬선들(SPt1) 및 제2 메쉬선들(SPt2) 각각은 차광 영역(NPXA)에 중첩한다. 제1 메쉬선들(SPt1) 각각은 제1 방향(DR1) 및 제2 방향(DR2)과 교차하는 제5 방향(DR5)으로 연장하는 두 개의 제1 연장부들(SPt1-A)과 제5 방향(DR5)과 교차하는 제4 방향(DR4)으로 연장하는 두 개의 제2 연장부들(SPt1-B)을 포함한다. 제1 연장부들(SPt1-A)은 서로 대향하며, 제2 연장부들(SPt1-B)에 연결될 수 있다. 제2 연장부들(SPt1-B)은 서로 대향하며, 제1 연장부들(SPt1-A)에 연결될 수 있다. 메쉬선의 선포는 수 마이크로일 수 있다.
- [0117] 제2 메쉬선들(SPt2) 각각은 제1 방향(DR1) 및 제2 방향(DR2)과 교차하는 제4 방향(DR4)으로 연장하는 두 개의 제3 연장부들(SPt2-A)과 제4 방향(DR4)과 교차하는 제5 방향(DR5)으로 연장하는 두 개의 제4 연장부들(SPt2-B)을 포함한다. 제3 연장부들(SPt2-A)은 서로 대향하며, 제4 연장부들(SPt2-B)에 연결될 수 있다. 제4 연장부들(SPt2-B)은 서로 대향하며, 제3 연장부들(SPt2-A)에 연결될 수 있다. 메쉬선의 선포는 수 마이크로일 수 있다.
- [0118] 도 5d를 참조하면, 표시장치(DD)는 도 3을 통해 설명된 표시모듈(DM) 외에 차광층(BY), 컬러 필터층(CFY), 및 윈도우(WM)를 더 포함한다.
- [0119] 윈도우(WM)는 표시모듈(DM) 상부에 배치되고, 표시모듈(DM)로부터 제공되는 영상을 외부로 투과시킬 수 있다. 윈도우(WM)는 유리, 사파이어, 또는 플라스틱 등으로 구성될 수 있다. 또한, 윈도우(WM)가 단일층으로 도시되었지만, 윈도우(WM)는 복수 개의 층들을 포함할 수 있다. 윈도우(WM)는 베이스 층 및 비투과 영역(NTA)에 중첩하며 베이스 층 배면에 배치된 적어도 하나의 인쇄층을 포함할 수 있다. 인쇄층은 소정의 컬러를 가질 수 있다. 일 예로, 인쇄층은 블랙 색상으로 제공되거나, 블랙 색상 외의 다른 컬러로 제공될 수 있다.
- [0120] 컬러 필터층(CFY)은 윈도우(WM) 및 입력 감지층(ISU) 사이에 배치되며, 제1 내지 제3 컬러 필터들(CF1, CF2, CF3)을 포함한다.
- [0121] 제1 컬러 필터(CF1)는 제1 색을 가지며 화소 영역들(PXA) 중 제1 화소 영역에 중첩할 수 있다. 제2 컬러 필터(CF2)는 제2 색을 가지며 화소 영역들(PXA) 중 제2 화소 영역에 중첩할 수 있다. 제3 컬러 필터(CF3)는 제3 색을 가지며 화소 영역들(PXA2) 중 제3 화소 영역에 중첩할 수 있다. 예컨대, 제1 색은 적색이며, 제2 색은 청색이며, 제3 색은 녹색일 수 있다.
- [0122] 차광층(BY)은 입력 감지층(ISU)의 제2 입력 절연층(IS-IL2) 상에 배치된다. 차광층(BY)은 화소 영역(PXA)에 대응하는 개구부를 포함할 수 있다. 즉, 화소 영역(PXA)은 차광층(BY)에 포함된 개구부를 통해 정의될 수 있으며, 차광 영역(NPXA) 역시 차광층(BY)에 중첩한 영역으로 정의될 수 있다. 일 예로, 차광층(BY)은 블랙 색상으로 제공될 수 있으며, 제1 내지 제3 컬러 필터들(CF1, CF2, CF3)을 구획할 수 있다.
- [0123] 본 발명의 실시 예에 따르면, 차광층(BY)은 1.0 이상 내지 4.0 이하의 광학 밀도(Optical density)를 가질 수 있다. 이하, 본 명세서에서, 윈도우(WM)는 차광층(BY)에 포함된 개구부들에 의해 정의된 복수 개의 화소 영역들(PXA) 및 차광층(BY)에 중첩한 차광 영역(NPXA)을 포함하는 것으로 설명된다.
- [0124] 한편, 도 5d에 도시된 표시패널(DP)의 베이스기판(SUB), 회로 소자층(DP-CL), 표시 소자층(DP-OLED), 및 봉지층(ECL)은 도 4b에 도시된 구조와 실질적으로 동일할 수 있다. 따라서, 이에 대한 중복된 설명은 생략한다.
- [0125] 도 5a 및 도 5b를 통해 설명된 바와 같이, 입력 감지층(ISU)은 제1 도전층(IS-CL1), 제1 입력 절연층(IS-IL1), 제2 도전층(IS-CL2), 및 제2 입력 절연층(IS-IL2)을 포함한다. 도 5d를 통해 도시되지 않았지만, 제1 도전층(IS-CL1)에 포함된 제2 연결 패턴들(CP2)이 봉지층(ECL) 상에 직접 배치될 수 있다.
- [0126] 제1 입력 절연층(IS-IL1)은 제2 연결 패턴들(CP2)을 커버하며 봉지층(ECL) 상에 직접 배치될 수 있다. 제1 입력 절연층(IS-IL1)은 봉지층(ECL)과 마주하는 하면 및 상기 하면과 대향하며 제1 감지 패턴들(SP1)이 배치된 상면을 포함한다.
- [0127] 제2 도전층(IS-CL2)에 포함된 제1 감지 패턴들(SP1), 제2 감지 패턴들(SP2), 및 감지 신호 라인들이 제1 입력 절연층(IS-IL1)의 상면 상에 배치될 수 있다. 이 중, 예시적으로, 제1 감지 패턴들(SP1)이 도 5d를 통해 도시되

었다. 도시되지 않았지만, 제1 입력 절연층(IS-IL1)은 제2 연결 패턴들(CP2) 및 제2 감지 패턴들(SP2)을 전기적으로 연결하는 콘택홀들을 포함할 수 있다.

- [0128] 제2 입력 절연층(IS-IL2)은 제2 도전층(IS-IL2)을 커버하며 제1 입력 절연층(IS-IL1)의 상면 상에 배치될 수 있다. 차광 영역(NPXA)에 증착한 차광층(BY0)이 제2 입력 절연층(IS-IL2) 상에 배치될 수 있다.
- [0129] 도 6은 본 발명의 실시 예에 따른 표시패널의 일 부분을 보여주는 평면도이다. 도 7은 본 발명의 실시 예에 따른 도 6에 도시된 II-II' 를 따라 절단한 표시장치의 단면도이다. 도 8은 본 발명의 실시 예에 따른 도 6에 도시된 III-III' 를 따라 절단한 표시장치의 단면도이다.
- [0130] 도 6을 참조하면, 앞서 도 3을 통해 설명된 제1 연결 라인(CNL1a, CNL1b, CNL1c, CNL1d) 및 제2 연결 라인(CNL2)에 대해 자세히 설명한다.
- [0131] 패드 라인들(SL)은 구동칩(SPD)에 전기적으로 연결된 중앙 패드 라인들(SL-M), 제1 패드 라인부, 및 제2 패드 라인부를 포함한다. 평면상에서, 중앙 패드 라인들(SL-M)은 제1 패드 라인부 및 제2 패드 라인부 사이에 배치될 수 있다.
- [0132] 자세하게, 도 6을 참조하면, 중앙 패드 라인들(SL-M)은 데이터 라인들(DL) 중 중앙 데이터 라인부(DL-M)에 포함된 복수 개의 중앙 데이터 라인들에 전기적으로 각각 연결된다. 예시적으로, 하나의 중앙 패드 라인(SL-M) 및 하나의 중앙 데이터 라인(DL-M)에 대해 설명한다. 중앙 패드 라인(SL-M) 및 중앙 데이터 라인(DL-M)은 한 번의 공정을 통해 형성된 일체 형상으로 제공될 수 있다. 즉, 도 7에 도시된 바와 같이, 중앙 패드 라인(SL-M) 및 중앙 데이터 라인(DL-M)은 물리적으로 이어진 하나의 형상일 수 있다. 중앙 패드 라인(SL-M) 및 중앙 데이터 라인(DL-M)은 앞서 도 3을 통해 설명된 중앙 신호 라인의 제2 데이터 라인 및 제2 패드 라인에 각각 대응될 수 있다.
- [0133] 제1 패드 라인부는 제1 서브 패드 라인(SL-1a), 제2 서브 패드 라인(SL-1b), 및 제어 패드 라인(SL-2)을 포함한다. 제1 서브 패드 라인(SL-1a) 및 제2 서브 패드 라인(SL-1b)은 앞서 도 3을 통해 설명된 제1 서브 라인에 대응될 수 있다. 제어 패드 라인(SL-2)은 앞서 도 3을 통해 설명된 제3 서브 라인에 대응될 수 있다. 한편, 제1 패드 라인부에 포함된 라인의 개수는 이에 한정되지 않으며 다양하게 변형될 수 있다.
- [0134] 본 발명에 따르면, 제3 서브 라인에 대응한 제어 패드 라인(SL-2)은 제1 서브 라인에 대응하는 제2 서브 패드 라인(SL-1b) 및 중앙 신호 라인에 대응한 중앙 패드 라인들(SL-M) 사이에 배치될 수 있다.
- [0135] 이하, 본 명세서에서, 제1 연결 라인(CNL1a, CNL1b, CNL1c, CNL1d) 중 중앙 데이터 라인들(DL-M)의 일측에 인접한 두 개의 좌측 연결 라인(CNL1a, CNL1b)이 정의되고, 중앙 데이터 라인부(DL-M)의 타측에 인접한 두 개의 우측 연결 라인(CNL1c, CNL1d)이 정의된다.
- [0136] 본 발명에 따르면, 제1 연결 라인(CNL1a, CNL1b, CNL1c, CNL1d) 및 제2 연결 라인(CNL2)은 평면상에서 적어도 한 번 절곡된 형상을 가질 수 있다.
- [0137] 좌측 연결 라인(CNL1a, CNL1b)의 일단은 제1 콘택홀(CNT1)을 통해 제1 서브 패드 라인(SL-1a) 및 제2 서브 패드 라인(SL-1b)에 전기적으로 연결된다. 또한, 좌측 연결 라인(CNL1a, CNL1b)의 타단은 제2 콘택홀(CNT2)을 통해 데이터 라인들(DL) 중 좌측 데이터 라인부(DL-S1)의 제1 및 제2 서브 데이터 라인들(DL-S1a, DL-S1b)에 전기적으로 연결된다. 여기서, 제1 및 제2 서브 데이터 라인들(DL-S1a, DL-S1b)은 앞서 도 3을 통해 설명된 제2 서브 라인에 대응될 수 있다.
- [0138] 본 발명에 따르면, 제1 콘택홀(CNT1) 및 제2 콘택홀(CNT2) 각각은 두 개로 제공될 수 있다.
- [0139] 자세하게, 도 6을 참조하면, 제1 서브 연결 라인(CNL1a)의 일단은 하나의 제1 콘택홀(CNT1)을 통해 제1 서브 패드 라인(SL-1a)에 전기적으로 연결된다. 제1 서브 연결 라인(CNL1a)의 타단은 하나의 제2 콘택홀(CNT2)을 통해 표시 영역(DP-DA)에 증착한 제1 서브 데이터 라인(DL-S1a)에 전기적으로 연결된다. 특히, 제1 서브 패드 라인(SL-1a)는 제1 서브 데이터 라인(DL-S1a)과 평면상에서 이격된다.
- [0140] 마찬가지로, 제1 서브 연결 라인(CNL1a)과 동일한 구조를 갖는 제2 서브 연결 라인(CNL1b)의 일단은 다른 하나의 제1 콘택홀(CNT1)을 통해 제2 서브 패드 라인(SL-1b)에 전기적으로 연결된다. 제2 서브 연결 라인(CNL1b)의 타단은 다른 하나의 제2 콘택홀(CNT2)을 통해 제1 서브 데이터 라인(DL-S1a)에 전기적으로 연결된다. 특히, 제2 서브 패드 라인(SL-1b)는 제2 서브 데이터 라인(DL-S1b)과 평면상에서 이격된다.
- [0141] 제2 연결 라인(CNL2)의 일단은 제3 콘택홀(CNT3)을 통해 제어 패드 라인(SL-2)에 전기적으로 연결된다. 제2 연결 라인(CNL2)의 타단은 제4 콘택홀(CNT4)을 통해 제어 신호라인(CSL)에 전기적으로 연결된다. 여기서, 앞서 도

3에서 설명된 바와 같이, 제어 신호라인(CSL)은 제4 서브 라인에 대응된다. 특히, 제2 연결 라인(CNL2)은 평면 상에서 제2 서브 라인에 대응한 제1 및 제2 서브 데이터 라인들(DL-S1a, DL-S1b)에 적어도 일부 중첩하는 중첩 영역(OPA)을 가질 수 있다.

- [0142] 우측 연결 라인(CNL1c, CNL1d)의 구조는 좌측 연결 라인(CNL1a, CNL1b)의 구조와 실질적으로 동일할 수 있다. 예컨대, 제3 서브 연결 라인(CNL1c)의 일단은 다른 하나의 제1 컨택홀(CNT1)을 통해 제3 서브 패드 라인(SL-1c)에 전기적으로 연결된다. 제3 서브 연결 라인(CNL1c)의 타단은 하나의 제2 컨택홀(CNT2)을 통해 데이터 라인들(DL) 중 우측 데이터 라인부(DL-S2)의 제3 서브 데이터 라인들(DL-S2a)에 전기적으로 연결된다.
- [0143] 제4 서브 연결 라인(CNL1d)의 일단은 다른 하나의 제1 컨택홀(CNT1)을 통해 제4 서브 패드 라인(SL-1d)에 전기적으로 연결된다. 제4 서브 연결 라인(CNL1d)의 타단은 다른 하나의 제2 컨택홀(CNT2)을 통해 우측 데이터 라인부(DL-S2)의 제4 서브 데이터 라인(DL-S2b)에 전기적으로 연결된다.
- [0144] 본 발명의 실시 예에 따르면, 제1 연결 라인(CNL1a, CNL1b) 및 제2 연결 라인(CN2)은 표시 영역(DP-DA)에 중첩할 수 있다. 즉, 표시 영역(DP-DA)에 중첩한 제1 연결 라인(CNL1a, CNL1b) 및 제2 연결 라인(CNL2)을 통해 패드 라인과 데이터 라인을 전기적으로 연결함에 따라, 표시장치(DD)의 코너부에서 비표시 영역(DP-NDA)의 면적이 축소될 수 있다.
- [0145] 즉, 제2 방향(DR2)에서, 어느 하나의 패드 라인이 표시장치(DD)의 코너부에 인접한 비표시 영역(DP-NDA)을 경유하여 데이터 라인들(DL) 중 최외각 데이터 라인에 연결되는 것이 아닌, 앞서 설명된 표시 영역(DP-DA)에 중첩한 연결 라인을 통해 서로 연결된다. 그 결과, 표시장치(DD)의 코너부에 인접한 비표시 영역(DP-NDA)을 경유하는 패드 라인의 부분이 생략됨으로써, 표시장치(DD)의 전반적인 비표시 영역(DP-NDA)의 면적이 축소될 수 있다.
- [0146] 도 7을 참조하면, 본 발명에 따른 제1 서브 패드 라인(SL-1a)를 포함한 패드 라인들(SL) 및 제1 서브 데이터 라인(DL-S1a)을 포함한 데이터 라인들(DL)은 도 4b를 통해 설명된 제2 중간 무기막(20) 상에 배치될 수 있다. 즉, 제1 서브 패드 라인(SL-1a)에 대응한 제1 서브 라인 및 제1 서브 데이터 라인(DL-S1a)에 대응한 제2 서브 라인은 서로 동일 층 상에 배치될 수 있다.
- [0147] 특히, 제1 서브 연결 라인(CNL1a)은 제1 중간 유기막(30) 상에 배치되고, 제1 중간 유기막(30)에 정의된 제1 컨택홀(CNT1) 및 제2 컨택홀(CNT2)을 통해 제1 서브 패드 라인(SL-1a) 및 제1 서브 데이터 라인(DL-S1a)에 전기적으로 연결될 수 있다. 여기서, 제1 컨택홀(CNT1) 및 제2 컨택홀(CNT2)은 표시 영역(DP-DA)에 중첩할 수 있다. 제1 서브 패드 라인(SL-1a)은 표시 영역(DP-DA)의 적어도 일 부분에 중첩할 수 있다.
- [0148] 본 명세서에서, 제1 연결 라인(CNL1a, CNL1b) 및 제2 연결 라인(CN2) 모두 제1 중간 유기막(30) 상에 배치될 수 있다. 즉, 제1 연결 라인(CNL1a, CNL1b) 및 제2 연결 라인(CN2)은 동일 층상에 배치된다.
- [0149] 또한, 본 발명에 따르면, 제1 서브 연결 라인(CNL1a)은 차광층(BY)에 중첩할 수 있다. 예컨대, 차광층(BY)은 제1 연결 라인(CNL1a, CNL1b) 및 제2 연결 라인(CN2)에 전체적으로 중첩할 수 있다. 따라서, 차광층(BY)에 의해 표시 영역(DP-DA)에 중첩한 제1 연결 라인(CNL1a, CNL1b) 및 제2 연결 라인(CN2)이 외부에 시인되는 것이 방지될 수 있다.
- [0150] 또한, 도 8을 참조하면, 도 6을 통해 설명된 중앙 패드 라인(SL-M) 및 중앙 데이터 라인(DL-M)이 한 번의 공정을 통해 형성된 것을 볼 수 있다. 즉, 중앙 패드 라인(SL-M) 및 중앙 데이터 라인(DL-M)은 평면상에서 서로 이어진 형상을 가질 수 있다.
- [0151] 도 9는 본 발명의 실시 예에 따른 도 6에 도시된 IV-IV' 를 따라 절단한 표시장치의 단면도이다.
- [0152] 도 9를 참조하면, 제2 연결 라인(CNL2)은 제1 중간 유기막(30) 상에 배치된다. 또한, 제2 연결 라인(CNL2)은 제1 및 제2 서브 데이터 라인들(DL-S1a, DL-S1b)에 적어도 일 부분 중첩한 것을 볼 수 있다. 제어 신호라인(CSL)은 제1 중간 무기막(10) 상에 배치되어, 중간 컨택홀(CNT-S)을 통해 중간 연결 전극(CN)에 전기적으로 연결될 수 있다.
- [0153] 본 발명의 실시 예에 따르면, 제2 연결 라인(CNL2)의 일단은 제1 중간 유기막(30)에 정의된 제3 컨택홀(CNT3)을 통해 제어 패드 라인(SL-2)에 전기적으로 연결된다. 제2 연결 라인(CNL2)의 타단은 제1 중간 유기막(30)에 정의된 제4 컨택홀(CNT)을 통해 연결 전극(CN)에 전기적으로 연결된다.
- [0154] 본 발명에 따르면, 제어 패드 라인(SL-2)에 대응한 제3 서브 라인 및 제어 신호라인(CSL)에 대응한 제4 서브 라인은 서로 다른 층상에 배치될 수 있다. 또한, 제1 중간 무기막(10) 상에 배치된 제어 신호라인(CSL)과 제2 중



간 무기막(20) 상에 배치된 제1 연결 라인(CNL1a, CNL1b)은 서로 다른 층 상에 배치된다.

[0155] 한편, 본 명세서에서 도시되지 않았지만, 도 3에 도시된 전원 라인(PL) 역시 도 7을 통해 설명된 구조에 실질적으로 동일하게 적용될 수 있다. 즉, 전원 라인(PL)은 도 7에 도시된 제1 서브 데이터 라인(DL-S1a)과 동일한 층 상에 배치되고, 동일 층 상에 배치된 대응하는 패드 라인에 전기적으로 연결될 수 있다. 이 경우, 전원 라인(PL) 및 대응하는 패드 라인은 제1 중간 유기막(30) 상에 배치된 연결 라인을 통해 서로 전기적으로 연결될 수 있다.

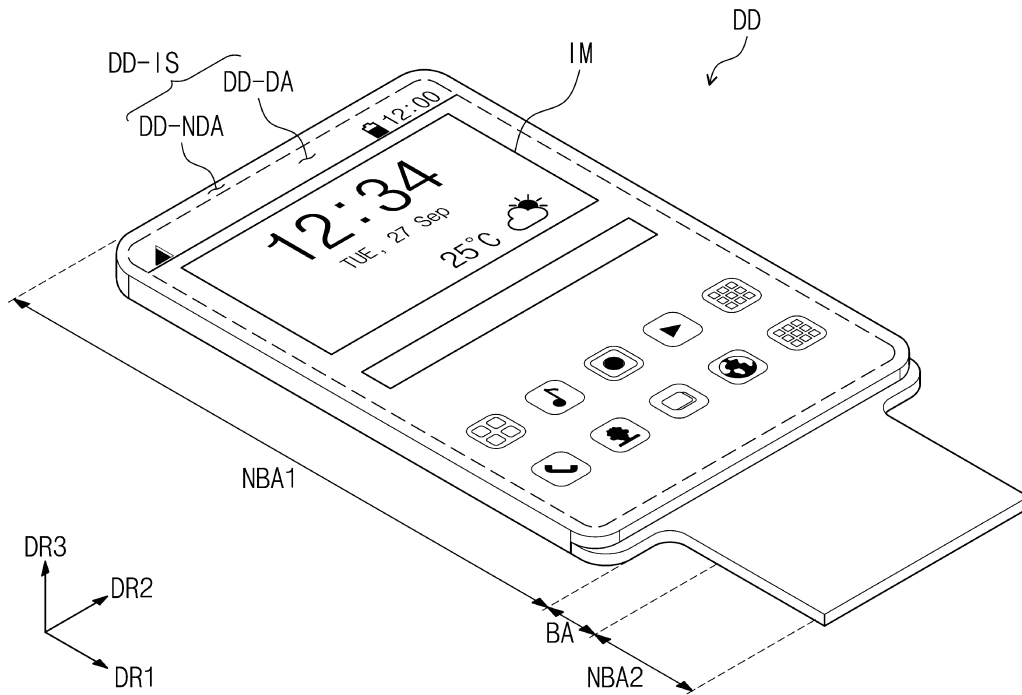
[0156] 이상에서와 같이 도면과 명세서에서 실시 예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허 청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 특허 청구범위의 기술적 사상에 의해 정해져야 할 것이다.

### 부호의 설명

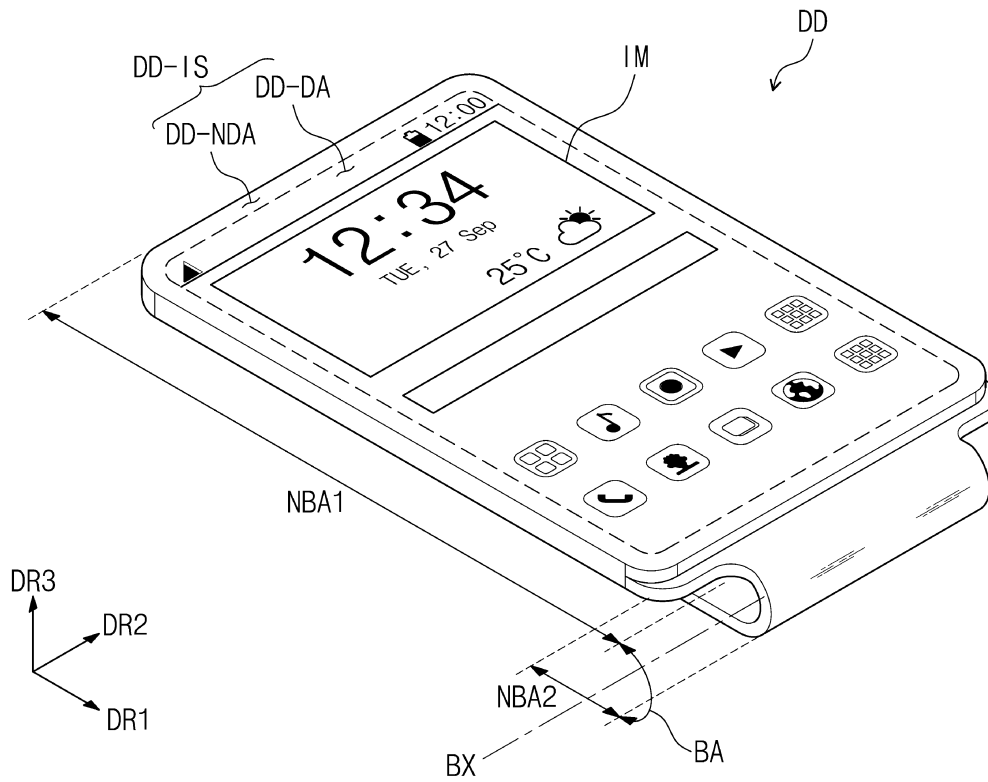
[0157] DM: 표시모듈  
 DP: 표시패널  
 ISU: 입력 감지층  
 SUB: 베이스기판  
 DP-CL: 회로 소자층  
 DP-OLED: 표시 소자층  
 ECL: 봉지층  
 SPD: 구동칩  
 SL: 패드 라인  
 DL: 데이터 라인  
 CNL: 연결 라인  
 CNT: 컨택홀

도면

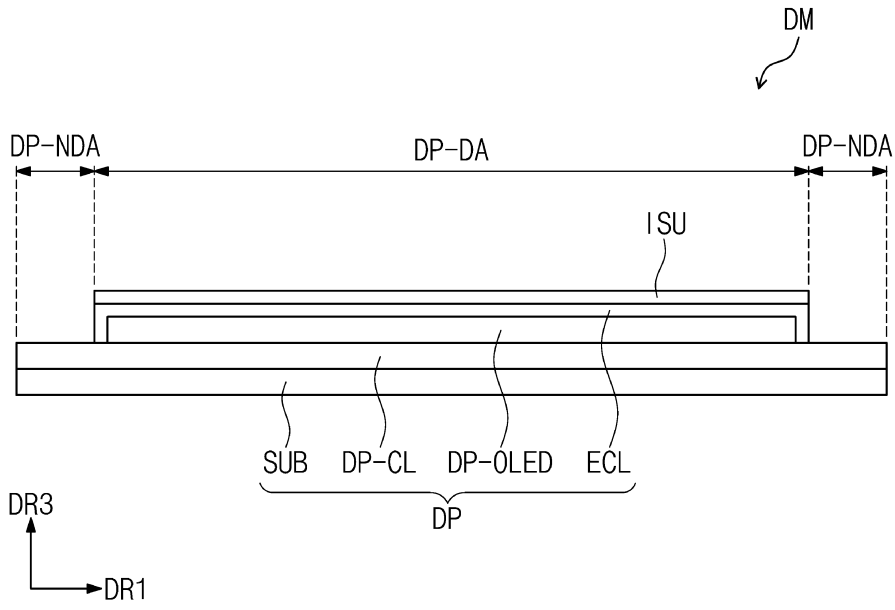
도면1a



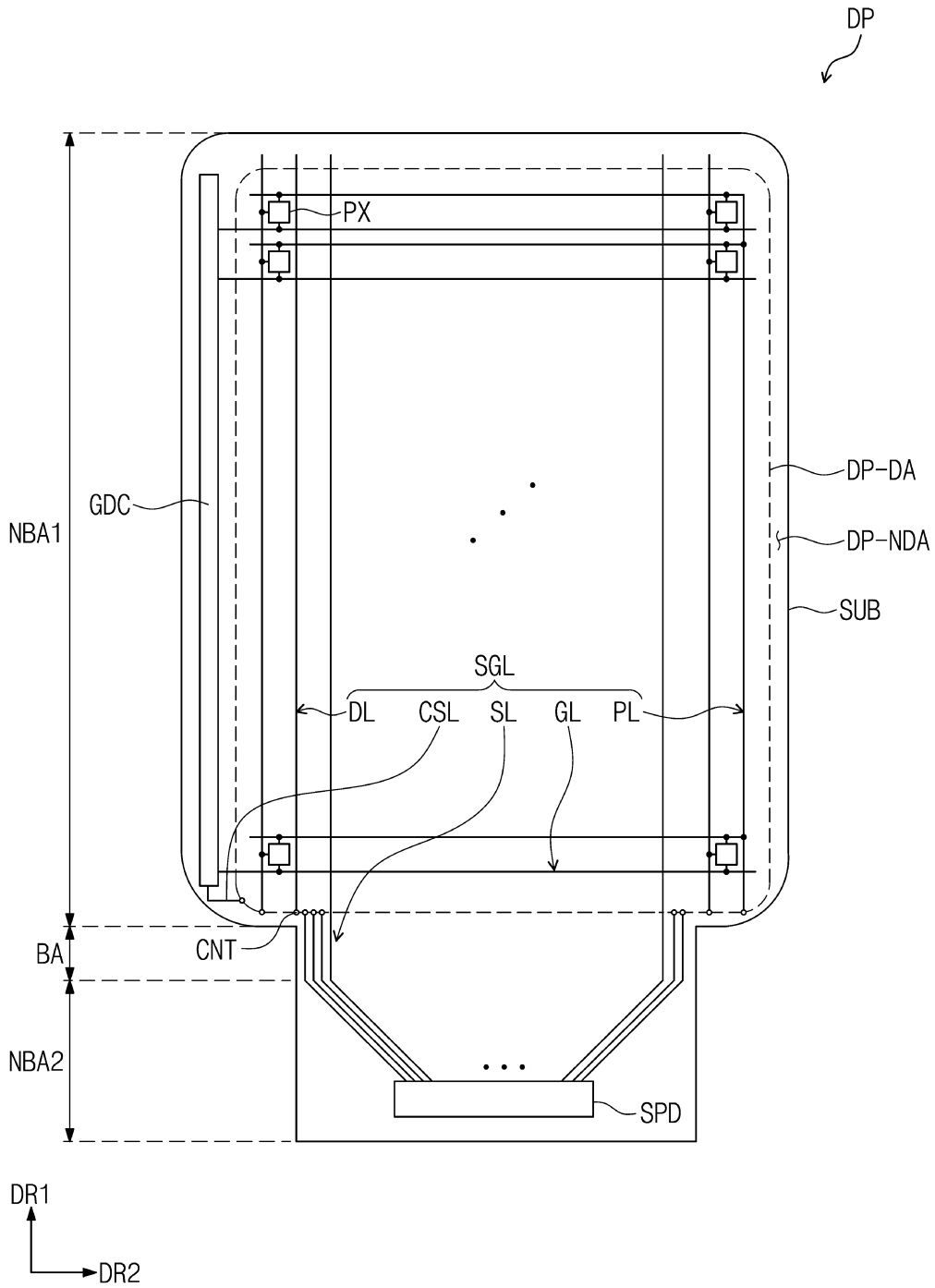
도면1b



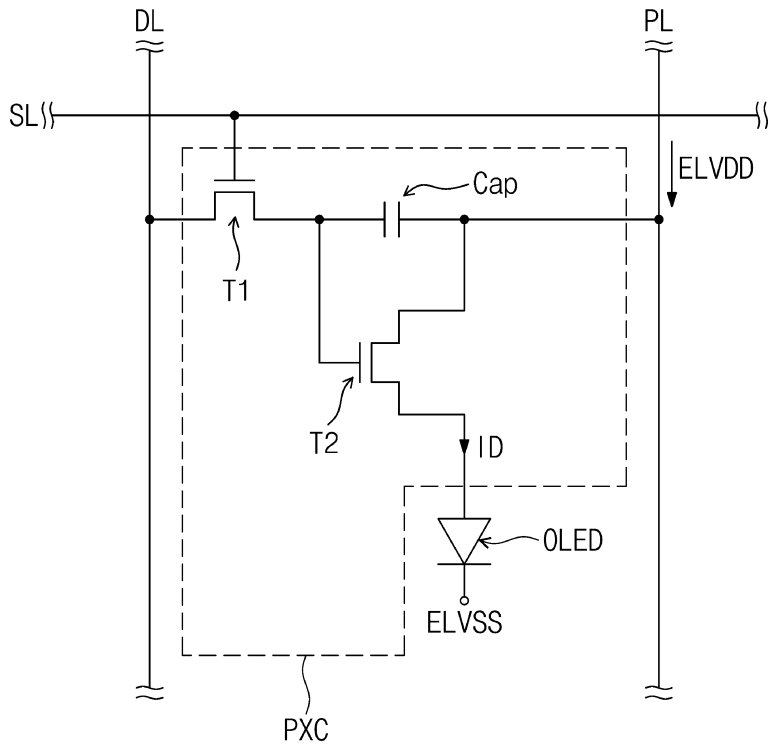
도면2



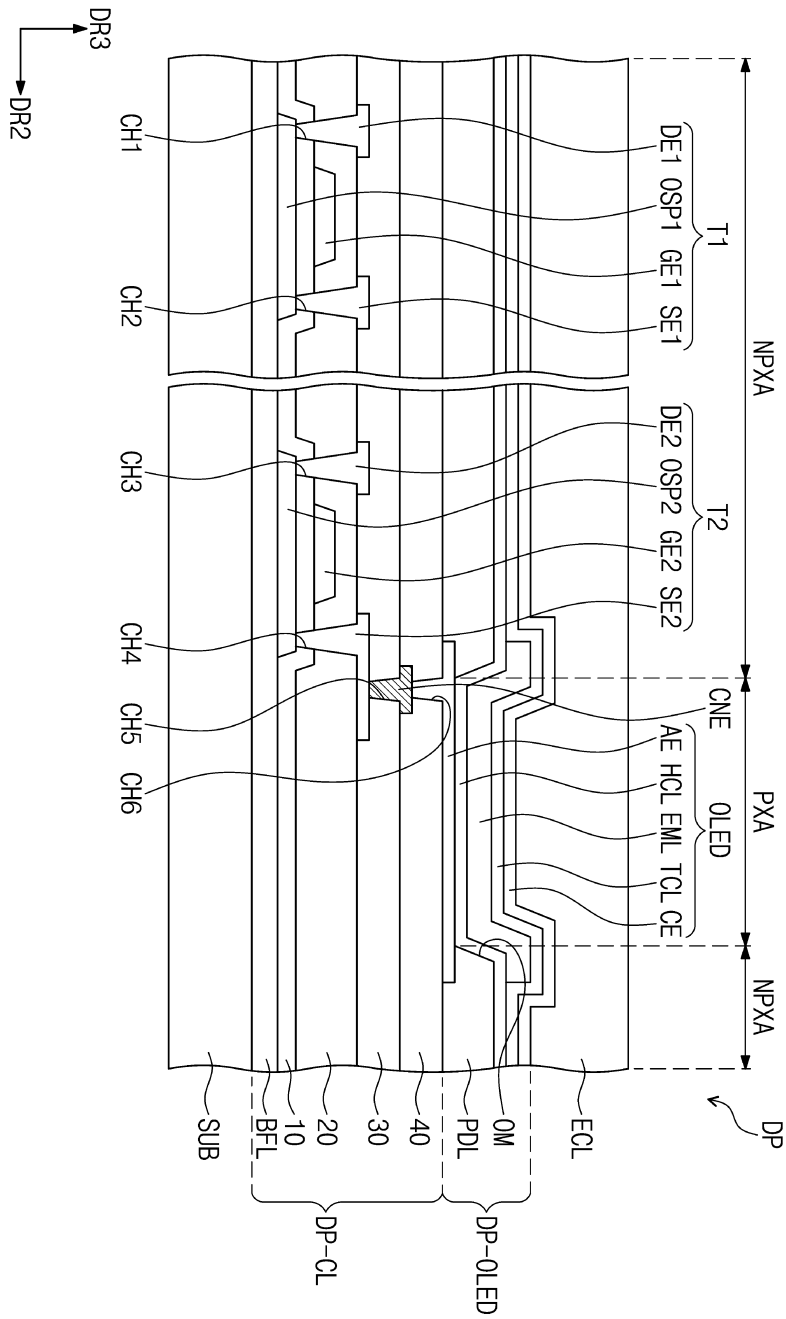
도면3



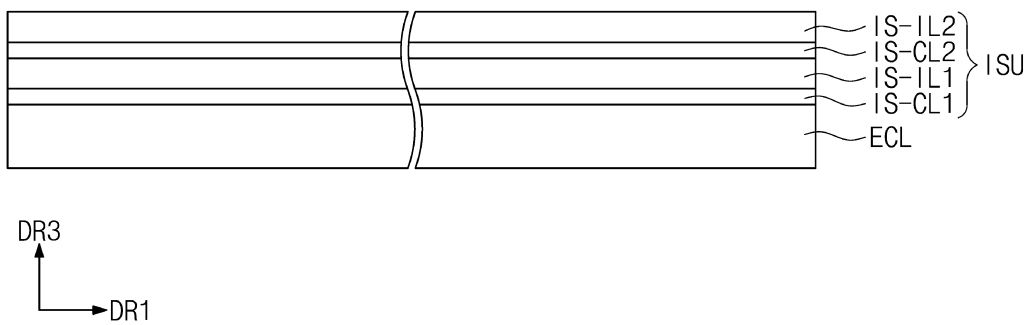
도면4a



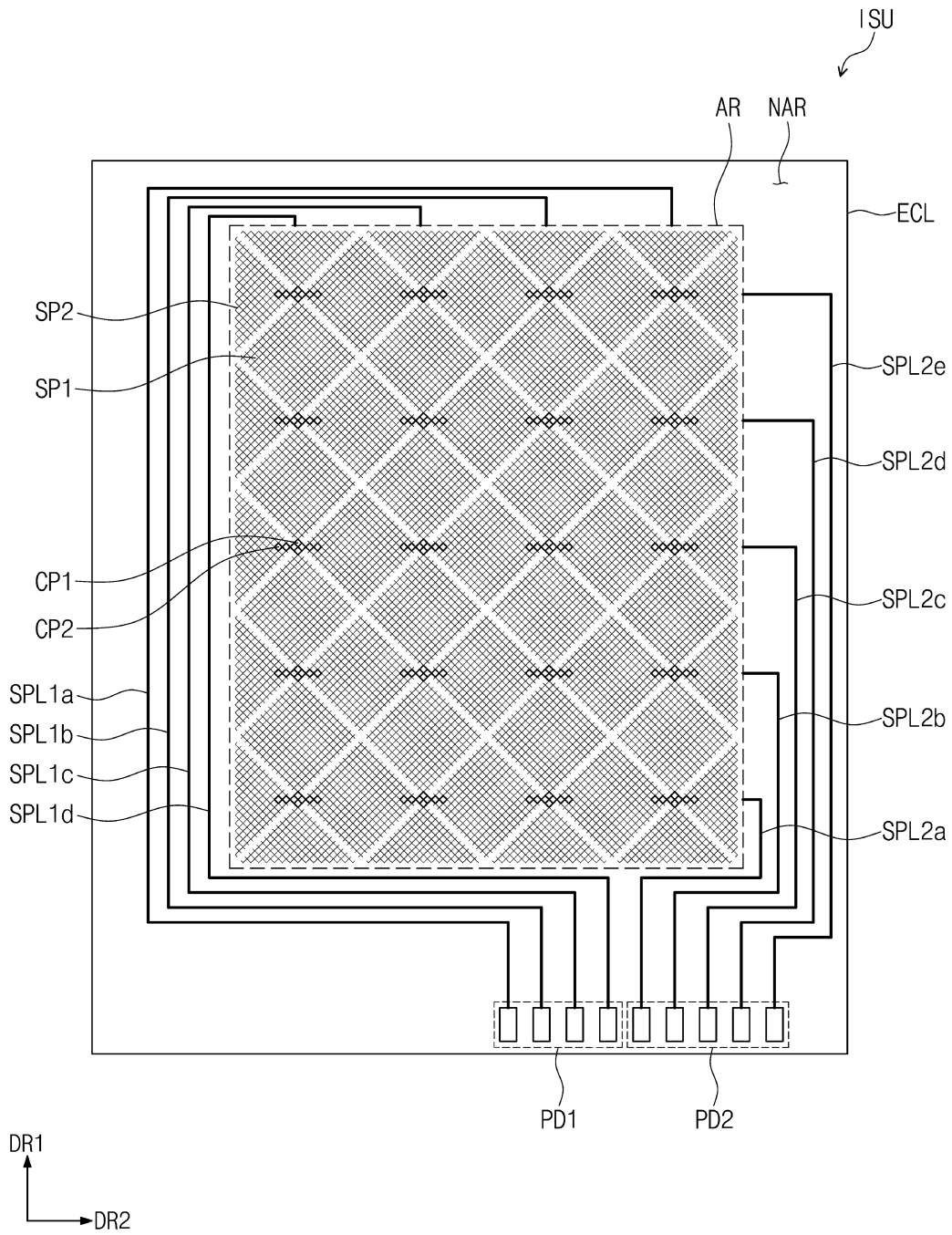
도면4b



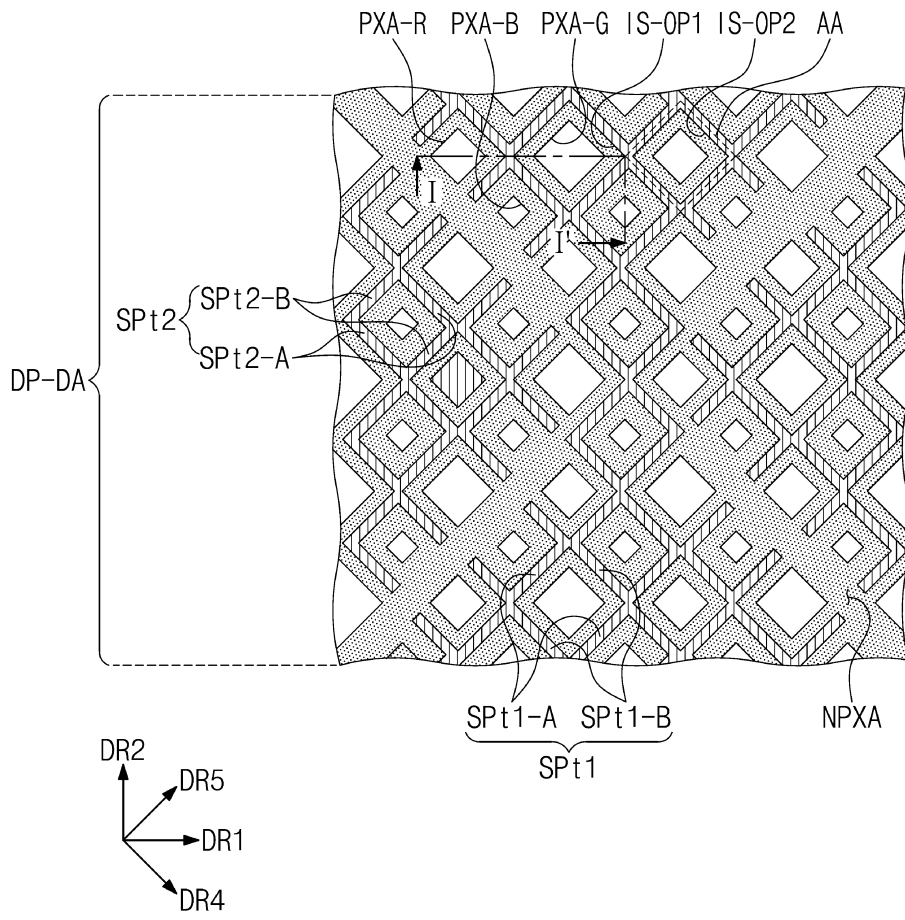
도면5a



도면5b

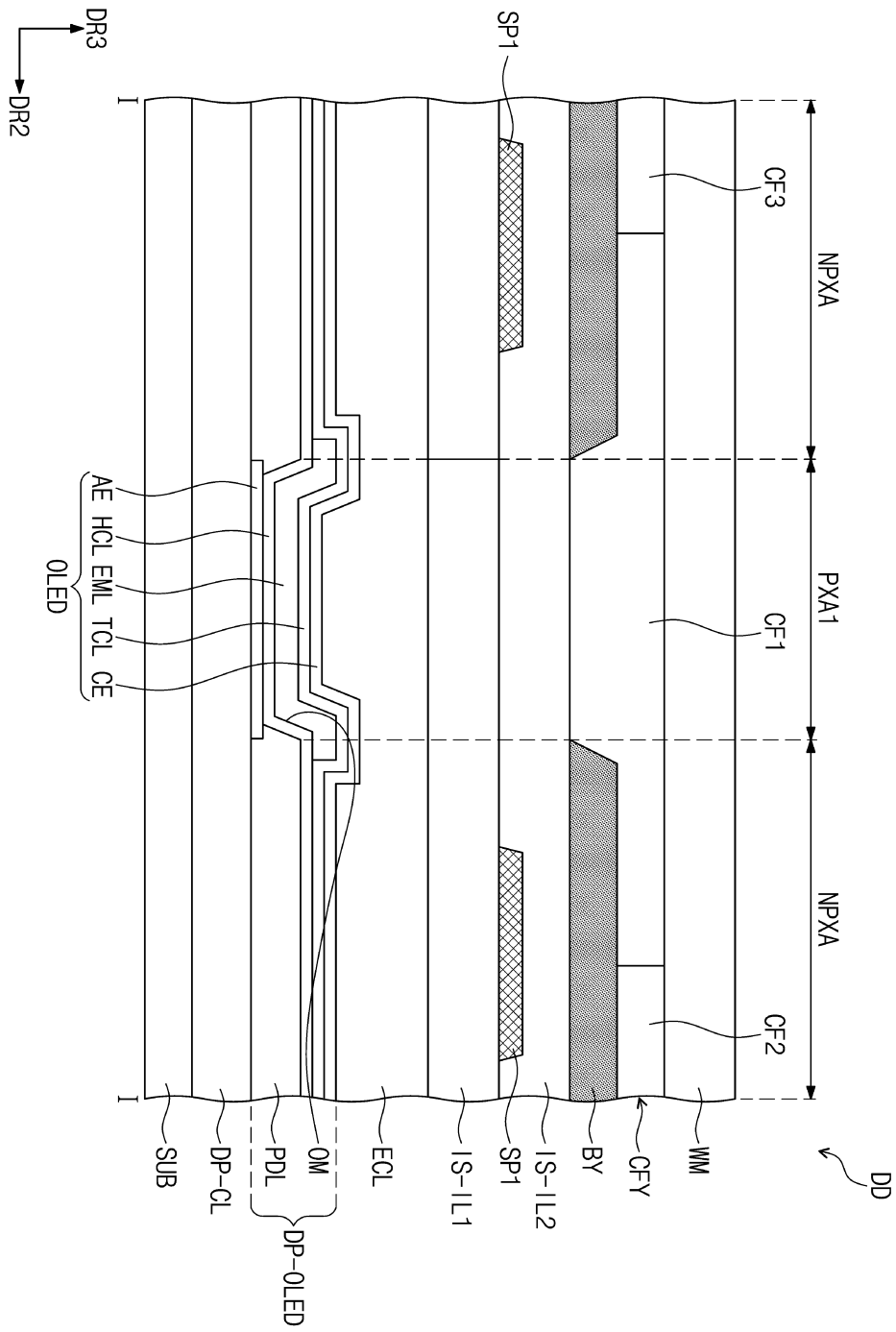


도면5c

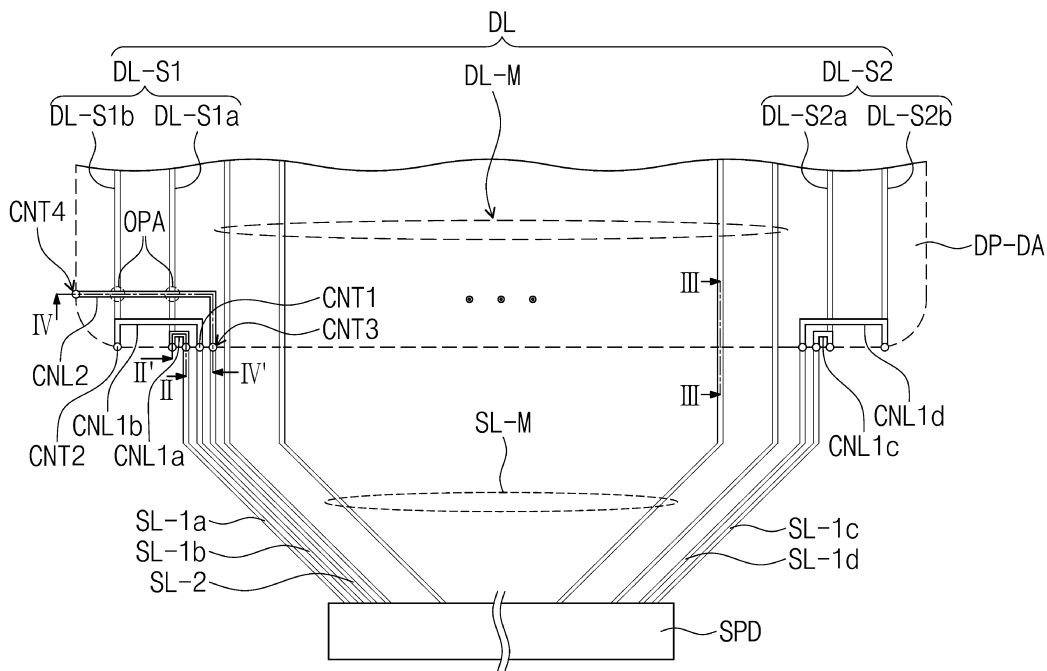




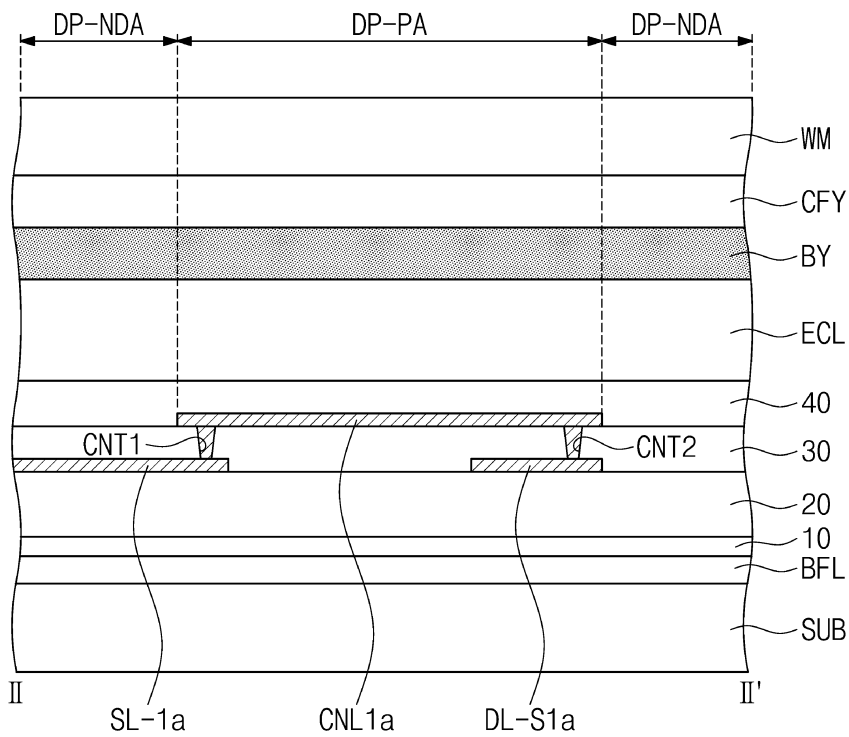
도면5d



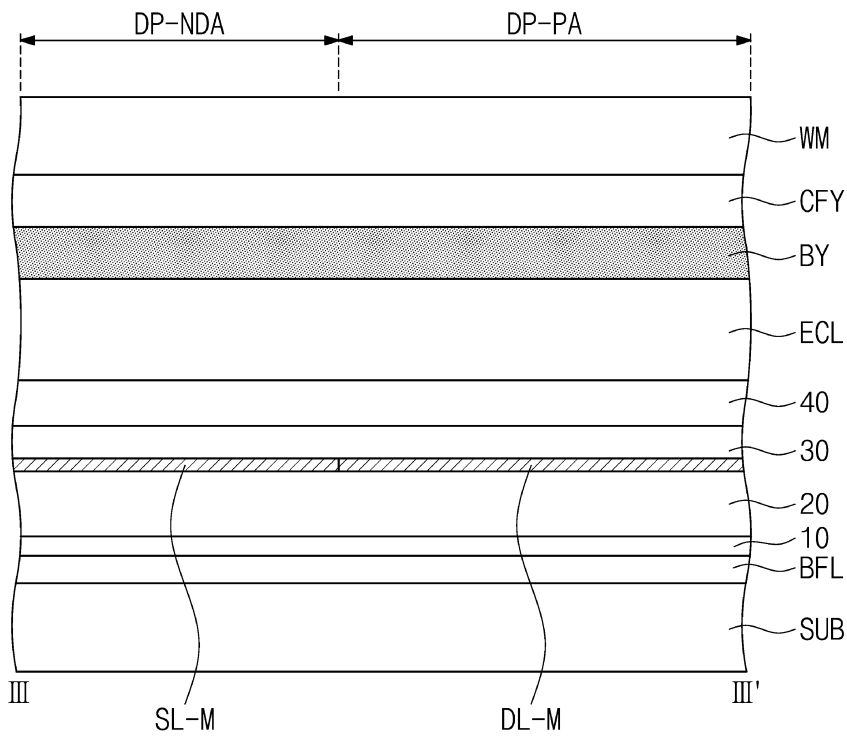
도면6



도면7



도면8



도면9

