



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0110363
(43) 공개일자 2023년07월21일

- (51) 국제특허분류(Int. Cl.)
H10B 41/49 (2023.01) H01L 21/28 (2006.01)
H01L 29/423 (2006.01) H10B 41/30 (2023.01)
- (52) CPC특허분류
H10B 41/49 (2023.02)
H01L 29/40114 (2021.08)
- (21) 출원번호 10-2023-7022104
- (22) 출원일자(국제) 2021년06월08일
심사청구일자 2023년06월29일
- (85) 번역문제출일자 2023년06월29일
- (86) 국제출원번호 PCT/US2021/036311
- (87) 국제공개번호 WO 2022/186852
국제공개일자 2022년09월09일
- (30) 우선권주장
202110226090.6 2021년03월01일 중국(CN)
17/339,880 2021년06월04일 미국(US)

- (71) 출원인
실리콘 스토리지 테크놀로지 인크
미국 캘리포니아주 95134 산호세 홀거 웨이 450
- (72) 발명자
송, 구오 시양
중국, 201203 상하이, 주충지 로드, 레인 2277 빌딩 18
왕, 춘밍
중국, 201203 상하이, 후오시양 로드, 레인 238, 넘버 16, 룸 402
(뒷면에 계속)
- (74) 대리인
강명구

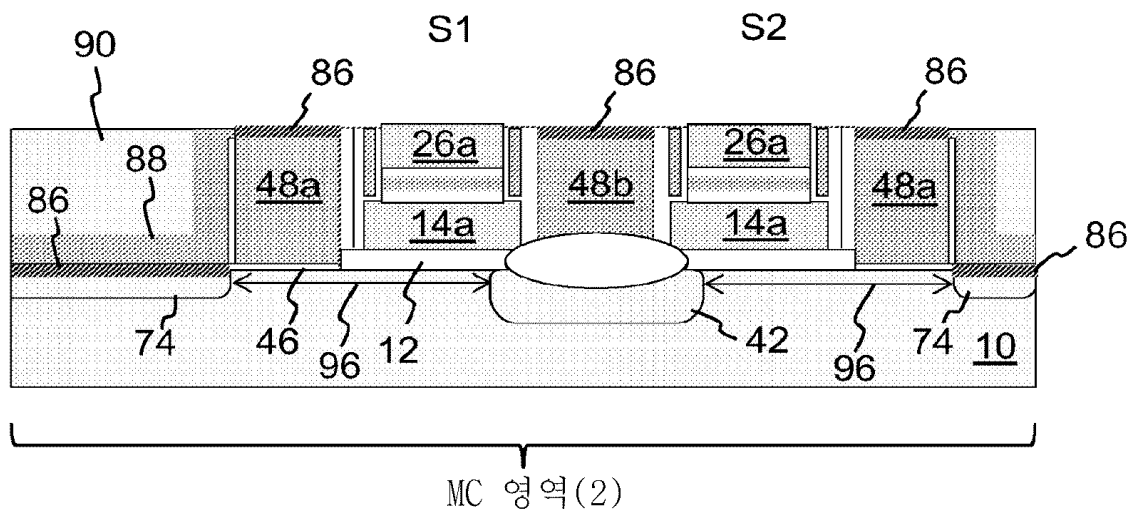
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 **기판 상에 메모리 셀, 고전압 디바이스 및 논리 디바이스를 갖는 반도체 디바이스를 형성하는 방법**

(57) 요약

제3 영역이 아닌 제1 및 제2 영역에서 반도체 기판의 상면을 리세스하는 단계, 3개의 영역에서 제1 전도층을 형성하는 단계, 3개의 영역 모두에서 제2 전도층을 형성하는 단계, 제2 영역으로부터 제1 및 제2 전도층 및 제1 영역으로부터 이의 일부를 제거하여, 각각이 플로팅 게이트 위에 제어 게이트를 갖는 스택 구조물의 쌍을 생성하는 단계, 3개의 영역 모두에서 제3 전도층을 형성하는 단계, 제1 및 제2 영역에 보호층을 형성한 다음 제3 영역으로부터 제3 전도층을 제거하는 단계, 이어서 제3 영역에서 더미 전도성 재료의 블록을 형성한 다음 제1 및 제2 영역에서 에칭하여, 선택 및 HV 게이트를 형성하는 단계, 및 이어서 더미 전도성 재료의 블록을 금속 재료의 블록으로 대체하는 단계에 의해 반도체 디바이스를 형성하는 방법.

대표도 - 도17



(52) CPC특허분류

H01L 29/42328 (2013.01)

H10B 41/30 (2023.02)

(72) 발명자

성, 레오

중국, 201203 상하이, 주충지 로드, 레인 2277, 넘버 18

리우, 시안

미국, 94087 캘리포니아, 서니베일 사전트 드라이브 1236

도, 난

미국, 95070 캘리포니아, 새러토거, 월넛 애비뉴 20451

명세서

청구범위

청구항 1

반도체 디바이스를 형성하는 방법으로서,

제1 영역, 제2 영역 및 제3 영역을 포함하는 반도체 재료의 기판을 제공하는 단계;

상기 제3 영역에서 상기 기판의 상면에 대해 상기 제1 영역에서 상기 기판의 상면 및 상기 제2 영역에서 상기 기판의 상면을 리세스하는 단계;

상기 제1 및 제2 및 제3 영역에서 상기 상면 위에 배치되고 이로부터 절연되는 제1 전도층을 형성하는 단계;

상기 제1 및 제2 및 제3 영역에서 상기 제1 전도층 상에 절연층을 형성하는 단계,

상기 제1 및 제2 영역에서 상기 절연층을 박막화하지 않으면서 상기 제3 영역에서 상기 절연층을 박막화하는 단계;

상기 제1 및 제2 및 제3 영역에서 상기 절연층 및 상기 제1 전도층을 통해 기판 내로 트렌치를 형성하는 단계;

상기 트렌치를 절연 재료로 충전하는 단계;

상기 트렌치를 충전하는 단계 후에, 상기 제1 및 제2 및 제3 영역으로부터 상기 절연층을 제거하는 단계;

상기 제1 및 제2 및 제3 영역에서 상기 제1 전도층 위에 배치되고 이로부터 절연되는 제2 전도층을 형성하는 단계;

하나 이상의 에칭을 수행하여 상기 제1 영역에서 상기 제1 및 제2 전도층의 일부를 선택적으로 제거하고, 상기 제2 및 제3 영역으로부터 상기 제1 및 제2 전도층을 완전히 제거하며, 상기 하나 이상의 에칭은 상기 제1 전도층의 플로팅 게이트 위에 배치되고 이로부터 절연되는 상기 제2 전도층의 제어 게이트를 포함하는 각각의 스택 구조물을 갖는 상기 제1 영역에 상기 스택 구조물의 쌍을 생성하는 단계;

상기 스택 구조물의 쌍 중 하나 사이에 각각 배치된 상기 기판에서 제1 소스 영역을 형성하는 단계;

상기 제1 및 제2 및 제3 영역에서 상기 기판의 상기 상면 위에 배치되고 이로부터 절연되는 제3 전도층을 형성하는 단계;

상기 제1 및 제2 영역에서 상기 제3 전도층 위에 보호 절연층을 형성하는 단계;

상기 보호 절연층을 형성하는 단계 후에, 상기 제3 영역으로부터 상기 제3 전도층을 제거하는 단계;

상기 제3 영역으로부터 상기 제3 전도층을 제거하는 단계 후에, 상기 제3 영역에서 상기 상면 위에 배치되고 이로부터 절연되는 더미 전도성 재료의 블록을 형성하는 단계;

상기 제3 영역에 상기 더미 전도성 재료의 블록을 형성하는 단계 후에, 상기 제1 및 제2 영역에서 상기 보호 절연층의 일부 및 상기 제3 전도층의 일부를 에칭하여, 상기 스택 구조물 중 하나에 인접하게 각각 배치된 상기 제3 전도층의 복수의 선택 게이트를 형성하고, 상기 제2 영역에서 상기 기판의 상기 상면 위에 각각 배치되고 이로부터 절연되는 상기 제3 전도층의 복수의 HV 게이트를 형성하는 단계;

상기 선택 게이트 중 하나에 각각 인접한 상기 기판에서 제1 드레인 영역을 형성하는 단계;

상기 HV 게이트 중 하나에 각각 인접한 상기 기판에서 제2 소스 영역을 형성하는 단계;

상기 HV 게이트 중 하나에 각각 인접한 상기 기판에서 제2 드레인 영역을 형성하는 단계;

상기 더미 전도성 재료의 블록 중 하나에 각각 인접한 상기 기판에서 제3 소스 영역을 형성하는 단계;

상기 더미 전도성 재료의 블록 중 하나에 각각 인접한 상기 기판에서 제3 드레인 영역을 형성하는 단계; 및

상기 각각의 더미 전도성 재료의 블록을 금속 재료의 블록으로 대체하는 단계를 포함하는 방법.

청구항 2

제1항에 있어서, 상기 각각의 금속 재료의 블록은 높은 K 절연 재료의 층에 의해 상기 제3 영역에서 상기 기판의 상기 상면으로부터 절연되는, 방법.

청구항 3

제1항에 있어서, 상기 대체하는 단계 전에, 상기 각각의 더미 전도성 재료의 블록은 높은 K 절연 재료의 층에 의해 상기 제3 영역에서 상기 기판의 상기 상면으로부터 절연되고, 상기 대체하는 단계는 상기 높은 K 절연 재료의 층 상에 상기 각각의 금속 재료의 블록을 형성하는 단계를 추가로 포함하는, 방법.

청구항 4

제1항에 있어서, 상기 각각의 스택 구조물의 쌍에 대해, 상기 제3 전도층의 소거 게이트는 상기 소스 영역 중 하나 위에 상기 스택 구조물의 쌍 사이에 배치되고 이로부터 절연되는, 방법.

청구항 5

제1항에 있어서, 상기 각각의 제1 및 제2 및 제3 전도층은 폴리실리콘 또는 비정질 실리콘으로 형성되는, 방법.

청구항 6

제1항에 있어서,

상기 제1 및 제2 및 제3 드레인 영역 상에 및 상기 제2 및 제3 소스 영역 상에 규화물을 형성하는 단계를 추가로 포함하는, 방법.

청구항 7

제4항에 있어서,

상기 대체하는 단계 전에, 상기 선택 게이트, 상기 소거 게이트 및 상기 HV 게이트 상에 규화물을 형성하는 단계를 추가로 포함하는, 방법.

청구항 8

제1항에 있어서, 상기 각각의 스택 구조물에 대해, 상기 제어 게이트는 ONO 절연층에 의해 상기 플로팅 게이트로부터 절연되는, 방법.

청구항 9

제4항에 있어서, 상기 더미 전도성 재료의 블록을 형성하는 단계는 더미 전도성 재료의 블록 상에 논리 절연층 및 상기 논리 절연층 상에 하드 마스크 층을 형성하는 단계를 포함하는, 방법.

청구항 10

제9항에 있어서, 상기 대체하는 단계 전에,

상기 제1 및 제2 및 제3 영역에서 유동성 재료의 층을 형성하는 단계;

상기 유동성 재료의 층의 일부를 제거하여 상기 하드 마스크 층을 노출시키는 단계;

상기 하드 마스크 층을 제거하는 단계; 및

상기 유동성 재료의 층을 제거하는 단계를 추가로 포함하는 방법.

청구항 11

제10항에 있어서,

상기 선택 게이트, 상기 소거 게이트 및 상기 HV 게이트 상에 규화물을 형성하는 단계를 추가로 포함하며, 상기 논리 절연층은 더미 전도성 재료의 블록 상에 규화물의 형성을 방지하는, 방법.

청구항 12

반도체 디바이스를 형성하는 방법으로서,

제1 영역, 제2 영역 및 제3 영역을 포함하는 반도체 재료의 기판을 제공하는 단계;

상기 제3 영역에서 상기 기판의 상면에 대해 상기 제1 영역에서 상기 기판의 상면 및 상기 제2 영역에서 상기 기판의 상면을 리세스하는 단계;

상기 기판 위에 절연층을 형성하는 단계;

상기 제1 및 제2 영역에서 상기 절연층을 박막화하지 않으면서 상기 제3 영역에서 상기 절연층을 박막화하는 단계;

상기 제1 및 제2 및 제3 영역에서 상기 절연층을 통해 상기 기판 내로 트렌치를 형성하는 단계;

상기 트렌치를 절연 재료로 충전하는 단계;

상기 트렌치를 충전하는 단계 후에, 상기 제1 및 제2 영역으로부터 상기 절연층을 제거하는 단계;

상기 제1 및 제2 영역에서 상기 상면 위에 배치되고 이로부터 절연되는 제1 전도층을 형성하는 단계;

상기 제1 및 제2 영역에서 상기 제1 전도층 위에 배치되고 이로부터 절연되는 제2 전도층을 형성하는 단계;

하나 이상의 에칭을 수행하여 상기 제1 영역에서 상기 제1 및 제2 전도층의 일부를 선택적으로 제거하고, 상기 제2 영역으로부터 상기 제1 및 제2 전도층을 완전히 제거하며, 상기 하나 이상의 에칭은 상기 제1 전도층의 플로팅 게이트 위에 배치되고 이로부터 절연되는 상기 제2 전도층의 제어 게이트를 포함하는 각각의 스택 구조물을 갖는 상기 제1 영역에 상기 스택 구조물의 쌍을 생성하는 단계;

상기 스택 구조물의 쌍 중 하나 사이에 각각 배치된 상기 기판에서 제1 소스 영역을 형성하는 단계;

상기 제1 및 제2 영역에서 상기 기판의 상기 상면 위에 배치되고 이로부터 절연되는 제3 전도층을 형성하는 단계;

상기 제1 및 제2 영역에서 상기 제3 전도층 위에 보호 절연층을 형성하는 단계;

상기 보호 절연층을 형성하는 단계 후에, 상기 제3 영역으로부터 상기 보호 절연층을 제거하는 단계;

상기 제3 영역으로부터 상기 보호 절연층을 제거하는 단계 후에, 상기 제3 영역에서 상기 상면 위에 배치되고 이로부터 절연되는 더미 전도성 재료의 블록을 형성하는 단계;

상기 제3 영역에 상기 더미 전도성 재료의 블록을 형성하는 단계 후에, 상기 제1 및 제2 영역에서 상기 보호 절연층의 일부 및 상기 제3 전도층의 일부를 에칭하여, 상기 스택 구조물 중 하나에 인접하게 각각 배치된 상기 제3 전도층의 복수의 선택 게이트를 형성하고, 상기 제2 영역에서 상기 상면 위에 각각 배치되고 이로부터 절연되는 상기 제3 전도층의 복수의 HV 게이트를 형성하는 단계;

상기 선택 게이트 중 하나에 각각 인접한 상기 기판에서 제1 드레인 영역을 형성하는 단계;

상기 HV 게이트 중 하나에 각각 인접한 상기 기판에서 제2 소스 영역을 형성하는 단계;

상기 HV 게이트 중 하나에 각각 인접한 상기 기판에서 제2 드레인 영역을 형성하는 단계;

상기 더미 전도성 재료의 블록 중 하나에 각각 인접한 상기 기판에서 제3 소스 영역을 형성하는 단계;

상기 더미 전도성 재료의 블록 중 하나에 각각 인접한 상기 기판에서 제3 드레인 영역을 형성하는 단계; 및

상기 각각의 더미 전도성 재료의 블록을 금속 재료의 블록으로 대체하는 단계를 포함하는 방법.

청구항 13

제12항에 있어서, 상기 각각의 금속 재료의 블록은 높은 K 절연 재료의 층에 의해 상기 제3 영역에서 상기 상면으로부터 절연되는, 방법.

청구항 14

제12항에 있어서, 상기 각각의 스택 구조물의 쌍에 대해, 상기 제3 전도층의 소거 게이트는 상기 소스 영역 중 하나 위에 상기 스택 구조물의 쌍 사이에 배치되고 이로부터 절연되는, 방법.

청구항 15

제14항에 있어서,

상기 제1 및 제2 및 제3 드레인 영역, 상기 제2 및 제3 소스 영역, 상기 선택 게이트, 상기 소거 게이트 및 상기 HV 게이트 상에 규화물을 형성하는 단계를 추가로 포함하는 방법.

청구항 16

제12항에 있어서, 상기 각각의 스택 구조물에 대해, 상기 제어 게이트는 ONO 절연층에 의해 상기 플로팅 게이트로부터 절연되는, 방법.

발명의 설명

기술 분야

[0001] 우선권 주장

[0002] 본 출원은 2021년 3월 1일자로 출원되고 발명의 명칭이 "Method Of Forming A Semiconductor Device With Memory Cells, High Voltage Devices And Logic Devices On A Substrate"인 중국 특허 출원 제202110226090.6호, 및 2021년 6월 4일자로 출원되고 발명의 명칭이 "Method Of Forming A Semiconductor Device With Memory Cells, High Voltage Devices And Logic Devices On A Substrate"인 미국 특허 출원 제17/339,880호에 대한 우선권을 주장한다.

[0003] 기술분야

[0004] 본 발명은 비휘발성 메모리 셀이 내장된 반도체 디바이스에 관한 것이다.

배경 기술

[0005] 실리콘 반도체 기판 상에 형성되는 비휘발성 메모리 반도체 디바이스는 잘 알려져 있다. 예를 들어, 미국 특허 제6,747,310호, 제7,868,375호 및 제7,927,994호는 반도체 기판 상에 형성된 4개의 게이트(플로팅 게이트, 제어 게이트, 선택 게이트 및 소거 게이트)를 갖는 메모리 셀을 개시하며, 이는 모든 목적을 위해 본원에 참조로 포함된다. 소스 및 드레인 영역은 기판 내로의 확산 주입 영역으로 형성되어, 기판 내에서 이들 사이에 채널 영역을 정의한다. 플로팅 게이트는 채널 영역의 제1 부분 위에 배치되어 이의 전도성을 제어하고, 선택 게이트는 채널 영역의 제2 부분 위에 배치되어 이의 전도성을 제어하고, 제어 게이트는 플로팅 게이트 위에 배치되고, 소거 게이트는 소스 영역 위에 배치되고 플로팅 게이트에 측방향으로 인접한다.

[0006] 또한, 비휘발성 메모리 셀과 동일한 기판 상에 저전압 및 고전압 논리 디바이스를 형성하는 것으로 알려져 있다. 예를 들어, 모든 목적을 위해 본원에 참고로 포함된 미국 특허 제9,276,005호를 참조한다. 높은 K 유전체 및 금속 게이트와 같은 새로운 게이트 재료가 또한 성능을 증가시키는 데 사용된다. 그러나, 메모리 셀을 형성하는 데 있어서의 공정 단계는 동시에 제조된 논리 디바이스에 부정적인 영향을 줄 수 있고, 그 반대로 마찬가지이다.

[0007] 동일한 기판 상에 메모리 셀, 저전압 논리 디바이스 및 고전압 디바이스를 포함하는 디바이스를 제조하는 개선된 방법이 필요하다.

[0008] 발명의 간략한 요약

[0009] 상술된 문제 및 요구는 반도체 디바이스를 형성하는 방법에 의해 해결되며, 방법은:

[0010] 제1 영역, 제2 영역 및 제3 영역을 포함하는 반도체 재료의 기판을 제공하는 단계;

[0011] 제3 영역에서 기판의 상면에 대해 제1 영역에서 기판의 상면 및 제2 영역에서 기판의 상면을 리세스하는 단계;

[0012] 제1 및 제2 및 제3 영역에서 상면 위에 배치되고 이로부터 절연되는 제1 전도층을 형성하는 단계;

[0013] 제1 및 제2 및 제3 영역에서 제1 전도층 상에 절연층을 형성하는 단계,

- [0014] 제1 및 제2 영역에서 절연층을 박막화하지 않으면서 제3 영역에서 절연층을 박막화하는 단계;
- [0015] 제1 및 제2 및 제3 영역에서 절연층 및 제1 전도층을 통해 기판 내로 트렌치를 형성하는 단계;
- [0016] 트렌치를 절연 재료로 충전하는 단계;
- [0017] 트렌치를 충전하는 단계 후에, 제1 및 제2 및 제3 영역으로부터 절연층을 제거하는 단계;
- [0018] 제1 및 제2 및 제3 영역에서 제1 전도층 위에 배치되고 이로부터 절연되는 제2 전도층을 형성하는 단계;
- [0019] 하나 이상의 에칭을 수행하여 제1 영역에서 제1 및 제2 전도층의 일부를 선택적으로 제거하고, 제2 및 제3 영역으로부터 제1 및 제2 전도층을 완전히 제거하며, 하나 이상의 에칭은 제1 전도층의 플로팅 게이트 위에 배치되고 이로부터 절연되는 제2 전도층의 제어 게이트를 포함하는 각각의 스택 구조물을 갖는 제1 영역에 스택 구조물의 쌍을 생성하는 단계;
- [0020] 스택 구조물의 쌍 중 하나 사이에 각각 배치된 기판에서 제1 소스 영역을 형성하는 단계;
- [0021] 제1 및 제2 및 제3 영역에서 기판의 상면 위에 배치되고 이로부터 절연되는 제3 전도층을 형성하는 단계;
- [0022] 제1 및 제2 영역에서 제3 전도층 위에 보호 절연층을 형성하는 단계;
- [0023] 보호 절연층을 형성하는 단계 후에, 제3 영역으로부터 제3 전도층을 제거하는 단계;
- [0024] 제3 영역으로부터 제3 전도층을 제거하는 단계 후에, 제3 영역에서 상면 위에 배치되고 이로부터 절연되는 더미 전도성 재료의 블록을 형성하는 단계;
- [0025] 제3 영역에 더미 전도성 재료의 블록을 형성하는 단계 후에, 제1 및 제2 영역에서 보호 절연층의 일부 및 제3 전도층의 일부를 에칭하여, 스택 구조물 중 하나에 인접하게 각각 배치된 제3 전도층의 복수의 선택 게이트를 형성하고, 제2 영역에서 기판의 상면 위에 각각 배치되고 이로부터 절연되는 제3 전도층의 복수의 HV 게이트를 형성하는 단계;
- [0026] 선택 게이트 중 하나에 각각 인접한 기판에서 제1 드레인 영역을 형성하는 단계;
- [0027] HV 게이트 중 하나에 각각 인접한 기판에서 제2 소스 영역을 형성하는 단계;
- [0028] HV 게이트 중 하나에 각각 인접한 기판에서 제2 드레인 영역을 형성하는 단계;
- [0029] 더미 전도성 재료의 블록 중 하나에 각각 인접한 기판에서 제3 소스 영역을 형성하는 단계;
- [0030] 더미 전도성 재료의 블록 중 하나에 각각 인접한 기판에서 제3 드레인 영역을 형성하는 단계; 및
- [0031] 각각의 더미 전도성 재료의 블록을 금속 재료의 블록으로 대체하는 단계를 포함한다.
- [0032] 반도체 디바이스를 형성하는 방법은:
- [0033] 제1 영역, 제2 영역 및 제3 영역을 포함하는 반도체 재료의 기판을 제공하는 단계;
- [0034] 제3 영역에서 기판의 상면에 대해 제1 영역에서 기판의 상면 및 제2 영역에서 기판의 상면을 리세스하는 단계;
- [0035] 기판 위에 절연층을 형성하는 단계; 및
- [0036] 제1 및 제2 영역에서 절연층을 박막화하지 않으면서 제3 영역에서 절연층을 박막화하는 단계;
- [0037] 제1 및 제2 및 제3 영역에서 절연층을 통해 기판 내로 트렌치를 형성하는 단계;
- [0038] 트렌치를 절연 재료로 충전하는 단계;
- [0039] 트렌치를 충전하는 단계 후에, 제1 및 제2 영역으로부터 절연층을 제거하는 단계;
- [0040] 제1 및 제2 영역에서 상면 위에 배치되고 이로부터 절연되는 제1 전도층을 형성하는 단계;
- [0041] 제1 및 제2 영역에서 제1 전도층 위에 배치되고 이로부터 절연되는 제2 전도층을 형성하는 단계;
- [0042] 하나 이상의 에칭을 수행하여 제1 영역에서 제1 및 제2 전도층의 일부를 선택적으로 제거하고, 제2 영역으로부터 제1 및 제2 전도층을 완전히 제거하며, 하나 이상의 에칭은 제1 전도층의 플로팅 게이트 위에 배치되고 이로부터 절연되는 제2 전도층의 제어 게이트를 포함하는 각각의 스택 구조물을 갖는 제1 영역에 스택 구조물의 쌍을 생성하는 단계;

- [0043] 스택 구조물의 쌍 중 하나 사이에 각각 배치된 기관에서 제1 소스 영역을 형성하는 단계;
- [0044] 제1 및 제2 영역에서 기관의 상면 위에 배치되고 이로부터 절연되는 제3 전도층을 형성하는 단계;
- [0045] 제1 및 제2 영역에서 제3 전도층 위에 보호 절연층을 형성하는 단계;
- [0046] 보호 절연층을 형성하는 단계 후에, 제3 영역으로부터 보호 절연층을 제거하는 단계;
- [0047] 제3 영역으로부터 보호 절연층을 제거하는 단계 후에, 제3 영역에서 상면 위에 배치되고 이로부터 절연되는 더미 전도성 재료의 블록을 형성하는 단계;
- [0048] 제3 영역에 더미 전도성 재료의 블록을 형성하는 단계 후에, 제1 및 제2 영역에서 보호 절연층의 일부 및 제3 전도층의 일부를 에칭하여, 스택 구조물 중 하나에 인접하게 각각 배치된 제3 전도층의 복수의 선택 게이트를 형성하고, 제2 영역에서 상면 위에 각각 배치되고 이로부터 절연되는 제3 전도층의 복수의 HV 게이트를 형성하는 단계;
- [0049] 선택 게이트 중 하나에 각각 인접한 기관에서 제1 드레인 영역을 형성하는 단계;
- [0050] HV 게이트 중 하나에 각각 인접한 기관에서 제2 소스 영역을 형성하는 단계;
- [0051] 상기 HV 게이트 중 하나에 각각 인접한 상기 기관에서 제2 드레인 영역을 형성하는 단계;
- [0052] 더미 전도성 재료의 블록 중 하나에 각각 인접한 기관에서 제3 소스 영역을 형성하는 단계;
- [0053] 더미 전도성 재료의 블록 중 하나에 각각 인접한 기관에서 제3 드레인 영역을 형성하는 단계; 및
- [0054] 각각의 더미 전도성 재료의 블록을 금속 재료의 블록으로 대체하는 단계를 포함할 수 있다.
- [0055] 본 발명의 다른 목적 및 특징은 명세서, 청구범위 및 첨부 도면의 검토에 의해 명백해질 것이다.

도면의 간단한 설명

- [0056] 도 1a 내지 도 16a는 메모리 셀을 형성하는 단계를 도시하는 메모리 셀 영역의 단면도이다.
- 도 1b 내지 도 16b는 HV 디바이스를 형성하는 단계를 도시하는 HV 영역의 단면도이다.
- 도 1c 내지 도 16c는 논리 디바이스를 형성하는 단계를 도시하는 논리 영역의 단면도이다.
- 도 17은 완성된 메모리 셀을 도시하는 메모리 셀 영역의 단면도이다.
- 도 18은 완성된 HV 디바이스를 도시하는 HV 영역의 단면도이다.
- 도 19는 완성된 논리 디바이스를 도시하는 논리 영역의 단면도이다.
- 도 20a 내지 도 25a는 교번하는 구현예에서 메모리 셀을 형성하는 단계를 도시하는 메모리 셀 영역의 단면도이다.
- 도 20b 내지 도 25b는 교번하는 구현예에서 HV 디바이스를 형성하는 단계를 도시하는 HV 영역의 단면도이다.
- 도 20c 내지 도 25c는 교번하는 구현예에서 논리 디바이스를 형성하는 단계를 도시하는 논리 영역의 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0057] 본 발명은 동일한 반도체 기관 상에 메모리 셀, 저전압 논리 디바이스, 및 고전압 논리 디바이스를 동시에 형성하여 반도체 디바이스를 형성하는 공정이다. 후술되는 공정은 기관(10)의 하나 이상의 메모리 셀 영역(제1 또는 MC 영역(2)으로도 지칭됨)(2)에 메모리 셀, 기관(10)의 하나 이상의 고전압 논리 디바이스 영역(제2 또는 HV 영역(4)으로도 지칭됨)(4)에 고전압 논리 디바이스, 및 기관(10)의 하나 이상의 저전압 논리 디바이스 영역(제3 또는 논리 영역(6)으로도 지칭됨)(6)에 저전압 논리 디바이스를 형성하는 단계를 포함한다. 공정은 MC 영역(2)에 한 쌍의 메모리 셀, HV 영역(4)에 고전압 논리 디바이스, 및 논리 영역(6)에 저전압 논리 디바이스를 동시에 형성하는 단계와 관련하여 기술된다. 그러나, 각각의 영역 내의 다수의 이러한 디바이스는 동시에 형성될 수 있다. 기관(10)은 반도체 재료(예를 들어, 실리콘)의 기관이다.
- [0058] MC 영역(2)에 대한 도 1a 내지 도 16a, HV 영역(4)에 대한 도 1b 내지 도 16b, 및 논리 영역(6)에 대한 도 1c

내지 도 16c를 참조하면, 반도체 디바이스를 만드는 공정 단계의 단면도가 도시되어 있다. 공정은 MC 영역(2) 및 HV 영역(4)에서 실리콘 기판(10)의 상면(10a)을 논리 영역(6)에 대해 리세스 양(R)만큼 리세스함으로써 시작된다. 기판 상면(10a)을 리세스하는 단계는 바람직하게는 기판 상면(10a) 상에 이산화규소(본원에서 "산화물"로도 지칭됨) 층 및 산화물 층 상에 질화규소(본원에서 "질화물"로도 지칭됨) 층을 형성함으로써 수행될 수 있다. 포토리소그래피 마스크 단계는 포토레지스트로 논리 영역(6)을 덮지만 MC 및 HV 영역(2/4)은 덮지 않도록 수행된다(즉, 3개의 영역 모두에 걸쳐 포토레지스트를 형성하고, 포토레지스트의 일부(들)를 선택적으로 노출시키고, 포토레지스트의 일부(들)를 선택적으로 제거하여, 하부 구조물의 노출된 부분(들)(이 경우 MC 및 HV 영역(2/4)의 질화물 층)을 남기는 반면, 포토레지스트로 덮인 하부 구조물의 다른 부분(들)(이 경우 논리 영역(6)의 질화물 층)을 남김). MC 및 HV 영역(2/4)으로부터 이들 층을 제거하기 위해 질화물 및 산화물 에칭이 수행되어, 이들 영역의 상면(10a)이 노출된다. 포토레지스트 제거 후에, 이어서 열 산화가 수행되어 MC 및 HV 영역(2/4)에서 상면(10a)의 노출된 부분 상에 산화물 층을 형성하는 동시에, 논리 영역(6)에서 상면(10a)에 영향을 미치지 않는다(질화물 및 산화물 층에 의해 보호됨). 이러한 열 산화 공정은 MC 및 HV 영역(2/4)에서 기판(10)의 일부 구조를 소모하여, 리세스 양(R)만큼 이들 영역에서 상면(10a)을 효과적으로 낮춘다. 이어서 모든 산화물 및 질화물 층을 제거하기 위해 질화물 및 산화물 에칭이 사용되어, 도 1a, 도 1b 및 도 1c에 도시된 구조를 생성한다. MC 및 HV 영역(2/4)에서 상면(10a)은 논리 영역(6)에서 상면(10a)에 대해 리세스 양(R)(예를 들어, ~300 Å)만큼 리세스된다.

[0059] 다음으로, 산화물 층(12)은 상면(10a) 상에 (예를 들어, 증착 또는 열 성장 등에 의해) 형성된다. 그 후, 폴리실리콘 층과 같은 전도층(14)(즉, 제1 전도층)은 산화물 층(12) 상에 형성된다. 전도층(14)은 대신에 인-시투 도핑되거나 도핑되지 않은 비정질 실리콘일 수 있다. 폴리실리콘 또는 비정질 실리콘이 전도층(14)에 사용되는 경우 주입 및 어닐링이 수행된다. 산화물 층(18)이 전도층(14) 상에 형성되고, 이어서 산화물 층(18) 상에 질화물 층(20)이 형성된다. 이어서, 포토리소그래피 마스크 단계는 포토레지스트(21)로 MC 및 HV 영역(2/4)을 덮지만, 논리 영역(6)을 노출시키도록(즉, 포토레지스트(21)는 마스크 단계의 일부로서 논리 영역(6)으로부터 제거됨) 수행된다. 이어서, 도 2a, 도 2b 및 도 2c에 도시된 바와 같이, 질화물 에칭이 논리 영역(6)에서 질화물 층(20)을 박막화하는(즉, 질화물 층의 두께를 감소시키는) 데 사용된다(예를 들어, 바람직하게는 에칭의 시간은 에칭이 논리 영역(6)에서 질화물 층(20)을 리세스 양(R)과 거의 동일한 양만큼 박막화하여, 3개의 영역(2/4/6) 모두에서 질화물 층(20)의 상면이 실질적으로 평평하도록 설정됨).

[0060] 포토레지스트(21)가 제거된 후에, 포토리소그래피 마스크 단계는 포토레지스트로 각각의 영역의 부분을 선택적으로 덮는 데 사용된다. 질화물, 산화물, 폴리실리콘 및/또는 실리콘 에칭은 질화물 층(20), 산화물 층(18), 전도층(14), 산화물 층(12)을 통해 실리콘 기판(10) 내로 트렌치를 형성하는 데 사용된다. 이어서, 도 3a 및 도 3b에 도시된 바와 같이, 트렌치는 산화물 증착 및 질화물 층(20) 상에서 정지하는 화학적 기계적 연마(CMP)에 의해 산화물(22)로 충전된다. 산화물(22)로 충전된 트렌치는 MC 영역(2)에서 활성 영역에 평행하게 연장되고, 도 3a는 활성 영역 중 하나의 단면도이기 때문에, 산화물(22)로 충전된 트렌치는 도 3a에 도시되어 있지 않다. 산화물(22)은 STI(얇은 트렌치 격리) 산화물(22)로도 지칭될 수 있는 절연 재료이다. STI 산화물(22)은 산화물 증착 전에 열 산화에 의해 형성된 라이너 산화물을 포함할 수 있다.

[0061] 각각의 영역(2/4/6)에서 기판(10)에 원하는 웰(well)을 생성하기 위해 일련의 주입이 수행되고(각각의 주입 동안 하나 이상의 다른 영역을 보호하는 포토레지스트를 사용), 질화물 층(20)의 상부 아래로 STI 산화물(22)을 리세스하기 위해 산화물 에치 백이 뒤따를 수 있다. 이어서, 질화물 에칭은 질화물 층(20)을 제거하는 데 사용된다. 이어서, 절연층(24)이 구조물 위에 형성된다. 바람직하게는, 절연층(24)은 (산화물, 질화물, 산화물 증착 및 어닐링에 의해 형성되는) 산화물/질화물/산화물 하위 층을 갖는 ONO 복합층이다. 그러나, 절연층(24)은 대신에 다른 유전체 층의 복합체, 또는 하위 층이 없는 단일 유전체 재료로 형성될 수 있다. 이어서, 폴리실리콘 층과 같은 전도층(26)(즉, 제2 전도층)이 일례에서 증착에 의해 구조물 상에 형성된다. 전도층(26)은 대신에 인-시투 도핑되거나 도핑되지 않은 비정질 실리콘일 수 있다. 폴리실리콘 또는 도핑되지 않은 비정질 실리콘이 전도층(26)에 사용되는 경우 주입 및 어닐링이 수행된다. 이어서, 하드 마스크 층(28)이 전도층(26) 상에 형성된다. 하드 마스크 층(28)은 질화물, SiCN, 또는 산화물, 질화물 및/또는 SiCN의 복합체 층일 수 있다. 생성된 구조물이 도 4a, 도 4b 및 도 4c에 도시되어 있다.

[0062] 포토리소그래피 마스크 단계는 구조물 상에 포토레지스트(30)를 형성하는데 사용되며, 포토레지스트는 HV 및 논리 영역(4/6)으로부터 제거되고 MC 영역(2)으로부터 선택적으로 제거되어, HV 및 논리 영역(4/6)에서 하드 마스크 층(28)을 노출시키고 MC 영역(2)에서 하드 마스크 층(28)의 일부만을 노출시킨다. 하드 마스크 층(28), 전도층(26) 및 절연층(24)의 노출된 부분을 제거하기 위해 일련의 에칭이 사용되어, MC 영역(2)에서 하드 마스크

층(28), 전도층(26) 및 절연층(24)의 이격된 스택 구조물(S1 및 S2)의 쌍을 남기고, HV 및 논리 영역(4/6)으로부터 이들 층을 완전히 제거한다. 생성된 구조물이 도 5a, 도 5b 및 도 5c에 도시되어 있다.

[0063] 포토레지스트(30)가 제거된 후, 산화물 증착 또는 열 산화 및 에칭이 MC 영역(2)에서 스택(S1 및 S2)의 측부를 따라 산화물 스페이서(32)를 형성하는 데 사용된다. 질화물 증착 및 에칭은 산화물 스페이서(32)의 측부를 따라 질화물 스페이서(34)를 형성하는 데 사용된다. 산화물 및 질화물 에칭이 조합될 수 있다. 전도층(14) 재료에 따라, 폴리실리콘 또는 실리콘 에칭과 같은 에칭이 전도층(14)의 노출된 부분을 제거하기 위해 수행되며, 그 결과 각각의 이격된 스택 구조물(S1/S2)은 MC 영역(2)에서 전도층(14)의 잔류물로부터 전도성 재료(14a)의 블록을 포함하고, 전도층(14)은 HV/논리 영역(4/6)으로부터 완전히 제거된다. 도 6a, 도 6b 및 도 6c에 도시된 바와 같이, 산화물 스페이서(36)는 산화물 증착 및 산화물 이방성 에칭에 의해 전도층(14)의 블록의 노출된 단부를 따라 포함하는 스택 구조물(S1/S2)의 측부 상에 형성된다.

[0064] 포토리소그래피 마스크링 단계는 포토레지스트로 MC 및 논리 영역(2/6)을 덮지만, HV 영역(4)을 노출된 채로 남기는 데 사용된다. 산화물 에칭은 HV 영역(4)으로부터 산화물 층(12)을 제거하는 데 사용된다. 포토레지스트 제거 후에, 이어서 절연층(38)은 열 성장 및/또는 증착에 의해 HV 영역(4)에서 기판 상면(10a) 상에, 뿐만 아니라 MC 영역(2)에서 구조물 상에 및 논리 영역(6)에서 절연층(38)의 상단 상에 형성된다. 절연층(38)은 산화물 및/또는 산질화물일 수 있고, HV 디바이스에 대한 게이트 산화물로서 역할을 할 것이다. 그러나, 산화물 층(12)을 절연층(38)으로 제거하고 대체하는 것이 선택적이고, 산화물 층(12)은 대신에 HV 디바이스에 대한 게이트 산화물의 일부 또는 전체로서 사용될 수 있다는 것이 유의되어야 한다. 포토레지스트 제거 후에, 포토레지스트(40)는 구조물 상에 형성되고 단지 MC 영역(2)에서 스택(S1 및 S2)(본원에서 내부 스택 영역으로 지칭됨) 사이의 영역으로부터 제거된다. 주입 공정은 스택(S1 및 S2) 사이의 기판에서 (제1) 소스 영역(42)을 형성하기 위해 수행된다. 이어서, 산화물 에칭은 내부 스택 영역에서 절연층(38), 산화물 스페이서(36) 및 산화물 층(12)을 제거하는 데 사용된다. 생성된 구조물이 도 7a, 도 7b 및 도 7c에 도시되어 있다.

[0065] 포토레지스트(40)가 제거된 후에, 터널 산화물(44)이 구조물 상에 형성된다. 터널 산화물(44)은 증착 및/또는 열 성장에 의해 형성된 산화물 및/또는 산질화물일 수 있다. 소스 영역(42)에서 더 높은 도펀트 레벨의 촉매 효과로 인해, 터널 산화물(44)은 소스 영역(42) 상에 더 두꺼운 부분(44a)을 가질 수 있다. 포토리소그래피 마스크링 단계는 포토레지스트로 HV 및 논리 영역(4/6), 및 MC 영역(2)에서 내부 스택 영역을 덮는 데 사용된다. 내부 스택 영역으로부터 스택 구조물(S1 및 S2)의 다른 측부 상의 영역(본원에서 외부 스택 영역으로 지칭됨)은 노출된 채로 남는다. 이 시점에서 주입은 외부 스택 영역에서 기판(10)의 부분(즉, 나중에 형성될 선택 게이트 아래에 있을 기판 부분)에 대해 수행될 수 있다. 산화물 에칭은 외부 스택 영역에서 산화물 층(12)의 노출된 부분을 제거하는 데 사용된다. 포토레지스트가 제거된 후에, 이어서 절연층(46)이 구조물 상에 형성된다. 절연층(46)은 증착 및/또는 열 성장에 의해 형성된 산화물 및/또는 산질화물 또는 임의의 다른 적절한 유전체 재료일 수 있다. 절연층(46)의 형성은 터널 산화물(44) 및 절연층(38)을 두껍게 하거나 이의 일부가 된다. 생성된 구조물이 도 8a, 도 8b 및 도 8c에 도시되어 있다.

[0066] 폴리실리콘 층과 같은 전도층(48)(즉, 제3 전도층)이 구조물 상에 형성된다. 전도층(48)은 인-시투 도핑되거나 도핑되지 않을 수 있고, 대신 비정질 실리콘일 수 있다. 이어서, 도핑되지 않은 폴리실리콘 또는 비정질 실리콘이 전도층(48)에 사용되는 경우 도핑 및 어닐링이 수행될 것이다. 화학적 기계적 연마(CMP)는 구조물의 상면을 평탄화하기 위해 수행된다. 도 9a, 도 9b 및 도 9c에 도시된 바와 같이, 추가 에칭 백 공정이 스택(S1, S2)의 상단 아래로 전도층(48)의 상면을 리세스하는 데 사용된다.

[0067] 이 단계에서, 메모리 셀 형성의 대부분이 완성된다. 보호 절연층(54)은 구조물 위에 형성된다. 보호 절연층(54)은 산화물, 질화물, SiCN 또는 이의 조합일 수 있다. 포토리소그래피 마스크링 단계는 포토레지스트로 MC 및 HV 영역(2/4)을 덮지만, 논리 영역(6)을 노출된 채로 남기는 데 사용된다. (포토레지스트 제거 후에) 도 10a, 도 10b 및 도 10c에 도시된 바와 같이, 하나 이상의 에칭이 논리 영역(6)에서 보호층(54), 전도층(48), 절연층(38) 및 산화물 층(12)을 제거하는 데 사용된다. 보호층(54)은 이 일련의 에칭으로부터 MC 및 HV 영역(2/4)을 보호한다.

[0068] 이 시점에서, 주입은 논리 영역(6)에서 기판(10)에 도핑된 P 및 N 웰을 형성하기 위해 수행될 수 있다. 유전체 층(56)은 논리 영역(6)에서 노출된 기판 상면(10a) 상에 형성된다(이는 논리 디바이스에 대한 게이트 유전체로서 역할을 할 수 있음). 유전체 층(56)은 실리콘 산화물, 실리콘 산질화물, 높은 K 유전체 층, 또는 이의 복합체일 수 있다. 높은 K 절연 재료는 이산화규소보다 큰 유전 상수 K를 갖는 절연 재료이다. 높은 K 절연 재료의 예는 HfO₂, ZrO₂, TiO₂, Ta₂O₅ 및 이의 조합을 포함한다. 이어서, 폴리실리콘 층과 같은 더미 전도층(58)이

구조물 위에 형성된다. 이어서, 질화물과 같은 절연층(59)(본원에서 논리 절연층(59)으로도 지칭됨), 및 하드 마스크 층(60)이 더미 전도층(58) 상에 형성된다. 포토리소그래피 마스크 단계는 포토레지스트로 논리 영역(6)의 선택 부분을 덮고, 전체 MC 및 HV 영역(2/4) 뿐만 아니라 논리 영역(6)의 일부에서 절연층(59) 및 하드 마스크 층(60)을 노출된 채로 남기는 데 사용된다. 이어서, 에칭은 MC, HV, 및 논리 영역(2/4/6)에서 절연층(59) 및 하드 마스크 층(60)의 노출된 영역을 제거하는 데 사용된다. 포토레지스트 제거 후에, 에칭이 더미 전도층(58) 및 유전층(56)의 노출된 부분(즉, 논리 영역(6)에서 하드 마스크 층(60)의 나머지 부분에 의해 보호되지 않는 모든 부분)을 제거하고, 논리 영역(6)에서 논리 스택 구조물(LS1 및 LS2)을 남기는 데(즉, 유전층(56)에 배치된 더미 전도성 재료의 블록(58)을 포함함) 사용된다. 유전체 스페이서(62)(예를 들어, 질화물)는 증착 및 에칭에 의해 논리 스택 구조물(LS1/LS2)의 측부 상에 형성된다. 이 시점에서, 논리 영역(6)에서 기판(10) 내로의 주입이 수행될 수 있다. 생성된 구조물이 도 11a, 도 11b 및 도 11c에 도시되어 있다.

[0069] 포토리소그래피 마스크 단계는 포토레지스트(64)로 논리 영역(6), HV 영역(4)의 일부, 및 MC 영역(2)의 일부를 덮는 데(즉, 내부 스택 영역, 스택 구조물(S1 및 S2) 및 스택 구조물(S1 및 S2)에 바로 인접한 외부 스택 영역의 이들 일부를 덮음) 사용된다. 도 12a, 도 12b 및 도 12c에 도시된 바와 같이, 에칭은 보호층(54) 및 전도층(48)의 노출된 부분을 제거하는 데 사용된다. 포토레지스트(64)가 제거된 후에, 추가 선택적 주입 및 에칭이(즉, 추가 포토리소그래피 마스크 단계 및 주입에 의해) 기판(10)의 상이한 노출된 부분에서 수행될 수 있다. 예를 들어, 논리 영역(6)은 MC 및 HV 영역(2/4)을 노출된 채로 남기는 포토레지스트에 의해 덮일 수 있고, 절연층(38 및 46)에 의해서만 덮이는 기판(10)의 일부는 주입된다. 포토리소그래피 마스크 단계는 논리 영역(6)을 덮고, MC 및 HV 영역(2/4)을 노출된 채로 남기는 데 사용된다. 이어서, 에칭은 절연층(38 및 46)의 노출된 부분을 박막화하는 데(또한 보호 절연층(54)을 박막화함) 사용되며, 이는 공정에서 나중에 HV 영역(4)에서 더 양호한 주입 침투를 제공할 수 있다. (포토레지스트 제거 후에) 생성된 구조물이 도 13a, 도 13b 및 도 13c에 도시되어 있다.

[0070] 반비등각 층(70)이 구조물 상에 형성된다. 이 층은 하부 토포그래피의 등각성의 일부를 유지하지만, 수직 및 수평 면이 만나는 곳에 비해 하부 토포그래피의 상단에서 더 얇다. 이러한 다양한 두께를 달성하기 위해, 유동성 재료는 바람직하게는 층(70)을 형성하는 데 사용된다. 반비등각 층(70)에 대한 하나의 비제한적인 예시적 재료는 포토리소그래피 동안 레지스트 계면에서 반사율을 감소시키는 데 일반적으로 사용되는 BARC 재료(하부 반사 방지 코팅)이다. BARC 재료는 유동성 및 습윤성이 있으며, 산화물에 대해 이들의 높은 선택성으로 인해 공정 손상은 최소화하면서 쉽게 에칭되고 제거된다. 반비등각 층(70)에 사용될 수 있는 다른 재료는 포토레지스트 또는 SOG(spin-on-glass)를 포함한다. (예를 들어, 이방성) 에칭은 절연층(38 및 46)을 덮는 반비등각 층(70)을 유지하면서(즉, 반비등각 층(70)의 이 부분은 다음 에칭 단계를 위한 하드 마스크로 작용함), 스택 구조물(S1/S2) 및 전도층(48)의 나머지 부분 상의 보호 절연층(54), 및 스택 구조물(LS1/LS2) 상의 하드 마스크 층(60)으로부터 반비등각 층(70)의 상부 부분을 제거하고, 이를 노출시키는 데 사용된다. 에칭은 논리 스택 구조물(LS1/LS2) 상에 하드 마스크 층(60)을 제거하는 데 사용된다. 생성된 구조물이 도 14a, 도 14b 및 도 14c에 도시되어 있다.

[0071] 반비등각 층(70)의 제거 후에, 스페이서 에칭이 뒤따르는 산화물 및 질화물 증착은 MC 영역(2)에서 스택 구조물(S1/S2)의 측부 상에, 논리 영역(6)에서 스택 구조물(LS1/LS2)의 측부 상에, 및 HV 영역(4)에서 구조물의 측부 상에 산화물 스페이서(66) 및 질화물 스페이서(미도시)를 형성하는 데 사용된다. 주입은 MC 영역(2)에서 산화물 스페이서(66)에 인접한 기판에서 (제1) 드레인 영역(74), HV 영역(4)에서 산화물 스페이서(66)에 인접한 (제2) 소스 및 (제2) 드레인 영역(76/78), 및 논리 영역(6)에서 산화물 스페이서(66)에 인접한 (제3) 소스 및 (제3) 드레인 영역(80/82)을 형성하기 위해 수행된다. 임의의 주어진 영역에 대한 주입은 주입되지 않는 다른 영역(들)에 대한 주입을 차단하기 위해 포토레지스트를 형성함으로써 수행될 수 있다. 예를 들어, 동일한 도핑 유형의 MC 영역(2)에서 드레인 영역(74), HV 영역(4)에서 소스/드레인 영역(76/78), 및 논리 영역(6)에서 소스/드레인 영역(80/82)은 반대 소스/드레인 도핑 유형의 영역 상에 포토레지스트를 형성한 다음 MC, HV 및 논리 영역(2/4/6)에서 단일 주입을 수행함으로써 동시에 형성될 수 있다. 이 시점에서, 차단층(84)은 다음 단계에서 임의의 규화물화를 차단하기 위해 증착, 마스크 단계 및 에칭에 의해 형성될 수 있다. 차단층(84)에 의해 보호되지 않은, MC 및 HV 영역(2/4)에서 보호 절연층(54)의 임의의 나머지 부분은 또한 상기 에칭 동안 제거되어, 전도층(48)을 후속 규화물화에 노출시킨다. 이어서, 금속 증착 및 어닐링은 전도층(48), 소스 영역(76/80) 및 드레인 영역(74/78/82)의 노출된 부분의 상면 상에 규화물(86)을 형성하기 위해 수행된다. 차단층(84)은 이러한 형성이 바람직하지 않은 임의의 부분에 대한 규화물 형성을 방지한다. 선택적으로, 차단층(84)은 소스/드레인 영역(74/76/78/80/82)의 선택 부분 및/또는 전도층(48)의 일부에 유지되어 이들 선택 영역에서 규화물 형성을 차단한다. 이어서, 질화물 에칭과 같은 에칭은 논리 영역(6)에서 산화물 스페이서(66) 상의 질화물 스페이

서 및 절연층(59)을 제거하고(더미 전도층(58)의 블록을 노출시킴) MC 영역(2)의 하드 마스크 층(28)을 제거하는 데 사용된다. 생성된 구조물이 도 15a, 도 15b 및 도 15c에 도시되어 있다.

[0072] (예를 들어, 질화물) 층(88)은 구조물 위에 형성된다. 이어서, 층간 유전체(ILD) 절연 재료(90)의 두꺼운 층이 층(88) 상에 형성된다. CMP는 ILD 절연 재료(90)의 두꺼운 층을 평탄화하고 이를 리세스하여 논리 영역(6)에서 더미 전도층(58)을 노출시키기 위해 수행된다. 포토리소그래피 마스크 단계는 포토레지스트로 MC 및 HV 영역(2/4)을 덮지만, 논리 영역(6)을 노출된 채로 남기는 데 사용된다. 이어서, 폴리실리콘 에칭과 같은 에칭은 논리 영역(6)에서 더미 전도층(58)의 블록을 제거하는 데 사용된다. Al, Ti, TiAlN, TaSiN, TaN, TiN, 또는 제한 없이 다른 적절한 금속 재료, 또는 이의 복합체 등과 같은 금속 재료(94)의 층이 구조물 위에 형성된다. 이어서, CMP는 금속 게이트 재료 층을 제거하고, 논리 영역(6)에서 유전체 층(56)에 배치된 금속 재료의 블록(94)을 남기기 위해 수행된다. 최종 구조물이 도 16a, 도 16b 및 도 16c에 도시되어 있다.

[0073] 도 17은 2개의 드레인 영역(74)으로부터 이격된 소스 영역(42)을 각각 공유하는 메모리 셀 쌍(실리콘(10)에서 채널 영역(96)이 이 사이에서 연장됨)을 포함하는 MC 영역(2)의 최종 메모리 셀 구조물을 도시한다. 각각의 메모리 셀은 채널의 전도성을 제어하기 위해 채널 영역(96)의 제1 부분 위에 배치되고 이로부터 절연되는 플로팅 게이트(14a)(즉, 전도층(14)으로부터 남아있는 전도성 재료의 블록), 채널의 전도성을 제어하기 위해 채널 영역(96)의 제2 부분 위에 배치되고 이로부터 절연되는 (즉, 워드 라인 게이트로도 지칭될 수 있고, 전도층(48)으로부터 남아있는 블록 전도성 재료일 수 있는) 선택 게이트(48a), 플로팅 게이트(14a) 위에 배치되고 이로부터 절연되는 제어 게이트(26a)(즉, 전도층(26)으로부터 남아있는 전도성 재료의 블록), 및 (메모리 셀의 쌍에 의해 공유되는) 소스 영역(42) 위에 배치되고 이로부터 절연되는 소거 게이트(48b)(즉, 전도층(48)로부터 남아있는 전도성 재료의 블록)를 포함한다. 메모리 셀의 쌍은 칼럼(column) 방향(BL 방향)으로 연장되고, 인접한 칼럼 사이의 STI 산화물(22)을 이용하여 메모리 셀의 칼럼이 형성된다. 제어 게이트(26a)의 로우(row)는 메모리 셀의 전체 로우에 대해 제어 게이트(26a)를 함께 연결하는 연속 제어 게이트 라인으로 형성된다. 선택 게이트(48a)의 로우는 메모리 셀의 전체 로우에 대해 선택 게이트(48a)를 함께 연결하는 (워드 라인으로도 알려진) 연속 선택 게이트 라인으로 형성된다. 소거 게이트(48b)의 로우는 메모리 셀의 쌍의 전체 로우에 대해 소거 게이트(48b)를 함께 연결하는 연속 소거 게이트 라인으로 형성된다.

[0074] 최종 HV 디바이스가 도 18에 도시되어 있다. 각각의 HV 디바이스는 이격된 소스 및 드레인 영역(76 및 78)을 포함하며, 실리콘 기판(10)의 채널 영역(98)이 이 사이에서 연장된다. HV 게이트(48c)(즉, 전도층(48)으로부터 남아있는 전도성 재료의 블록)은 이의 전도성을 제어하기 위해 채널 영역(98) 위에 배치되고 이로부터 절연된다.

[0075] 최종 논리 디바이스가 도 19에 도시되어 있다. 각각의 논리 디바이스는 이격된 소스 및 드레인 영역(80 및 82)을 포함하며, 실리콘 기판(10)의 채널 영역(100)이 이 사이에서 연장된다. 금속 재료(94)의 블록은 채널의 전도성을 제어하기 위해 (유전체 층(56)에 의해) 채널 영역(100) 위에 배치되고 이로부터 절연되는 금속 게이트(94)이다.

[0076] 동일한 기판 상에 메모리 셀, HV 디바이스 및 논리 디바이스를 형성하는 상술된 방법의 많은 이점이 있다. 메모리 셀 및 HV 디바이스 형성은 금속 게이트(94)가 논리 영역(6)에서 형성되기 전에 완료되므로, 논리 영역(6)에서 금속 게이트(94)는 메모리 셀 및 HV 디바이스의 형성에 의해 부정적 영향을 받지 않을 것이다. MC 및 HV 영역(2/4)에서 게이트의 형성을 위한 공정 단계는 논리 영역(6)에서 게이트의 형성을 위한 공정 단계와는 별개이고 독립적이다(그리고 이에 대해 맞춤화될 수 있음). MC 및 HV 영역(2/4)은 대부분의 메모리 셀 및 HV 디바이스 형성이 완료된 후에 및 논리 영역(6)에서 처리 전에(즉, 제한 없이, 메모리 셀 및 HV 디바이스 형성으로부터 남겨진 논리 영역(6)에서 층의 제거 전에, 그리고 더미 폴리실리콘 제거를 포함하는 논리 디바이스를 형성하기 위해 사용되는 층의 증착 및 제거 전에) 보호 절연층(54)에 의해 덮인다. 기판(10)의 상면(10a)은 논리 영역(6)에 대해 MC 및 HV 영역(2/4)에서 리세스되어 MC/HV 영역(2/4)에서 더 높은 구조물을 수용한다(즉, 논리 영역(6)에서 더 짧은 논리 디바이스의 상단이 MC/HV 영역(2/4)에서 더 큰 메모리 셀 및 HV 디바이스의 상단과 대략 평평하도록 하여, 3개의 영역 모두에 걸친 CMP가 처리에 사용될 수 있도록 함(예를 들어, 선택 게이트(48a) 및 HV 게이트(48c)의 상단은 ILD(90)의 CMP 동안 더미 전도층(58)과 실질적으로 평평함)). 층(88)은 금속 게이트(94)를 형성하는 데 사용되는 CMP로부터 규화물화된 전도층(48)을 보호하고, 전도층(26)은 이 CMP를 위한 정지층으로서 보조한다. 규화물(86)은 드레인 영역(74), 및 소스/드레인 영역(76/78), 소스/드레인 영역(80/82), 선택 게이트(48a), 소거 게이트(48b) 및 HV 게이트(48c)의 전도성을 향상시킨다. 반비등각 층(70)은 하드 마스크 층(60)이 논리 영역(6)으로부터 제거되는 동안 MC 및 HV 영역(2)의 소스/드레인 영역에서 산화물 및 실리콘을 보호한다. 메모리 셀 선택 게이트(48a), 메모리 셀 소거 게이트(48b) 및 HV 게이트(48c)는 단일 전도성 재

료 증착을 사용하여 형성된다(즉, 단일 폴리실리콘 증착에 의해 형성된 단일 폴리실리콘 층은 3가지 유형의 모든 게이트를 형성하는 데 사용될 수 있음). 또한, 동일한 폴리실리콘 에칭은 각각의 선택 게이트(48a)의 에지 중 하나 및 각각의 HV 게이트(48c)의 에지 둘 모두를 정의하는 데 사용될 수 있다. (게이트 산화물로 사용되는) 다양한 층(46, 12, 38 및 56)의 두께는 서로 독립적이며, 각각의 게이트 동작에 대해 각각 최적화된다. 예를 들어, 선택 게이트(48a) 아래의 절연층(46)은 바람직하게는 플로팅 게이트(14a) 아래의 산화물 층(12) 보다 더 얇다.

[0077] 질화물 층을 박막화하기 위한 질화물 에칭(도 2a 내지 2c 및 관련 설명 참조)은 MC 및 HV 영역(2/4)이 논리 영역(6)에 대해 리세스된 기관 상면(10a)을 갖더라도(및 산화물 층(12/18) 및 질화물 층(20) 아래의 전도층(14)이 3개의 영역 모두에 형성되더라도), 3개의 영역 모두에 걸쳐 더 양호하고 더 균일한 후속 처리를 위해, MC, HV 및 논리 영역(2/4/6)에서 실질적으로 평평하게 되는 질화물 층(20)의 상면에 제공한다. 스택 구조물(S1 및 S2)의 상단으로 전도층(48)을 평탄화하는 데 사용되고, 에칭이 스택 구조물(S1 및 S2)의 상단 아래에서 전도층(48)을 리세스하기 위해 뒤따르는 CMP(도 9a 내지 9c 및 관련 설명 참조)는 (예를 들어, 에칭 공정 전에 전도층(48) 두께를 측정하기 위해 APC(자동 공정 제어)를 사용하고, 이어서 에칭의 에칭 속도에 기반하는 에칭 시간을 구동하는) MC 및 HV 영역(2/4)에서 전도층(48)의 높이의 신뢰성 있는 제어를 제공함으로써, 추가 마스크킹 단계를 방지한다. 마지막으로, MC 및 HV 영역(2/4)에서 보호 절연층(54), 및 논리 영역(6)에서 하드 마스크 층(60)은 반동각 층(70)의 형성이 형성된 후에 에칭되어, 규화물(86)을 형성하기 전에 추가 마스크킹 단계가 필요하지 않다.

[0078] 도 20a 내지 도 25a, 도 20b 내지 도 25b 및 도 20c 내지 도 25c는 도 1a 내지 도 1c에 도시된 구조물로 시작하는 교번하는 구현예를 개시한다. 산화물 층(101)이 산화 증착 또는 열 산화에 의해 상면(10a) 상에 형성된다. 이어서, 질화물 층(102)이 산화물 층(101) 상에 형성된다. 포토리소그래피 마스크킹 단계는 포토레지스트(104)로 MC 및 HV 영역(2/4)을 덮지만, 논리 영역(6)을 노출된 채로 남기는 데 사용된다. 도 20a, 도 20b 및 도 20c에 도시된 바와 같이, 이어서, 질화물 에칭은 논리 영역(6)에서 질화물 층(102)을 박막화하여(즉, 이의 두께를 감소시켜) 질화물 층(102)의 상면을 3개의 영역 모두(즉, MC, HV 및 논리 영역(2/4/6))에서 실질적으로 평평하게 하는 데 사용된다.

[0079] 포토레지스트(104)가 제거된 후에, 포토리소그래피 마스크킹 단계는 포토레지스트로 각각의 영역의 부분을 선택적으로 덮는 데 사용된다. 질화물, 산화물 및 실리콘 에칭은 질화물 층(102), 산화물 층(101)을 통해 실리콘 기관(10) 내부로 트렌치를 형성하는 데 사용된다. 이어서, 도 21a, 도 21b 및 도 21c에 도시된 바와 같이, 포토레지스트 제거 후에, 트렌치는 산화물 증착 및 질화물 층(102) 상에서 멈추는 화학적 기계적 연마(CMP)에 의해 STI 산화물(106)로 충전된다. STI 산화물(106)은 산화물 증착 전에 열 산화에 의해 형성된 라이너 산화물을 포함할 수 있다.

[0080] 이어서, 포토리소그래피 마스크킹 단계는 포토레지스트를 갖는 논리 영역을 덮지만, MC 및 HV 영역(2/4)을 노출된 채로 남기는 데 사용된다. 이어서, 하나 이상의 에칭이 MC 및 HV 영역(2/4)으로부터 질화물 층(102) 및 산화물 층(101)을 제거하는 데 사용된다. 포토레지스트 제거 후에, 산화물 층(108)이, 예를 들어, 열 산화에 의해 MC 및 HV 영역(2/4)에서 기관 표면(10a) 상에 형성된다. 이어서, 폴리실리콘 층과 같은 전도층(110)이, 예를 들어, 증착에 의해 구조물 상에 형성된다. 전도층(110)은 대신에 인-시투 도핑되거나 도핑되지 않은 비정질 실리콘일 수 있다. 주입 및 어닐링은 도핑되지 않은 폴리실리콘 또는 비정질 실리콘이 층(110)에 사용되는 경우 수행된다. 화학적 기계적 연마 및 에칭 백이 MC 및 HV 영역(2/4)에서 전도층(110)을 평탄화하고 리세스하고, 논리 영역(6)으로부터 전도층(110)을 제거하는 데 사용된다. 이어서, 산화물 에칭은 STI 산화물(106)을 리세스하는 데 사용될 수 있다. 생성된 구조물이 도 22a, 도 22b 및 도 22c에 도시되어 있다.

[0081] 이어서, 절연층(24), 전도층(26), 하드 마스크 층(28), 스택 구조물(S1 및 S2), 산화물 스페이서(32), 산화물 스페이서(36), 절연층(38), 소스 영역(42), 터널 산화물(44), 및 절연층(46)의 형성이 도 4a 내지 도 8a, 도 4b 내지 도 8b 및 도 4c 내지 도 8c에 대해 전술된 단계를 사용하여 수행된다. 생성된 구조물이 도 23a, 도 23b 및 도 23c에 도시되어 있다. 이어서, 도 24a 내지 도 24c에 도시된 바와 같이, 전술한 바와 같은 전도층(48)의 형성(즉, 증착, CMP 및 에칭 백)이 수행되고, 이는 논리 영역(6)에서 질화물 층(102)의 존재 때문에 CMP에 의해 논리 영역(6)으로부터 전도층(48) 완전한 제거를 초래할 것이다. 이어서, 도 25a 내지 도 25c에 도시된 바와 같이, 보호 절연층(54)은 전술된 바와 같이 MC 및 HV 영역(2/4)에서 전도층(48) 상에 형성되고, 에칭이 논리 영역(6)으로부터 절연층(38), 산화물 층(101) 및 질화물 층(102)을 제거하고, 논리 영역(6)에서 STI 산화물(106)을 리세스하도록 뒤따른다. 이어서, 도 11a 내지 도 11c, 내지 도 16a 내지 도 16c에 대해 전술된 처리 단계는 공정을 완료하기 위해 수행된다. 이러한 교번하는 구현예의 이점은 (트렌치가 기관(10)에 도달하기 전

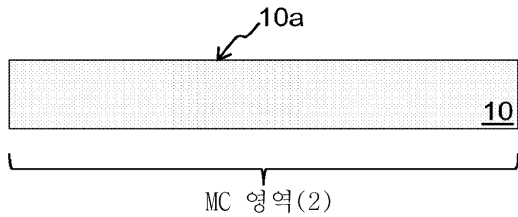
에 4개의 층(도 3a 내지 도 3c 참조)과 대조적으로 기관(10)에 도달하기 전에 단지 2개의 층을 통해 형성되기(도 21a 내지 도 21c 참조) 때문에 더 간단하고 더 효율적인 에칭이 STI 산화물(106)로 충전되는 트렌치를 형성하는 데 사용될 수 있는 것이다.

[0082] 본 발명은 본원에 기술되고 예시된 구현예(들)로 제한되는 것이 아니라, 첨부된 청구범위의 범주 내에 있는 임의의 그리고 모든 변형을 포함한다는 것이 이해되어야 한다. 예를 들어, 본원에서 본 발명에 대한 언급은 임의의 청구항 또는 청구항 용어의 범주를 제한하기 위한 것이 아니라, 대신에 하나 이상의 청구항에 의해 포함될 수 있는 하나 이상의 특징을 단순히 참조하는 것이다. 기술된 재료, 공정 및 수치 예는 예시일 뿐이며, 청구범위를 제한하는 것으로 간주되어서는 안 된다. 또한, 청구범위 및 명세서로부터 자명한 바와 같이, 모든 방법 단계는 도시되거나 청구되는 정확한 순서로 수행되어야 하는 것이 아니라, 청구범위에서 달리 명시되지 않는 한, 본 발명의 메모리 셀 영역 및 논리 영역의 적절한 형성을 가능하게 하는 임의의 순서로 수행되면 된다. 마지막으로, 재료의 단일 층이 이러한 또는 유사한 재료의 다수의 층으로 형성될 수 있고, 그 반대일 수도 있다.

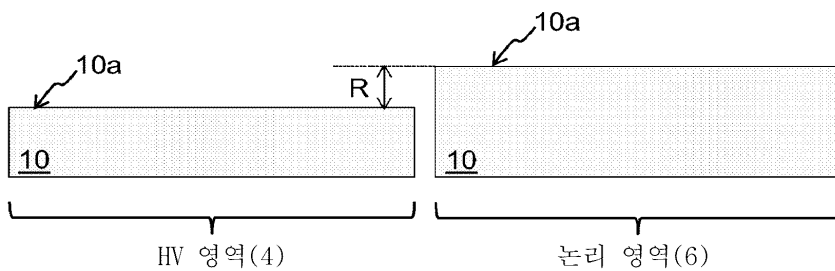
[0083] 본원에 사용된 바와 같이, 용어 "~ 위에" 및 "~ 상에" 둘 모두는 "직접적으로 ~ 상에"(어떠한 중간 재료, 요소 또는 공간도 사이에 배치되지 않음) 및 "간접적으로 ~ 상에"(중간 재료, 요소 또는 공간이 사이에 배치됨)를 포괄적으로 포함한다는 것이 유의되어야 한다. 마찬가지로, 용어 "인접한"은 "직접적으로 인접한"(어떠한 중간 재료, 요소 또는 공간도 사이에 배치되지 않음) 및 "간접적으로 인접한"(중간 재료, 요소 또는 공간이 사이에 배치됨)을 포함한다. 예를 들어, "기관 위에" 요소를 형성하는 것은 어떠한 중간 재료/요소도 사이에 갖지 않고서 직접적으로 기관 상에 요소를 형성하는 것뿐만 아니라, 하나 이상의 중간 재료/요소를 사이에 갖고서 간접적으로 기관 상에 요소를 형성하는 것을 포함할 수 있다.

도면

도면1a



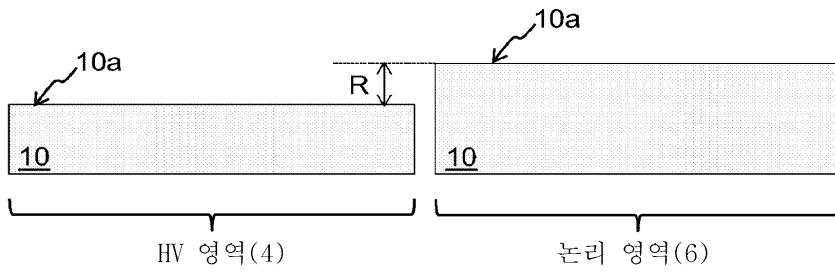
도면1b



도 1b

도 1c

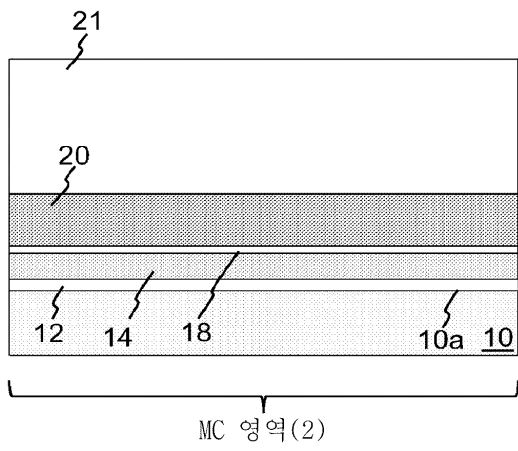
도면1c



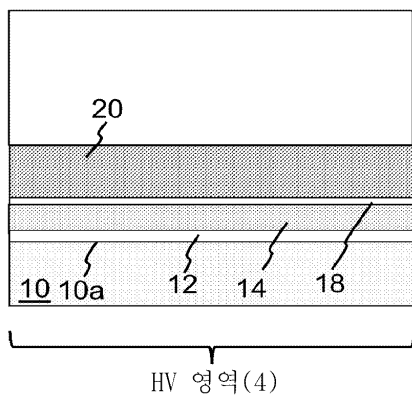
도 1b

도 1c

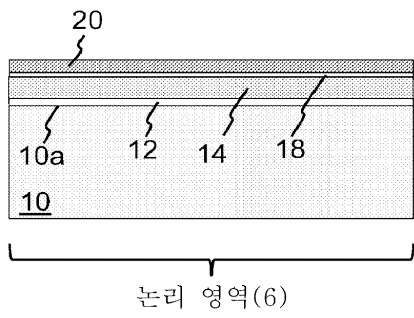
도면2a



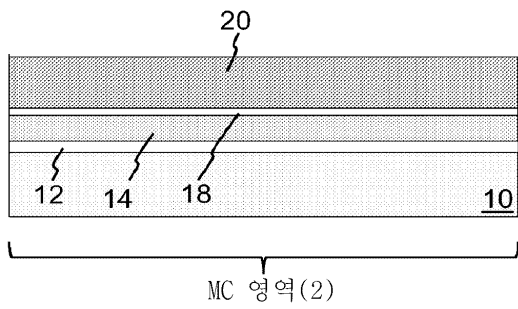
도면2b



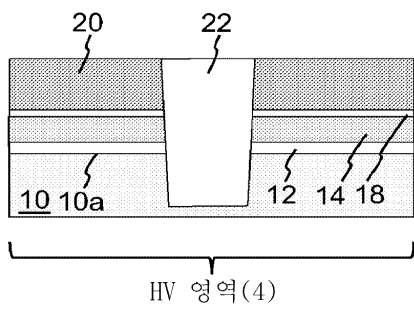
도면2c



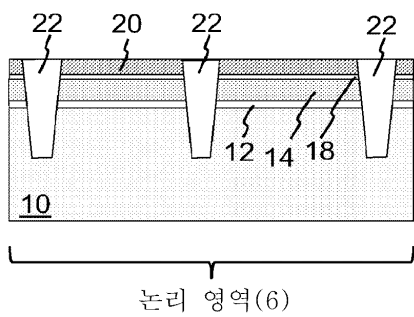
도면3a



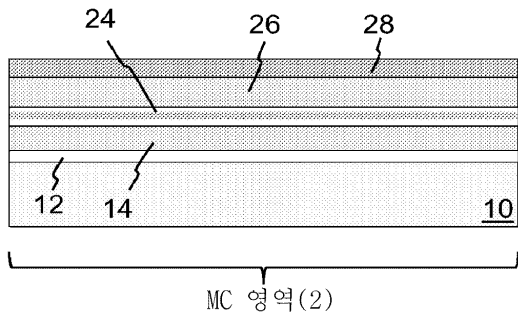
도면3b



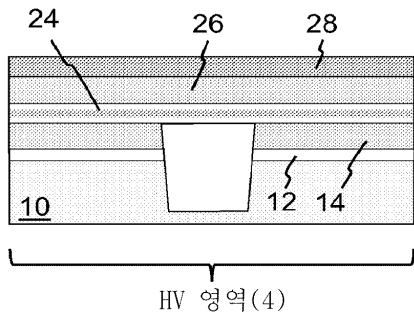
도면3c



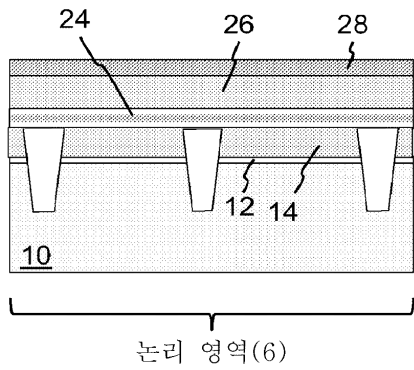
도면4a



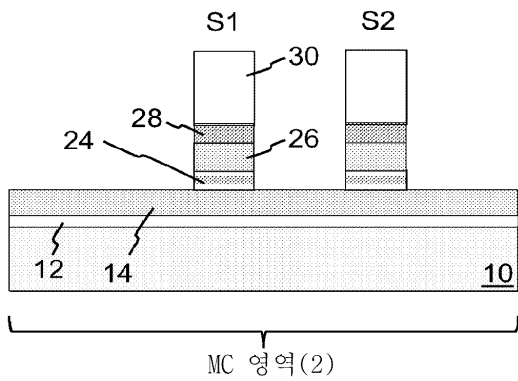
도면4b



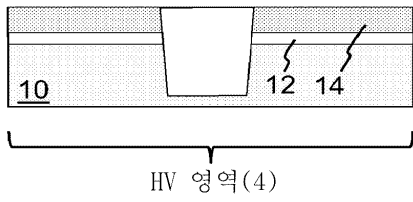
도면4c



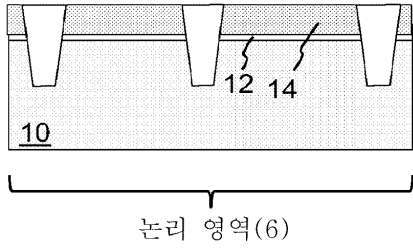
도면5a



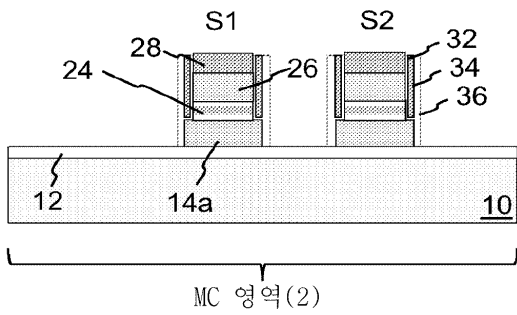
도면5b



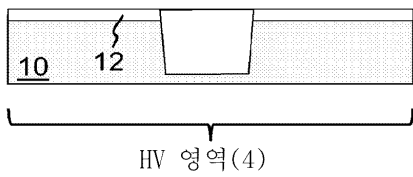
도면5c



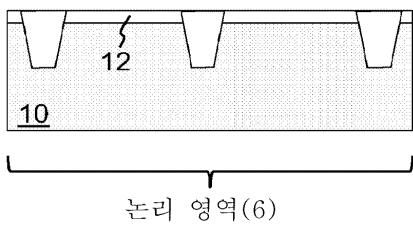
도면6a



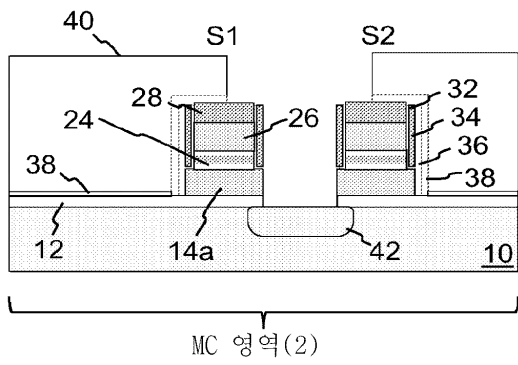
도면6b



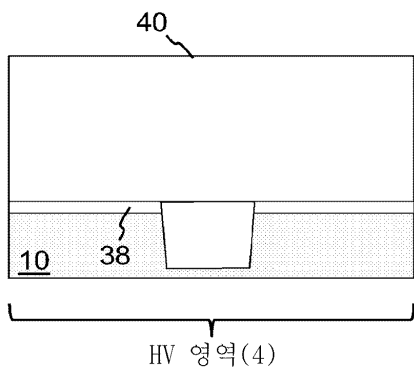
도면6c



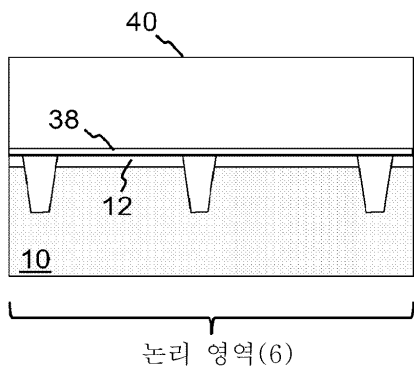
도면7a



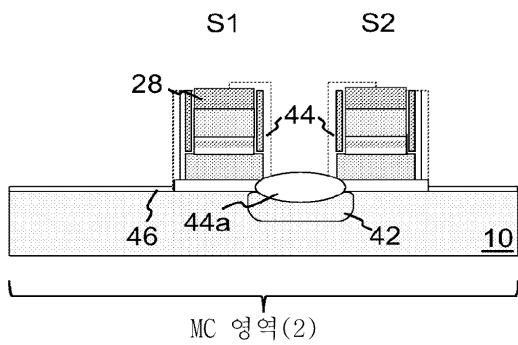
도면7b



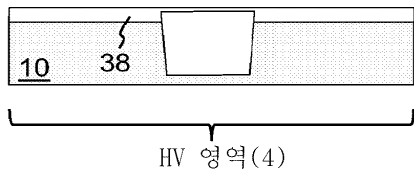
도면7c



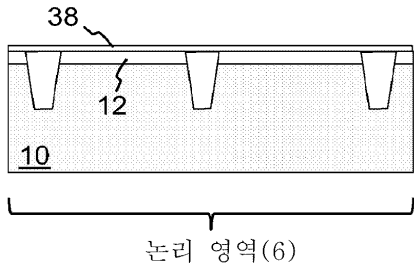
도면8a



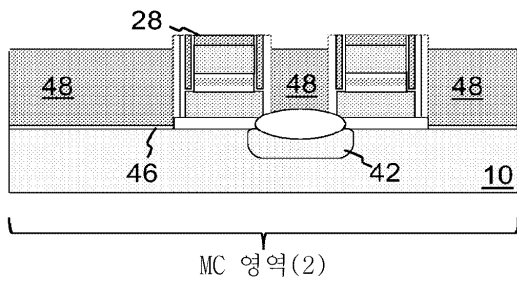
도면8b



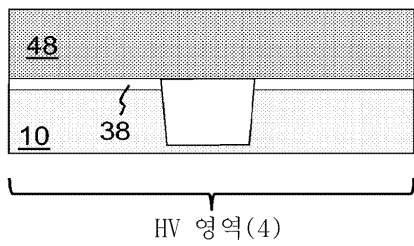
도면8c



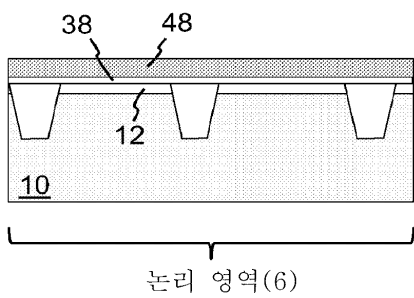
도면9a



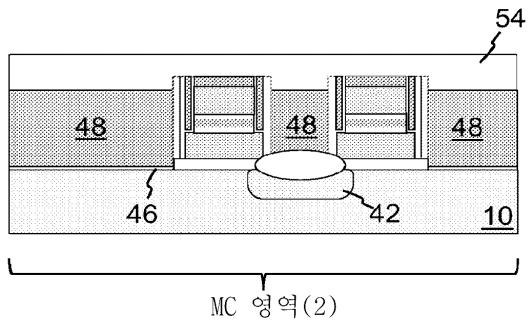
도면9b



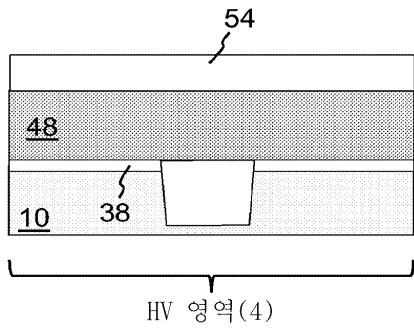
도면9c



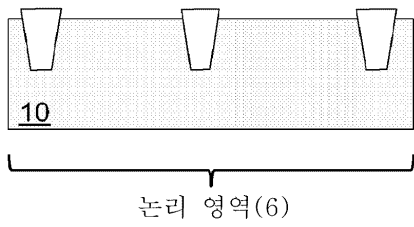
도면10a



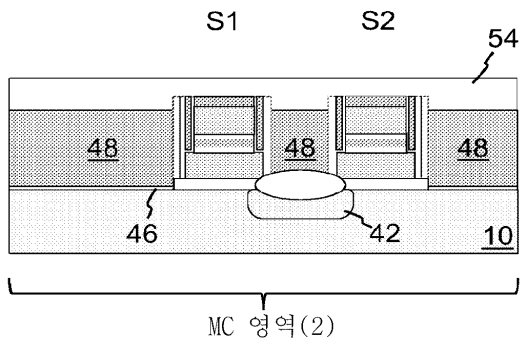
도면10b



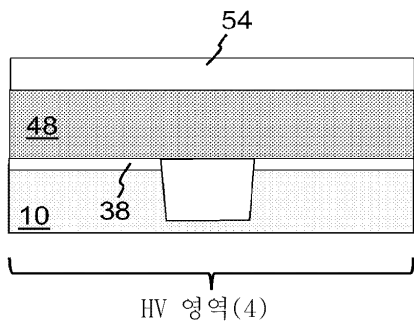
도면10c



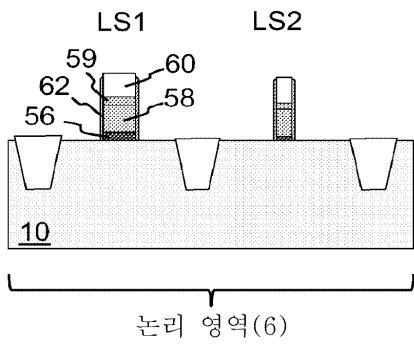
도면11a



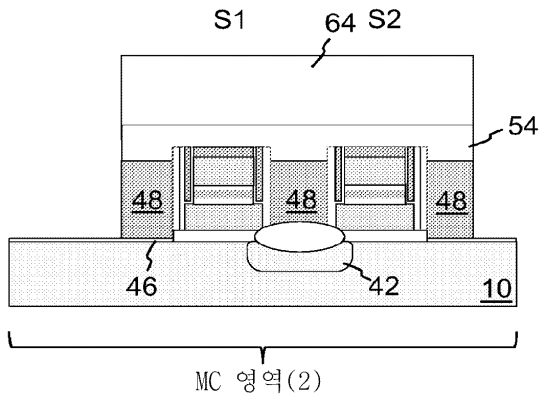
도면11b



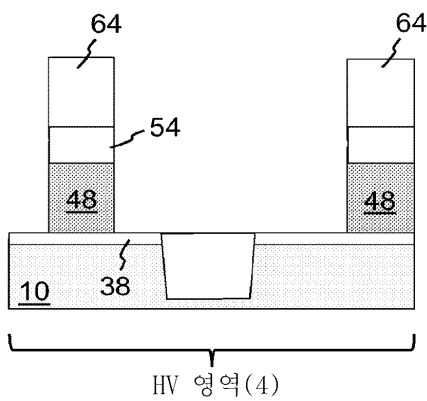
도면11c



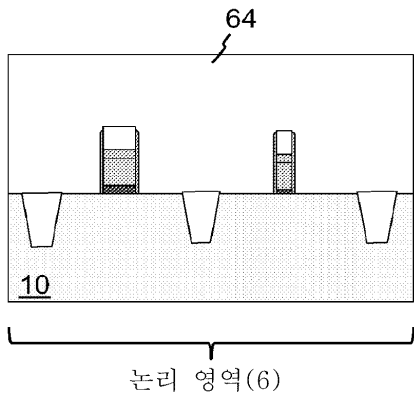
도면12a



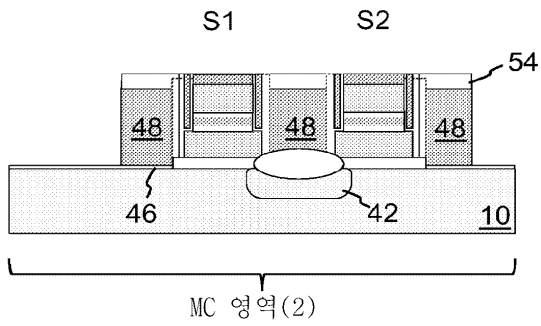
도면12b



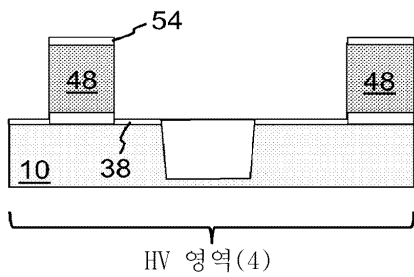
도면12c



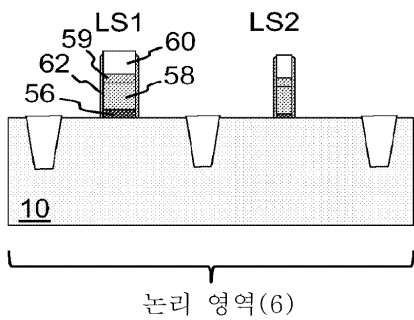
도면13a



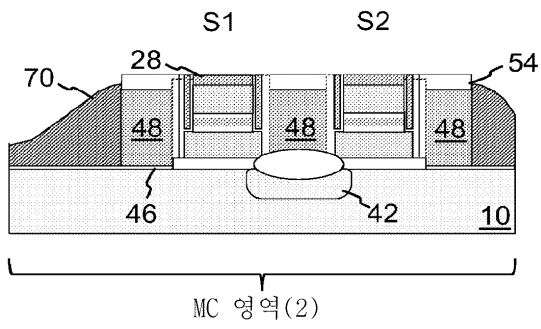
도면13b



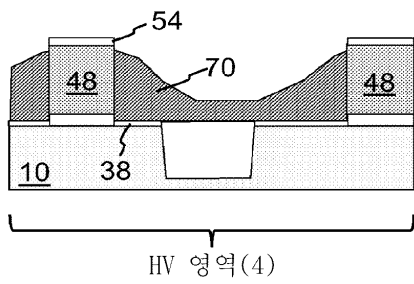
도면13c



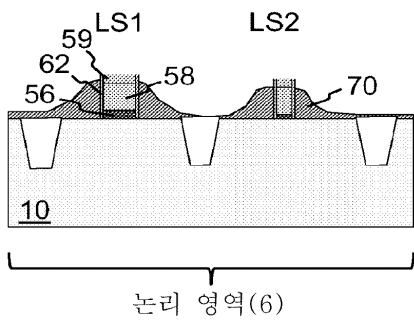
도면14a



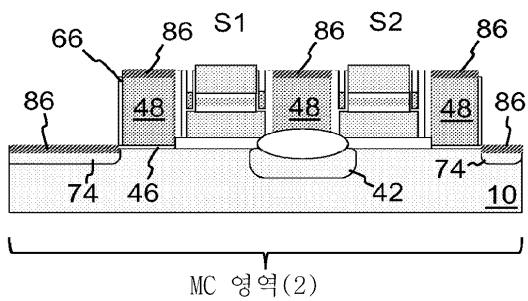
도면14b



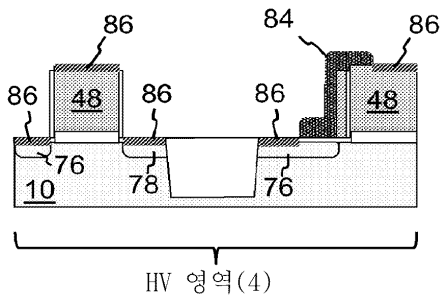
도면14c



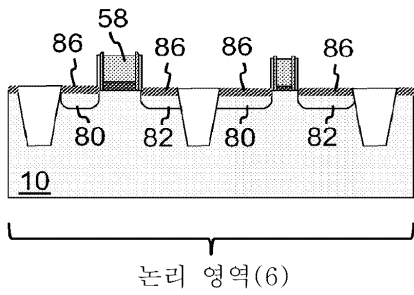
도면15a



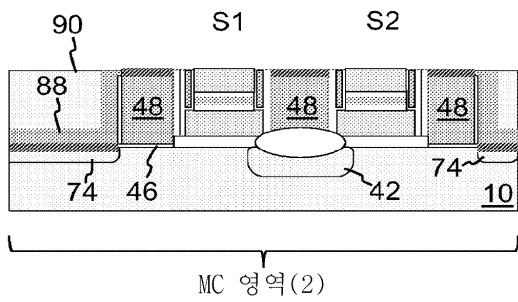
도면15b



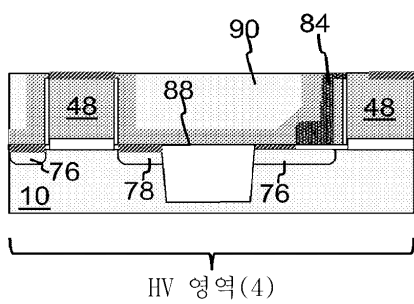
도면15c



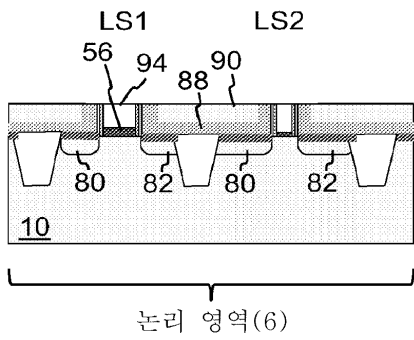
도면16a



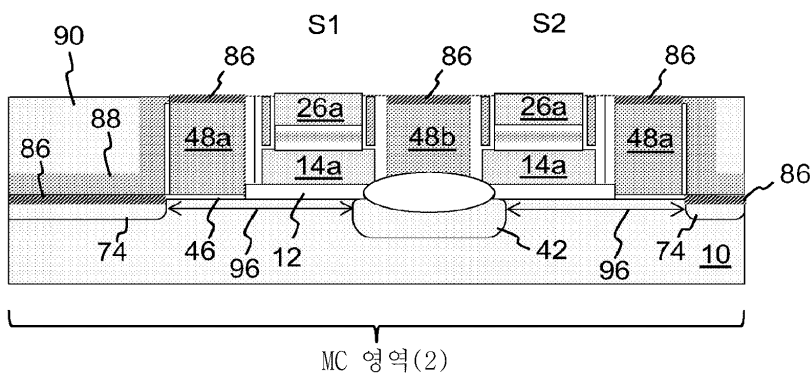
도면16b



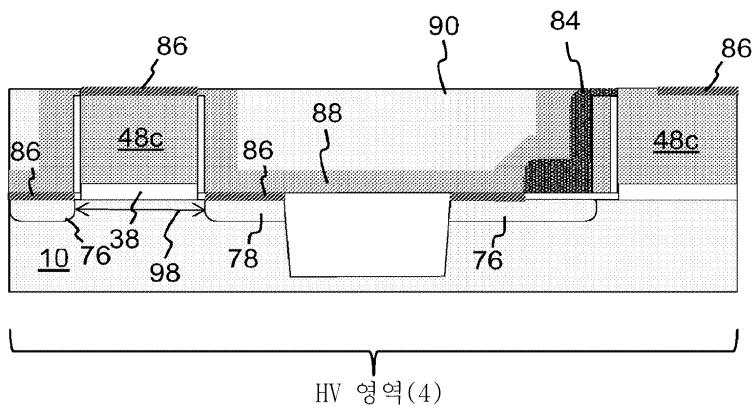
도면16c



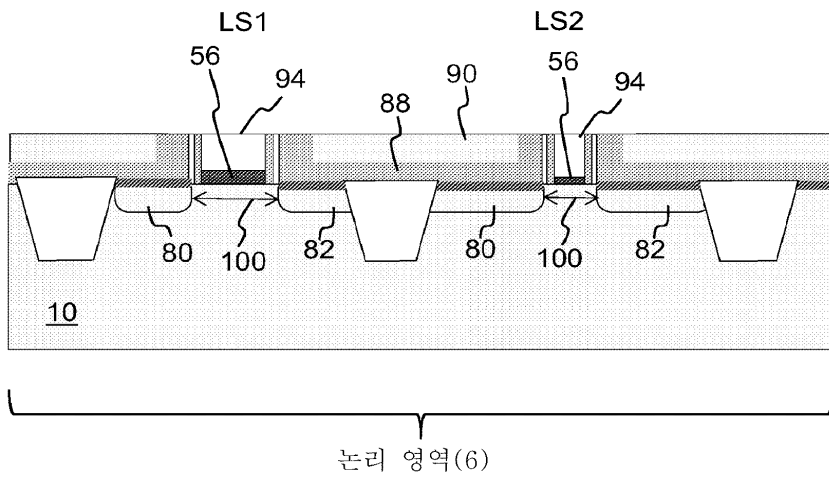
도면17



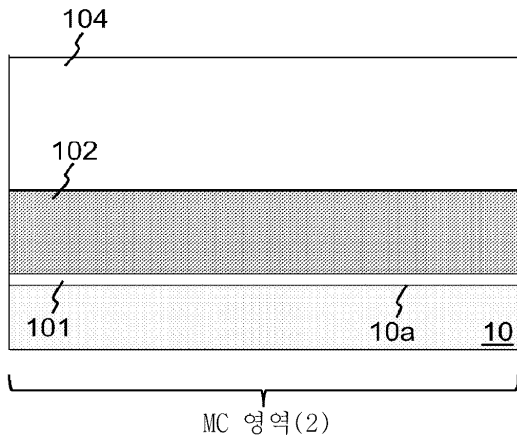
도면18



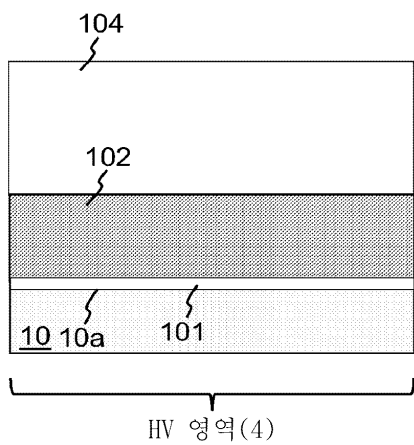
도면19



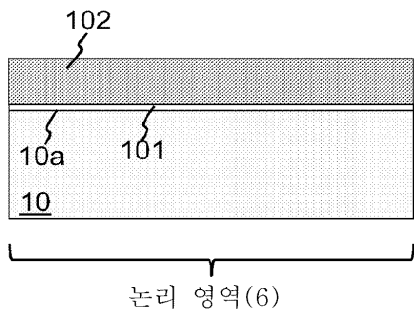
도면20a



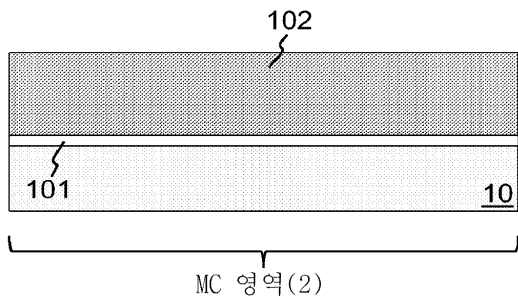
도면20b



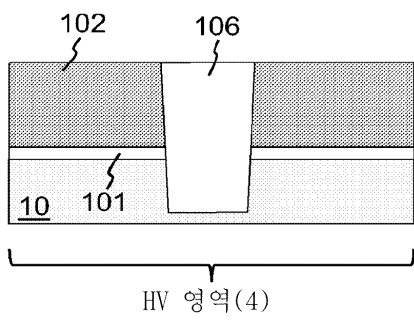
도면20c



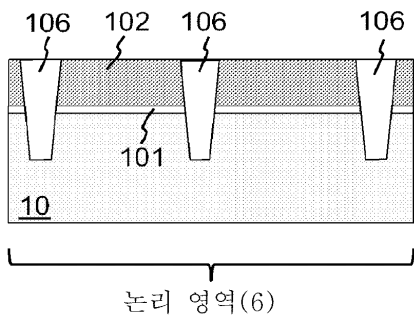
도면21a



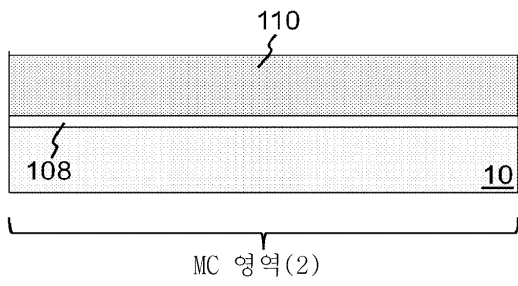
도면21b



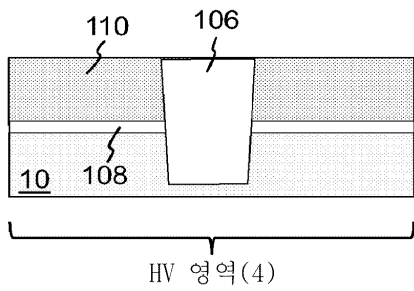
도면21c



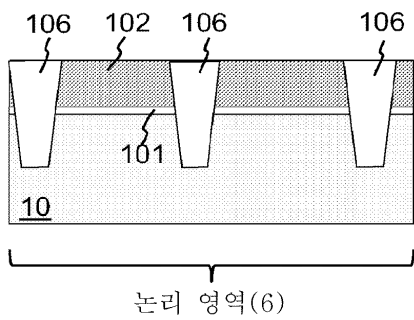
도면22a



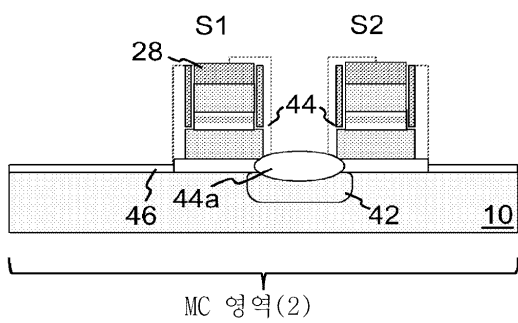
도면22b



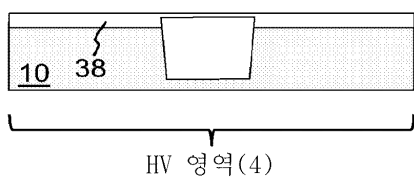
도면22c



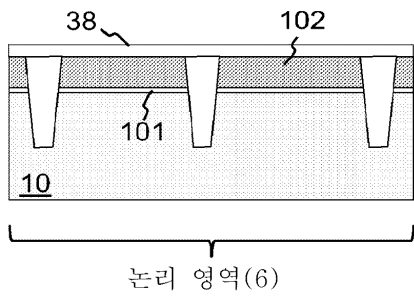
도면23a



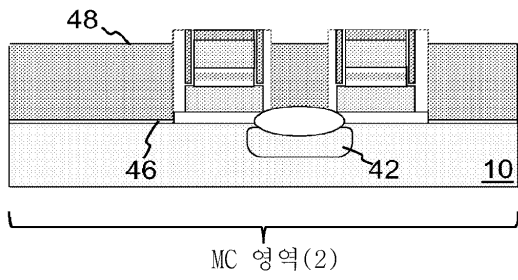
도면23b



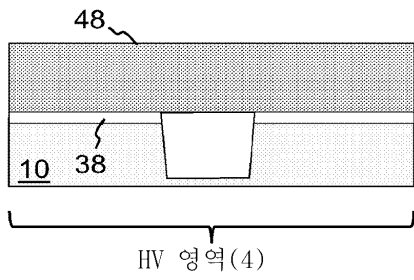
도면23c



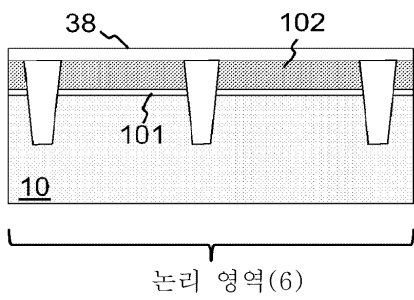
도면24a



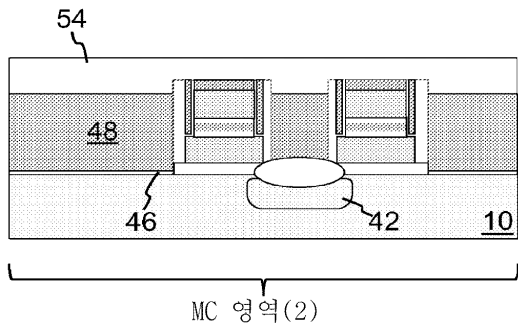
도면24b



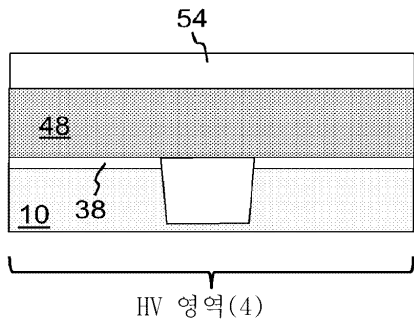
도면24c



도면25a



도면25b



도면25c

