



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0114084
(43) 공개일자 2020년10월07일

- | | |
|--|--|
| <p>(51) 국제특허분류(Int. Cl.)
H01L 23/66 (2006.01) H01L 23/31 (2006.01)
H01L 23/492 (2006.01) H01L 23/498 (2006.01)
H01L 23/522 (2006.01) H01L 23/525 (2006.01)
H01L 23/60 (2006.01)</p> <p>(52) CPC특허분류
H01L 23/66 (2013.01)
H01L 23/3135 (2013.01)</p> <p>(21) 출원번호 10-2019-0035203
(22) 출원일자 2019년03월27일
심사청구일자 없음</p> | <p>(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)</p> <p>(72) 발명자
강명삼
경기도 수원시 영통구 매영로 150 (매탄동)
이창배
경기도 수원시 영통구 매영로 150 (매탄동)
(뒷면에 계속)</p> <p>(74) 대리인
특허법인씨엔에스</p> |
|--|--|

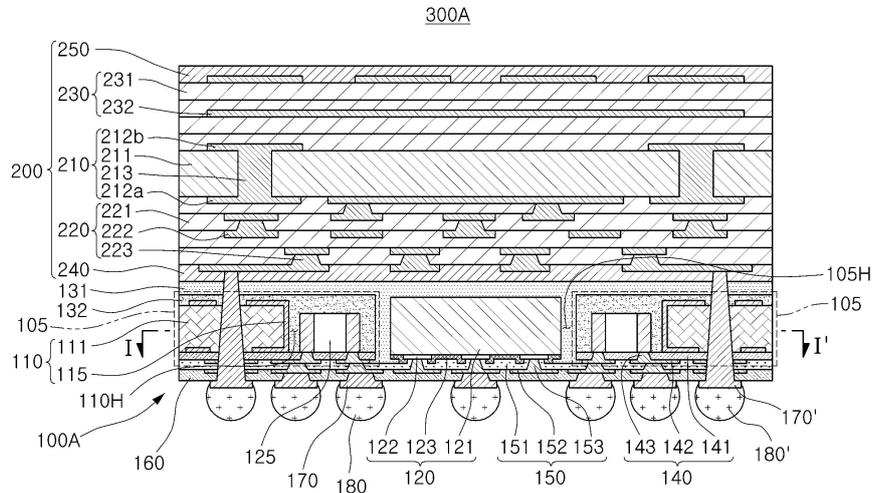
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 반도체 패키지

(57) 요약

본 개시는 제1면 및 상기 제1면의 반대측인 제2면을 가지며 한층 이상의 재배선층을 포함하는 연결구조체, 상기 연결구조체의 제1면 상에 배치된 코어구조체, 상기 연결구조체의 제1면 상에 배치되며 상기 연결구조체의 재배선층과 전기적으로 연결된 접속패드를 갖는 반도체칩, 상기 연결구조체의 제1면 상에 배치되며 상기 코어구조체 및 상기 반도체칩 각각의 적어도 일부를 덮는 제1봉합재, 상기 제1봉합재 상에 배치되며 한층 이상의 배선층을 포함하며 상기 배선층 중 적어도 일부가 안테나 패턴을 포함하는 안테나 기관, 및 상기 연결구조체와 상기 코어구조체와 상기 제1봉합재와 상기 안테나 기관 각각의 적어도 일부를 관통하는 관통비아를 포함하는, 반도체 패키지에 관한 것이다.

대표도



(52) CPC특허분류

H01L 23/492 (2013.01)

H01L 23/49827 (2013.01)

H01L 23/5226 (2013.01)

H01L 23/525 (2013.01)

H01L 23/60 (2013.01)

(72) 발명자

조봉주

경기도 수원시 영통구 매영로 150 (매탄동)

고영관

경기도 수원시 영통구 매영로 150 (매탄동)

이용균

경기도 수원시 영통구 매영로 150 (매탄동)

김문일

경기도 수원시 영통구 매영로 150 (매탄동)

고영찬

경기도 수원시 영통구 매영로 150 (매탄동)

명세서

청구범위

청구항 1

제1면 및 상기 제1면의 반대측인 제2면을 가지며, 한층 이상의 재배선층을 포함하는 연결구조체;

상기 연결구조체의 제1면 상에 배치된 코어구조체;

상기 연결구조체의 제1면 상에 배치되며, 상기 연결구조체의 재배선층과 전기적으로 연결된 접속패드를 갖는 반도체칩;

상기 연결구조체의 제1면 상에 배치되며, 상기 코어구조체 및 상기 반도체칩 각각의 적어도 일부를 덮는 제1봉합재;

상기 제1봉합재 상에 배치되며, 한층 이상의 배선층을 포함하며, 상기 배선층 중 적어도 일부가 안테나 패턴을 포함하는 안테나 기관; 및

상기 연결구조체, 상기 코어구조체, 상기 제1봉합재, 및 상기 안테나 기관 각각의 적어도 일부를 관통하는 관통비아; 를 포함하는,

반도체 패키지.

청구항 2

제 1 항에 있어서,

상기 안테나 기관은 상기 제1봉합재의 상면에 물리적으로 접하도록 배치된,

반도체 패키지.

청구항 3

제 1 항에 있어서,

상기 코어구조체는, 상기 연결구조체 상에 배치되며 상기 연결구조체의 재배선층과 전기적으로 연결된 한층 이상의 배선층을 포함하는 배선부재, 상기 배선부재 상에 배치된 프레임, 상기 배선부재 상에 배치되며 상기 배선부재의 배선층과 전기적으로 연결된 하나 이상의 수동부품, 및 상기 배선부재 상에 배치되며 상기 프레임 및 상기 수동부품 각각의 적어도 일부를 덮는 제2봉합재, 를 포함하는,

반도체 패키지.

청구항 4

제 3 항에 있어서,

상기 반도체칩은 상기 접속패드가 배치된 면이 상기 연결구조체의 제1면을 향하도록 페이스-다운 형태로 배치되며,

상기 반도체칩의 상기 연결구조체와 접하는 면은 상기 수동부품의 상기 배선부재와 접하는 면과 단차를 갖는,

반도체 패키지.

청구항 5

제 3 항에 있어서,
상기 코어구조체는 상기 반도체칩이 배치되는 제1관통부를 가지며,
상기 제1봉합재는 상기 제1관통부의 적어도 일부를 채우는,
반도체 패키지.

청구항 6

제 5 항에 있어서,
상기 프레임은 상기 수동부품이 배치되는 제2관통부를 가지며,
상기 제2봉합재는 상기 제2관통부의 적어도 일부를 채우는,
반도체 패키지.

청구항 7

제 6 항에 있어서,
상기 제1관통부는 상기 제2관통부 보다 깊이가 크며,
평면 상에서, 상기 제1관통부는 상기 제2관통부 이내의 영역에 위치하는,
반도체 패키지.

청구항 8

제 6 항에 있어서,
상기 코어구조체는, 상기 제2관통부의 내측 벽면 상에 배치되며 상기 프레임의 상면 및 하면 상으로 연장 배치된 제1금속층, 을 더 포함하는,
반도체 패키지.

청구항 9

제 8 항에 있어서,
상기 코어구조체는, 상기 제1관통부의 내측 벽면 상에 배치되며 상기 제2봉합재의 상면 상으로 연장 배치된 제2금속층, 을 더 포함하는,
반도체 패키지.

청구항 10

제 1 항에 있어서,
상기 연결구조체의 제2면 상에 배치되며, 상기 재배선층의 적어도 일부를 노출시키는 개구를 갖는 패시베이션층;
상기 패시베이션층의 개구 및 상기 패시베이션층의 하면 상에 배치되며, 상기 노출된 재배선층과 전기적으로 연결된 제1언더범프금속; 및
상기 패시베이션층의 하면 상에 배치되며, 상기 제1언더범프금속을 통하여 상기 노출된 재배선층과 전기적으로

연결된 제1전기연결금속; 을 더 포함하는,
반도체 패키지.

청구항 11

제 10 항에 있어서,
상기 패시베이션층의 하면 상에 배치된 제2언더범프금속; 및
상기 패시베이션층의 하면 상에 배치되며, 상기 제2언더범프금속과 전기적으로 연결된 제2전기연결금속; 을 더 포함하며,
상기 관통비아는 상기 패시베이션층을 더 관통하며, 상기 안테나 기관의 배선층 및 상기 제2언더범프금속을 전기적으로 연결하는,
반도체 패키지.

청구항 12

제 1 항에 있어서,
상기 관통비아는 상기 연결구조체의 재배선층 중 적어도 일부를 관통하며,
상기 관통된 연결구조체의 재배선층은 상기 관통된 영역에서 상기 관통비아와 전기적으로 연결된,
반도체 패키지.

청구항 13

제 1 항에 있어서,
상기 안테나 기관은 코어층, 상기 코어층의 양면 상에 배치된 제1 및 제2배선층, 상기 코어층의 하면 상에 배치된 복수의 제1빌드업 절연층, 상기 복수의 제1빌드업 절연층 각각의 하면 상에 각각 배치된 복수의 제3배선층, 상기 코어층의 상면 상에 배치된 복수의 제2빌드업 절연층, 상기 복수의 제2빌드업 절연층 각각의 상면 상에 각각 배치된 복수의 제4배선층, 상기 복수의 제1빌드업 절연층 중 최하층 제1빌드업 절연층의 하면 상에 배치되며 상기 복수의 제3배선층 중 최하층 제3배선층의 적어도 일부를 덮는 제1커버층, 및 상기 복수의 제2빌드업 절연층 중 최상층 제2빌드업 절연층의 상면 상에 배치되며 상기 복수의 제4배선층 중 최상층 제4배선층의 적어도 일부를 덮는 제2커버층, 을 포함하며,
상기 코어층은 상기 제1 및 제2빌드업 절연층 각각 보다 두께가 두꺼운,
반도체 패키지.

청구항 14

제 13 항에 있어서,
상기 관통비아는 상기 제1커버층을 관통하며 상기 복수의 제3배선층 중 최하층 제3배선층과 전기적으로 연결된,
반도체 패키지.

청구항 15

제 13 항에 있어서,

상기 복수의 제4배선층 중 최상층 제4배선층은 제1안테나 패턴을 포함하고,

상기 제2배선층은 상기 제1안테나 패턴 보다 하위 레벨에 배치된 제2안테나 패턴을 포함하고,

상기 제1배선층 및 상기 복수의 제3배선층 중 적어도 하나는 상기 제2안테나 패턴과 전기적으로 연결된 피딩 패턴을 포함하며,

상기 복수의 제4배선층, 상기 제1 및 제2배선층, 및 상기 복수의 제3배선층 중 적어도 하나는 그라운드 패턴을 포함하는,

반도체 패키지.

발명의 설명

기술 분야

[0001] 본 개시는 반도체 패키지, 보다 구체적으로는 안테나 기판이 결합된 반도체 패키지에 관한 것이다.

배경 기술

[0003] 최근 IT(Information Technology)와 관련된 전자기기의 증가에 따라 전자부품은 더욱 복잡해지고 있으며, 고성능화로 인하여 고속의 데이터 처리가 가능한 환경으로 변화되고 있다. 또한, 최근 RF(Radio Frequency) 제품은 사용 주파수가 높아지고, 밴드 폭이 넓어지는 등으로 인하여, 멀티 밴드가 증가되고 있다. 이러한 환경에서, 소형 패키지 또는 모듈 제품의 경우, AP(Application Processor) 칩이나 RF 칩과 같은 상호 간섭이 발생할 수 있는 부품을 포함하고 있을 경우, 블록(block) 들을 고립(isolation)할 수 있는 구조가 필요하다.

발명의 내용

해결하려는 과제

[0005] 본 개시의 여러 목적 중 하나는 안테나 기판과 일체화될 수 있는바 소형화 및 박형화가 가능하고, 공정 위피지 제어가 가능하며, 또한 EMI(Electro Magnetic Interference)를 효과적으로 차폐할 수 있는 반도체 패키지를 제공하는 것이다.

과제의 해결 수단

[0007] 본 개시를 통하여 제안하는 여러 해결 수단 중 하나는 안테나 기판을 반도체 패키지의 봉합재 상에 일체화하여 배치하며, 이때 반도체 패키지 및 안테나 기판의 일부를 관통하는 관통비아를 통하여 상하 전기적 연결 경로를 제공하는 것이다.

[0009] 예를 들면, 본 개시에서 제안하는 일례에 따른 반도체 패키지는, 제1면 및 상기 제1면의 반대측인 제2면을 가지며 한층 이상의 재배선층을 포함하는 연결구조체, 상기 연결구조체의 제1면 상에 배치된 코어구조체, 상기 연결구조체의 제1면 상에 배치되며 상기 연결구조체의 재배선층과 전기적으로 연결된 접속패드를 갖는 반도체칩, 상기 연결구조체의 제1면 상에 배치되며 상기 코어구조체 및 상기 반도체칩 각각의 적어도 일부를 덮는 제1봉합재, 상기 제1봉합재 상에 배치되며 한층 이상의 배선층을 포함하며 상기 배선층 중 적어도 일부가 안테나 패턴을 포함하는 안테나 기판, 및 상기 연결구조체와 상기 코어구조체와 상기 제1봉합재와 상기 안테나 기판 각각의 적어도 일부를 관통하는 관통비아를 포함하는 것일 수 있다.

발명의 효과

[0011] 본 개시의 여러 효과 중 일 효과로서 안테나 기판과 일체화될 수 있는바 소형화 및 박형화가 가능하고, 공정 위

피지 제어도 가능하며, 또한 전자파 상호 간섭(EMI)을 효과적으로 방지할 수 있는 반도체 패키지를 제공할 수 있다.

도면의 간단한 설명

- [0013] 도 1은 전자기기 시스템의 예를 개략적으로 나타내는 블록도다.
- 도 2는 전자기기의 일례를 개략적으로 나타낸 사시도다.
- 도 3a 및 도 3b는 팬-인 반도체 패키지의 패키징 전후를 개략적으로 나타낸 단면도다.
- 도 4는 팬-인 반도체 패키지의 패키징 과정을 개략적으로 나타낸 단면도다.
- 도 5는 팬-인 반도체 패키지가 인쇄회로기판 상에 실장되어 최종적으로 전자기기의 메인보드에 실장된 경우를 개략적으로 나타낸 단면도다.
- 도 6은 팬-인 반도체 패키지가 인쇄회로기판 내에 내장되어 최종적으로 전자기기의 메인보드에 실장된 경우를 개략적으로 나타낸 단면도다.
- 도 7은 팬-아웃 반도체 패키지의 개략적인 모습을 나타낸 단면도다.
- 도 8은 팬-아웃 반도체 패키지가 전자기기의 메인보드에 실장된 경우를 개략적으로 나타낸 단면도다.
- 도 9는 반도체 패키지의 일례를 개략적으로 나타낸 단면도다.
- 도 10은 도 9의 반도체 패키지의 개략적인 I-I' 절단 평면도다.
- 도 11 및 도 12는 도 9의 반도체 패키지의 제조 일례를 개략적으로 나타낸 공정도다.
- 도 13은 반도체 패키지의 다른 일례를 개략적으로 나타낸 단면도다.

발명을 실시하기 위한 구체적인 내용

[0014] 이하, 첨부된 도면을 참조하여 본 개시에 대해 설명한다. 도면에서 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장되거나 축소될 수 있다.

[0016] 전자기기

[0018] 도 1은 전자기기 시스템의 예를 개략적으로 나타내는 블록도이다.

[0020] 도면을 참조하면, 전자기기(1000)는 메인보드(1010)를 수용한다. 메인보드(1010)에는 칩 세트 관련부품(1020), 네트워크 관련부품(1030), 및 기타부품(1040) 등이 물리적 및/또는 전기적으로 연결되어 있다. 이들은 후술하는 다른 부품과도 결합되어 다양한 신호라인(1090)을 형성한다.

[0022] 칩 세트 관련부품(1020)으로는 휘발성 메모리(예컨대, DRAM), 비-휘발성 메모리(예컨대, ROM), 플래시 메모리 등의 메모리 칩; 센트럴 프로세서(예컨대, CPU), 그래픽 프로세서(예컨대, GPU), 디지털 신호 프로세서, 암호화 프로세서, 마이크로 프로세서, 마이크로 컨트롤러 등의 어플리케이션 프로세서 칩; 아날로그-디지털 컨버터, ASIC(application-specific IC) 등의 로직 칩 등이 포함되며, 이에 한정되는 것은 아니고, 이 외에도 기타 다른 형태의 칩 관련 부품이 포함될 수 있음은 물론이다. 또한, 이들 부품(1020)이 서로 조합될 수 있음은 물론이다.

[0024] 네트워크 관련부품(1030)으로는, Wi-Fi(IEEE 802.11 패밀리 등), WiMAX(IEEE 802.16 패밀리 등), IEEE 802.20, LTE(long term evolution), Ev-DO, HSPA+, HSDPA+, HSUPA+, EDGE, GSM, GPS, GPRS, CDMA, TDMA, DECT,

Bluetooth, 3G, 4G, 5G 및 그 이후의 것으로 지정된 임의의 다른 무선 및 유선 프로토콜들이 포함되며, 이에 한정되는 것은 아니고, 이 외에도 기타 다른 다수의 무선 또는 유선 표준들이나 프로토콜들 중의 임의의 것이 포함될 수 있다. 또한, 네트워크 관련부품(1030)이 칩 세트 관련부품(1020)과 더불어 서로 조합될 수 있음은 물론이다.

[0026] 기타부품(1040)으로는, 고주파 인덕터, 페라이트 인덕터, 파워 인덕터, 페라이트 비즈, LTCC(low Temperature Co-Firing Ceramics), EMI(Electro Magnetic Interference) filter, MLCC(Multi-Layer Ceramic Condenser) 등이 포함되며, 이에 한정되는 것은 아니고, 이 외에도 기타 다른 다양한 용도를 위하여 사용되는 수동부품 등이 포함될 수 있다. 또한, 기타부품(1040)이 칩 세트 관련부품(1020) 및/또는 네트워크 관련 부품(1030)과 더불어 서로 조합될 수 있음은 물론이다.

[0028] 전자기기(1000)의 종류에 따라, 전자기기(1000)는 메인보드(1010)에 물리적 및/또는 전기적으로 연결되거나 그렇지 않을 수도 있는 다른 부품을 포함할 수 있다. 다른 부품의 예를 들면, 카메라(1050), 안테나(1060), 디스플레이(1070), 배터리(1080), 오디오 코덱(미도시), 비디오 코덱(미도시), 전력 증폭기(미도시), 나침반(미도시), 가속도계(미도시), 자이로스코프(미도시), 스피커(미도시), 대량 저장 장치(예컨대, 하드디스크 드라이브)(미도시), CD(compact disk)(미도시), 및 DVD(digital versatile disk)(미도시) 등이 있으며, 다만, 이에 한정되는 것은 아니고, 이 외에도 전자기기(1000)의 종류에 따라 다양한 용도를 위하여 사용되는 기타 부품 등이 포함될 수 있음은 물론이다.

[0030] 전자기기(1000)는, 스마트 폰(smart phone), 개인용 정보 단말기(personal digital assistant), 디지털 비디오 카메라(digital video camera), 디지털 스틸 카메라(digital still camera), 네트워크 시스템(network system), 컴퓨터(computer), 모니터(monitor), 태블릿(tablet), 랩탑(laptop), 넷북(netbook), 텔레비전(television), 비디오 게임(video game), 스마트 워치(smart watch), 오토모티브(Automotive) 등일 수 있다. 다만, 이에 한정되는 것은 아니며, 이들 외에도 데이터를 처리하는 임의의 다른 전자기기일 수 있음은 물론이다.

[0032] 도 2는 전자기기의 일례를 개략적으로 나타낸 사시도다.

[0034] 도면을 참조하면, 반도체 패키지는 상술한 바와 같은 다양한 전자기기에 다양한 용도로써 적용된다. 예를 들면, 스마트 폰(1100)의 바디(1101) 내부에는 메인보드 등의 인쇄회로기판(1110)이 수용되어 있으며, 이러한 인쇄회로기판(1110)에는 다양한 부품(1120)들이 물리적 및/또는 전기적으로 연결되어 있다. 또한, 카메라(1130)와 같이 인쇄회로기판(1110)에 물리적 및/또는 전기적으로 연결되거나 그렇지 않을 수도 있는 다른 부품이 바디(1101) 내에 수용되어 있다. 부품(1120) 중 일부는 칩 세트 관련부품일 수 있으며, 예를 들면, 반도체 패키지(1121)일 수 있으나, 이에 한정되는 것은 아니다. 전자기기는 반드시 스마트 폰(1100)에 한정되는 것은 아니며, 상술한 바와 같이 다른 전자기기일 수도 있음은 물론이다.

[0036] 반도체 패키지

[0038] 일반적으로 반도체칩은 수많은 미세 전기 회로가 집적되어 있으나 그 자체로는 반도체 완성품으로서의 역할을 할 수 없으며, 외부의 물리적 또는 화학적 충격에 의해 손상될 가능성이 존재한다. 그래서 반도체칩 자체를 그대로 사용하지 않고 반도체칩을 패키징하여 패키지 상태로 전자기기 등에 사용하고 있다.

[0040] 반도체 패키징이 필요한 이유는, 전기적인 연결이라는 관점에서 볼 때, 반도체칩과 전자기기의 메인보드의 회로 폭에 차이가 있기 때문이다. 구체적으로, 반도체칩의 경우, 접속패드의 크기와 접속패드간의 간격이 매우 미세

한 반면 전자기기에 사용되는 메인보드의 경우, 부품 실장 패드의 크기 및 부품 실장 패드의 간격이 반도체칩의 스케일보다 훨씬 크다. 따라서, 반도체칩을 이러한 메인보드 상에 바로 장착하기 어려우며 상호간의 회로 폭 차이를 완충시켜 줄 수 있는 패키징 기술이 요구되는 것이다.

[0042] 이러한 패키징 기술에 의하여 제조되는 반도체 패키지는 구조 및 용도에 따라서 팬-인 반도체 패키지(Fan-in semiconductor package)와 팬-아웃 반도체 패키지(Fan-out semiconductor package)로 구분될 수 있다.

[0044] 이하에서는, 도면을 참조하여 팬-인 반도체 패키지와 팬-아웃 반도체 패키지에 대하여 보다 자세히 알아보도록 한다.

[0046] (팬-인 반도체 패키지)

[0048] 도 3a 및 도 3b는 팬-인 반도체 패키지의 패키징 전후를 개략적으로 나타낸 단면도다.

[0049] 도 4는 팬-인 반도체 패키지의 패키징 과정을 개략적으로 나타낸 단면도다.

[0051] 도면을 참조하면, 반도체칩(2220)은 실리콘(Si), 게르마늄(Ge), 갈륨비소(GaAs) 등을 포함하는 바디(2221), 바디(2221)의 일면 상에 형성된 알루미늄(Al) 등의 금속물질을 포함하는 접속패드(2222), 및 바디(2221)의 일면 상에 형성되며 접속패드(2222)의 적어도 일부를 덮는 산화막 또는 질화막 등의 패시베이션막(2223)을 포함하는, 예를 들면, 베어(Bare) 상태의 집적회로(IC)일 수 있다. 이때, 접속패드(2222)는 매우 작기 때문에, 집적회로(IC)는 전자기기의 메인보드 등은 물론, 중간 레벨의 인쇄회로기판(PCB)에도 실장 되기 어렵다.

[0053] 이에, 접속패드(2222)를 재배선하기 위하여 반도체칩(2220) 상에 반도체칩(2220)의 사이즈에 맞춰 연결구조체(2240)를 형성한다. 연결구조체(2240)는 반도체칩(2220) 상에 감광성 절연수지(PID: Photo Image-able Dielectric)와 같은 절연 물질로 절연층(2241)을 형성하고, 접속패드(2222)를 오픈시키는 비아홀(2243h)을 형성한 후, 배선패턴(2242) 및 비아(2243)를 형성하여 형성할 수 있다. 그 후, 연결구조체(2240)를 보호하는 패시베이션층(2250)을 형성하고, 개구부(2251)를 형성한 후, 언더범프금속(2260) 등을 형성한다. 즉, 일련의 과정을 통하여, 예를 들면, 반도체칩(2220), 연결구조체(2240), 패시베이션층(2250), 및 언더범프금속(2260)을 포함하는 팬-인 반도체 패키지(2200)가 제조된다.

[0055] 이와 같이, 팬-인 반도체 패키지는 반도체칩의 접속패드, 예컨대 I/O(Input/Output) 단자를 모두 소자 안쪽에 배치시킨 패키지형태이며, 팬-인 반도체 패키지는 전기적 특성이 좋으며 저렴하게 생산할 수 있다. 따라서, 스마트폰에 들어가는 많은 소자들이 팬-인 반도체 패키지 형태로 제작되고 있으며, 구체적으로는 소형이면서도 빠른 신호 전달을 구현하는 방향으로 개발이 이루어지고 있다.

[0057] 다만, 팬-인 반도체 패키지는 I/O 단자를 모두 반도체칩 안쪽에 배치해야 하는바 공간적인 제약이 많다. 따라서, 이러한 구조는 많은 수의 I/O 단자를 갖는 반도체칩이나 크기가 작은 반도체칩에 적용하는데 어려운 점이 있다. 또한, 이러한 취약점으로 인하여 전자기기의 메인보드에 팬-인 반도체 패키지가 직접 실장 되어 사용될 수 없다. 반도체칩의 I/O 단자를 재배선 공정으로 그 크기와 간격을 확대하였다 하더라도, 전자기기 메인보드에 직접 실장 될 수 있을 정도의 크기와 간격을 가지는 것은 아니기 때문이다.

[0059] 도 5는 팬-인 반도체 패키지가 인쇄회로기판 상에 실장되어 최종적으로 전자기기의 메인보드에 실장된 경우를 개략적으로 나타낸 단면도다.

[0060] 도 6은 팬-인 반도체 패키지가 인쇄회로기판 내에 내장되어 최종적으로 전자기기의 메인보드에 실장된 경우를 개략적으로 나타낸 단면도다.

[0062] 도면을 참조하면, 팬-인 반도체 패키지(2200)는 반도체칩(2220)의 접속패드들(2222), 즉 I/O 단자들이 인쇄회로기판(2301)을 통하여 다시 한 번 재배선되며, 최종적으로는 인쇄회로기판(2301) 상에 팬-인 반도체 패키지(2200)가 실장된 상태로 전자기기의 메인보드(2500)에 실장될 수 있다. 이때, 솔더볼(2270) 등은 언더필 수지(2280) 등으로 고정될 수 있으며, 외측은 몰딩재(2290) 등으로 커버될 수 있다. 또는, 팬-인 반도체 패키지(2200)는 별도의 인쇄회로기판(2302) 내에 내장(Embedded) 될 수도 있으며, 내장된 상태로 인쇄회로기판(2302)에 의하여 반도체칩(2220)의 접속패드들(2222), 즉 I/O 단자들이 다시 한 번 재배선되고, 최종적으로 전자기기의 메인보드(2500)에 실장될 수 있다.

[0064] 이와 같이, 팬-인 반도체 패키지는 전자기기의 메인보드에 직접 실장 되어 사용되기 어렵기 때문에, 별도의 인쇄회로기판 상에 실장된 후 다시 패키징 공정을 거쳐 전자기기 메인보드에 실장되거나, 또는 인쇄회로기판 내에 내장된 채로 전자기기 메인보드에 실장되어 사용되고 있다.

[0066] (팬-아웃 반도체 패키지)

[0068] 도 7은 팬-아웃 반도체 패키지의 개략적인 모습을 나타낸 단면도다.

[0070] 도면을 참조하면, 팬-아웃 반도체 패키지(2100)는, 예를 들면, 반도체칩(2120)의 외측이 봉합재(2130)로 보호되며, 반도체칩(2120)의 접속패드(2122)가 연결구조체(2140)에 의하여 반도체칩(2120)의 바깥쪽까지 재배선된다. 이때, 연결구조체(2140) 상에는 패시베이션층(2150)이 더 형성될 수 있으며, 패시베이션층(2150)의 개구부에는 언더범프금속(2160)이 더 형성될 수 있다. 언더범프금속(2160) 상에는 솔더볼(2170)이 더 형성될 수 있다. 반도체칩(2120)은 바디(2121), 접속패드(2122) 등을 포함하는 집적회로(IC)일 수 있다. 연결구조체(2140)는 절연층(2141), 절연층(2241) 상에 형성된 배선층(2142), 접속패드(2122)와 배선층(2142) 등을 전기적으로 연결하는 비아(2143)를 포함할 수 있다.

[0072] 이와 같이, 팬-아웃 반도체 패키지는 반도체칩 상에 형성된 연결구조체를 통하여 반도체칩의 바깥쪽에 까지 I/O 단자를 재배선하여 배치시킨 형태이다. 상술한 바와 같이, 팬-인 반도체 패키지는 반도체칩의 I/O 단자를 모두 반도체칩 안쪽에 배치시켜야 하고 이에 소자 사이즈가 작아지면 볼 크기와 피치를 줄여야 하므로 표준화된 볼 레이아웃을 사용할 수 없다. 반면, 팬-아웃 반도체 패키지는 이와 같이 반도체칩 상에 형성된 연결구조체를 통하여 반도체칩의 바깥쪽에 까지 I/O 단자를 재배선하여 배치시킨 형태인바 반도체칩의 크기가 작아지더라도 표준화된 볼 레이아웃을 그대로 사용할 수 있는바, 후술하는 바와 같이 전자기기의 메인보드에 별도의 인쇄회로기판 없이도 실장될 수 있다.

[0074] 도 8은 팬-아웃 반도체 패키지가 전자기기의 메인보드에 실장된 경우를 개략적으로 나타낸 단면도다.

[0076] 도면을 참조하면, 팬-아웃 반도체 패키지(2100)는 솔더볼(2170) 등을 통하여 전자기기의 메인보드(2500)에 실장될 수 있다. 즉, 상술한 바와 같이, 팬-아웃 반도체 패키지(2100)는 반도체칩(2120) 상에 반도체칩(2120)의 사이즈를 벗어나는 팬-아웃 영역까지 접속패드(2122)를 재배선할 수 있는 연결구조체(2140)를 형성하기 때문에, 표준화된 볼 레이아웃을 그대로 사용할 수 있으며, 그 결과 별도의 인쇄회로기판 등 없이도 전자기기의 메인보드(2500)에 실장될 수 있다.

- [0078] 이와 같이, 팬-아웃 반도체 패키지는 별도의 인쇄회로기판 없이도 전자기기의 메인보드에 실장 될 수 있기 때문에, 인쇄회로기판을 이용하는 팬-인 반도체 패키지 대비 두께를 얇게 구현할 수 있는바 소형화 및 박형화가 가능하다. 또한, 열 특성과 전기적 특성이 우수하여 모바일 제품에 특히 적합하다. 또한, 인쇄회로기판(PCB)을 이용하는 일반적인 POP(Package on Package) 타입 보다 더 콤팩트하게 구현할 수 있고, 휨 현상 발생으로 인한 문제를 해결할 수 있다.
- [0080] 한편, 팬-아웃 반도체 패키지는 이와 같이 반도체칩을 전자기기의 메인보드 등에 실장하기 위하여, 그리고 외부의 충격으로부터 반도체칩을 보호하기 위한 패키지 기술을 의미하는 것으로, 이와는 스케일, 용도 등이 상이하며, 팬-인 반도체 패키지가 내장되는 인쇄회로기판 등의 인쇄회로기판(PCB)과는 다른 개념이다.
- [0082] 이하에서는, 안테나 기판과 일체화될 수 있으며, 전자파 상호 간섭(EMI)을 효과적으로 방지할 수 있는 반도체 패키지에 대하여 도면을 참조하여 설명한다.
- [0084] 도 9는 반도체 패키지의 일례를 개략적으로 나타낸 단면도다.
- [0085] 도 10은 도 9의 반도체 패키지의 개략적인 I - I' 절단 평면도다.
- [0087] 도면을 참조하면, 일례에 따른 반도체 패키지(300A)는 패키지 기판(100A) 및 패키지 기판(100A) 상에 배치되어 일체화된 안테나 기판(200)을 포함한다. 패키지 기판(100A)은 한층 이상의 재배선층(152)을 포함하는 연결구조체(150), 연결구조체(150)의 상면 상에 배치된 코어구조체(105), 연결구조체(150)의 상면 상에 배치되며 재배선층(152)과 전기적으로 연결된 접속패드(122)를 갖는 반도체칩(120), 및 연결구조체(150)의 상면 상에 배치되며 코어구조체(105) 및 반도체칩(120) 각각의 적어도 일부를 덮는 제1봉합재(131)를 포함한다. 안테나 기판(200)은 제1봉합재(131) 상에 배치된다. 예를 들면, 안테나 기판(200)은 제1봉합재(131)의 상면에 물리적으로 접하도록 배치될 수 있다. 패키지 기판(100A)과 안테나 기판(200)은 관통비아(190)를 통하여 서로 전기적으로 연결된다. 관통비아(190)는 연결구조체(150), 코어구조체(105), 제1봉합재(131), 및 안테나 기판(200) 각각의 적어도 일부를 관통할 수 있다. 따라서, 상하 전기적 연결 경로가 제공될 수 있다.
- [0089] 이와 같이, 일례에 따른 반도체 패키지(300A)는 안테나 기판(200)이 제1봉합재(131) 상에 배치되어 패키지 기판(100A)에 일체화되어 있으며, 관통비아(190)를 통하여 상하 전기적 연결 경로를 제공하고 있는바, 소형화 및 박형화가 가능하다. 또한, 패키지 기판(100A)과 안테나 기판(200) 사이의 신호 패스도 최소화할 수 있다. 또한, 안테나 기판(200)의 배선층(212a, 212b, 222, 232)이 반도체칩(120)의 백사이드에 배치되어 전자파 차폐를 위한 백사이드 금속층으로 기능할 수 있는바, 반도체칩(120)의 전자파 차폐를 위한 별도의 백사이드 금속층 형성을 생략할 수 있으며, 그럼에도 불구하고 효과적으로 전자파를 차폐할 수 있다. 또한, 후술하는 공정에서 알 수 있듯이, 안테나 기판(200)이 패키지 기판(100A)을 형성할 때 캐리어로 이용될 수 있는바, 공정 워피지를 효과적으로 개선할 수 있다.
- [0091] 한편, 일례에서는, 코어구조체(105)는, 연결구조체(150) 상에 배치되며 연결구조체(150)의 재배선층(152)과 전기적으로 연결된 한층 이상의 배선층(142)을 포함하는 배선부재(140), 배선부재(140) 상에 배치된 프레임(110), 배선부재(140) 상에 배치되며 배선부재(140)의 배선층(142)과 전기적으로 연결된 하나 이상의 수동부품(125), 및 배선부재(140) 상에 배치되며 프레임(110) 및 수동부품(125) 각각의 적어도 일부를 덮는 제2봉합재(132)를 포함한다.
- [0093] 이와 같이, 반도체칩(120)을 봉합하는 제1봉합재(131)와 수동부품(125)을 봉합하는 제2봉합재(132)를 통하여, 두 번의 봉합 과정을 거치는 경우, 반도체칩(120)의 배치 전에 독립적으로 수동부품(125)을 먼저 배치하여 봉합할 수 있다. 따라서, 수동부품(125)의 실장에 불량이 발생하거나, 또는 실장 과정에서 이물이 발생하더라도,

반도체칩(120)을 폐기하지 않아도 된다. 즉, 수동부품(125)을 반도체칩(120)과 함께 하나의 봉합재에 봉합하는 경우에 발생하는 수동부품(125)의 실장 불량 및 이물 불량에 따른 반도체칩(120)의 수율 문제를, 효과적으로 개선할 수 있다.

[0095] 또한, 수동부품(125) 배치를 위한 별도의 배선부재(140)를 포함하는 경우, 반도체칩(120)과 무관하게 배선부재(140)의 절연층(141)의 재료를 선택할 수 있으며, 예컨대, 감광성 절연물질, 예컨대 PID(Photo Image-able Dielectric)이 아닌, 무기필러를 포함하는 비감광성 절연물질, 예컨대 ABF(Ajinomoto Build-up Film) 등을 사용할 수 있다. 이러한 필름 타입의 비감광성 절연물질은 평탄성이 우수하기 때문에 언들레이션 문제나 크랙 발생 문제를 효과적으로 방지할 수 있다. 또한, 비감광성 절연물질은 레이저 비아로 개구를 형성하는바, 설사 수동부품(125)의 전극에 제2봉합재(132)의 물질이 블리딩된다 하여도, 레이저 비아를 통하여 효과적으로 전극을 오픈시킬 수 있다. 따라서, 전극 오픈 불량에 따른 문제도 해결할 수 있다. 더불어, 연결구조체(150)의 절연층(151)으로는 이와 무관하게 감광성 절연물질을 사용할 수 있으며, 포토 비아를 통한 파인 피치의 도입도 가능함바, 반도체칩(120)의 수 접속패드(122)를 효과적으로 재배선할 수 있다.

[0097] 한편, 일례에서는, 반도체칩(120)은 접속패드(122)가 배치된 면이 연결구조체(150)의 상면을 향하도록 페이스-다운 형태로 배치된다. 이때, 일례에서는 코어구조체(105)가 배선부재(140)를 포함하는바, 반도체칩(120)의 연결구조체(150)와 접하는 면은 수동부품(125)의 배선부재(140)와 접하는 면과 단차를 가질 수 있다. 또한, 코어구조체(105)는 반도체칩(120)이 배치되며 제1봉합재(131)로 적어도 일부가 채워지는 제1관통부(105H)를 가질 수 있고, 프레임(110)은 수동부품(125)이 배치되며 제2봉합재(132)로 적어도 일부가 채워지는 제2관통부(110H)를 가질 수 있으며, 이때 상술한 단차와 유사하게, 제1관통부(105H)는 제2관통부(110H) 보다 깊이가 클 수 있다. 제한되지 않는 일례로써, 평면 상에서, 제1관통부(105H)는 제2관통부(110H) 이내의 영역에 위치할 수 있다. 이를 통하여, 보다 컴팩트한 설계가 가능한바, 소형화 및 박형화를 더욱 도모할 수 있다.

[0099] 한편, 일례에서는, 프레임(110)의 제2관통부(110H)의 내측 벽면 상에 제1금속층(115)이 배치되며, 이를 통하여 반도체칩(120)의 측면 방향으로도 전자파 차폐를 도모할 수 있다. 제1금속층(115)은 제2관통부(110H)의 내측 벽면 전체에 배치될 수 있으며, 필요에 따라서 프레임(110)의 상면 및 하면으로 연장 배치될 수 있다. 보다 구체적으로는, 프레임(110)의 절연층(111)의 상면 및 하면으로 연장 배치될 수 있다.

[0101] 한편, 일례에서는, 필요에 따라서, 반도체 기관(100A)은 연결구조체(150)의 하면 상에 배치되며 재배선층(152)의 적어도 일부를 노출시키는 개구를 갖는 패시베이션층(160), 패시베이션층(160)의 개구 및 패시베이션층(160)의 하면 상에 배치되며 노출된 재배선층(152)과 전기적으로 연결된 제1언더범프금속(170), 및 패시베이션층(160)의 하면 상에 배치되며 제1언더범프금속(170)을 통하여 노출된 재배선층(152)과 전기적으로 연결된 제1전기연결금속(180)을 더 포함할 수 있다. 또한, 패시베이션층(160)의 하면 상에 배치된 제2언더범프금속(170') 및 패시베이션층(160)의 하면 상에 배치되며 제2언더범프금속(170')과 전기적으로 연결된 제2전기연결금속(180')을 더 포함할 수 있다. 관통비아(190)는 패시베이션층(160)을 관통할 수 있으며, 그 결과 관통비아(190)를 통하여 안테나 기관(200)의 최하측 배선층(222) 및 제2언더범프금속(170')이 전기적으로 연결될 수 있다.

[0103] 한편, 일례에서는, 필요에 따라서, 관통비아(190)는 배선부재(140)의 배선층(142) 중 적어도 일부 및/또는 연결구조체(150)의 재배선층(152) 중 적어도 일부를 관통할 수 있으며, 관통된 배선부재(140)의 배선층(142) 및/또는 연결구조체(150)의 재배선층(152)은 관통된 영역에서 관통비아(190)와 물리적으로 접함으로써 전기적으로 연결될 수 있다. 즉, 관통비아(190)를 통하여 안테나 기관(200)의 최하측 배선층(222)이 배선층(142) 및/또는 재배선층(152)과 전기적으로 연결될 수 있다.

[0105] 이하에서는, 첨부된 도면을 참조하여, 일례에 따른 반도체 패키지(300A)의 각각의 구성에 대하여 보다 자세히 설명한다.

- [0107] 코어구조체(105)는 반도체칩(120)을 배치하기 전에 수동부품(125)을 먼저 배치하기 위한 구성이다. 코어구조체(105)는 배선부재(140), 프레임(110), 하나 이상의 수동부품(125), 및 제2봉합재(132)를 포함한다. 코어구조체(105)는 배선부재(140) 및 제2봉합재(132)를 관통하는 제1관통부(105H)를 가진다. 제1관통부(105H)는 연속적으로 연결된 측벽을 갖는 관통 홈 형태일 수 있다.
- [0109] 프레임(110)은 절연층(111)의 구체적인 재료에 따라 패키지(300A)의 강성을 보다 개선시킬 수 있으며, 제2봉합재(132)의 두께 균일성 확보 등의 역할을 수행할 수 있다. 프레임(110)은 절연층(111)을 관통하는 제2관통부(110H)를 가진다. 제2관통부(110H)에는 수동부품(125)이 배치된다. 평면 상에서, 제1관통부(105H)는 제2관통부(110H) 이내의 영역에 위치한다. 일례에서는, 이러한 관점에서, 반도체칩(120) 역시 제2관통부(110H)에 배치되는 것으로 볼 수 있다. 제2관통부(110H)는 연속적으로 연결된 측벽을 갖는 관통 홈 형태일 수 있다. 프레임(110)은 절연층(111) 외에도 제2관통부(110H)의 내측 벽면 상에 배치된 제1금속층(115)을 더 포함하며, 제1금속층(115)은 절연층(111)의 상면 및/또는 하면으로 연장 배치될 수 있다. 필요에 따라서는, 절연층(111)의 상면 및/또는 하면에 제1금속층(115)과 별개로 배선층(미도시)이 더 배치될 수 있으며, 배선층(미도시)은 관통비아(190)와 물리적으로 접함으로써, 다른 레벨의 구성요소와 전기적으로 연결될 수 있다.
- [0111] 절연층(111)의 재료는 특별히 한정되는 않는다. 예를 들면, 절연물질이 사용될 수 있는데, 이때 절연물질로는 에폭시 수지와 같은 열경화성 수지, 폴리이미드와 같은 열가소성 수지, 또는 이들 수지가 무기필러와 혼합된 수지, 예를 들면, ABF 등이 사용될 수 있다. 또는, 무기필러와 함께 유리섬유(Glass Fiber, Glass Cloth, Glass Fabric) 등의 심재에 상술한 수지가 함침된 재료, 예를 들면, 프리프레그(prepreg) 등이 사용될 수도 있다.
- [0113] 제1금속층(115)은 금속 물질을 포함하며, 제2관통부(110H)의 내측 벽면 상에 배치되는바, 제1금속층(115)을 통하여 전자파 차폐 효과를 가질 수 있으며, 또한 방열 효과를 가질 수 있다. 제1금속층(115)의 형성물질로는 구리(Cu), 알루미늄(Al), 은(Ag), 주석(Sn), 금(Au), 니켈(Ni), 납(Pb), 티타늄(Ti), 또는 이들의 합금 등의 금속 물질을 사용할 수 있다. 제1금속층(115)은 공지의 도금 공정으로 형성될 수 있으며, 각각 시드층 및 도금층을 포함할 수 있다. 제1금속층(115)은 필요에 따라서 그라운드 플레인(Ground Plane)으로 이용될 수 있으며, 이 경우 관통비아(190)를 통하여 배선층(142) 중 그라운드 패턴 및/또는 재배선층(152) 중 그라운드 패턴과 전기적으로 연결될 수 있다.
- [0115] 수동부품(125)은 각각 칩 부품 형태일 수 있다. 여기서, 칩 형태의 부품이라는 것은, 예를 들면, 바디 내부에 내부전극이 형성되며, 바디 외부에 내부전극과 전기적으로 연결된 외부전극이 형성된 별도의 칩 형태의 부품을 의미한다. 수동부품(125)은 커패시터, 인덕터, 비즈 등의 공지의 수동부품일 수 있다. 예를 들면, 수동부품(125)은 MLCC(Multi-Layer Ceramic Capacitor), LICC(Low Inductance Chip Capacitor) 등의 커패시터나, 파워 인덕터 등의 인덕터 등을 들 수 있으나, 반드시 이에 한정되는 것은 아니다.
- [0117] 배선부재(140)는 수동부품(125) 각각의 전극을 재배선할 수 있다. 배선부재(140)는 절연층(141), 절연층(141)의 하면 상에 배치된 배선층(142), 절연층(141)을 관통하며 배선층(142)과 연결된 배선비아(143)를 포함한다. 절연층(141)과 배선층(142)과 배선비아(143)는 도면에 도시한 것 보다 많을 수도, 적을 수도 있다. 즉, 설계에 따라서 층의 수는 달라질 수 있다.
- [0119] 절연층(141)의 물질로는 절연물질이 사용될 수 있는데, 이때 절연물질로는 실리카나 알루미늄과 같은 무기필러를 포함하는 비감광성 절연물질, 예컨대 ABF를 사용할 수 있다. 이 경우, 언들레이션 문제 및 크랙 발생에 따른 불량 문제를 보다 효과적으로 해결할 수 있다. 또한, 제2봉합재(132) 형성 물질의 블리딩에 의한 수동부품(125)의 전극 오픈 불량 문제도 효과적으로 해결할 수 있다.

- [0121] 배선층(142)은 수동부품(125)의 전극을 재배선하여 반도체칩(120)의 접속패드(122)와 전기적으로 연결할 수 있다. 즉, 재배선층(RDL)으로 기능할 수 있다. 배선층(142)의 형성 물질로는 구리(Cu), 알루미늄(Al), 은(Ag), 주석(Sn), 금(Au), 니켈(Ni), 납(Pb), 티타늄(Ti), 또는 이들의 합금 등의 금속 물질을 사용할 수 있다. 배선층(142)은 설계 디자인에 따라서 다양한 기능을 수행할 수 있다. 예를 들면, 그라운드(GrouND: GND) 패턴, 파워(PoWeR: PWR) 패턴, 신호(Signal: S) 패턴 등을 포함할 수 있다. 여기서, 신호(S) 패턴은 그라운드(GND) 패턴, 파워(PWR) 패턴 등을 제외한 각종 신호, 예를 들면, 데이터 신호 등을 포함한다. 그라운드(GND) 패턴과 파워(PWR) 패턴은 동일한 패턴일 수도 있다. 또한, 다양한 종류의 비아 패드를 포함할 수 있다. 반도체칩(120)이 배치되는 제1관통부(105H)는 절연층(141) 역시 관통하는바, 배선층(142)의 하면은 반도체칩(120)의 하면과 실질적으로 동일 레벨에 위치할 수 있다. 즉, 배선층(142)의 하면은 반도체칩(120)의 하면과 코플래너(Coplanar) 할 수 있다.
- [0123] 배선비아(143)는 수동부품(125)과 배선층(142)을 전기적으로 연결한다. 배선비아(143)는 수동부품(125) 각각의 전극과 물리적으로 접할 수 있다. 즉, 수동부품(125)은 솔더범프 등을 이용하는 표면실장 형태가 아닌 임베디드 타입으로 배선비아(143)와 직접 접할 수 있다. 배선비아(143)의 형성 물질로는 구리(Cu), 알루미늄(Al), 은(Ag), 주석(Sn), 금(Au), 니켈(Ni), 납(Pb), 티타늄(Ti), 또는 이들의 합금 등의 금속 물질을 사용할 수 있다. 배선비아(143)는 신호용 비아, 파워용 비아, 그라운드용 비아 등을 포함할 수 있으며, 파워용 비아와 그라운드용 비아는 동일한 비아일 수 있다. 배선비아(143)는 각각 금속 물질로 충전된 필드 타입의 비아일 수도 있고, 또는 금속 물질이 비아 홀의 벽면을 따라 형성된 컨포멀 타입의 비아일 수도 있다. 배선비아(143)도 도금공정으로 형성될 수 있으며, 시드층 및 도체층으로 구성될 수 있다.
- [0125] 제2봉합재(132)는 프레임(110) 및 수동부품(125) 각각의 적어도 일부를 덮는다. 또한, 제2관통부(110H)의 적어도 일부를 채운다. 제2봉합재(132)는 절연물질을 포함하며, 절연물질로는 무기필러 및 절연수지를 포함하는 재료, 예컨대 에폭시 수지와 같은 열경화성 수지, 폴리이미드와 같은 열가소성 수지, 또는 이들에 무기필러와 같은 보강재가 포함된 수지, 구체적으로 ABF, FR-4, BT, 수지 등이 사용될 수 있다. 또한, EMC(Epoxy Molding Compound)와 같은 몰딩 물질을 사용할 수 있으며, 필요에 따라 감광성 재료, 즉 PIE(Photo Imagable Encapsulant)를 사용할 수도 있다. 필요에 따라서는 프리프레그 등을 사용할 수도 있다.
- [0127] 반도체칩(120)은 소자 수백 내지 수백만 개 이상이 하나의 칩 안에 집적화된 베어 상태의 집적회로(IC)일 수 있다. 반도체칩(120)의 집적회로(IC)는, 예를 들면, RFIC(Radio-Frequency IC)일 수 있다. 필요에 따라서는, 반도체칩(120)이 복수 개일 수 있으며, PMIC(Power Management IC)를 더 포함할 수 있다. 복수의 반도체칩(120)을 포함하는 경우에는, 각각의 반도체칩(120)은 서로 다른 블록에 배치되어 서로 전자과 차폐가 가능하도록 배치될 수 있다. 한편, 반도체칩(120)의 종류가 이에 한정되는 것은 아니며, 어플리케이션 프로세서(AP) 칩 동일 수도 있다.
- [0129] 반도체칩(120)은 각종 회로가 형성된 바디(121)를 포함할 수 있으며, 바디(121)의 활성면에는 접속패드(122) 배치될 수 있다. 바디(121)는, 예를 들면, 액티브 웨이퍼를 기반으로 형성될 수 있으며, 이 경우 모재로는 실리콘(Si), 게르마늄(Ge), 갈륨비소(GaAs) 등이 사용될 수 있다. 접속패드(122)는 반도체칩(120)을 다른 구성요소와 전기적으로 연결시키기 위한 것으로, 형성물질로는 금속 물질, 예를 들면, 구리(Cu), 알루미늄(Al)을 사용할 수 있다. 반도체칩(120)의 활성면 상에는 접속패드(122)의 적어도 일부를 노출시키는 개구부를 갖는 산화막 및/또는 질화막 등으로 구성되는 패시베이션막(123)이 형성될 수 있다. 기타 필요한 위치에 절연막(미도시)이 더 배치될 수 있다. 반도체칩(120)은 베어 다이(bare die)일 수 있으며, 이 경우 접속패드(122)는 접속비아(153)와 물리적으로 접할 수 있다. 다만, 반도체칩(120)은 필요에 따라서 활성면에 재배선층(미도시)과 금속범프(미도시) 등이 더 형성된 패키지 다이(packaged die)일 수도 있다.
- [0131] 제1봉합재(131)는 코어구조체(105) 및 반도체칩(120) 각각의 적어도 일부를 덮으며, 제1관통부(105H)의 적어도

일부를 채운다. 제1봉합재(131)는 절연물질을 포함하며, 절연물질로는 비감광성 절연재료, 보다 구체적으로는 무기필러 및 절연수지를 포함하는 비감광성 절연재료, 예컨대 에폭시 수지와 같은 열경화성 수지, 폴리이미드와 같은 열가소성 수지, 또는 이들에 무기필러와 같은 보강재가 포함된 수지, 구체적으로 ABF나, EMC와 같은 비감광성 절연물질을 사용할 수 있다. 필요에 따라 열경화성 수지나 열가소성 수지와 같은 절연수지가 무기필러 및 /또는 유리섬유 등의 심재에 함침된 재료, 예컨대 프리프레그를 사용할 수도 있다. 이를 통하여, 보이드와 언들레이션 문제를 개선할 수 있고, 워피지 제어도 보다 용이할 수 있다. 필요에 따라서는, PIE를 사용할 수도 있다.

[0133] 제1 및 제2봉합재(131, 132)는 동일한 재료를 포함할 수 있고, 다른 재료를 포함할 수도 있다. 제1 및 제2봉합재(131, 132)가 동일한 재료를 포함하는 경우에도 이들 사이의 경계가 확인될 수 있다. 다만, 경우에 따라서는 일체화되어 경계가 불분명할 수도 있다. 제1 및 제2봉합재(131, 132)는 유사한 물질을 포함하되, 색이 다를 수도 있다. 필요에 따라서는, 제2봉합재(132)는 절연물질로 구현하되, 제1봉합재(131)는 자성물질로 구현할 수도 있다. 이 경우, 제1봉합재(131)는 전자과 흡수 효과를 가질 수 있다. 반도체칩(120)의 경우는 바디(121)를 통하여 전극이 노출되지 않는바, 제1봉합재(131)를 자성물질로 구현하는 경우에도 특별한 문제가 발생하지 않을 수 있다.

[0135] 연결구조체(150)는 반도체칩(120)의 접속패드(122)를 재배선할 수 있다. 연결구조체(150)를 통하여 다양한 기능을 가지는 수십 내지 수백만의 반도체칩(120)의 접속패드(122)가 각각 재배선 될 수 있으며, 전기연결금속(180)을 통하여 그 기능에 맞춰 외부에 물리적 및/또는 전기적으로 연결될 수 있다. 연결구조체(150)는 절연층(151), 절연층(151)의 하면 상에 배치된 재배선층(152), 절연층(151)을 관통하며 재배선층(152)과 연결된 접속비아(153)를 포함한다. 절연층(151)과 재배선층(152)과 접속비아(153)는 도면에 도시한 것 보다 많을 수도, 적을 수도 있다. 즉, 설계에 따라서 층의 수는 달라질 수 있다.

[0137] 절연층(151)의 물질로는 절연물질이 사용될 수 있는데, 이때 절연물질로는 감광성 절연물질(PID)을 사용할 수 있으며, 이 경우 포토 비아를 통한 파인 피치의 도입도 가능해지는데, 미세화로 및 고밀도 설계에 유리하여, 반도체칩(120)의 수십 내지 수백만의 접속패드(122)를 매우 효과적으로 재배선할 수 있다. 절연층(151)은 서로 경계가 구분될 수도 있고, 경계가 불분명할 수도 있다.

[0139] 재배선층(152)은 반도체칩(120)의 접속패드(122)를 재배선하여 전기연결금속(180)과 전기적으로 연결시킬 수 있다. 재배선층(152)의 형성물질 역시 구리(Cu), 알루미늄(Al), 은(Ag), 주석(Sn), 금(Au), 니켈(Ni), 납(Pb), 티타늄(Ti), 또는 이들의 합금 등의 금속 물질을 사용할 수 있다. 재배선층(152) 역시 설계 디자인에 따라서 다양한 기능을 수행할 수 있다. 예를 들면, 그라운드(GND) 패턴, 파워(PWR) 패턴, 신호(S) 패턴 등을 포함할 수 있다. 그라운드(GND) 패턴과 파워(PWR) 패턴은 동일한 패턴일 수 있다. 또한, 재배선층(152)은 다양한 종류의 비아 패드, 전기연결금속 패드 등을 포함할 수 있다. 재배선층(152)도 도금공정으로 형성될 수 있으며, 시드층 및 도체층으로 구성될 수 있다.

[0141] 접속비아(153)는 재배선층(152)을 반도체칩(120)의 접속패드(122) 및 배선부재(140)의 배선층(142)과 각각 전기적으로 연결한다. 재배선층(152)이 다층인 경우에는, 서로 다른 층에 형성된 재배선층(152)을 전기적으로 연결한다. 접속비아(153)의 형성물질로는 마찬가지로 구리(Cu), 알루미늄(Al), 은(Ag), 주석(Sn), 금(Au), 니켈(Ni), 납(Pb), 티타늄(Ti), 또는 이들의 합금 등의 금속 물질을 사용할 수 있다. 접속비아(153)는 신호용 비아, 파워용 비아, 그라운드용 비아 등을 포함할 수 있으며, 파워용 비아와 그라운드용 비아는 동일한 비아일 수 있다. 접속비아(153) 역시 각각 금속 물질로 충전된 필드 타입의 비아일 수도 있고, 또는 금속 물질이 비아 홀의 벽면을 따라 형성된 컨포멀 타입의 비아일 수도 있다. 접속비아(153)도 도금공정으로 형성될 수 있으며, 시드층 및 도체층으로 구성될 수 있다.

[0143] 패시베이션층(160)은 연결구조체(150)를 외부의 물리적 화학적 손상 등으로부터 보호하기 위한 부가적인 구성이

다. 패시베이션층(160)은 열경화성 수지를 포함할 수 있다. 예컨대, 패시베이션층(160)은 ABF일 수 있으나, 이에 한정되는 것은 아니다. 패시베이션층(160)은 재배선층(152)의 적어도 일부를 오픈시키는 개구를 가진다. 개구는 수십 내지 수만 개 존재할 수 있으며, 그 이상 또는 그 이하의 수를 가질 수도 있다. 각각의 개구는 복수의 홀로 구성될 수도 있다. 필요에 따라서, 패시베이션층(160)의 하면에는 커패시터와 같은 표면실장 부품이 배치되어 재배선층(152)과 전기적으로 연결될 수 있으며, 결과적으로 반도체칩(120)과도 전기적으로 연결될 수 있다.

[0145] 언더범프금속(170, 170') 역시 부가적인 구성으로, 전기연결금속(180, 180')의 접속 신뢰성을 향상시켜주며, 그 결과 반도체 패키지(300A)의 보드 레벨 신뢰성을 개선할 수 있다. 언더범프금속(170, 170')은 수십 내지 수백만 개 있을 수 있으며, 그 이상 또는 그 이하의 수를 가질 수도 있다. 제1언더범프금속(170)은 패시베이션층(160)의 개구 및 패시베이션층(160)의 하면 상에 각각 배치되며, 노출된 재배선층(152)과 전기적으로 연결될 수 있다. 제2언더범프금속(170')은 패시베이션층(160)의 하면 상에 각각 배치되며, 관통비아(190)와 연결될 수 있다. 언더범프금속(170, 170')은 금속을 이용하여 공지의 메탈화 방법으로 형성할 수 있으나, 이에 한정되는 것은 아니다.

[0147] 전기연결금속(180, 180') 역시 부가적인 구성으로, 반도체 패키지(300A)를 외부와 물리적 및/또는 전기적으로 연결시키기 위한 구성이다. 예를 들면, 반도체 패키지(300A)는 전기연결금속(180, 180')을 통하여 전자기기의 메인보드에 실장될 수 있다. 전기연결금속(180, 180')은 패시베이션층(160)의 하면 상에 배치되며 각각 언더범프금속(170, 170')과 전기적으로 연결될 수 있다. 전기연결금속(180, 180')은 각각 저융점 금속, 예를 들면, 주석(Sn)이나 또는 주석(Sn)을 포함하는 합금으로 구성될 수 있다. 보다 구체적으로는 솔더(solder) 등으로 형성될 수 있으나, 이는 일례에 불과하며 재질이 특별히 이에 한정되는 것은 아니다.

[0149] 전기연결금속(180, 180')은 각각 랜드(land), 볼(ball), 핀(pin) 등일 수 있다. 전기연결금속(180, 180')은 각각 다중층 또는 단일층으로 형성될 수 있다. 다중층으로 형성되는 경우에는 구리 기둥 및 솔더를 포함할 수 있으며, 단일층으로 형성되는 경우에는 주석-은 솔더나 구리를 포함할 수 있으나, 역시 이는 일례에 불과하며 이에 한정되는 것은 아니다. 전기연결금속(180, 180')의 개수, 간격, 배치 형태 등은 특별히 한정되지 않으며, 통상의 기술자에게 있어서 접속패드(122) 등의 설계 사항에 따라 충분히 변형이 가능하다.

[0151] 전기연결금속(180, 180') 중 적어도 하나는 팬-아웃 영역에 배치된다. 팬-아웃 영역이란 반도체칩(120)이 배치된 영역을 벗어나는 영역을 의미한다. 팬-아웃(fan-out) 패키지는 팬-인(fan-in) 패키지에 비하여 신뢰성이 우수하고, 다수의 I/O 단자 구현이 가능하며, 3D 인터코넥션(3D interconnection)이 용이하다. 또한, BGA(Ball Grid Array) 패키지, LGA(Land Grid Array) 패키지 등과 비교하여 패키지 두께를 얇게 제조할 수 있으며, 가격 경쟁력이 우수하다.

[0153] 관통비아(190)는 패키지 기관(100A)과 안테나 기관(200)을 전기적으로 연결하기 위한 구성이다. 관통비아(190)는 패키지 기관(100A)을 관통하며 안테나 기관(200)의 적어도 일부를 관통한다. 예를 들면, 관통비아(190)는 패키지 기관(100A)의 코어구조체(105), 제1봉합재(131), 연결구조체(150), 및 패시베이션층(160)을 관통할 수 있으며, 안테나 기관(200)의 제1커버층(240)을 관통할 수 있다. 관통비아(190)는 구리(Cu), 알루미늄(Al), 은(Ag), 주석(Sn), 금(Au), 니켈(Ni), 납(Pb), 티타늄(Ti), 또는 이들의 합금 등의 금속 물질을 포함할 수 있다. 관통비아(190)는 제2언더범프금속(170')과 함께 도금 공정으로 형성될 수 있는바, 양자는 서로 경계 없이 일체화될 수 있다. 관통비아(190)는 상측에서 하측으로 갈수록 폭이 넓어지는 테이퍼 형상을 가질 수 있다. 관통비아(190)는 배선부재(140)의 배선층(142)의 적어도 일부 및/또는 연결구조체(150)의 재배선층(152)의 적어도 일부를 관통할 수 있으며, 그 결과 배선층(142)의 적어도 일부 및/또는 연결구조체(150)의 적어도 일부와 물리적으로 접함으로써, 전기적으로 연결될 수 있다.

[0155] 안테나 기관(200)은 mmWave/5G Antenna를 구현할 수 있는 영역이다. 안테나 기관(200)은 코어부(210), 코어부

(210)의 하측에 배치된 제1빌드업부(220), 코어부(210)의 상측에 배치된 제2빌드업부(230), 제1빌드업부(220)의 하측에 배치된 제1커버층(240), 및 제2빌드업부(230)의 상측에 배치된 제2커버층(250)을 포함한다. 코어부(210)는 코어층(211), 코어층(211)의 하면 및 상면 상에 각각 배치된 제1 및 제2배선층(212a, 212b), 및 코어층(211)을 관통하며 제1 및 제2배선층(212a, 212b)을 전기적으로 연결하는 제1배선비아(213)를 포함한다. 제1빌드업부(220)는 코어층(211)의 하면 상에 배치된 복수의 제1빌드업 절연층(221), 복수의 제1빌드업 절연층(221)의 하면 상에 각각 배치된 복수의 제3배선층(222), 및 복수의 제1빌드업 절연층(221)을 각각 관통하며 서로 다른 층에 배치된 복수의 제3배선층(222)을 전기적으로 연결하며 또한 서로 다른 층에 배치된 제1 및 제3배선층(212a, 222)을 전기적으로 연결하는 제2배선비아(223)를 포함한다. 제2빌드업부(230)는 코어층(211)의 상면 상에 배치된 복수의 제2빌드업 절연층(231), 및 복수의 제2빌드업 절연층(231)의 하면 상에 각각 배치된 복수의 제4배선층(232)을 포함한다. 필요에 따라서, 제2빌드업부(230)도 배선비아(미도시)를 포함할 수 있다.

[0157] 코어층(211)의 재료로는 절연물질이 사용될 수 있는데, 이때 절연물질로는 에폭시 수지와 같은 열경화성 수지, 폴리이미드와 같은 열가소성 수지, 또는 이들과 함께 유리섬유 및/또는 무기필러와 같은 보강재를 포함하는 재료, 예를 들면, 프리프레그 사용될 수 있다. 다만, 코어층(211)의 재료가 수지 물질로 한정되는 것은 아니며, 예컨대 코어층(211)의 재료로 유리판(glass plate)이 사용될 수도 있고, 세라믹 판(Ceramic plate)이 사용될 수도 있다. 빌드업 절연층(221, 231)의 재료로도 절연물질이 사용될 수 있다. 예를 들면, 에폭시 수지와 같은 열경화성 수지, 폴리이미드와 같은 열가소성 수지, 또는 이들에 무기필러와 같은 보강재가 포함된 수지, 구체적으로 ABF 등을 사용할 수 있다. 다만, 필요에 따라서는 빌드업 절연층(221, 231)의 재료로도 프리프레그 등을 사용할 수도 있다. 코어층(211)의 두께는 빌드업 절연층(221, 231) 각각의 층의 두께보다 두꺼울 수 있다.

[0159] 배선층(212a, 212b, 222, 232)의 재료로는 구리(Cu), 알루미늄(Al), 은(Ag), 주석(Sn), 금(Au), 니켈(Ni), 납(Pb), 티타늄(Ti), 또는 이들의 합금 등의 금속 물질을 사용할 수 있다. 복수의 제4배선층(232) 중 최상층 제4배선층(232)은 제1안테나 패턴을 포함할 수 있다. 제1안테나 패턴은 방사를 위한 안테나 패턴일 수 있다. 필요에 따라서는, 복수의 제4배선층(232) 중 다른 레벨의 제4배선층(232)도 제1안테나 패턴을 포함할 수 있다. 이 경우, 각각의 제1안테나 패턴은 서로 평면 상에서 중첩되도록 배치되어 커플링될 수 있다. 예컨대, 커패시턴스를 형성할 수 있다. 제2배선층(212b)은 제1안테나 패턴 보다 하위 레벨에 배치된 제2안테나 패턴을 포함할 수 있다. 제2안테나 패턴은 피딩 패턴을 통하여 RFIC와 전기적으로 연결되는 안테나 패턴일 수 있다. 제1배선층(212a) 및 복수의 제3배선층(222) 중 적어도 하나는, 제1안테나 패턴과 전기적으로 연결되는 피딩 패턴을 포함할 수 있다. 복수의 제4배선층(232), 제1 및 제2배선층(212a, 212b), 및 복수의 제3배선층(222) 중 적어도 하나는, 그라운드 패턴을 포함할 수 있다. 복수의 제4배선층(232), 제1 및 제2배선층(212a, 212b), 및 복수의 제3배선층(222)은 그 외에도 다른 신호 패턴이나 파워 패턴, 또는 저항 패턴 등을 포함할 수 있다.

[0161] 배선비아(213, 223)의 재료로는 구리(Cu), 알루미늄(Al), 은(Ag), 주석(Sn), 금(Au), 니켈(Ni), 납(Pb), 티타늄(Ti), 또는 이들의 합금 등의 금속 물질을 사용할 수 있다. 배선비아(213, 223)는 제2안테나 패턴과 피딩 패턴을 전기적으로 연결하거나, 또는 서로 다른 층에 배치된 피딩 패턴을 전기적으로 연결하는, 피딩 비아를 포함할 수 있다. 또한, 배선비아(213, 223)는 서로 다른 층에 배치된 그라운드 패턴을 전기적으로 연결하는, 그라운드 비아를 포함할 수도 있다. 그 외에도 다른 신호용 비아, 파워용 비아 등을 포함할 수 있다. 제1배선비아(213)는 원기둥 형상 또는 모래시계 형상을 가질 수 있으며, 제2배선비아(223)는 하측에서 상측으로 갈수록 폭이 좁아지는 테이퍼 형상을 가질 수 있다.

[0163] 커버층(240, 250)은 빌드업부(220, 230)의 배선층(222, 232)을 보호할 수 있다. 커버층(240, 250)의 재료로 절연물질이 사용될 수 있으며, 이때 절연물질로는 에폭시 수지와 같은 열경화성 수지, 폴리이미드와 같은 열가소성 수지, 또는 이들과 함께 무기필러와 같은 보강재를 포함하는 재료, 예를 들면, ABF, EMC 등이 사용될 수 있다. 다만, 이에 한정되는 것은 아니며, 이 외에도 감광성 절연물질로써 SR(Solder Resist)가 사용될 수도 있다.

- [0165] 도 11 및 도 12는 도 9의 반도체 패키지의 제조 일례를 개략적으로 나타낸 공정도다.
- [0167] 도 11을 참조하면, 먼저, 안테나 기판(200)을 준비한다. 안테나 기판(200)은 동박적층판(CCL: Copper Clad Laminate) 등을 이용하여, 이를 중심으로 양측 방향으로 도금 공정과 빌드업 공정을 필요에 따라서 반복하여 준비할 수 있다. 또한, 코어구조체(105)를 준비한다. 코어구조체(105)는 동박적층판(CCL) 등을 이용하여 프레임(110)을 형성하고, 프레임(110)에 제2관통부(110H)를 형성 한 후, 제2관통부(110H)에 수동부품(125)을 배치하고, 제2봉합재(132)로 봉합한 후, 하측에 배선부재(140)를 형성하고, 제조된 구조체를 관통하는 제1관통부(105H)를 형성하여 준비할 수 있다. 다음으로, 테이프(410)를 이용하여 코어구조체(105)의 제1관통부(105H)에 반도체칩(120)을 페이스-다운 형태로 배치하고, 제1봉합재(131)로 봉합한다. 다음으로, 안테나 기판(200)을 캐리어로 이용하여 테이프(410)를 제거한 영역에 연결구조체(150)를 형성한다.
- [0169] 도 12를 참조하면, 다음으로, 계속하여 안테나 기판(200)을 캐리어로 이용하여 연결구조체(150)의 하측에 패시베이션층(160)을 형성한다. 그 후, 패시베이션층(160)을 관통하는 개구를 형성한다. 개구를 형성할 때 재배선층(152)이 스타퍼층으로 이용될 수 있다. 또한, 패시베이션층(160)과 연결구조체(150)와 코어구조체(105)와 제1봉합재(131)와 제1커버층(240)을 관통하는 관통비아를 위한 비아홀도 형성한다. 비아홀을 형성할 때 최하측 배선층(222)이 스타퍼층으로 이용될 수 있다. 개구 및 비아홀은 레이저 드릴 등을 이용할 수 있다. 그 후, 도금 공정으로 관통비아(190)와 제1 및 제2언더범프금속(170, 170')을 형성한다. 다음으로, 계속하여 안테나 기판(200)을 캐리어로 이용하여, 필요에 따라서, 패시베이션층(160)의 하측에 제1 및 제2언더범프금속(170, 170')과 각각 연결되는 제1 및 제2전기연결금속(180, 180')을 형성한다. 리플로우 공정을 거치면, 상술한 일례에 따른 반도체 패키지(300A)가 제조될 수 있다.
- [0171] 도 13은 반도체 패키지의 다른 일례를 개략적으로 나타낸 단면도다.
- [0173] 도면을 참조하면, 다른 일례에 따른 반도체 패키지(300B)는, 상술한 일례에 따른 반도체 패키지(300A)에 있어서, 반도체 기판(100B)의 코어구조체(105)가 제1관통부(105H)의 내측 벽면 상에 배치되는 제2금속층(107)을 더 포함한다. 이를 통하여, 반도체칩(120)과 수동부품(125) 사이의 전자파 상호 간섭을 효과적으로 차폐할 수 있다. 또한, 방열 효과를 더욱 개선할 수 있다. 제2금속층(107)은 제1관통부(105H)의 내측 벽면 전체에 배치될 수 있으며, 필요에 따라서 제2봉합재(132)의 상면으로 연장되어 배치될 수 있다. 또한, 배선부재(140)의 하면으로도 연장되어 배치될 수 있다. 제2금속층(107)의 형성물질로는 구리(Cu), 알루미늄(Al), 은(Ag), 주석(Sn), 금(Au), 니켈(Ni), 납(Pb), 티타늄(Ti), 또는 이들의 합금 등의 금속 물질을 사용할 수 있다. 제2금속층(107)은 공지의 도금 공정으로 형성될 수 있으며, 각각 시드층 및 도금층을 포함할 수 있다. 제2금속층(107) 역시 필요에 따라서 그라운드 플레인(Ground Plane)으로 이용될 수 있으며, 이 경우 관통비아(190)를 통하여 배선층(142) 중 그라운드 패턴 및/또는 재배선층(152) 중 그라운드 패턴과 전기적으로 연결될 수 있다. 그 외에 다른 내용은 일례에 따른 반도체 패키지(300A)에서 설명한 바와 실질적으로 동일하나, 자세한 설명은 생략한다.
- [0175] 본 개시에서 하측, 하부, 하면 등은 편의상 도면의 단면을 기준으로 아래쪽 방향을 의미하는 것으로 사용하였고, 상측, 상부, 상면 등은 그 반대 방향을 의미하는 것으로 사용하였다. 다만, 이는 설명의 편의상 방향을 정의한 것으로, 특허청구범위의 권리범위가 이러한 방향에 대한 기재에 의하여 특별히 한정되는 것이 아님은 물론이며, 상/하의 개념은 언제든지 바뀔 수 있다.
- [0177] 본 개시에서 연결된다는 의미는 직접 연결된 것뿐만 아니라, 접촉체 층 등을 통하여 간접적으로 연결된 것을 포함하는 개념이다. 또한, 전기적으로 연결된다는 의미는 물리적으로 연결된 경우와 연결되지 않은 경우를 모두 포함하는 개념이다. 또한, 제1, 제2 등의 표현은 한 구성요소와 다른 구성요소를 구분 짓기 위해 사용되는 것으로, 해당 구성요소들의 순서 및/또는 중요도 등을 한정하지 않는다. 경우에 따라서는 권리범위를 벗어나지 않으면서, 제1 구성요소는 제2 구성요소로 명명될 수도 있고, 유사하게 제2 구성요소는 제1 구성요소로 명명될 수

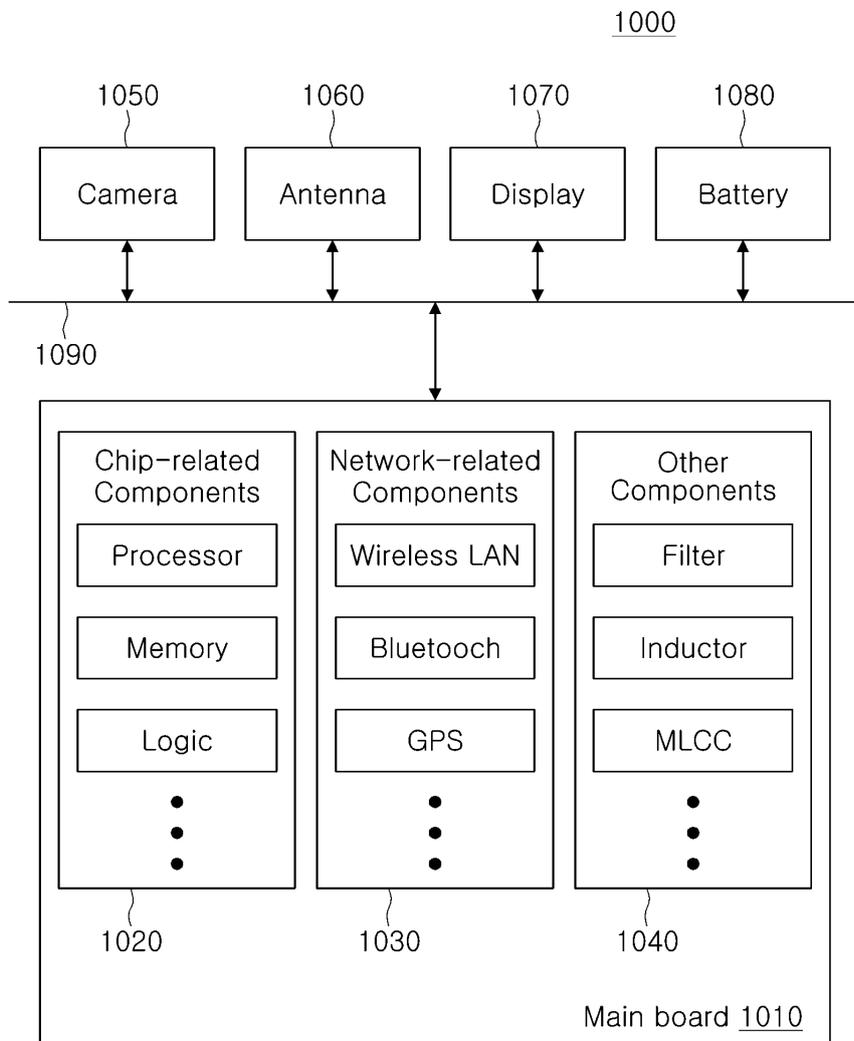
도 있다.

[0179] 본 개시에서 사용된 일례 라는 표현은 서로 동일한 실시 예를 의미하지 않으며, 각각 서로 다른 고유한 특징을 강조하여 설명하기 위해서 제공된 것이다. 그러나, 상기 제시된 일례들은 다른 일례의 특징과 결합되어 구현되는 것을 배제하지 않는다. 예를 들어, 특정한 일례에서 설명된 사항이 다른 일례에서 설명되어 있지 않더라도, 다른 일례에서 그 사항과 반대되거나 모순되는 설명이 없는 한, 다른 일례에 관련된 설명으로 이해될 수 있다.

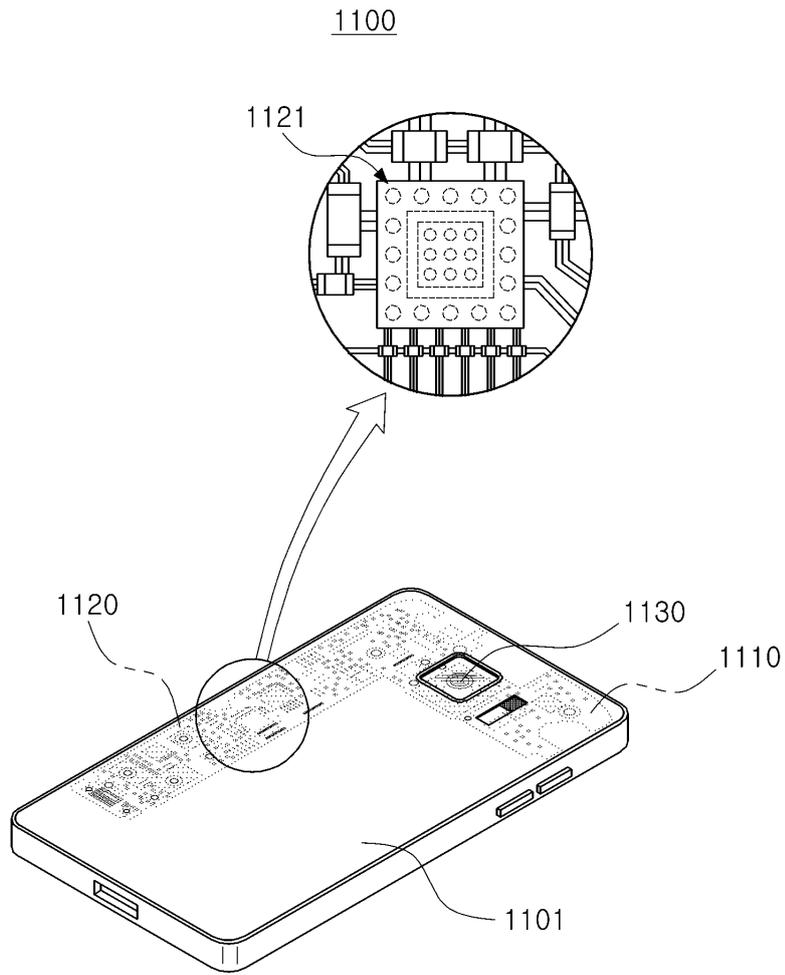
[0181] 본 개시에서 사용된 용어는 단지 일례를 설명하기 위해 사용된 것으로, 본 개시를 한정하려는 의도가 아니다. 이때, 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

도면

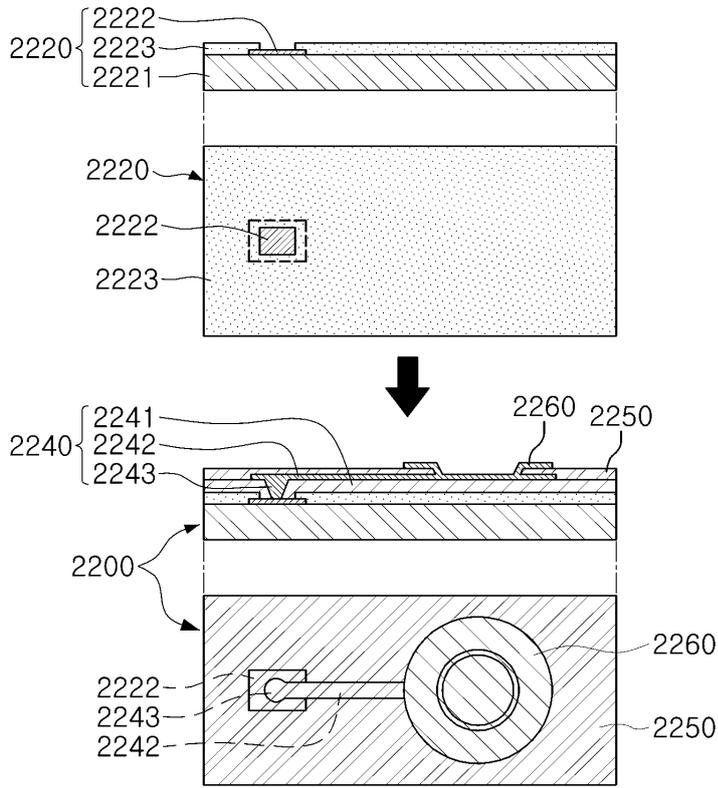
도면1



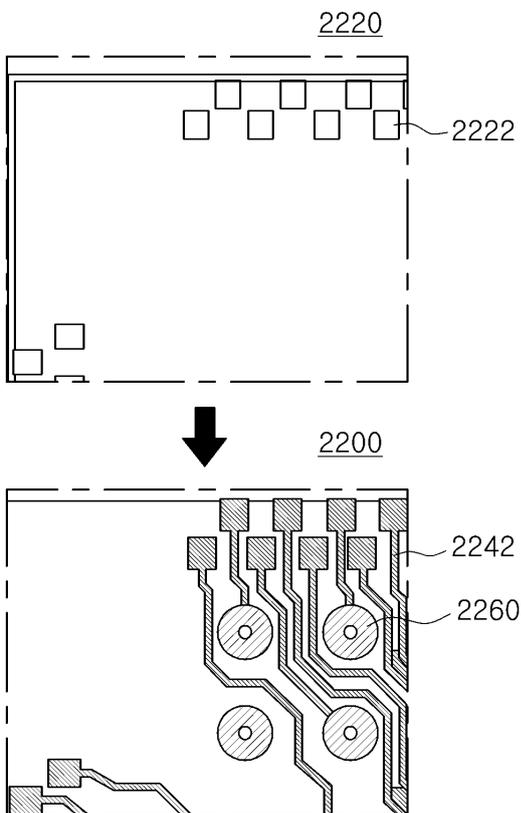
도면2



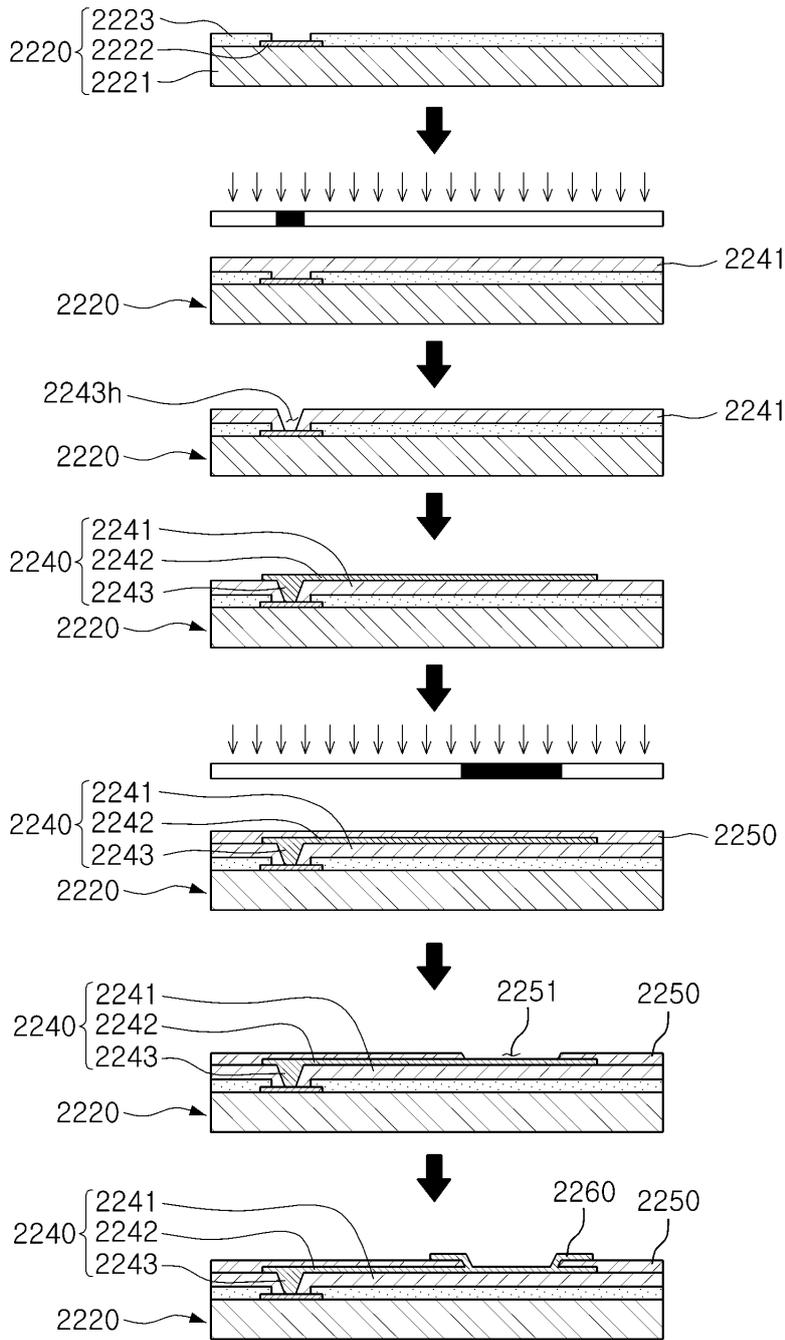
도면3a



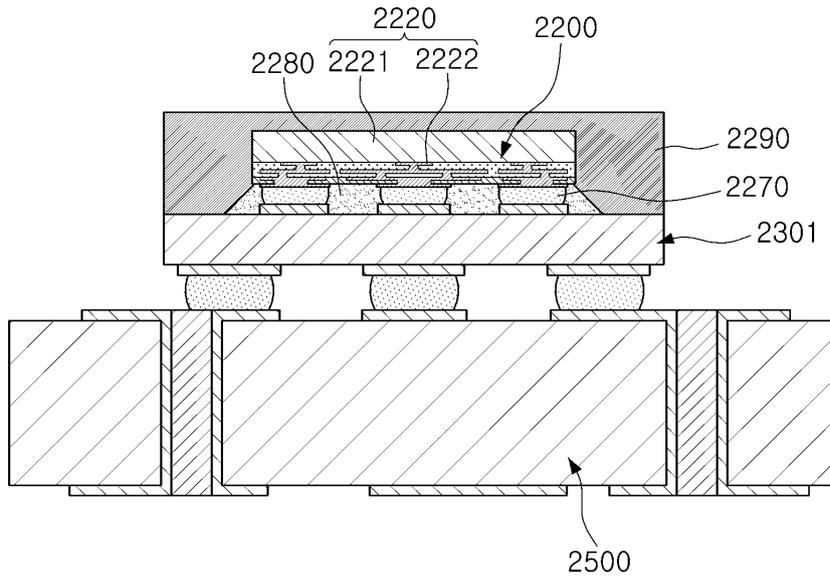
도면3b



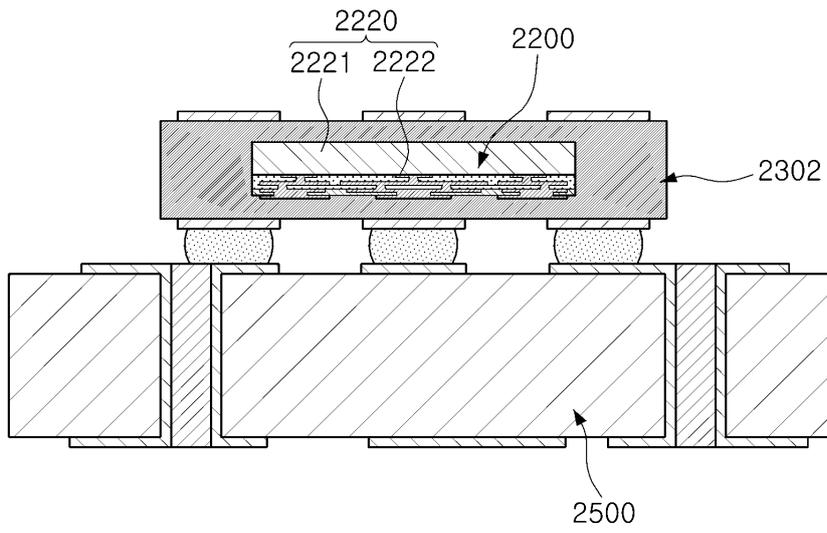
도면4



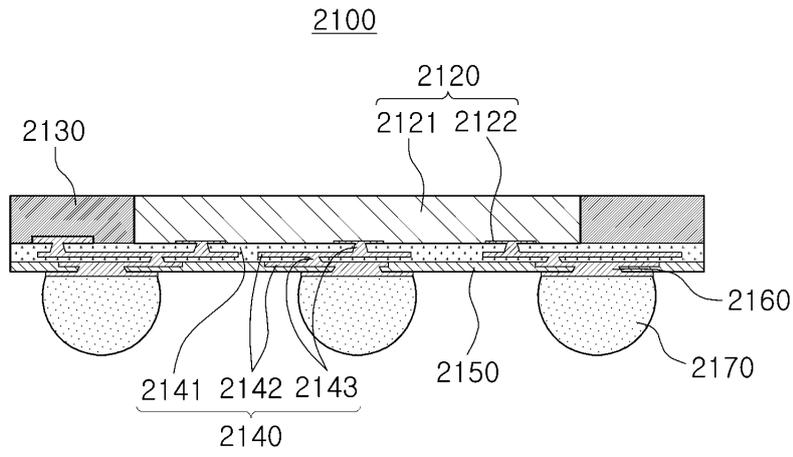
도면5



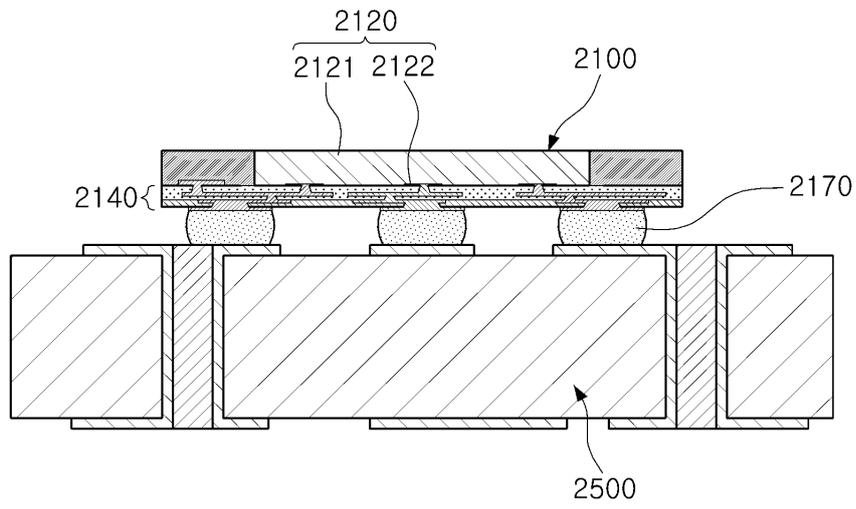
도면6



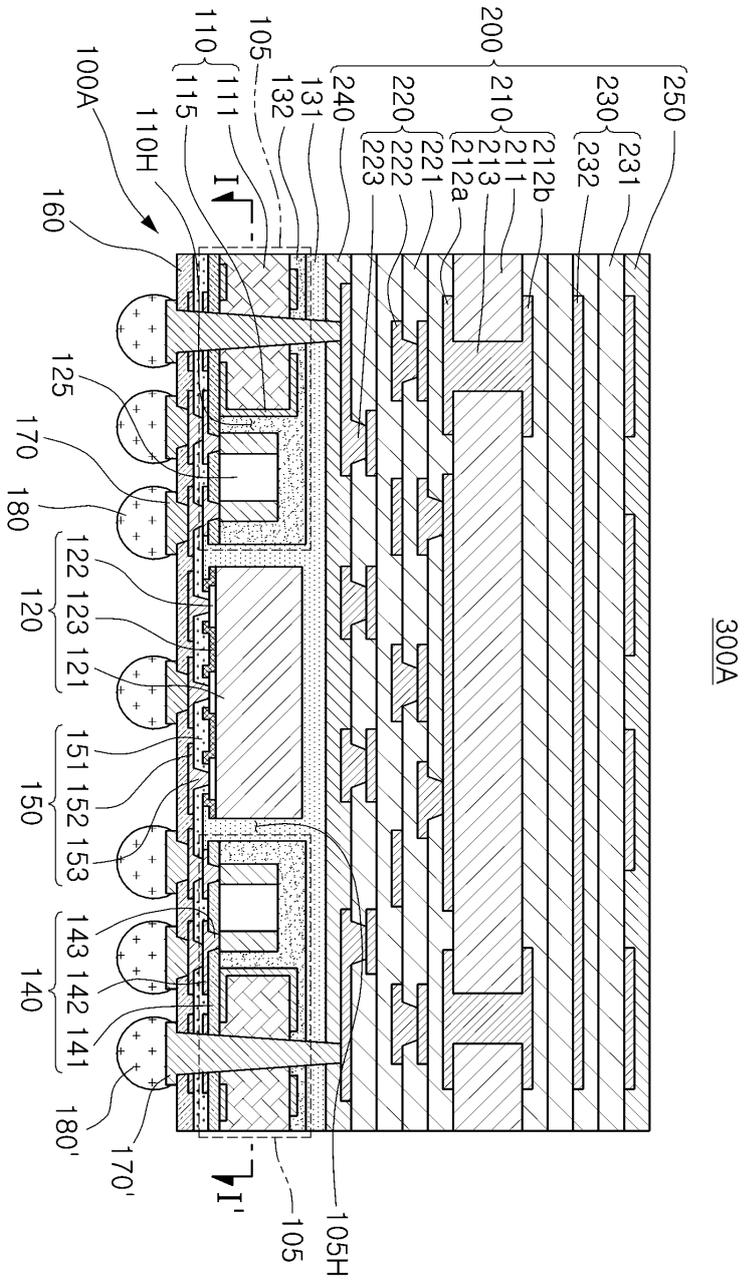
도면7



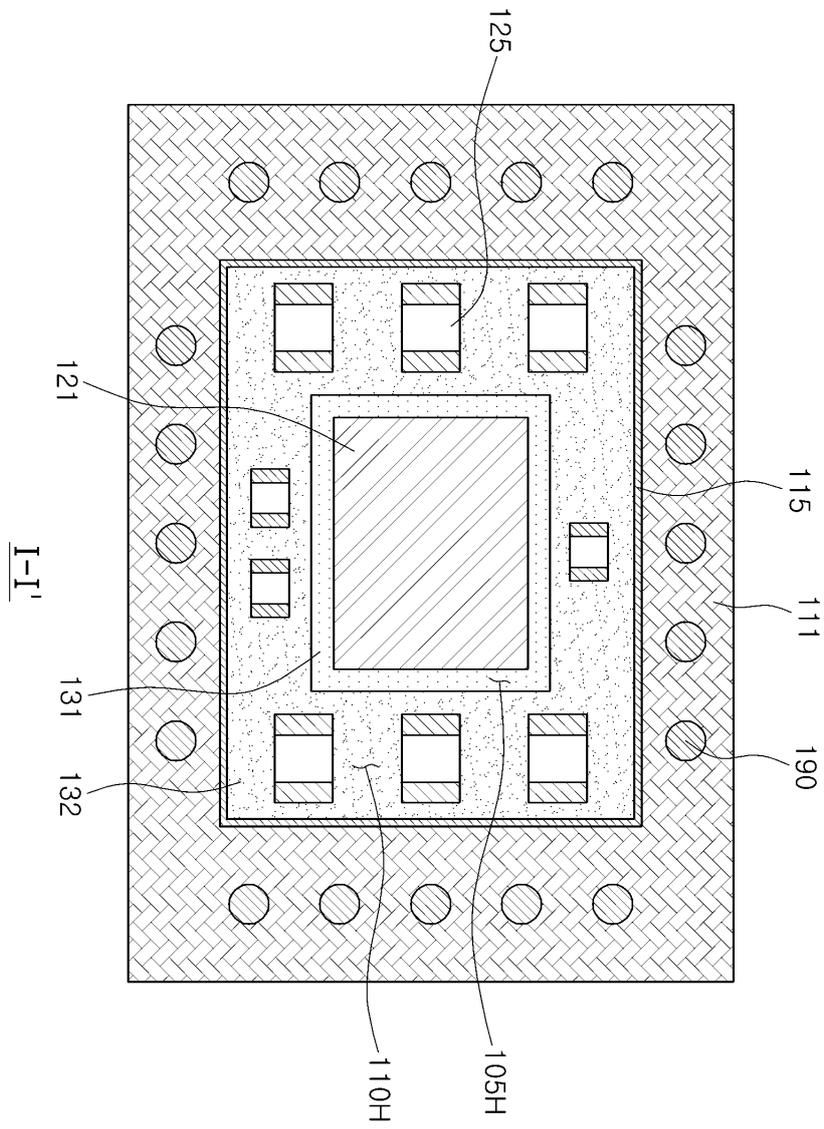
도면8



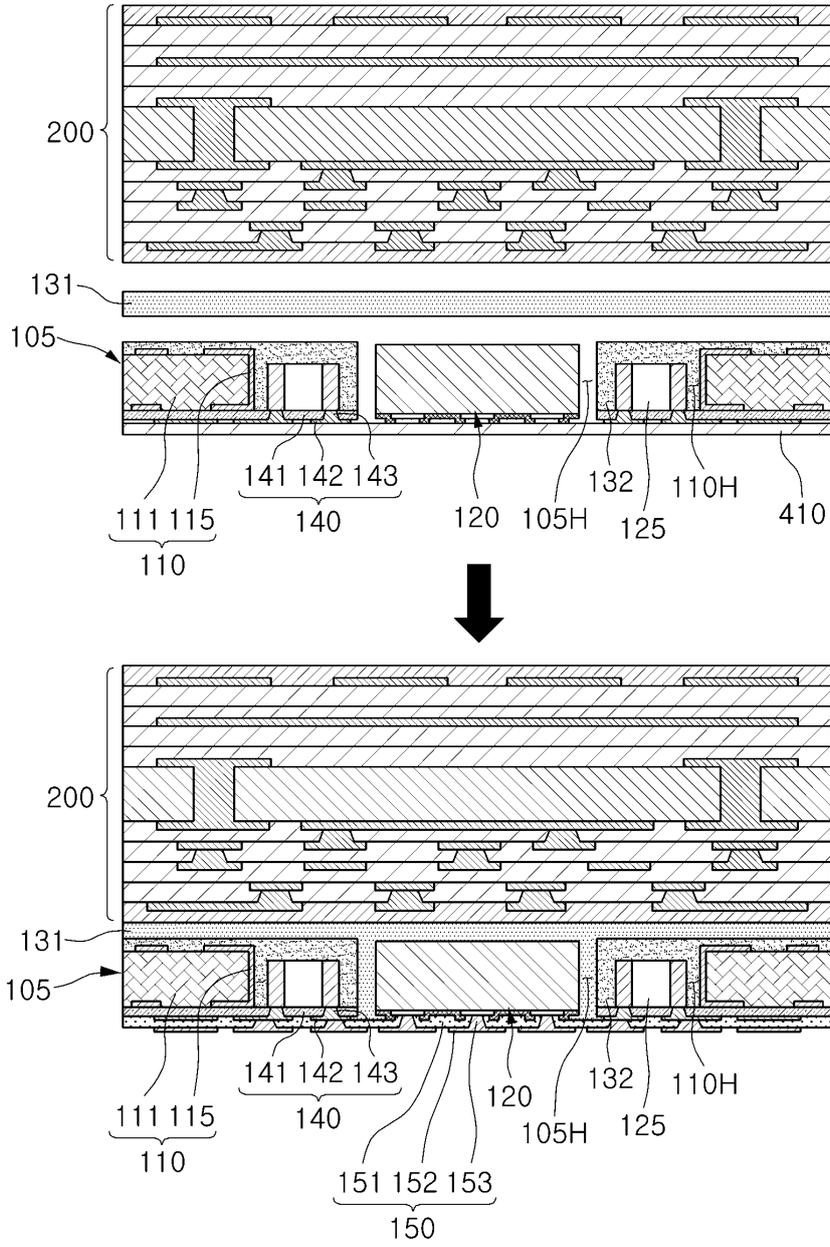
도면9



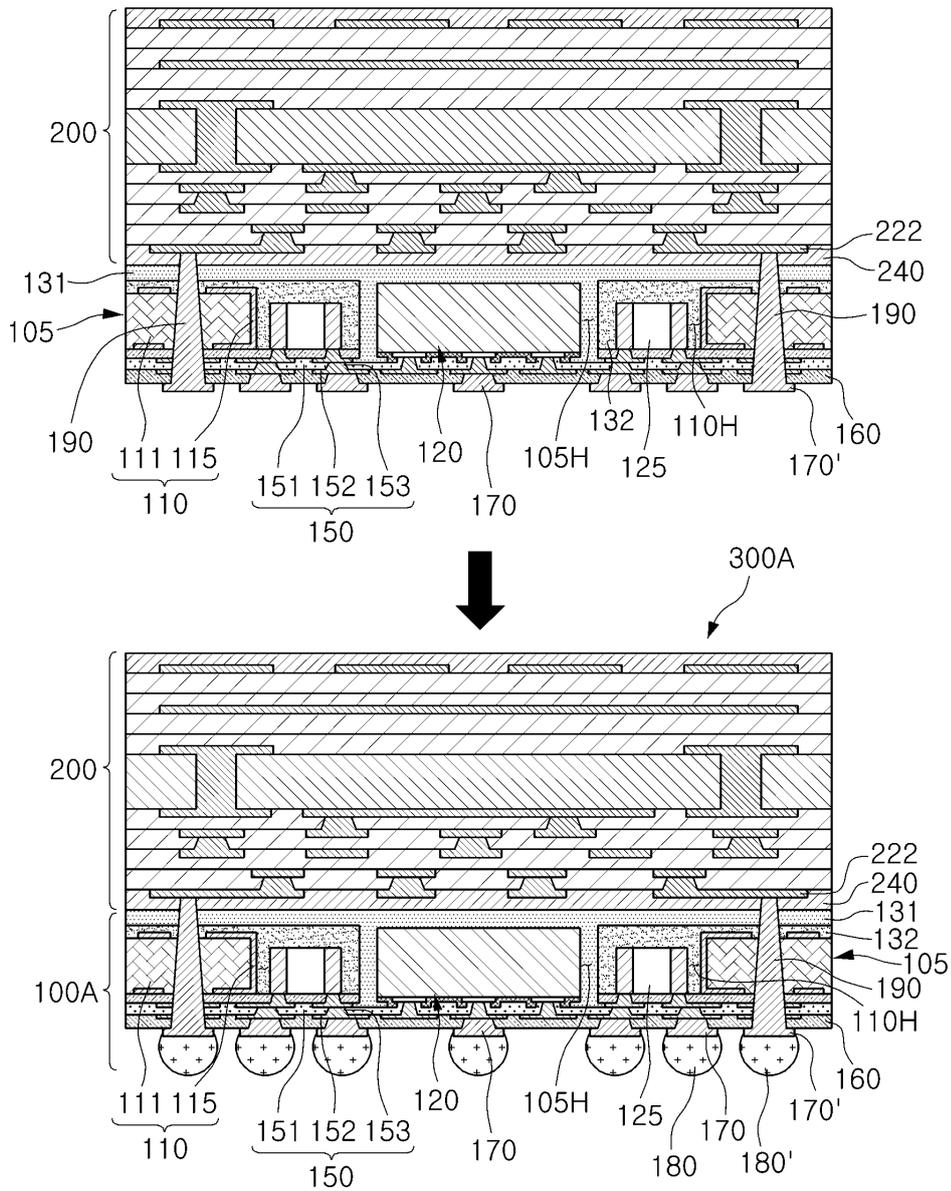
도면10



도면11



도면12



도면13

