

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-251348  
(P2005-251348A)

(43) 公開日 平成17年9月15日(2005.9.15)

(51) Int. Cl.<sup>7</sup>

G11C 19/00  
G09G 3/20

F I

G11C 19/00 J  
G09G 3/20 622E  
G09G 3/20 623H

テーマコード(参考)

5C080

審査請求 未請求 請求項の数 15 O L (全 31 頁)

(21) 出願番号 特願2004-63902(P2004-63902)  
(22) 出願日 平成16年3月8日(2004.3.8)

(71) 出願人 000001443  
カシオ計算機株式会社  
東京都渋谷区本町1丁目6番2号  
(74) 代理人 100096699  
弁理士 鹿嶋 英實  
(72) 発明者 両澤 克彦  
東京都八王子市石川町2951番地の5  
カシオ計算機株式会  
社八王子技術センター内  
Fターム(参考) 5C080 AA06 AA07 AA10 BB05 DD23  
DD24 FF12 JJ02 JJ03 JJ04  
JJ06

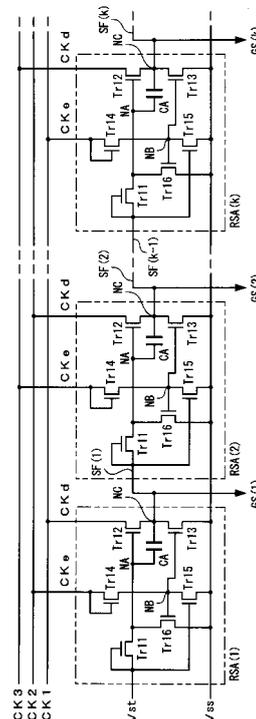
(54) 【発明の名称】 シフトレジスタ回路及びその駆動制御方法

(57) 【要約】

【課題】 クロックパルスの供給ラインの占める回路面積を削減しつつ、クロックパルス生成のための処理負担を低減することができるシフトレジスタ回路及びその駆動制御方法を提供する。

【解決手段】 シフトレジスタ回路は、順次直列に接続された複数段の信号保持ブロックRSA(k)を備え、各段の信号保持ブロックRSA(k)の出力信号が、外部出力信号GS(k)として取り出されるとともに、次段の信号保持ブロックRSA(k+1)にシフト信号SF(k)として供給されるように構成されている。また、各信号保持ブロックRSA(k)には、当該順列番号kに応じて、3相のクロックパルスCK1、CK2、CK3から、異なる位相を有する2つのクロックパルスが選択的に設定される。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

直列に接続された複数段の信号保持手段を備え、各段の前記信号保持手段に順次入力される入力信号に基づいて、前記信号保持手段の各々から出力信号を、順次出力するシフトレジスタ回路において、

前記信号保持手段の各々は、少なくとも、

第 1 の動作タイミングで前記入力信号を取り込む入力制御部と、

前記第 1 の動作タイミングで取り込まれた前記入力信号の信号レベルに基づいて、第 2 の動作タイミングで第 1 の信号レベルを有する前記出力信号を出力する出力制御部と、

第 3 の動作タイミングで前記出力制御部から第 2 の信号レベルに確定された前記出力信号を出力する信号レベル確定部と、

を備え、

前記第 2 の動作タイミングは、相互に位相が異なる 3 相の駆動パルスから選択された第 1 の制御クロックにより設定され、

前記第 3 の動作タイミングは、前記 3 相の駆動パルスから選択された第 2 の制御クロックにより設定され、

前記第 1 及び第 2 の制御クロックは、相互に異なる位相を有し、かつ、前記信号保持手段の順列番号ごとに位相が異なるように設定されていることを特徴とするシフトレジスタ回路。

## 【請求項 2】

前記 3 相の駆動パルスは、相互に 120 度の位相差を有するように設定されていることを特徴とする請求項 1 記載のシフトレジスタ回路。

## 【請求項 3】

直列に接続された複数段の信号保持手段を備え、各段の前記信号保持手段に順次入力される入力信号に基づいて、前記信号保持手段の各々から出力信号を、順次出力するシフトレジスタ回路において、

前記信号保持手段の各々は、少なくとも、

第 1 の動作タイミングで前記入力信号を取り込む入力制御部と、

前記第 1 の動作タイミングで取り込まれた前記入力信号の信号レベルに基づいて、第 2 の動作タイミングで第 1 の信号レベルを有する前記出力信号を出力する出力制御部と、

第 3 の動作タイミングで前記出力制御部から第 2 の信号レベルに確定された前記出力信号を出力する信号レベル確定部と、

を備え、

前記第 2 の動作タイミングは、相互に位相が異なる 2 相の駆動パルスから選択された第 1 の制御クロックにより設定され、

前記第 3 の動作タイミングは、次段の前記信号保持手段から出力される前記出力信号からなる第 2 の制御クロックにより設定され、

前記第 1 及び第 2 の制御クロックは、相互に異なる位相を有し、かつ、前記第 1 の制御クロックは、前記信号保持手段の順列番号ごとに位相が異なるように設定されていることを特徴とするシフトレジスタ回路。

## 【請求項 4】

前記 2 相の駆動パルスは、相互に 180 度の位相差を有するように設定されていることを特徴とする請求項 3 記載のシフトレジスタ回路。

## 【請求項 5】

前記入力制御部は、少なくとも、電流路の一端側及び制御端子に前記入力信号が供給されるとともに、他端側に前記出力制御部の動作状態を制御する第 1 の制御接点が接続された第 1 のスイッチ手段を備え、

前記出力制御部は、少なくとも、電流路の一端側に前記第 1 の制御クロックが供給されるとともに、他端側に前記出力信号の出力接点が接続され、制御端子に前記第 1 の制御接点が接続された第 2 のスイッチ手段を備え、

10

20

30

40

50

前記信号レベル確定部は、少なくとも、電流路の一端側に所定の電源電圧が接続されるとともに、他端側に前記出力信号の出力接点が接続され、制御端子に第2の制御接点が接続された第3のスイッチ手段と、電流路の一端側及び制御端子に前記第2の制御クロックが供給されるとともに、前記第2の制御接点に接続された第4のスイッチ手段と、電流路の一端側に前記電源電圧が接続されるとともに、他端側に前記第1の制御接点が接続され、制御端子に第2の制御接点が接続された第5のスイッチ手段と、を備えることを特徴とする請求項1乃至4のいずれかに記載のシフトレジスタ回路。

【請求項6】

前記信号レベル確定部は、前記第3乃至第5のスイッチ手段に加え、さらに、電流路の一端側に前記電源電圧が接続されるとともに、他端側に前記第2の制御接点が接続され、制御端子に前記入力信号が供給される第6のスイッチ手段を備えていることを特徴とする請求項5記載のシフトレジスタ回路。

10

【請求項7】

前記信号レベル確定部は、前記第2の動作タイミングで前記第3のスイッチ手段を非導通状態に保持するように、前記第2の制御接点の信号レベルを前記電源電圧に基づく信号レベルに確定する電圧制御手段を備えていることを特徴とする請求項5又は6記載のシフトレジスタ回路。

【請求項8】

前記電圧制御手段は、前記第2の接続接点と前記電源電圧との間に接続された容量素子であることを特徴とする請求項7記載のシフトレジスタ回路。

20

【請求項9】

前記電圧制御手段は、電流路の一端側に前記第2の接続接点が接続されるとともに、他端側に前記電源電圧が接続され、制御端子に前記出力接点が接続された第7のスイッチ手段であることを特徴とする請求項7記載のシフトレジスタ回路。

【請求項10】

少なくとも、前記第1乃至第7のスイッチ手段は、 $n$ チャンネル型の電界効果型トランジスタであることを特徴とする請求項5乃至9のいずれかに記載のシフトレジスタ回路。

【請求項11】

少なくとも、前記第1乃至第7のスイッチ手段は、アモルファスシリコン半導体を用いた薄膜トランジスタであることを特徴とする請求項10記載のシフトレジスタ回路。

30

【請求項12】

前記複数段の信号保持手段は、初段の前記信号保持手段に入力された前記入力信号の信号レベルに基づいて、各段の前記信号保持手段から前記出力信号を取り出すとともに、前記出力信号をシフト信号として、順次次段の前記信号保持手段に出力することを特徴とする請求項1乃至11のいずれかに記載のシフトレジスタ回路。

【請求項13】

直列に接続された複数段の信号保持手段を備え、各段の前記信号保持手段に順次入力される入力信号に基づいて、前記信号保持手段の各々から出力信号を、順次出力するシフトレジスタ回路の駆動制御方法において、

40

第1の動作タイミングで前記入力信号を取り込むステップと、

相互に位相が異なる3相の駆動パルスから選択された第1の制御クロックにより設定された第2の動作タイミングで、前記第1の動作タイミングで取り込まれた前記入力信号の信号レベルに基づいて、第1の信号レベルを有する前記出力信号を出力するステップと、

前記3相の駆動パルスから選択され、前記第1の制御クロックとは異なる位相を有する第2の制御クロックにより設定された第3の動作タイミングで、前記出力制御部から第2の信号レベルに確定された前記出力信号を出力するステップと、

前記第1の制御クロック及び前記第2の制御クロックの位相を、前記信号保持手段の順列番号ごとに変化させるステップと、

を含むことを特徴とするシフトレジスタ回路の駆動制御方法。

【請求項14】

50

直列に接続された複数段の信号保持手段を備え、各段の前記信号保持手段に順次入力される入力信号に基づいて、前記信号保持手段の各々から出力信号を、順次出力するシフトレジスタ回路の駆動制御方法において、

第1の動作タイミングで前記入力信号を取り込むステップと、

相互に位相が異なる2相の駆動パルスから選択された第1の制御クロックにより設定された第2の動作タイミングで、前記第1の動作タイミングで取り込まれた前記入力信号の信号レベルに基づいて、第1の信号レベルを有する前記出力信号を出力するステップと、

次段の前記信号保持手段から出力される前記出力信号からなる第2の制御クロックにより設定された第3の動作タイミングで、前記出力制御部から第2の信号レベルに確定された前記出力信号を出力するステップと、

10

前記第1の制御クロックの位相を、前記信号保持手段の順列番号ごとに変化させるステップと、

を含むことを特徴とするシフトレジスタ回路の駆動制御方法。

#### 【請求項15】

前記信号保持手段の各々は、少なくとも、電流路の一端側及び制御端子に前記入力信号が供給されるとともに、他端側に第1の制御接点が接続された第1のスイッチ手段と、電流路の一端側に前記第1の制御クロックが供給されるとともに、他端側に前記出力信号の出力接点が接続され、制御端子に前記第1の制御接点が接続された第2のスイッチ手段と、電流路の一端側に所定の電源電圧が接続されるとともに、他端側に前記出力信号の出力接点が接続され、制御端子に第2の制御接点が接続された第3のスイッチ手段と、電流路の一端側及び制御端子に前記第2の制御クロックが供給されるとともに、前記第2の制御接点に接続された第4のスイッチ手段と、電流路の一端側に前記電源電圧が接続されるとともに、他端側に前記第1の制御接点が接続され、制御端子に第2の制御接点が接続された第5のスイッチ手段と、を備え、

20

前記第1の信号レベルを有する前記出力信号を出力するステップは、前記第3のスイッチ手段を非導通状態に保持するように、前記第2の制御接点の信号レベルを前記電源電圧に基づく信号レベルに確定するステップを含むことを特徴とする請求項13又は14記載のシフトレジスタ回路の駆動制御方法。

#### 【発明の詳細な説明】

#### 【技術分野】

30

#### 【0001】

本発明は、シフトレジスタ回路及びその駆動制御方法に関し、特に、表示装置又は画像読取装置に適用して良好なシフトレジスタ回路及びその駆動制御方法に関する。

#### 【背景技術】

#### 【0002】

近年、コンピュータや携帯電話、携帯情報端末等の情報機器や、デジタルビデオカメラやデジタルスチルカメラ、スキャナ等の撮像機器の普及が著しい。このような機器においては、液晶表示装置(Liquid Crystal Display; LCD)等の表示手段や、フォトセンサアレイ等の画像読取手段又は撮像手段が多用されるようになっている。

#### 【0003】

40

例えば、アクティブマトリクス駆動方式の液晶表示装置においては、薄膜トランジスタからなる画素トランジスタを備えた表示画素(液晶画素)がマトリクス状に配列され、各表示画素を行方向に接続する走査ラインと列方向に接続するデータラインとを備えた表示パネルに対して、走査ドライバにより各走査ラインを順次選択状態とし、データドライバにより各データラインに所定の信号電圧を印加して、選択状態にある表示画素に対して画像情報に応じた信号電圧を印加することにより、各表示画素における液晶の配向状態を制御して所望の画像情報を表示するように構成されている。ここで、走査ドライバには、各走査ラインを順次選択状態に設定するための走査信号を生成、出力する構成としてシフトレジスタ回路が設けられている。

#### 【0004】

50

また、フォトセンサ（読取画素）をマトリクス状に配列して構成されたフォトセンサアレイを備えた画像読取装置においても、フォトセンサのリセット動作や画像読取動作の際に、各行のフォトセンサを順次駆動状態にするための走査ドライバが備えられており、上記液晶表示装置における場合と同様に、駆動信号を生成、出力するシフトレジスタ回路が設けられている。

#### 【0005】

図17は、従来技術におけるシフトレジスタ回路の一例を示す回路構成図である。

従来技術におけるシフトレジスタ回路は、概略、図17に示すように、複数段の回路ブロックSBP1、SBP2、SBP3、・・・（以下、「回路ブロックSBPs」と記す；sは任意の正の整数）が直列に接続され、各段の回路ブロックSBPsからのシフト信号SFP1、SFP2、SFP3、・・・（以下、「シフト信号SFPs」と記す）が順次、次段の回路ブロックSBP(s+1)の入力信号として入力されるとともに、該シフト信号SFPsが外部出力信号Pout1、Pout2、Pout3、・・・（以下、「外部出力信号Pouts」と記す）としてシフトレジスタ回路外部に順次出力されるように構成されている。

10

#### 【0006】

上述した各回路ブロックSBPs（便宜的に、回路ブロックSBP1について説明する）は、例えば、図17に示すように、ゲート端子及びソース端子にスタートパルスVPst（又は、前段の回路ブロックSBP(s-1)のシフト信号SFP(s-1)）が印加され、ドレイン端子に接点NPAが接続された電界効果型のトランジスタTP11と、ゲート端子に接点NPAが接続され、ソース端子にクロックパルスCKPf（fは、回路ブロックの順列番号（段番号）“s”を4で除算した余りxが1～3の場合には、当該余りxの数に応じた数値（f=1～3）であり、余りxが0の場合には、f=4とする）の供給ラインが接続され、ドレイン端子に接点NPCが接続された電界効果型のトランジスタTP12と、ゲート端子に接点NPBが接続され、ソース端子及びドレイン端子に接点NPC及び所定の低電位電圧（例えば、接地電圧）Vssが各々接続された電界効果型のトランジスタTP13と、ゲート端子及びソース端子にクロックパルスCKPg（gは、回路ブロックの順列番号（段番号）“s”に2を加算した数（s+2）を4で除算した余りyが1～3の場合には、当該余りyの数に応じた数値（g=1～3）であり、余りyが0の場合には、g=4とする）の供給ラインが接続され、ドレイン端子に接点NPBが接続された電界効果型のトランジスタTP14と、ゲート端子にスタートパルスVPstが印加され、ソース端子及びドレイン端子に接点NPB及び低電位電圧Vssが各々接続された電界効果型のトランジスタTP15と、ゲート端子に接点NPBが接続され、ソース端子及びドレイン端子に接点NPA及び低電位電圧Vssが各々接続された電界効果型のトランジスタTP16と、を有して構成されている。

20

30

#### 【0007】

ここで、接点NPCにおける信号レベルが、各回路ブロックSBPsにおけるシフト信号SFPsとして、次段の回路ブロックSBP(s+1)に入力されるとともに、外部出力信号Poutsとして取り出される。また、クロックパルスCKPf及びCKPgは、4相（種類）のクロックパルスCKP1～CKP4から、上記順列番号（段番号）sに基づいて、選択的に設定される。

40

なお、各回路ブロックSBPsを構成する上記電界効果型のトランジスタTP11～TP16は、いずれもpチャネル型のポリシリコンからなる半導体層を用いた薄膜トランジスタ（ポリシリコン薄膜トランジスタ）が適用されている。なお、このような回路構成を有するシフトレジスタ回路については、例えば、非特許文献1等に詳しく記載されている。

#### 【0008】

そして、このようなシフトレジスタ回路を、表示装置や画像読取装置の走査ドライバに適用することにより、例えば、表示パネルに配列された表示画素や、フォトセンサアレイに配列されたフォトセンサを、各段の回路ブロックから出力される外部出力信号（走査信号や選択信号に相当する）に応じて、行ごとに順次選択状態に設定して、表示動作や画像

50

読取動作を実行する線順次選択動作が行われる。

【0009】

【非特許文献1】Yong-Min HA, "P-type Technology for Large Size Low Temperature Poly-Si TFT-LCDs" SID 00 DIGEST, pp.1116-1119, 2000.

【発明の開示】

【発明が解決しようとする課題】

【0010】

しかしながら、上述したようなシフトレジスタ回路においては、以下に示すような課題を有していた。

すなわち、図17に示したシフトレジスタ回路においては、位相が異なる4相のクロックパルスCKN1~CKN4を供給し、各回路ブロックSBPsに所定のタイミングでクロックパルスCKPf、CKPgとして印加することにより、各段の回路ブロックSBPsからシフト信号SFNs及び外部出力信号OUTsを順次出力する制御方法を適用しているため、クロックパルスを供給するための信号ライン(供給ライン)の本数が多く、供給ラインの取り回しによりシフトレジスタ回路の回路規模が大きくなるという問題を有している。

10

また、シフトレジスタ回路の制御動作に必要とするクロックパルスの相数が多いため、これらのクロックパルスを生成、供給制御するための外部制御回路における処理負担も大きくなるという問題も有している。

【0011】

20

そこで、本発明は、上記問題点に鑑み、クロックパルスの相数を少なくして、該クロックパルスの供給ラインの占める回路面積を削減しつつ、クロックパルス生成制御のための外部制御回路の処理負担を低減することができるシフトレジスタ回路及びその駆動制御方法を提供することを目的とする。

【課題を解決するための手段】

【0012】

請求項1記載の発明は、直列に接続された複数段の信号保持手段を備え、各段の前記信号保持手段に順次入力される入力信号に基づいて、前記信号保持手段の各々から出力信号を、順次出力するシフトレジスタ回路において、前記信号保持手段の各々は、少なくとも、第1の動作タイミングで前記入力信号を取り込む入力制御部と、前記第1の動作タイミ  
ングで取り込まれた前記入力信号の信号レベルに基づいて、第2の動作タイミングで第1の信号レベルを有する前記出力信号を出力する出力制御部と、第3の動作タイミングで前記出力制御部から第2の信号レベルに確定された前記出力信号を出力する信号レベル確定部と、を備え、前記第2の動作タイミングは、相互に位相が異なる3相の駆動パルスから選択された第1の制御クロックにより設定され、前記第3の動作タイミングは、前記3相の駆動パルスから選択された第2の制御クロックにより設定され、前記第1及び第2の制御クロックは、相互に異なる位相を有し、かつ、前記信号保持手段の順列番号ごとに位相が異なるように設定されていることを特徴とする。

30

請求項2記載の発明は、請求項1記載のシフトレジスタ回路において、前記3相の駆動パルスは、相互に120度の位相差を有するように設定されていることを特徴とする。

40

【0013】

請求項3記載の発明は、直列に接続された複数段の信号保持手段を備え、各段の前記信号保持手段に順次入力される入力信号に基づいて、前記信号保持手段の各々から出力信号を、順次出力するシフトレジスタ回路において、前記信号保持手段の各々は、少なくとも、第1の動作タイミングで前記入力信号を取り込む入力制御部と、前記第1の動作タイミ  
ングで取り込まれた前記入力信号の信号レベルに基づいて、第2の動作タイミングで第1の信号レベルを有する前記出力信号を出力する出力制御部と、第3の動作タイミングで前記出力制御部から第2の信号レベルに確定された前記出力信号を出力する信号レベル確定部と、を備え、前記第2の動作タイミングは、相互に位相が異なる2相の駆動パルスから選択された第1の制御クロックにより設定され、前記第3の動作タイミングは、次段の前

50

記信号保持手段から出力される前記出力信号からなる第2の制御クロックにより設定され、前記第1及び第2の制御クロックは、相互に異なる位相を有し、かつ、前記第1の制御クロックは、前記信号保持手段の順列番号ごとに位相が異なるように設定されていることを特徴とする。

請求項4記載の発明は、請求項3記載のシフトレジスタ回路において、前記2相の駆動パルスは、相互に180度の位相差を有するように設定されていることを特徴とする。

【0014】

請求項5記載の発明は、請求項1乃至4のいずれかに記載のシフトレジスタ回路において、前記入力制御部は、少なくとも、電流路の一端側及び制御端子に前記入力信号が供給されるとともに、他端側に前記出力制御部の動作状態を制御する第1の制御接点が接続された第1のスイッチ手段を備え、前記出力制御部は、少なくとも、電流路の一端側に前記第1の制御クロックが供給されるとともに、他端側に前記出力信号の出力接点が接続され、制御端子に前記第1の制御接点が接続された第2のスイッチ手段を備え、前記信号レベル確定部は、少なくとも、電流路の一端側に所定の電源電圧が接続されるとともに、他端側に前記出力信号の出力接点が接続され、制御端子に第2の制御接点が接続された第3のスイッチ手段と、電流路の一端側及び制御端子に前記第2の制御クロックが供給されるとともに、前記第2の制御接点に接続された第4のスイッチ手段と、電流路の一端側に前記電源電圧が接続されるとともに、他端側に前記第1の制御接点が接続され、制御端子に第2の制御接点が接続された第5のスイッチ手段と、を備えることを特徴とする。

10

【0015】

請求項6記載の発明は、請求項5記載のシフトレジスタ回路において、前記信号レベル確定部は、前記第3乃至第5のスイッチ手段に加え、さらに、電流路の一端側に前記電源電圧が接続されるとともに、他端側に前記第2の制御接点が接続され、制御端子に前記入力信号が供給される第6のスイッチ手段を備えていることを特徴とする。

20

請求項7記載の発明は、請求項5又は6記載のシフトレジスタ回路において、前記信号レベル確定部は、前記第2の動作タイミングで前記第3のスイッチ手段を非導通状態に保持するように、前記第2の制御接点の信号レベルを前記電源電圧に基づく信号レベルに確定する電圧制御手段を備えていることを特徴とする。

【0016】

請求項8記載の発明は、請求項7記載のシフトレジスタ回路において、前記電圧制御手段は、前記第2の接続接点と前記電源電圧との間に接続された容量素子であることを特徴とする。

30

請求項9記載の発明は、請求項7記載のシフトレジスタ回路において、前記電圧制御手段は、電流路の一端側に前記第2の接続接点が接続されるとともに、他端側に前記電源電圧が接続され、制御端子に前記出力接点が接続された第7のスイッチ手段であることを特徴とする。

【0017】

請求項10記載の発明は、請求項5乃至9のいずれかに記載のシフトレジスタ回路において、少なくとも、前記第1乃至第7のスイッチ手段は、nチャンネル型の電界効果型トランジスタであることを特徴とする。

40

請求項11記載の発明は、請求項10記載のシフトレジスタ回路において、少なくとも、前記第1乃至第7のスイッチ手段は、アモルファスシリコン半導体を用いた薄膜トランジスタであることを特徴とする。

【0018】

請求項12記載の発明は、請求項1乃至11のいずれかに記載のシフトレジスタ回路において、前記複数段の信号保持手段は、初段の前記信号保持手段に入力された前記入力信号の信号レベルに基づいて、各段の前記信号保持手段から前記出力信号を取り出すとともに、前記出力信号をシフト信号として、順次次段の前記信号保持手段に出力することを特徴とする。

【0019】

50

請求項 1 3 記載の発明は、直列に接続された複数段の信号保持手段を備え、各段の前記信号保持手段に順次入力される入力信号に基づいて、前記信号保持手段の各々から出力信号を、順次出力するシフトレジスタ回路の駆動制御方法において、第 1 の動作タイミングで前記入力信号を取り込むステップと、相互に位相が異なる 3 相の駆動パルスから選択された第 1 の制御クロックにより設定された第 2 の動作タイミングで、前記第 1 の動作タイミングで取り込まれた前記入力信号の信号レベルに基づいて、第 1 の信号レベルを有する前記出力信号を出力するステップと、前記 3 相の駆動パルスから選択され、前記第 1 の制御クロックとは異なる位相を有する第 2 の制御クロックにより設定された第 3 の動作タイミングで、前記出力制御部から第 2 の信号レベルに確定された前記出力信号を出力するステップと、前記第 1 の制御クロック及び前記第 2 の制御クロックの位相を、前記信号保持手段の順列番号ごとに変化させるステップと、を含むことを特徴とする。

10

## 【 0 0 2 0 】

請求項 1 4 記載の発明は、直列に接続された複数段の信号保持手段を備え、各段の前記信号保持手段に順次入力される入力信号に基づいて、前記信号保持手段の各々から出力信号を、順次出力するシフトレジスタ回路の駆動制御方法において、第 1 の動作タイミングで前記入力信号を取り込むステップと、相互に位相が異なる 2 相の駆動パルスから選択された第 1 の制御クロックにより設定された第 2 の動作タイミングで、前記第 1 の動作タイミングで取り込まれた前記入力信号の信号レベルに基づいて、第 1 の信号レベルを有する前記出力信号を出力するステップと、次段の前記信号保持手段から出力される前記出力信号からなる第 2 の制御クロックにより設定された第 3 の動作タイミングで、前記出力制御部から第 2 の信号レベルに確定された前記出力信号を出力するステップと、前記第 1 の制御クロックの位相を、前記信号保持手段の順列番号ごとに変化させるステップと、を含むことを特徴とする。

20

## 【 0 0 2 1 】

請求項 1 5 記載の発明は、請求項 1 3 又は 1 4 記載のシフトレジスタ回路の駆動制御方法において、前記信号保持手段の各々は、少なくとも、電流路の一端側及び制御端子に前記入力信号が供給されるとともに、他端側に第 1 の制御接点が接続された第 1 のスイッチ手段と、電流路の一端側に前記第 1 の制御クロックが供給されるとともに、他端側に前記出力信号の出力接点が接続され、制御端子に前記第 1 の制御接点が接続された第 2 のスイッチ手段と、電流路の一端側に所定の電源電圧が接続されるとともに、他端側に前記出力信号の出力接点が接続され、制御端子に第 2 の制御接点が接続された第 3 のスイッチ手段と、電流路の一端側及び制御端子に前記第 2 の制御クロックが供給されるとともに、前記第 2 の制御接点に接続された第 4 のスイッチ手段と、電流路の一端側に前記電源電圧が接続されるとともに、他端側に前記第 1 の制御接点が接続され、制御端子に第 2 の制御接点が接続された第 5 のスイッチ手段と、を備え、前記第 1 の信号レベルを有する前記出力信号を出力するステップは、前記第 3 のスイッチ手段を非導通状態に保持するように、前記第 2 の制御接点の信号レベルを前記電源電圧に基づく信号レベルに確定するステップを含むことを特徴とする。

30

## 【 発明の効果 】

## 【 0 0 2 2 】

本発明に係るシフトレジスタ回路及びその駆動制御方法は、表示装置や画像読取装置の走査ドライバに適用が可能であって、入力信号を順次次段にシフトしつつ、各段ごとに外部出力信号（出力信号）を順次出力する複数段の信号保持ブロック（信号保持手段）を備えたシフトレジスタ回路において、各段の信号保持ブロックには、相互に 1 2 0 度の位相差を有する 3 相の駆動パルスから選択された第 1 及び第 2 の制御クロック（クロックパルス）、もしくは、相互に 1 8 0 度の位相差を有する 2 相の駆動パルスから選択された第 1 の制御クロック及び次段の前記信号保持ブロックから出力される出力信号からなる第 2 の制御クロックが供給され、入力制御部により、第 1 の動作タイミングで入力信号を取り込み、出力制御部により、第 1 の制御クロックにより規定される第 2 の動作タイミングでハイレベル（第 1 の信号レベル）の出力信号を出力し、信号レベル確定部により、第 2 の制

40

50

御クロックにより規定される第3の動作タイミングでローレベル(第2の信号レベル)に確定された出力信号を出力するように構成されている。

【0023】

ここで、上記入力制御部、出力制御部及び信号レベル確定部は、いずれも同一チャネル極性を有する電界効果型の薄膜トランジスタ(第1乃至第6のスイッチ手段)により構成することができ、特に、入力制御部は、少なくとも、出力制御部の動作状態を制御する第1の制御接点に入力信号を取り込む第1のスイッチ手段を備え、出力制御部は、少なくとも、第1の制御接点の信号レベルに基づいて、第1の制御クロックの信号レベルに基づく出力信号を出力する第2のスイッチ手段を備え、信号レベル確定部は、少なくとも、出力制御部の動作状態を制御する第2の制御接点に第2の制御クロックに基づく信号レベルを取り込む第4のスイッチ手段と、入力信号の信号レベルに基づいて、第2の制御接点に所定の電源電圧(低電位電圧)に基づく信号レベルを取り込む第6のスイッチ手段と、第2の制御接点の信号レベルに基づいて、所定の電源電圧(低電位電圧)に基づく出力信号を出力する第3のスイッチ手段と、第2の制御接点の信号レベルに基づいて、第1の制御接点に所定の電源電圧(低電位電圧)に基づく信号レベルを取り込む第5のスイッチ手段と、を備えた構成を適用することができる。

10

【0024】

これにより、各信号保持ブロックに周知の回路構成を適用しつつ、3相のクロックパルス、もしくは、2相のクロックパルスを供給(印加)するのみで、第1の制御クロックの信号レベル(例えば、ハイレベル)に基づく出力信号を出力するタイミングに先立って、第1の制御接点を入力信号に基づく信号レベル(例えば、ハイレベル)、第2の制御接点を電源電圧に基づく信号レベル(例えば、ローレベル)に確定して、出力制御部に設けられた第2のスイッチ手段(トランジスタ)の制御端子と出力端子間(ゲート-ソース端子間)の電位差を充電保持し、第1の制御クロックの印加タイミングで、上記第2のスイッチ手段を飽和状態でオン動作させて、出力接点に該第1の制御クロックに基づく信号レベル(ハイレベル)を有する出力信号を出力し、第2の制御クロックの印加タイミングで、第3のスイッチ手段をオン動作させて、出力接点に電源電圧に基づく信号レベル(ローレベル)を有する出力信号を出力するように駆動制御することができるので、クロックパルス(駆動パルス)を供給するための信号ライン(供給ライン)の本数を削減して、シフトレジスタ回路の回路規模を縮小しつつ、クロックパルス生成制御のための外部制御回路の処理負担を低減することができる。

20

30

【0025】

また、シフトレジスタ回路の駆動制御動作のために供給(印加)される駆動パルスとして3相のクロックパルスを適用した場合には、動作期間中に各接続接点がフローティング状態となる期間を短く設定することができるので、シフトレジスタ回路(信号保持ブロック)を、例えば、アモルファスシリコン薄膜トランジスタにより構成した場合であっても、当該トランジスタの寄生容量や他の信号レベルの影響を抑制して、十分な駆動能力を有しつつ安定した動作を実現することができ、適切な信号レベルを有する出力信号を出力することができる。

【0026】

また、信号レベル確定部は、第1の制御クロックの信号レベル(例えば、ハイレベル)に基づく出力信号が出力される第2の動作タイミングで、第3のスイッチ手段を確定的にオフ動作させるように、例えば、一端側が第2の制御接点に、他端側が電源電圧(ローレベル)に接続された容量素子や第7のスイッチ手段からなる電圧制御手段を備えた構成を有するものであってもよい。

40

これによれば、第2の動作タイミングにおいて、第3のスイッチ手段の制御端子に電源電圧に基づく所定の信号レベルを印加することができるので、第3のスイッチ手段を確定的にオフ動作させることができ、出力信号の信号レベルの劣化を抑制することができる。

【発明を実施するための最良の形態】

【0027】

50

以下、本発明に係るシフトレジスタ回路及びその駆動制御方法について、実施の形態を示して詳しく説明する。

< 第 1 の実施形態 >

( 回路構成 )

まず、本発明に係るシフトレジスタ回路の全体構成について、図面を参照して説明する。

図 1 は、本発明に係るシフトレジスタ回路の第 1 の実施形態を示す概略構成図である。ここで、上述した従来技術に示したシフトレジスタ回路と同等の構成については、同等又は同一の符号を付して説明する。

【 0 0 2 8 】

図 1 に示すように、本実施形態に係るシフトレジスタ回路は、周知のフリップフロップ回路と同等の信号保持機能を有する複数段の信号保持ブロック ( 信号保持手段 )  $R S A ( 1 )$ 、 $R S A ( 2 )$ 、 $R S A ( 3 )$ 、 $\dots$  ( 以下、「信号保持ブロック  $R S A ( k )$  」と記す ;  $k$  は任意の正の整数 ) を備え、各段の信号保持ブロック  $R S A ( k )$  の入力端子 ( 入力接点 ) と出力端子 ( 出力接点 ) が順次直列に接続された構成を有し、各段の信号保持ブロック  $R S A ( k )$  の出力信号が、シフト信号  $S F ( 1 )$ 、 $S F ( 2 )$ 、 $S F ( 3 )$ 、 $\dots$  ( 以下、「シフト信号  $S F ( k )$  」と記す ) として順次、次段の信号保持ブロック  $R S A ( k + 1 )$  の入力信号として入力されるとともに、該シフト信号  $S F ( k )$  が外部出力信号 ( 出力信号 )  $G S ( 1 )$ 、 $G S ( 2 )$ 、 $G S ( 3 )$ 、 $\dots$  ( 以下、「外部出力信号  $G S ( k )$  」と記す ) としてシフトレジスタ回路外部に順次出力されるように構成されている。

【 0 0 2 9 】

各信号保持ブロック  $R S A ( k )$  ( 便宜的に、信号保持ブロック  $R S A ( 1 )$  を参照して説明する ) は、具体的には、図 1 に示すように、ゲート端子及びドレイン端子に前段の信号保持ブロック  $R S A ( k - 1 )$  のシフト信号  $S F ( k - 1 )$  ( 又は、スタートパルス  $V_{st}$  ) が印加され、ソース端子に接点 ( 第 1 の制御接点 )  $N A$  が接続された電界効果型のトランジスタ ( 第 1 のスイッチ手段 )  $T r 1 1$  と、ゲート端子に接点  $N A$  が接続され、ドレイン端子にクロックパルス  $C K 1$  (  $C K d$  ;  $d$  は、信号保持ブロックの順列番号 ( 段番号 ) “  $k$  ” を 3 で除算した余り  $q$  が 1 又は 2 の場合には、当該余り  $q$  の数に応じた数値 (  $d = 1$ 、 $2$  ) であり、余り  $q$  が 0 の場合には、 $d = 3$  とする ) の供給ラインが接続され、ソース端子に接点 ( 出力接点 )  $N C$  が各々接続された電界効果型のトランジスタ ( 第 2 のスイッチ手段 )  $T r 1 2$  と、ゲート端子に接点 ( 第 2 の制御接点 )  $N B$  が接続され、ドレイン端子及びソース端子に接点  $N C$  及び所定の低電位電圧 ( 電源電圧 )  $V_{ss}$  が各々接続された電界効果型のトランジスタ ( 第 3 のスイッチ手段 )  $T r 1 3$  と、ゲート端子及びドレイン端子にクロックパルス  $C K 2$  (  $C K e$  ;  $e$  は、信号保持ブロックの順列番号 “  $k$  ” に 1 を加算した数 (  $k + 1$  ) を 3 で除算した余り  $r$  が 1 又は 2 の場合には、当該余り  $r$  の数に応じた数値 (  $e = 1$ 、 $2$  ) であり、余り  $r$  が 0 の場合には、 $e = 4$  とする ) の供給ラインが接続され、ソース端子に接点  $N B$  が接続された電界効果型のトランジスタ ( 第 4 のスイッチ手段 )  $T r 1 4$  と、ゲート端子に前段の信号保持ブロック  $R S A ( k - 1 )$  のシフト信号  $S F ( k - 1 )$  ( 又は、スタートパルス  $V_{st}$  ) が印加され、ドレイン端子及びソース端子に接点  $N B$  及び低電位電圧  $V_{ss}$  が各々接続された電界効果型のトランジスタ ( 第 6 のスイッチ手段 )  $T r 1 5$  と、ゲート端子に接点  $N B$  が接続され、ドレイン端子及びソース端子に接点  $N A$  及び低電位電圧  $V_{ss}$  が各々接続された電界効果型のトランジスタ ( 第 5 のスイッチ手段 )  $T r 1 6$  と、を有して構成されている。

すなわち、トランジスタ  $T r 1 1$  は、本発明に係る入力制御部を構成し、トランジスタ  $T r 1 2$  は、本発明に係る出力制御部を構成し、トランジスタ  $T r 1 3 \sim T r 1 6$  は、本発明に係る信号レベル確定部を構成している。

【 0 0 3 0 】

このような回路構成を有する信号保持ブロック  $R S A ( k )$  において、接点  $N C$  における信号レベルが、シフト信号  $S F ( k )$  として、次段の信号保持ブロック  $R S A ( k + 1 )$  に

入力されるとともに、外部出力信号  $GS(k)$  として取り出される。

なお、図 1 において、 $CA$  はトランジスタ  $Tr12$  のゲート - ソース間寄生容量とは別途にトランジスタ  $Tr12$  のゲート - ソース端子間に接続されたコンデンサ (容量成分) であるが、トランジスタ  $Tr12$  のゲート - ソース間寄生容量が十分大きい場合には省略することができる。

#### 【0031】

ここで、各信号保持ブロック  $RSA(k)$  に供給されるクロックパルス  $CKd$  及び  $CKe$  は、位相がそれぞれ  $120$  度異なり、相互に時間的に重なることなく、所定の周期で順次ハイレベルに設定される 3 相 (種類) のクロックパルス (駆動パルス; 図 2 参照)  $CK1$ 、 $CK2$ 、 $CK3$  から、各信号保持ブロック  $RSA(k)$  の順列番号  $k$  に応じて、各々異なる位相を有する 2 つのクロックパルスが選択的に設定される。

10

また、上述した信号保持ブロック  $RSA(k)$  を構成する各トランジスタ  $Tr11 \sim Tr16$  は、いずれも絶縁性基板上に形成された  $n$  チャネル型半導体層を用いたアモルファスシリコン薄膜トランジスタにより構成されている。

#### 【0032】

( 駆動制御動作 )

次に、上述した信号保持ブロックを適用したシフトレジスタ回路の駆動制御方法について、図面を参照して説明する。

図 2 は、本実施形態に係るシフトレジスタ回路の駆動制御動作を示すタイミングチャートである。ここでは、便宜的に、1 段目の信号保持ブロック  $RSA(1)$  について、図 1 に示した回路構成を適宜参照しながら詳しく説明する。

20

#### 【0033】

まず、図 1 に示したシフトレジスタ回路の初段 (1 段目) の信号保持ブロック  $RSA(1)$  には、クロックパルス  $CK3$  がハイレベルとなるタイミングに同期して、ハイレベルのスタートパルス  $Vst$  が供給 (印加) されるように制御される。

また、スタートパルス  $Vst$  が印加される以前の初期状態においては、各信号保持ブロック  $RSA(k)$  の接点  $NA$  はローレベル側のフローティング状態にあり、接点  $NB$  はハイレベル側のフローティング状態にある。

#### 【0034】

そして、このような初期状態において、クロックパルス  $CK1(CKd)$  がハイレベルとなるタイミング  $\langle S0 \rangle$  においては、接点  $NA$  がローレベル状態にあるので、トランジスタ  $Tr12$  がオフ状態にあって、クロックパルス  $CK1$  の供給ラインと接点  $NC$  との接続が遮断され、一方、接点  $NB$  がハイレベル状態にあるので、トランジスタ  $Tr13$  がオン状態にあって、低電位電圧  $Vss$  が接点  $NC$  に接続された状態にある。そのため、信号保持ブロック  $RSA(1)$  からはローレベルのシフト信号  $SF(1)$  が次段の信号保持ブロック  $RSA(2)$  に出力されるとともに、ローレベルの外部出力信号  $GS(1)$  が出力される。

30

#### 【0035】

次いで、クロックパルス  $CKP2(CKe)$  がハイレベルとなるタイミング  $\langle S1 \rangle$  においては、トランジスタ  $Tr14$  のゲート端子にクロックパルス  $CK2$  の信号レベル (ハイレベル) に応じたゲート電圧が印加されることになるので、当該トランジスタ  $Tr14$  がオン動作することにより、接点  $NB$  にクロックパルス  $CK2$  の信号レベルに応じたハイレベルが印加されて、ハイレベル状態が確定され、トランジスタ  $Tr13$  及び  $Tr16$  がオン状態を保持する。これにより、接点  $NA$  に低電位電圧  $Vss$  が印加されて、ローレベル状態が確定するので、トランジスタ  $Tr12$  はオフ状態を保持する。また、トランジスタ  $Tr13$  がオン動作することにより、接点  $NC$  の信号レベル (シフト信号  $SF(1)$ 、外部出力信号  $GS(1)$ ) はローレベル状態を保持する。

40

#### 【0036】

次いで、クロックパルス  $CK3$  がハイレベルとなるタイミング  $\langle S2 \rangle$  (第 1 の動作タイミング) においては、当該クロックパルス  $CK3$  に同期してハイレベルのスタートパル

50

ス（入力信号） $V_{st}$ が入力されることにより、トランジスタ $Tr11$ 及び $Tr15$ がオン動作して、接点 $NA$ にスタートパルス $V_{st}$ の信号レベルに応じたハイレベルが印加されるとともに、接点 $NB$ に低電位電圧 $V_{ss}$ （ローレベル）が印加される。これにより、トランジスタ $Tr12$ がオン動作し、トランジスタ $Tr13$ 及び $Tr16$ がオフ動作するが、クロックパルス $CK1$ （ $CKd$ ）はローレベル状態にあるので、接点 $NC$ の信号レベル（シフト信号 $SF(1)$ 、外部出力信号 $GS(1)$ ）はローレベル状態を保持する。

【0037】

このとき、トランジスタ $Tr12$ のゲート端子（接点 $NA$ ）にはハイレベルの信号レベルが印加され、また、ソース端子（接点 $NC$ ）にはローレベルの信号レベルが印加されるので、トランジスタ $Tr12$ のゲート-ソース端子間にはこれらの信号レベルの差分に相当する電位差が生じ、トランジスタ $Tr12$ のゲート-ソース間寄生容量及びコンデンサ $CA$ に当該電位差に応じた電荷が蓄積され、電圧成分として保持される。

10

【0038】

次いで、クロックパルス $CK1$ （ $CKd$ ；第1の制御クロック）がハイレベルとなるタイミング< $S3$ >（第2の動作タイミング）においては、トランジスタ $Tr12$ を介してクロックパルス $CK1$ （ $CKd$ ）に応じた信号レベル（ハイレベル）が接点 $NC$ に印加される。このとき、トランジスタ $Tr12$ のゲート端子（接点 $NA$ ）の信号レベルは、ブートストラップ現象により、上記接点 $NC$ の信号レベルに対して、上記タイミング< $S2$ >においてコンデンサ $CA$ に充電された電圧分、加算された信号レベルに昇圧されるので、トランジスタ $Tr12$ は、略飽和状態でオン動作する。また、接点 $NB$ の信号レベルは、トランジスタ $Tr15$ による低電位電圧 $V_{ss}$ との接続は遮断されるものの、上記タイミング< $S2$ >と同等の信号レベル（ローレベル側のフローティング状態）を保持する。これにより、接点 $NC$ にハイレベルのクロックパルス $CK1$ （ $CKd$ ）と同等の電圧が印加されることになり、信号保持ブロック $RSA(1)$ からハイレベル（第1の信号レベル）のシフト信号 $SF(1)$ 及び外部出力信号 $GS(1)$ が出力される。

20

【0039】

なお、このタイミング< $S3$ >において信号保持ブロック $RSA(1)$ から出力されたハイレベルのシフト信号 $SF(1)$ （入力信号）は、次段の信号保持ブロック $RSA(2)$ に入力されるので、上述した信号保持ブロック $RSA(1)$ におけるタイミング< $S2$ >の動作と同様に、信号保持ブロック $RSA(2)$ における接点 $NA$ にハイレベルが印加され、接点 $NB$ にローレベルが印加された状態となり、信号保持ブロック $RSA(2)$ のコンデンサ（ブートストラップ用容量） $CA$ に所定の電圧が充電される。

30

【0040】

次いで、クロックパルス $CK2$ がハイレベルとなるタイミング< $S4$ >（第3の動作タイミング）においては、上記タイミング< $S1$ >と同様に、トランジスタ $Tr14$ のゲート端子にクロックパルス $CK2$ （ $CKe$ ；第2の制御クロック）の信号レベル（ハイレベル）に応じたゲート電圧が印加されて、トランジスタ $Tr14$ がオン動作することにより、接点 $NB$ にハイレベルが印加されて、ハイレベル状態が確定し、トランジスタ $Tr13$ 及び $Tr16$ がオン動作する。これにより、接点 $NA$ に低電位電圧 $V_{ss}$ （ローレベル）が印加されて、ローレベル状態が確定するので、トランジスタ $Tr12$ がオフ動作するとともに、トランジスタ $Tr13$ がオン動作するので、接点 $NC$ に低電位電圧（ローレベル） $V_{ss}$ が印加されることになり、信号保持ブロック $RSA(1)$ からローレベル（第2の信号レベル）のシフト信号 $SF(1)$ 及び外部出力信号 $GS(1)$ が出力される。

40

【0041】

なお、このタイミング< $S4$ >においては、次段の信号保持ブロック $RSA(2)$ にハイレベルのクロックパルス $CK2$ （ $CKd$ ）が入力されることになるので、上述した信号保持ブロック $RSA(1)$ におけるタイミング< $S3$ >の動作と同様に、ブートストラップ現象により、信号保持ブロック $RSA(2)$ におけるトランジスタ $Tr12$ のゲート電圧が昇圧されて、トランジスタ $Tr12$ が略飽和状態でオン動作することにより、接点 $NC$ にハイレベルのクロックパルス $CK2$ （ $CKd$ ）と同等の電圧が印加されて、信号保持

50

ブロック R S A ( 2 ) からハイレベルのシフト信号 S F ( 2 ) 及び外部出力信号 G S ( 2 ) が出力される。そして、このハイレベルのシフト信号 S F ( 2 ) は、さらに次段の信号保持ブロック R S A ( 3 ) に入力される。

【 0 0 4 2 】

次いで、クロックパルス C K 3 がハイレベルとなるタイミング < S 5 > においては、クロックパルス C K 2 ( C K e ) がローレベルに切り替わることにより、トランジスタ T r 1 4 がオフ動作して接点 N B へのハイレベルの印加が遮断されるものの、上記タイミング < S 4 > と同様に、接点 N B の信号レベルは、ハイレベル状態 ( フローティング状態 ) を保持し、これにより、トランジスタ T r 1 6 がオン状態を保持して、接点 N A についてもローレベル状態を保持する。

10

【 0 0 4 3 】

以下、図 2 に示すように、同様の動作を繰り返し実行することにより、信号保持ブロック R S A ( 1 ) に次のスタートパルス V s t が入力されるまでの期間、接点 N B の信号レベルは、ハイレベル状態 ( 又は、ハイレベル側のフローティング状態 ) を保持し、これにより、接点 N A の信号レベルは、ハイレベル状態を保持する。このような一連の制御動作を、各段の信号保持ブロック R S A ( k ) について実行することにより、各信号保持ブロック R S A ( k ) から所定のタイミングで順次、次段の各信号保持ブロック R S A ( k + 1 ) にシフト信号 S F ( k ) が出力されるとともに、当該シフト信号 S F ( k ) が外部出力信号 G S ( k ) として出力される。

【 0 0 4 4 】

すなわち、本実施形態に係るシフトレジスタ回路及びその駆動制御方法においては、各信号保持ブロック R S A ( k ) から出力されるシフト信号 S F ( k ) 及び外部出力信号 G S ( k ) の信号レベルを確定する出力段のトランジスタ回路 ( トランジスタ T r 1 2 、 T r 1 3 からなる直列回路 ) において、ハイレベルのシフト信号 S F ( k ) 及び外部出力信号 G S ( k ) を出力するタイミングに先立って、前段の信号保持ブロック R S A ( k - 1 ) からのシフト信号 S F ( k - 1 ) ( 又は、スタートパルス V s t ) の信号レベルに基づいて、ブートストラップ用の容量素子 ( コンデンサ C A 及びトランジスタ T r 1 2 のゲート - ソース間寄生容量 ) を充電し、クロックパルス C K d の印加タイミングで、当該充電電圧を用いて上記出力段のトランジスタ T r 1 2 を飽和状態でオン動作させることにより、クロックパルス C K d の信号レベルに基づくハイレベルのシフト信号 S F ( k ) 及び外部出力信号 G S ( k ) を出力するように駆動制御する。

20

30

また、該シフト信号 S F ( k ) 及び外部出力信号 G S ( k ) の出力後、クロックパルス C K e の印加タイミングで、出力段のトランジスタ T r 1 2 をオフ動作させるとともに、トランジスタ T r 1 3 をオン動作させることにより、シフト信号 S F ( k ) 及び外部出力信号 G S ( k ) の信号レベルが周期的にローレベルに確定されるように駆動制御する。

【 0 0 4 5 】

したがって、本実施形態に係るシフトレジスタ回路及びその駆動制御方法によれば、各信号保持ブロックに従来技術に示したような回路構成を適用しつつ、3相のクロックパルスのみで、従来技術と同等の駆動制御動作を実現することができるので、クロックパルスを供給するための信号ライン ( 供給ライン ) の本数を削減して、シフトレジスタ回路の回路規模を縮小しつつ、クロックパルス生成制御のための外部制御回路の処理負担を低減することができる。

40

【 0 0 4 6 】

また、本実施形態においては、シフトレジスタ回路の駆動制御動作のために供給 ( 印加 ) される制御クロックとして3相のクロックパルスを適用しているため、動作期間中に各信号保持ブロックの動作状態を不安定にする信号レベルのフローティング状態が継続する期間を、従来技術に示したような4相のクロックパルスを適用する構成に比較して、短く設定することができるので、上記シフトレジスタ回路 ( 信号保持ブロック ) を、アモルファスシリコン薄膜トランジスタにより構成した場合であっても、当該トランジスタの寄生容量や他の信号レベルの影響を抑制して、十分な駆動能力を有しつつ安定した動作を実現

50

することができ、適切な信号レベルを有する外部出力信号を出力することができる。

【0047】

これにより、本実施形態に係るシフトレジスタ回路を表示装置や画像読取装置の走査ドライバに適用した場合であっても、表示パネルやセンサアレイを行ごとに駆動する選択信号（外部出力信号）を誤動作を生じることなく適切に生成、出力することができるので、表示画素やフォトセンサの選択状態を安定化して、良好な画像表示動作や画像読取動作を実行することができる。

【0048】

さらに、本実施形態に係るシフトレジスタ回路（信号保持ブロック）においては、図2に示したように、 $n$ チャンネル型のアモルファスシリコン薄膜トランジスタのみを用いて構成することができるので、すでに製造技術が確立されたアモルファスシリコン製造プロセスを適用して、比較的安価に、動作特性に優れたシフトレジスタ回路を実現することができる。

10

【0049】

<第2の実施形態>

次に、本発明に係るシフトレジスタ回路の第2の実施形態について説明する。

（回路構成）

図3は、本発明に係るシフトレジスタ回路の第2の実施形態を示す概略構成図である。ここで、上述した第1の実施形態と同等の構成については、同一又は同等の符号を付してその説明を簡略化又は省略する。

20

【0050】

上述した第1の実施形態においては、従来技術と同等の回路構成を有する信号保持ブロックを備えたシフトレジスタ回路において、駆動制御を行うための制御クロックとして、3相のクロックパルスを供給（印加）する構成について示したが、本実施形態においては、2相のクロックパルスのみを供給することによりシフトレジスタ回路（信号保持ブロック）の駆動制御を行う構成を有している。

【0051】

図3に示すように、本実施形態に係るシフトレジスタ回路に適用される信号保持ブロックRSB(1)、RSB(2)、・・・（以下、「信号保持ブロックRSB(k)」と記す）は、上述した第1の実施形態に示した信号保持ブロックRSA(k)（図1参照）と同様に、 $n$ チャンネル型のアモルファスシリコン薄膜トランジスタからなるトランジスタTr11~Tr16を備えた回路構成を有している。

30

【0052】

また、本実施形態においては、各信号保持ブロックRSB(k)の出力段を構成するトランジスタ回路（トランジスタTr12）の電流路の一端側に供給（印加）されるクロックパルスCKdとして、2相のクロックパルスCK1、CK2のいずれかが選択的に設定され、また、トランジスタTr14の電流路の一端側に供給（印加）されるクロックパルスCKeとして、次段の信号保持ブロックRSB(k+1)から出力されるシフト信号SF(k+1)（又は、外部出力信号GS(k+1)）が設定されるように構成されている。さらに、最終段の信号保持ブロックRSB(end)に対して供給されるクロックパルスCKeは、例えば、上記クロックパルスCK1、CK2から生成されたエンドパルスVendに設定されるように構成されている。

40

【0053】

ここで、各信号保持ブロックRSB(k)に供給されるクロックパルスCKPdは、位相がそれぞれ180度異なり、相互に時間的に重なることなく、所定の周期で順次ハイレベルに設定される2相（種類）のクロックパルス（駆動パルス）CK1、CK2から、各信号保持ブロックRSB(k)の順列番号kに応じて、選択的に設定される。

【0054】

（駆動制御動作）

次に、上述した信号保持ブロックを適用したシフトレジスタ回路の駆動制御方法につい

50

て、図面を参照して説明する。

図4は、本実施形態に係るシフトレジスタ回路の駆動制御動作を示すタイミングチャートである。ここでは、便宜的に、1段目の信号保持ブロックRSB(1)について、図3に示した回路構成を適宜参照しながら詳しく説明する。また、上述した第1の実施形態と同等の動作については、説明を簡略化する。

【0055】

まず、図3に示したシフトレジスタ回路の初段(1段目)の信号保持ブロックRSB(1)には、クロックパルスCK2がハイレベルとなるタイミングに同期して、ハイレベルのスタートパルスVstが供給(印加)されるように制御される。また、スタートパルスVstが印加される以前の初期状態においては、各信号保持ブロックRSB(k)の接点NAはローレベル側のフローティング状態にあり、接点NBはハイレベル側のフローティング状態にある。

10

【0056】

このような初期状態において、クロックパルスCK1(CKd)がハイレベルとなるタイミング<S0>においては、接点NAがローレベル状態、接点NBがハイレベル状態にあって、トランジスタTr12がオフ状態、トランジスタTr13がオン状態にあるので、信号保持ブロックRSB(1)からはローレベルのシフト信号SF(1)が次段の信号保持ブロックRSB(2)に出力されるとともに、ローレベルの外部出力信号GS(1)が出力される。

【0057】

20

次いで、クロックパルスCKP2がハイレベルとなるタイミング<S1>(第1の動作タイミング)においては、当該クロックパルスCK2に同期してハイレベルのスタートパルス(入力信号)Vstが入力されることにより、トランジスタTr11及びTr15がオン動作して、接点NAにスタートパルスVstの信号レベルに応じたハイレベルが印加されるとともに、接点NBに低電位電圧Vss(ローレベル)が印加される。これにより、トランジスタTr12がオン動作し、トランジスタTr13及びTr16がオフ動作するが、クロックパルスCK1(CKd)はローレベル状態にあるので、シフト信号SF(1)及び外部出力信号GS(1)はローレベル状態を保持する。

このとき、トランジスタTr12のゲート-ソース端子間には、ゲート電圧(接点NAの信号レベル)とソース電圧(接点NCの信号レベル)との差分に相当する電位差が生じるので、トランジスタTr12のゲート-ソース間寄生容量及びコンデンサCAに当該電位差に応じた電圧が充電される。

30

【0058】

次いで、クロックパルスCK1(CKd;第1の制御クロック)がハイレベルとなるタイミング<S2>(第2の動作タイミング)においては、トランジスタTr12を介してクロックパルスCK1(CKd)に応じた信号レベル(ハイレベル)が接点NCに印加される。このとき、トランジスタTr12のゲート電圧(接点NAの信号レベル)は、ブートストラップ現象により、接点NCの信号レベルに対して、上記タイミング<S1>においてコンデンサCAに充電された電圧分、加算された信号レベルに昇圧されるので、トランジスタTr12は、略飽和状態でオン動作して、接点NCにハイレベルのクロックパルスCK1(CKd)と同等の電圧が印加されることになり、信号保持ブロックRSB(1)からハイレベル(第1の信号レベル)のシフト信号SF(1)及び外部出力信号GS(1)が出力される。

40

【0059】

なお、このタイミング<S2>においては、信号保持ブロックRSB(1)から出力されたハイレベルのシフト信号SF(1)(入力信号)が、次段の信号保持ブロックRSB(2)に入力されるので、上述した信号保持ブロックRSB(1)におけるタイミング<S1>の動作と同様に、信号保持ブロックRSA(2)における接点NAにハイレベルが印加され、接点NBにローレベルが印加された状態となり、信号保持ブロックRSB(2)のコンデンサ(ブートストラップ用容量)CAに所定の電圧が充電される。

50

## 【0060】

次いで、クロックパルスCK2がハイレベルとなるタイミング<S3>(第3の動作タイミング)においては、次段の信号保持ブロックRSB(2)にハイレベルのクロックパルスCK2(CKd)が入力されることになるので、上述した信号保持ブロックRSB(1)におけるタイミング<S2>の動作と同様に、ブートストラップ現象により、信号保持ブロックRSB(2)におけるトランジスタTr12のゲート電圧が昇圧されて、トランジスタTr12が略飽和状態でオン動作することにより、ハイレベルのシフト信号SF(2)及び外部出力信号GS(2)が出力される。

## 【0061】

このハイレベルのシフト信号SF(2)は、さらに次段の信号保持ブロックRSB(3) 10)に入力されるとともに、前段の信号保持ブロックRSB(1)にクロックパルスCKe(第2の制御クロック)として供給(印加)される。これにより、トランジスタTr14がオン動作して、接点NBにハイレベルが印加されるので、トランジスタTr13及びTr16がオン動作して、接点NAの信号レベルがローレベル状態に確定し、トランジスタTr12がオフ動作するとともに、トランジスタTr13がオン動作することにより、ローレベル(第2の信号レベル)のシフト信号SF(1)及び外部出力信号GS(1)が出力される。

## 【0062】

次いで、クロックパルスCK1がハイレベルとなるタイミング<S4>においては、次 20)段の信号保持ブロックRSB(2)にローレベルのクロックパルスCK2(CKd)が入力されることにより、トランジスタTr14がオフ動作するものの、上記タイミング<S3>と同様に、接点NBの信号レベルは、ハイレベル状態(フローティング状態)を保持するので、トランジスタTr13及びTr16がオン状態を保持して、接点NAについてもローレベル状態を保持する。

## 【0063】

以下、図4に示すように、同様の動作を繰り返し実行することにより、信号保持ブロッ 30)クRSB(1)に次のスタートパルスVstが入力されるまでの期間、接点NBの信号レベルは、ハイレベル側のフローティング状態を保持し、これにより、接点NAの信号レベルは、ハイレベル状態を保持する。このような一連の制御動作を、各段の信号保持ブロックRSB(k)について実行することにより、各信号保持ブロックRSB(k)から所定のタイミングで順次、次段の各信号保持ブロックRSB(k+1)にシフト信号SF(k)が出力されるとともに、当該シフト信号SF(k)が外部出力信号GS(k)として出力される。

## 【0064】

なお、最終段の信号保持ブロックRSB(end)においては、次段の信号保持ブロック 40)が存在しないため、ハイレベルのクロックパルスCKeにより接点NBの信号レベルをハイレベルに確定し、接点NAの信号レベルをローレベルに確定する動作を実行することができない。そこで、本実施形態においては、例えば、上記クロックパルスCK1、CK2をカウントすることにより、エンドパルスVendを生成し、図4に示すように、最終段の信号保持ブロックRSB(end)からハイレベルのシフト信号SF(end)及び外部出力信号GS(end)が出力された次のタイミングで、上記エンドパルスVendを供給(印加)して、信号保持ブロックRSB(end)における接点NBの信号レベルをハイレベルに、接点NAの信号レベルをローレベルに各々確定して、ローレベルの外部出力信号GS(end)を出力するように制御する。

## 【0065】

したがって、本実施形態に係るシフトレジスタ回路及びその駆動制御方法によれば、各 50)信号保持ブロックに従来技術に示したような回路構成を適用しつつ、2相のクロックパルス及びエンドパルスのみで、従来技術と同等の駆動制御動作を実現することができるので、クロックパルスを供給するための信号ライン(供給ライン)の本数を削減して、シフトレジスタ回路の回路規模を縮小しつつ、クロックパルス生成制御のための外部制御回路の

処理負担を低減することができる。

【0066】

なお、本実施形態においては、エンドパルス  $V_{end}$  に基づいて、最終段の信号保持ブロック  $RSB(end)$  にハイレベルのクロックパルス  $CK_e$  を供給（印加）する構成について示したが、本発明はこれに限定されるものではない。要するに、最終段の信号保持ブロック  $RSB(end)$  からハイレベルのシフト信号  $SF(end)$  及び外部出力信号  $GS(end)$  が出力された次のタイミングで、上記エンドパルス  $V_{end}$  が供給されるものであればよいので、例えば、最終段の信号保持ブロック  $RSB(end)$  の後段に、信号保持ブロック  $RSB(k)$  と同一の回路構成を有するダミーの信号保持ブロックを設け、そのシフト信号  $SF$ （又は、出力信号）を、最終段の信号保持ブロック  $RSB(end)$  におけるクロックパルス  $CK_e$  として供給するようにしたものであってもよい。

10

【0067】

< 第3の実施形態 >

次に、本発明に係るシフトレジスタ回路の第3の実施形態について説明する。

（回路構成）

図5は、第3の実施形態に係るシフトレジスタ回路の一構成例を示す概略構成図であり、図6は、第3の実施形態に係るシフトレジスタ回路の他の構成例を示す概略構成図である。ここで、上述した第1の実施形態（図1参照）と同等の構成については、同一又は同等の符号を付してその説明を簡略化又は省略する。

【0068】

図5に示すように、本実施形態に係るシフトレジスタ回路の一構成例に適用される信号保持ブロック  $RSCa(k)$  は、上述した第1の実施形態に示した信号保持ブロック  $RSA(k)$ （図1参照）において、出力段のトランジスタ回路を構成するトランジスタ  $Tr13$  のゲート-ソース端子間（接点  $NB$  と低電位電圧  $V_{ss}$  間）に、該トランジスタ  $Tr13$  のゲート-ソース間寄生容量に加えて、出力レベル安定用のコンデンサ（電圧制御手段、容量素子） $CB$  を追加接続した回路構成を有している。

20

【0069】

また、図6に示すように、本実施形態に係るシフトレジスタ回路の他の構成例に適用される信号保持ブロック  $RSCb(k)$  は、上述した第1の実施形態に示した信号保持ブロック  $RSA(k)$ （図1参照）において、出力段のトランジスタ回路を構成するトランジスタ  $Tr13$  のゲート-ソース端子間（接点  $NB$  と低電位電圧  $V_{ss}$  間）に、電流路（ソース端子及びドレイン端子）が接続され、ゲート端子が接点  $NC$  に接続された、 $n$ チャネル型のアモルファスシリコン薄膜トランジスタからなるトランジスタ（電圧制御手段、第7のスイッチ手段） $Tr17$  が設けられた回路構成を有している。

30

【0070】

このような回路構成を有するシフトレジスタ回路（信号保持ブロック  $RSCa(k)$ 、 $RSCb(k)$ ）においては、上述した第1の実施形態に示した場合と同様に、3相のクロックパルス  $CK1 \sim CK3$  を用いて駆動制御動作を実行し、ハイレベルのシフト信号  $SF(k)$  及び外部出力信号  $GS(k)$  を出力する場合に、当該シフト信号  $SF(k)$  及び外部出力信号  $GS(k)$  の信号レベルの劣化（低下）を抑制して、適切な信号レベルが保持される。以下、具体的に説明する。

40

【0071】

（駆動制御動作）

上述した信号保持ブロックを適用したシフトレジスタ回路の駆動制御方法について、図面を参照して説明する。

図7は、本実施形態に係るシフトレジスタ回路の有効性を説明するためのタイミングチャートであり、図8は、本実施形態に係るシフトレジスタ回路の駆動制御動作を説明するためのタイミングチャートである。ここで、上述した第1の実施形態と同等の動作については、説明を省略する。

【0072】

50

すなわち、第1の実施形態に係る信号保持ブロックRSA(k)(図1参照)において、図2に示したような駆動制御動作を実行した場合、タイミング<S2>においてハイレベルのシフト信号SF(k-1)(又は、スタートパルスVst)を取り込んだ後、タイミング<S3>においてクロックパルスCKdがハイレベルに設定されることにより、出力段のトランジスタTr12においてブートストラップ現象が生じて、ハイレベルのシフト信号SF(k)及び外部出力信号GS(k)が出力されるが、このとき、図2に示したように、トランジスタTr12の動作状態(オン状態)を規定するゲート電圧(接点NAの信号レベル)、及び、トランジスタTr13の動作状態(オフ状態)を規定するゲート電圧(接点NBの信号レベル)は、各々、ハイレベル側及びローレベル側に設定されているものの、いずれの固定的な電圧源にも接続されていないため、信号レベルが確定されないフローティング状態(浮遊状態)にある。

10

**【0073】**

ここで、特に、トランジスタTr13のゲート-ドレイン端子間(接点NBと接点NC間)に形成される寄生容量が大きい場合、ハイレベルのシフト信号SF(k)及び外部出力信号GS(k)が出力されることにより(接点NCにハイレベルが印加されることにより)、例えば、図7に示すように、トランジスタTr13のゲート電圧(接点NBの信号レベル)が本来のローレベルから僅かに上昇して、トランジスタTr13が完全にオフ状態とはならず(半導通状態となり)、シフト信号SF(k)及び外部出力信号GS(k)として出力される信号レベルが、時間の経過とともにトランジスタTr13を介して低電位電圧Vssにリークして、本来のハイレベルから低下する(図中、楕円で囲んだ信号レベルの変化)等の信号レベル(出力信号特性)の劣化が生じる可能性があった。

20

**【0074】**

そこで、図5に示す回路構成では、トランジスタTr13のゲート-ソース間(接点NBと接地電圧Vss間)に、コンデンサCBを接続することにより、コンデンサCBの一方の電極の電位が常に接地電圧Vssとなり安定しているので、コンデンサCBの他方の電極と等電位である接点NBの電位が他のノイズ信号によって干渉されにくくなり、また、図6に示す回路構成では、トランジスタTr13のゲート-ソース間(接点NBと接地電圧Vss間)にソース-ドレイン端子が接続され、接点NCの信号レベル(シフト信号SF(k)又は外部出力信号GS(k))がゲート端子に印加されたトランジスタTr17を設けることにより、外部出力信号GS(k)がハイレベルの間、接点NBの電位を接地電圧Vssとしているので、トランジスタTr13のゲート電圧(接点NBの信号レベル)の変動を抑制して安定化させている。

30

**【0075】**

すなわち、本実施形態に係るシフトレジスタ回路においては、図8に示すように、特定の信号保持ブロックRSCa(k)、RSCb(k)において、タイミング<S2>においてハイレベルのシフト信号SF(k-1)(又は、スタートパルスVst)を取り込んだ後、タイミング<S3>においてクロックパルスCKdがハイレベルに設定されることにより、出力用のトランジスタTr12においてブートストラップ現象が生じて、ハイレベルのシフト信号SF(k)及び外部出力信号GS(k)が出力されるが、このとき、トランジスタTr13のゲート-ドレイン間容量が大きく、外部出力信号GS(k)のハイレベル電位によりトランジスタTr13のゲート電位が高くなるうとした場合であっても、ゲート-ソース間にコンデンサCBが接続された回路構成(図5)においては、トランジスタTr13のゲート電圧(接点NBの信号レベル)の変位を最小限に抑えることができる。特に、nチャンネル型のトランジスタのソース-ドレイン間電流は、ゲート-ソース間の電位差に影響されるので、コンデンサCBによってこの間の電位変化を最小限にしてトランジスタTr13の漏れ電流を抑えることができる。

40

**【0076】**

また、トランジスタTr13のゲート-ソース間に電流路を有するトランジスタTr17が接続された回路構成(図6)においては、タイミング<S3>において接点NCにハイレベルが印加されることにより、トランジスタTr17がオン動作して、接点NB(ト

50

ランジスタ  $T r 1 3$  のゲート端子) が低電位電圧  $V_{ss}$  に接続されて、該接点  $N B$  の信号レベルが確定的にローレベルに設定されることになる。

【0077】

これにより、本実施形態に係る信号保持ブロック  $R S C a ( k )$ 、 $R S C b ( k )$  の回路構成によれば、タイミング  $\langle S 3 \rangle$  において接点  $N B$  の信号レベルを浮遊状態ではなく、所定のローレベルに確定することができるので、トランジスタ  $T r 1 3$  を良好にオフ状態（非導通状態）に保持することができ、接点  $N B$  の信号レベルの変化に伴うシフト信号  $S F ( k )$  及び外部出力信号  $G S ( k )$  の信号レベルの変動（劣化）を抑制することができる（図8中、楕円で囲んだ信号レベル）。

【0078】

したがって、本実施形態に係るシフトレジスタ回路を表示装置や画像読取装置の走査ドライバに適用した場合であっても、表示パネルやセンサアレイを行ごとに駆動する選択信号（外部出力信号）の信号レベルの変動をより一層抑制することができるので、表示画素やフォトセンサの選択状態を安定化して、良好な画像表示動作や画像読取動作を実行することができる。

【0079】

なお、本実施形態に係るシフトレジスタ回路（信号保持ブロック  $R S C a ( k )$ 、 $R S C b ( k )$ ）は、上述したように、シフト信号及び外部出力信号の信号レベルを規定する出力段のトランジスタ  $T r 1 3$  の動作状態を確定的にして、シフト信号及び外部出力信号の信号レベルの変動を抑制するために、当該トランジスタのゲート-ソース端子間にコンデンサ  $C B$ 、もしくは、トランジスタ  $T r 1 7$  を接続した構成を示したが、本発明はこれに限定されるものではない。要するに、本実施形態においては、上記トランジスタのゲート電圧が安定化するように、コンデンサやトランジスタを接続するものであればよいので、例えば、コンデンサの一端側をトランジスタ  $T r 1 3$  のゲート端子に接続し、他端側を安定した電位、例えば、図示を省略した電源電圧等に接続した回路構成を有するものであってもよい。

【0080】

< 第4の実施形態 >

次に、本発明に係るシフトレジスタ回路の第4の実施形態について説明する。

（回路構成）

図9は、第4の実施形態に係るシフトレジスタ回路の一構成例を示す概略構成図であり、図10は、第4の実施形態に係るシフトレジスタ回路の他の構成例を示す概略構成図である。ここで、上述した第2の実施形態（図3参照）と同等の構成については、同一又は同等の符号を付してその説明を簡略化又は省略する。

【0081】

本実施形態に係るシフトレジスタ回路に適用される信号保持ブロックは、上述した第2の実施形態に示した回路構成において、第3の実施形態において説明したシフト信号及び外部出力信号の信号レベルの変動を抑制するようにした構成を有している。

すなわち、図9に示すように、本実施形態に係るシフトレジスタ回路の一構成例に適用される信号保持ブロック  $R S D a ( k )$  は、上述した第3の実施形態と同様に、第2の実施形態に示した信号保持ブロック  $R S B ( k )$ （図3参照）において、出力段のトランジスタ回路を構成するトランジスタ  $T r 1 3$  のゲート-ソース端子間（接点  $N B$  と低電位電圧  $V_{ss}$  間）に、出力レベル安定用のコンデンサ  $C B$  を追加接続した回路構成を有している。

【0082】

また、図10に示すように、本実施形態に係るシフトレジスタ回路の他の構成例に適用される信号保持ブロック  $R S D b ( k )$  は、上述した第3の実施形態と同様に、第2の実施形態に示した信号保持ブロック  $R S B ( k )$ （図3参照）において、トランジスタ  $T r 1 3$  のゲート-ソース端子間（接点  $N B$  と低電位電圧  $V_{ss}$  間）に、電流路（ソース端子及びドレイン端子）が接続され、ゲート端子が接点  $N C$  に接続されたトランジスタ  $T r 1 7$

10

20

30

40

50

が設けられた回路構成を有している。

【0083】

このような回路構成を有するシフトレジスタ回路（信号保持ブロック  $RS Da(k)$ 、 $RS Db(k)$ ）においては、上述した第2の実施形態に示した場合と同様に、2相のクロックパルス  $CK1$ 、 $CK2$  及びエンドパルス  $V_{end}$  を用いて駆動制御動作を実行し、ハイレベルのシフト信号  $SF(k)$  及び外部出力信号  $GS(k)$  を出力する場合に、当該シフト信号  $SF(k)$  及び外部出力信号  $GS(k)$  の信号レベルの劣化（低下）が抑制される。以下、具体的に説明する。

【0084】

（駆動制御動作）

上述した信号保持ブロックを適用したシフトレジスタ回路の駆動制御方法について、図面を参照して説明する。

図11は、本実施形態に係るシフトレジスタ回路の有効性を説明するためのタイミングチャートであり、図12は、本実施形態に係るシフトレジスタ回路の駆動制御動作を説明するためのタイミングチャートである。ここで、上述した第2の実施形態と同等の動作については、説明を省略する。

【0085】

すなわち、第3の実施形態に示したように、第2の実施形態に係る信号保持ブロック  $RS B(k)$ （図3参照）においても、図4に示したような駆動制御動作を実行した場合、タイミング  $\langle S1 \rangle$  においてハイレベルのシフト信号  $SF(k-1)$ （又は、スタートパルス  $V_{st}$ ）を取り込んだ後、タイミング  $\langle S2 \rangle$  においてクロックパルス  $CKd$  がハイレベルに設定されることにより、出力段のトランジスタ  $Tr12$  においてブートストラップ現象が生じて、ハイレベルのシフト信号  $SF(k)$  及び外部出力信号  $GS(k)$  が出力されるが、このとき、図4に示したように、接点  $NA$  及び  $NB$  がいずれの固定的な電圧源にも接続されていないため、その信号レベルは、各々、ハイレベル側及びローレベル側のフローティング状態にある。

【0086】

ここで、特に、トランジスタ  $Tr13$  のゲート - ドレイン端子間寄生容量が大きい場合、ハイレベルのシフト信号  $SF(k)$  及び外部出力信号  $GS(k)$  が出力されることにより、トランジスタ  $Tr13$  のゲート電圧（接点  $NB$  の信号レベル）が本来のローレベルから僅かに上昇して、トランジスタ  $Tr13$  が完全にオフ状態とはならず（半導通状態となり）、例えば、図11に示すように、シフト信号  $SF(k)$  及び外部出力信号  $GS(k)$  として出力される信号レベルが、時間の経過とともに本来のハイレベルから低下する（図中、楕円で囲んだ信号レベルの変化）可能性があった。

【0087】

そこで、本実施形態においては、上述した第3の実施形態と同様に、図9、図10に示すように、トランジスタ  $Tr13$  のゲート - ソース間（接点  $NB$  と接地電圧  $V_{ss}$  間）に、コンデンサ  $CB$  を接続することにより、もしくは、トランジスタ  $Tr13$  のゲート - ソース間（接点  $NB$  と接地電圧  $V_{ss}$  間）にソース - ドレイン端子が接続され、接点  $NC$  の信号レベル（シフト信号  $SF(k)$  又は外部出力信号  $GS(k)$ ）がゲート端子に印加されたトランジスタ  $Tr17$  を設けることにより、トランジスタ  $Tr13$  のゲート電圧（接点  $NB$  の信号レベル）の変動を抑制して安定化させた回路構成を適用している。

【0088】

これにより、本実施形態に係るシフトレジスタ回路においては、図12に示すように、特定の信号保持ブロック  $RSC a(k)$ 、 $RSC b(k)$  において、タイミング  $\langle S1 \rangle$  においてハイレベルのシフト信号  $SF(k-1)$ （又は、スタートパルス  $V_{st}$ ）を取り込んだ後、タイミング  $\langle S2 \rangle$  においてクロックパルス  $CKd$  がハイレベルに設定されることにより、トランジスタ  $Tr12$  においてブートストラップ現象が生じて、ハイレベルのシフト信号  $SF(k)$  及び外部出力信号  $GS(k)$  が出力されるが、このとき、トランジスタ  $Tr13$  のゲート - ソース間に、コンデンサ  $CB$  が接続された回路構成（図9）、もしくは

10

20

30

40

50

は、電流路を有するトランジスタTr17が接続された回路構成(図10)を適用しているので、トランジスタTr13のゲート-ドレイン間容量が大きい場合であっても、トランジスタTr13のゲート電圧(接点NBの信号レベル)を所定のローレベルに確定することができる。

【0089】

したがって、本実施形態に係る信号保持ブロックRSDa(k)、RSDb(k)によれば、タイミング<S2>においてトランジスタTr13を良好にオフ状態(非導通状態)に保持することができるので、接点NBの信号レベルの変化に伴うシフト信号SF(k)及び外部出力信号GS(k)の信号レベルの変動(劣化)を抑制することができる(図12中、楕円で囲んだ信号レベル)。

10

【0090】

なお、上述した各実施形態においては、シフトレジスタ回路の各段の信号保持ブロックを構成するトランジスタとして、nチャネル型のアモルファスシリコン薄膜トランジスタを適用した場合の回路構成及び制御方法を示したが、本発明はこれに限定されるものではなく、pチャネル型のアモルファスシリコン薄膜トランジスタを適用するものであってもよい。この場合、シフトレジスタ回路(信号保持ブロック)に供給されるクロックパルス、スタートパルス、エンドパルスは、上述した各実施形態における信号レベルが反転した信号に設定され、低電位電圧は高電位電圧に設定されていればよく、シフト信号及び外部出力信号もハイレベルとローレベルが反転した信号レベルに設定される。

【0091】

次に、本発明に係るシフトレジスタ回路を適用可能な表示装置及び画像読取装置の構成例について、図面を参照して簡単に説明する。

20

(第1の適用例)

図13は、本発明に係るシフトレジスタ回路を走査ドライバに適用した表示装置を示す概略構成図である。なお、ここでは、表示装置として、アクティブマトリックス型の表示パネルを備えた構成について説明する。

【0092】

図13に示すように、本適用例に係る表示装置100は、大別して、表示パネル(画素アレイ)110と、走査ドライバ(ゲートドライバ)120と、データドライバ(電流制御ドライバ又は電圧制御ドライバ)130と、システムコントローラ140と、表示信号生成回路150と、を備えた周知の構成を有している。

30

ここで、表示パネル110は、例えば、周知の透過型や反射型の液晶表示パネル、あるいは、有機エレクトロルミネッセント素子(有機EL素子)や発光ダイオード(LED)等の自己発光型の発光素子(自発光画素)を配列した表示パネルであって、図13に示すように、行方向に配設された走査ラインSLと列方向に配設されたデータラインDLの各交点近傍に、上記表示パネルの形態に応じた表示画素が2次元配列された構成を有している。

【0093】

また、走査ドライバ120は、図13に示すように、概略、表示パネル110の各行の走査ラインSLに対応して、上述した各実施形態と同等の回路構成を有する複数段の信号保持ブロックを備えたシフトレジスタ回路121と、各段の信号保持ブロックから出力される外部出力信号を所定の信号レベルに増幅して、走査信号として各行の走査ラインSLに供給するバッファ回路122と、を有している。そして、シフトレジスタ回路121の各段の信号保持ブロックにおいて、後述するシステムコントローラ(LCDコントローラ)140から供給される走査制御信号(走査スタート信号(上述したスタートパルスVstに相当する)、走査クロック信号(上述したクロックパルスCK1~CK3、又は、クロックパルスCK1、CK2及びエンドパルスVendに相当する)等)に基づいて、表示パネル110の上方から下方に対応してシフト信号を順次出力(伝達)しつつ、該シフト信号を外部出力信号として取り出して、バッファ回路122を介して各走査ラインSLに走査信号として印加し、各行ごとの表示画素EM群を順次選択状態に設定するように制御す

40

50

る。

【0094】

データドライバ130は、システムコントローラ140から供給されるデータ制御信号に基づいて、表示信号生成回路150から供給される、表示パネル110の1行分ごとの表示データを取り込んで保持し、当該表示データに対応する階調信号（階調電圧、又は、階調電流）を生成して、上記走査ドライバ120により選択状態に設定された各表示画素EMに、各データラインDLを介して並行して供給し、該階調信号（表示データに応じた画素情報）を各表示画素EMに書き込むように制御する。

【0095】

表示信号生成回路150は、例えば、表示装置100の外部から供給される映像信号から輝度階調信号成分及びタイミング信号成分を抽出し、表示パネル110の1行分ごとに、該輝度階調信号成分を表示データとしてデータドライバ130に供給するとともに、タイミング信号成分をシステムコントローラ140に供給する。

システムコントローラ140は、表示信号生成回路150から供給されるタイミング信号に基づいて、少なくとも、走査ドライバ120及びデータドライバ130の各々に対して、上述したような走査制御信号及びデータ制御信号を生成して出力することにより、各ドライバを所定のタイミングで動作させて、表示パネル110に走査信号及び階調信号を出力させ、表示画素EMにおける発光駆動動作を連続的に実行させて、映像信号に基づく所定の画像情報を表示パネル110に表示させる制御を行う。

【0096】

このように、表示装置100の走査ドライバ120に本発明に係るシフトレジスタ回路を適用し、システムコントローラ140から、相互に信号タイミングが重ならない3相のクロックパルスCK1～CK3、又は、2相のクロックパルスCK1、CK2、及び、スタートパルス（走査スタート信号）Vstを、走査制御信号として供給することにより、上述した各実施形態に示した信号保持ブロックから順次出力され、信号レベルの変動が抑制された外部出力信号GS(k)に基づいて、個別の走査信号を走査ラインSLに印加することができるので、表示画素の選択状態を安定化して、良好な画像表示動作を実行することができる。表示画質の向上を図ることができる。

【0097】

また、シフトレジスタ回路の駆動制御のために供給されるクロックパルスの相数を、従来技術に示したシフトレジスタ回路と比較して削減することができるので、該クロックパルスを供給するための信号ライン数を削減して、シフトレジスタ回路を含む走査ドライバの回路規模の縮小を図るとともに、上記クロックパルスを生成制御するシステムコントローラ（外部制御回路）の処理負担を低減することができる。

【0098】

さらに、本構成例に係る表示画素EMと、少なくとも走査ドライバに適用されるシフトレジスタ回路（上述した各実施形態に示した信号保持ブロック）とは、各々同一の製造プロセスにより一括して形成される導電層や絶縁層を適用して一体的に製造することができる。すなわち、液晶表示パネル等に設けられる周知の画素トランジスタ（選択トランジスタ；画素選択手段）や、有機ELパネル等に適用される周知の画素駆動回路（発光駆動回路；画素選択手段）に設けられる薄膜トランジスタと、シフトレジスタ回路（信号保持ブロック）を構成する各薄膜トランジスタとは、同一のガラス基板等の絶縁性基板上に、各々同一の製造プロセスで形成される導電層（電極層）や絶縁層、アモルファスシリコンからなる半導体層を適用して製造することができる。

したがって、すでに製造技術が確立されたアモルファスシリコンを適用して表示パネル、及び、走査ドライバ（シフトレジスタ回路）を、同一の製造プロセスで同時かつ一体的に形成することができるので、比較的安価に動作特性に優れた表示装置を実現することができる。

【0099】

（第2の適用例）

10

20

30

40

50

図14は、本発明に係るシフトレジスタ回路をゲートドライバ（走査ドライバに相当する；駆動制御装置）に適用した画像読取装置を示す概略構成図である。図15は、本構成例に係る画像読取装置に適用可能なフォトセンサの素子構造を示す概略断面図である。

図14に示すように、本適用例に係る画像読取装置は、大別して、フォトセンサアレイ（画素アレイ）210と、トップゲートドライバ220と、ボトムゲートドライバ230と、ドレインドライバ240と、システムコントローラ250と、を備えて構成されている。

#### 【0100】

フォトセンサアレイ210は、図14に示すように、例えば、行方向に並行に配設されたトップゲートライン（リセットライン）TL及びボトムゲートライン（読出しライン）BLと、列方向に配設されたドレインライン（データライン）DLの各交差領域に、後述するダブルゲート型の薄膜トランジスタ構造を有するフォトセンサ（ダブルゲート型フォトセンサ）PSが2次元配列（例えば、 $n$ 行 $\times$  $m$ 列； $n$ 、 $m$ は任意の自然数）に配列された構成を有している。ここで、各フォトセンサPSのソース端子Sは、所定の低電位電圧（例えば、接地電位）に接続されている。

10

#### 【0101】

トップゲートドライバ220は、各行のフォトセンサPSのトップゲート端子TGに共通に接続された各トップゲートラインTLに接続され、システムコントローラ250から供給されるトップゲート制御信号に基づいて、トップゲート信号（走査信号に相当する） $T_i$ （ $i$ は、 $1 \leq i \leq n$ の関係を満たす任意の自然数）を生成して各行のトップゲートラインTLに出力することにより、各フォトセンサPSにおけるリセット動作及びキャリヤ蓄積動作を選択的に実行制御する。

20

#### 【0102】

ボトムゲートドライバ230は、各行のフォトセンサPSのボトムゲート端子BGに共通に接続された各ボトムゲートラインBLに接続され、システムコントローラ250から供給されるボトムゲート制御信号に基づいて、ボトムゲート信号（走査信号に相当する） $B_i$ を生成して各行のボトムゲートラインBLに出力することにより、各フォトセンサPSにおける読み出し動作を実行制御する。

#### 【0103】

ドレインドライバ240は、各列のフォトセンサPSのドレイン端子Dに共通に接続された各ドレインラインDLに接続され、システムコントローラ250から供給されるドレイン制御信号に基づいて、各ドレインラインDLを介して各フォトセンサPSに、所定のプリチャージ電圧を印加するプリチャージ動作を実行制御するとともに、上記ボトムゲート信号 $B_i$ の印加により、各フォトセンサPSにおいて蓄積されたキャリヤの量を各ドレインラインDLを介して信号電圧（ドレイン電圧）として読み出す動作を実行制御する。

30

#### 【0104】

システムコントローラ250は、上記トップゲートドライバ220、ボトムゲートドライバ230及びドレインドライバ240の各々に、トップゲート制御信号、ボトムゲート制御信号、ドレイン制御信号を供給することにより、フォトセンサアレイ210を構成する各フォトセンサPSにおいて、後述する一連の画像読取動作（リセット、キャリヤ蓄積、プリチャージ、読み出しの各動作）を実行する制御を行う。

40

また、システムコントローラ250は、ドレインドライバ230により読み出された信号電圧に基づいて生成された画像データに対して、所定の画像処理を施したり、図示を省略した記憶部への書き込みや読み出しを行うとともに、画像データの照合や加工等の所定の機能処理を実行する外部機能部300に対するインタフェースとしての機能をも備えている。

#### 【0105】

ここで、本構成例に適用可能なフォトセンサPSは、例えば、図15に示すように、概略、励起光（ここでは、可視光）の入射により電子-正孔対が生成されるアモルファスシ

50

リコン等の半導体層 111 と、半導体層 111 の両端に、各々  $n^+$  シリコンからなる不純物層（オーミックコンタクト層）117、118 を介して形成され、クロム、クロム合金、アルミ、アルミ合金等から選択された導電性材料からなり、可視光に対して不透明なソース電極 112（図 14 に示したソース端子 S）及びドレイン電極 113（図 14 に示したドレイン端子 D）と、半導体層 111 の上方（図面上方）にブロック絶縁膜（ストップ膜）114 及び上部ゲート絶縁膜 115 を介して形成され、酸化スズ膜や ITO 膜（インジウム - スズ酸化膜）等の透明電極層からなり、可視光に対して透過性を示すトップゲート電極 TGx（図 14 に示したトップゲート端子 TG）と、半導体層 111 の下方（図面下方）に下部ゲート絶縁膜 116 を介して形成され、クロム、クロム合金、アルミ、アルミ合金等から選択された導電性材料からなり、可視光に対して不透明なボトムゲート電極 BGx（図 14 に示したボトムゲート端子 BG）と、を有して構成されている。そして、このような構成を有するダブルゲート型のフォトセンサ PS は、図 15 に示すように、ガラス基板等の絶縁性基板 SUB 上に形成されている。

#### 【0106】

なお、図 15 において、トップゲート絶縁膜 115、ブロック絶縁膜 114、ボトムゲート絶縁膜 116 を構成する絶縁膜、及び、トップゲート電極 TGx 上に設けられる保護絶縁膜 119 は、いずれも半導体層 111 を励起する可視光に対して高い透過率を有する材質、例えば、窒化シリコンや酸化シリコン等により構成されていることにより、少なくとも保護絶縁膜 119 の上面に載置された被写体（図示を省略）に照射されて反射し、図面上方からフォトセンサ PS（詳しくは、半導体層 111）に入射する光のみを検知する構造を有している。

#### 【0107】

次いで、上述した画像読取装置の駆動制御方法について、図面を参照して簡単に説明する。

図 16 は、上述したダブルゲート型フォトセンサからなるフォトセンサアレイを備えた画像読取装置における基本的な駆動制御方法を示すタイミングチャートである。

本適用例に係る画像読取装置の駆動制御方法は、図 16 に示すように、所定の処理動作期間を 1 処理サイクルとして、リセット期間  $T_{rst}$  と、電荷蓄積期間  $T_{acc}$  と、プリチャージ期間  $T_{prch}$  と、読み出し期間  $T_{read}$  と、を含むように設定することにより実現される。

#### 【0108】

まず、リセット期間  $T_{rst}$  においては、トップゲートドライバ 220 によりトップゲートライン TL を介して、 $i$  行目（ $i$  は、 $1 \leq i \leq n$  の関係を満たす任意の自然数）の各フォトセンサ PS のトップゲート端子 TG にトップゲート信号  $T_i$  としてハイレベルのリセットパルス（例えば、+1.5V）を印加して、半導体層 111 に蓄積されているキャリア（ここでは、正孔）を放出するリセット動作（初期化動作）を実行する。

#### 【0109】

次いで、電荷蓄積期間  $T_{acc}$  においては、トップゲートドライバ 220 により  $i$  行目の各フォトセンサ PS のトップゲート端子 TG にトップゲート信号  $T_i$  としてローレベルのバイアス電圧（例えば、-1.5V）を印加することにより、上記リセット動作を終了し、電荷蓄積動作（キャリア蓄積動作）をスタートする。

ここで、電荷蓄積期間  $T_{acc}$  においては、図 15 に示したフォトセンサ PS の上方に載置された被写体に対して、絶縁性基板 SUB 方向から照射されて反射した光が、透明電極層からなるトップゲート電極 TGx を通過して半導体層 111 に入射されることにより、当該入射光（反射光）の光量に応じて、半導体層 111 のキャリア発生領域で電子 - 正孔対が生成され、半導体層 111 とブロック絶縁膜 114 との界面近傍（チャンネル領域周辺）に正孔が蓄積される。

#### 【0110】

そして、プリチャージ期間  $T_{prch}$  においては、上記電荷蓄積期間  $T_{acc}$  に並行して、ドレインドライバ 240 により各列のドレインライン DL を介して、 $i$  行目の各フォトセンサ PS のドレイン端子 D にドレイン信号  $D_j$ （ $j$  は、 $1 \leq j \leq m$  の関係を満たす任意の

自然数)として所定のプリチャージ電圧 $V_{pg}$ を有するプリチャージパルスを印加して、ドレイン電極113に電荷を保持させるプリチャージ動作を実行する。

【0111】

次いで、上記プリチャージ期間 $T_{prch}$ を経過した後、読み出し期間 $T_{read}$ においては、ボトムゲートドライバ230によりボトムゲートライン $BL$ を介して、 $i$ 行目の各フォトセンサ $PS$ のボトムゲート端子 $BG$ にボトムゲート信号 $B_i$ としてハイレベルの読み出しパルス(例えば、+10V)を印加して、上記電荷蓄積期間 $T_{acc}$ 中にチャネル領域に蓄積されたキャリア(正孔)に応じたドレイン電圧 $V_{Dj}$ を、ドレインドライバ240により各ドレインライン $DL$ を介して読み出す読み出し動作を実行する。

【0112】

ここで、ドレイン電圧 $V_{Dj}$ の変化傾向は、電荷蓄積期間 $T_{acc}$ に蓄積されたキャリアが多い場合(明状態)には、ドレイン電圧 $V_{Dj}$ が急峻に低下する傾向を示し、一方、蓄積されたキャリアが少ない場合(暗状態)には緩やかに低下する傾向を示すので、例えば、所定の読み出し期間 $T_{read}$ の終了時点(一定の時間経過後)のドレイン電圧 $V_{Dj}$ (= $V_{rd}$ )を検出することにより、フォトセンサ $PS$ に入射した光の量、すなわち、被写体の明暗パターンに対応した明度データを検出することができる。

【0113】

そして、このような特定の行( $i$ 行目)に対する一連の明度データの検出動作を1処理サイクルとして、上述したフォトセンサアレイ210を構成する全ての行に対して、同等の処理手順を順次繰り返すことにより、被写体の2次元画像を明度データとして読み取ることができ、システムコントローラ250により被写体の画像データを取得することができる。そして、この画像データは、例えば、外部機能部300において、照合や加工等の所定の機能処理に利用される。このように、フォトセンサアレイを構成する読取画素としてダブルゲート型フォトセンサを適用した場合にあっては、画素選択機能(画素選択手段に相当する)と、明度データ読取機能の双方がフォトセンサ単体で実現される。

【0114】

ここで、上述したような画像読取装置200において、トップゲートドライバ220やボトムゲートドライバ230として、第1の適用例に示した走査ドライバと同様に、各行のトップゲートライン $TL$ 又はボトムゲートライン $BL$ に対応して複数段の信号保持ブロックからなるシフトレジスタ回路及を備えた構成を適用することができる。そして、シフトレジスタ回路の各段の信号保持ブロックから出力される外部出力信号は、バッファ回路を介して所定の信号レベルに増幅されて、トップゲート信号 $T_i$ 及びボトムゲート信号 $B_i$ として各行のトップゲートライン $TL$ 又はボトムゲートライン $BL$ に供給される。

【0115】

これにより、システムコントローラ250から、相互に信号タイミングが重ならない3相のクロックパルス $CK_1 \sim CK_3$ 、又は、2相のクロックパルス $CK_1$ 、 $CK_2$ 、及び、スタートパルス(走査スタート信号) $V_{st}$ を、トップゲート制御信号及びボトムゲート制御信号として個別に供給することにより、上述した各実施形態に示した信号保持ブロックから順次出力され、信号レベルの変動が抑制された外部出力信号 $GS(k)$ に基づいて、トップゲート信号 $T_i$ 及びボトムゲート信号 $B_i$ を生成してトップゲートライン $TL$ 及びボトムゲートライン $BL$ に個別に印加することができるので、読取画素(フォトセンサ)の動作状態を安定化して、良好な画像読取動作を実行することができ、誤動作の発生等を抑制することができる。

【0116】

また、シフトレジスタ回路の駆動制御のために供給されるクロックパルスの相数を、従来技術に示したシフトレジスタ回路と比較して削減することができるので、該クロックパルスを供給するための信号ライン数を削減して、シフトレジスタ回路を含むトップゲートドライバやボトムゲートドライバの回路規模の縮小を図ることができるとともに、上記クロックパルスを生成制御するシステムコントローラ(外部制御回路)の処理負担を低減することができる。

10

20

30

40

50

## 【0117】

さらに、本構成例に係るフォトセンサPS構成するダブルゲート型の薄膜トランジスタ構造と、少なくともトップゲートドライバやボトムゲートドライバに適用されるシフトレジスタ回路(上述した各実施形態に示した信号保持ブロック)を構成する各薄膜トランジスタとは、上述した第1の適用例と同様に、各々同一の製造プロセスにより同一の絶縁性基板SUB上に一括して形成される導電層や絶縁層、アモルファスシリコンからなる半導体層を適用して製造することができる。

したがって、すでに製造技術が確立されたアモルファスシリコンを適用してフォトセンサアレイ、及び、トップゲートドライバやボトムゲートドライバ(シフトレジスタ回路)を同一の製造プロセスを用いて同時かつ一体的に形成することができるので、比較的安価に動作特性に優れた画像読取装置を実現することができる。

10

## 【0118】

なお、図17に示された回路構成を有するシフトレジスタ回路においては、pチャネル型のポリシリコン薄膜トランジスタを適用した回路構成を有しているため、周知のように、すでに製造技術が確立されたアモルファスシリコンからなる半導体層を適用した薄膜トランジスタ(アモルファスシリコン薄膜トランジスタ)を適用する場合に比較して、製造プロセスが高温処理等を含み煩雑で製造コストも高価であるうえ、各薄膜トランジスタのポリシリコンの半導体層の多結晶粒界の数のばらつきによって動作特性もばらつくという問題を有していたが、上記各実施形態のシフトレジスタ回路の回路構成では、多結晶粒界の存在しないnチャネル型アモルファスシリコンで各段のトランジスタを構成することができるので、特性ばらつきがなく、動作状態を規定する回路内の各接点の信号レベルの変動を抑制して安定した動作を実現し、適切な外部出力信号を順次出力することができる。

20

## 【図面の簡単な説明】

## 【0119】

【図1】本発明に係るシフトレジスタ回路の第1の実施形態を示す概略構成図である。

【図2】本実施形態に係るシフトレジスタ回路の駆動制御動作を示すタイミングチャートである。

【図3】本発明に係るシフトレジスタ回路の第2の実施形態を示す概略構成図である。

【図4】本実施形態に係るシフトレジスタ回路の駆動制御動作を示すタイミングチャートである。

30

【図5】第3の実施形態に係るシフトレジスタ回路の一構成例を示す概略構成図である。

【図6】第3の実施形態に係るシフトレジスタ回路の他の構成例を示す概略構成図である。

【図7】本実施形態に係るシフトレジスタ回路の有効性を説明するためのタイミングチャートである。

【図8】本実施形態に係るシフトレジスタ回路の駆動制御動作を説明するためのタイミングチャートである。

【図9】第4の実施形態に係るシフトレジスタ回路の一構成例を示す概略構成図である。

【図10】第4の実施形態に係るシフトレジスタ回路の他の構成例を示す概略構成図である。

40

【図11】本実施形態に係るシフトレジスタ回路の有効性を説明するためのタイミングチャートである。

【図12】本実施形態に係るシフトレジスタ回路の駆動制御動作を説明するためのタイミングチャートである。

【図13】本発明に係るシフトレジスタ回路を走査ドライバに適用した表示装置を示す概略構成図である。

【図14】本発明に係るシフトレジスタ回路をゲートドライバに適用した画像読取装置を示す概略構成図である。

【図15】本構成例に係る画像読取装置に適用可能なフォトセンサの素子構造を示す概略断面図である。

50

【図16】 上述したダブルゲート型フォトセンサからなるフォトセンサアレイを備えた画像読取装置における基本的な駆動制御方法を示すタイミングチャートである。

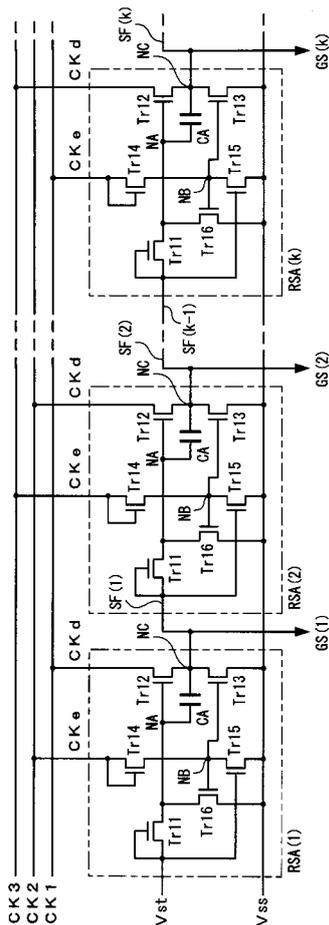
【図17】 従来技術におけるシフトレジスタ回路の一例を示す回路構成図である。

【符号の説明】

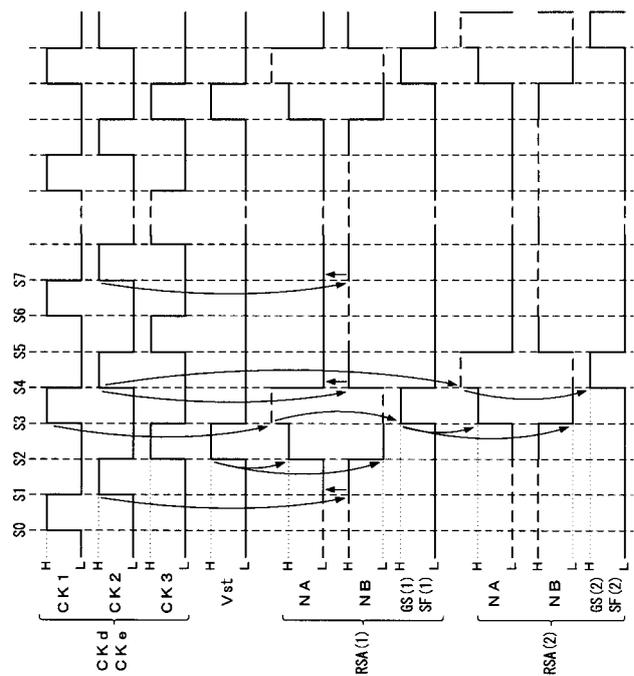
【0120】

- CK1 ~ CK3                      クロックパルス
- RSA(k)、RSB(k)                信号保持ブロック
- Vst                                スタートパルス
- Vend                              エンドパルス
- GS(k)                            外部出力信号
- SF(k)                            シフト信号
- 100                              表示装置
- 200                              画像読取装置

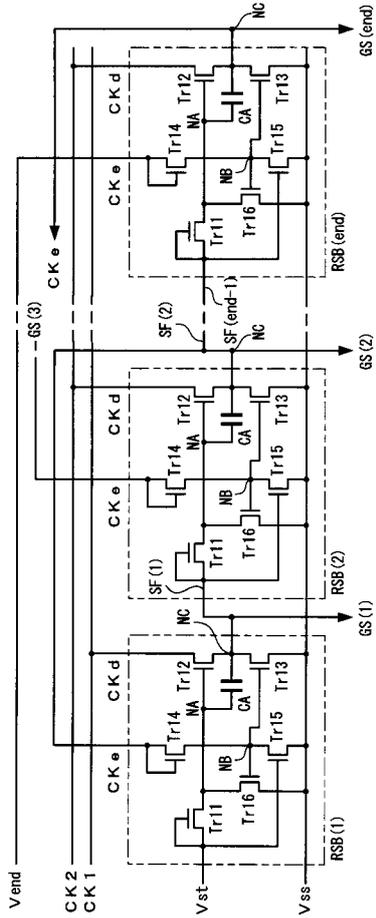
【図1】



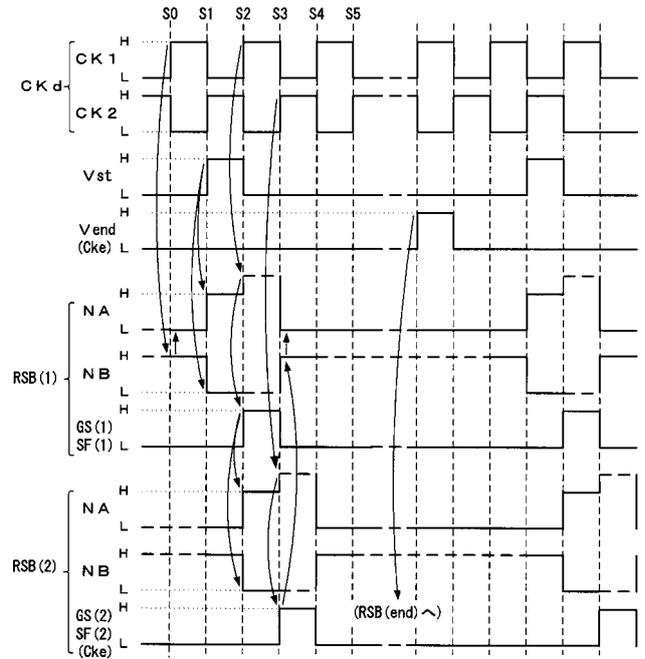
【図2】



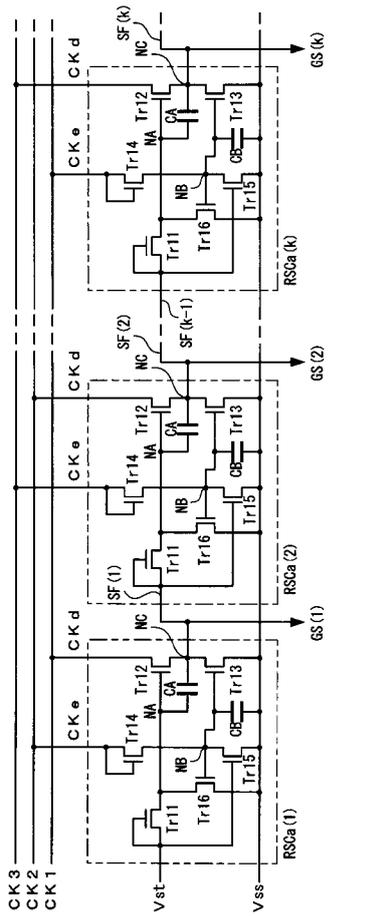
【 3 】



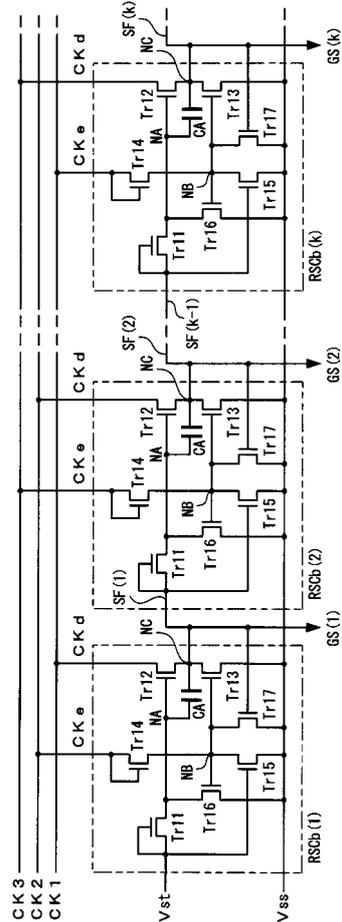
【 4 】



【 5 】

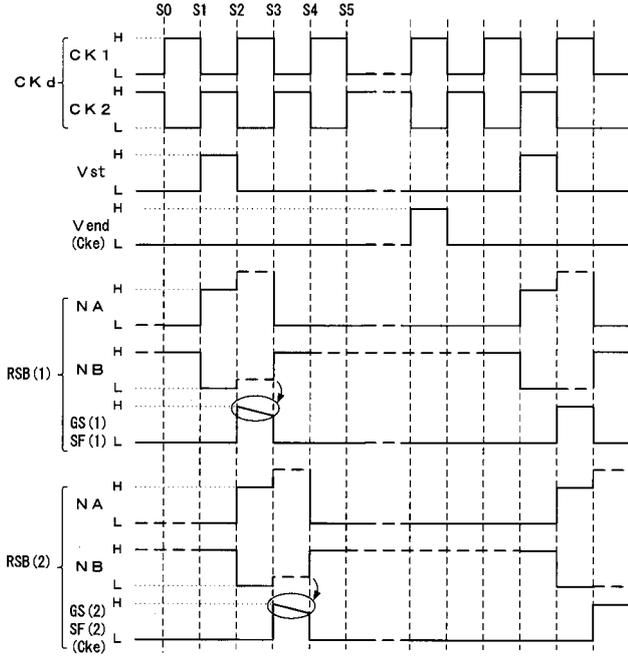


【 6 】

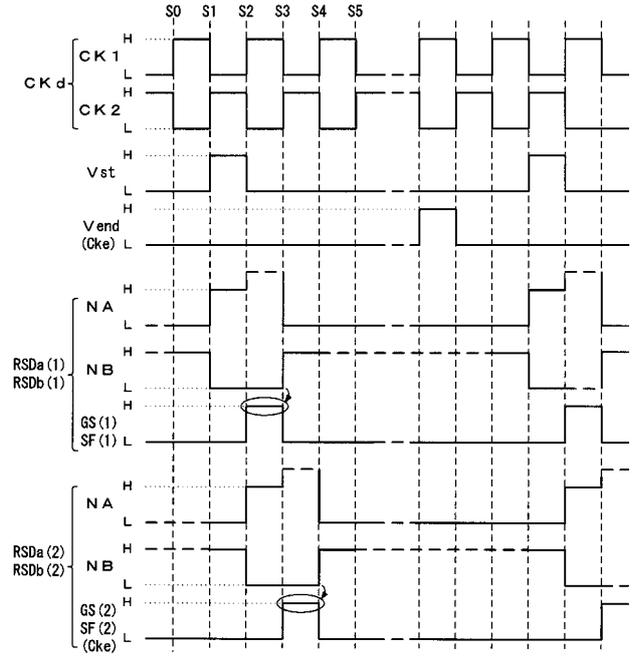




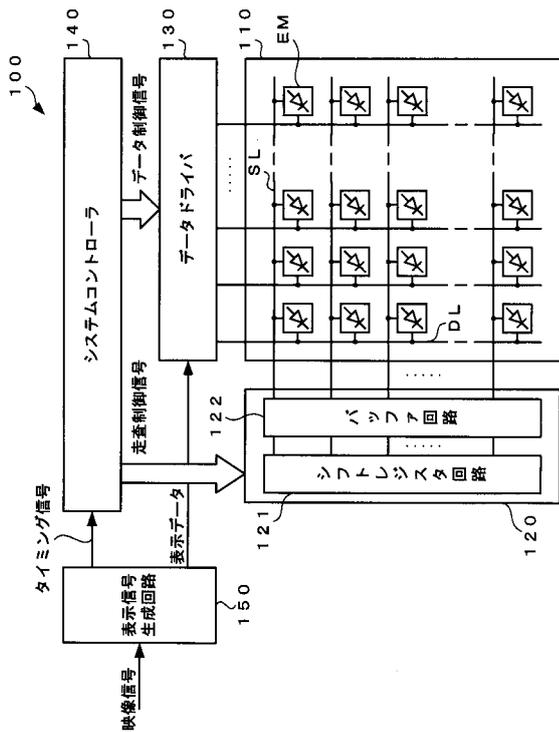
【図 1 1】



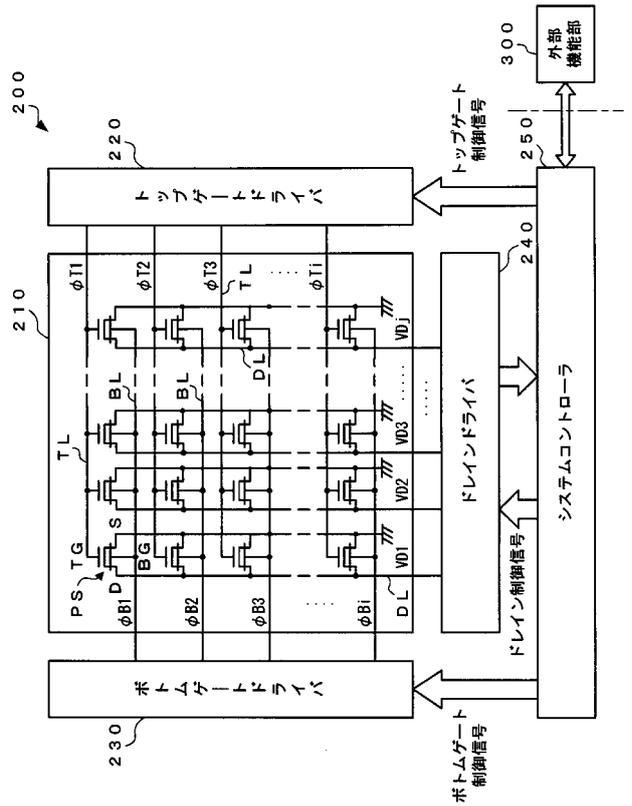
【図 1 2】



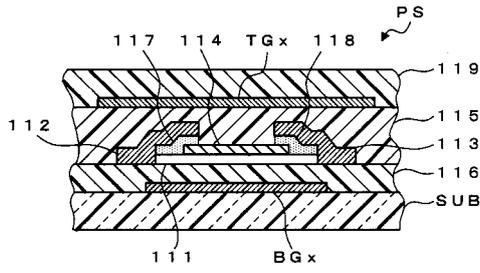
【図 1 3】



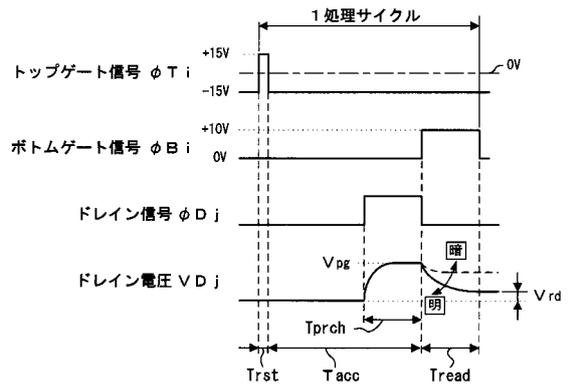
【図 1 4】



【 図 15 】



【 図 16 】



【 図 17 】

