

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
G11C 11/40

(45) 공고일자 1992년 12월 26일
(11) 공고번호 특 1992-0011046

(21) 출원번호	특 1989-0009780	(65) 공개번호	특 1990-0003891
(22) 출원일자	1989년 07월 10일	(43) 공개일자	1990년 03월 27일
(30) 우선권 주장	230410 1988년 08월 10일 미국(US)		
(71) 출원인	인터내셔널 비지네스 머신즈 코포레이션 하워드 지. 피거로아 미합중국, 뉴욕 10504, 아몬크		
(72) 발명자	동상후 미합중국, 뉴욕 10541, 마호팩, 맥그리거 드라이브 407 윌터 하비 헨켈스 미합중국, 뉴욕 10579, 푸트남 벨리, 퀸시 로드 21 닉키 차우-춘 루 미합중국, 뉴욕 10598, 요크타운 하이츠, 트로트 브룩 스트리트 1424		
(74) 대리인	이병호, 최달용		

심사관 : 박충범 (특자공보 제3084호)

(54) 반도체 메모리용 메모리 셀 및 그 제조 방법

요약

내용 없음.

대표도

도 1

명세서

[발명의 명칭]

반도체 메모리용 메모리 셀 및 그 제조 방법

[도면의 간단한 설명]

제1도는 본 발명의 원리에 따른 CMOS 메모리 셀의 개략적인 회로 다이어그램.

제2도는 본 발명의 원리에 따른 CMOS 메모리 셀 구조의 개략적인 단면도.

제3도 및 4도는 제조 처리 단계에서 제2도의 CMOS 셀 구조의 개략적인 단면도.

제5도는 본 발명의 원리에 따른 CMOS 메모리 셀의 다른 실시예의 단면도.

* 도면의 주요부분에 대한 부호의 설명

- | | |
|----------------------|--------------------|
| 10, 12 : n-형 전송 소자 | 14, 16 : p-형 전송 소자 |
| 18, 22, 20, 24 : 게이트 | 30 : 저항 캐패시터 |
| 40 : p+드레인 영역 | 42 : p+소스 영역 |

[발명의 상세한 설명]

본 발명은 상보성 금속 산화물 반도체 트랜지스터와 저장 커패시터를 사용하는 반도체 메모리에 관한 것으로, 특히 대규모 집적회로 기술로서 동적 동작에 대한 랜덤-엑세스-메모리 셀용 구조 및 제조방법에 관한 것이다.

1986년 12월 30일 쿠메 등등에 의한 명칭 "스택 반도체 메모리"인 미합중국 특허 제4,633,438호는 동작 동작에 대한 3-트랜지스터 랜덤 엑세스 메모리를 기술하며, 상기 기술은 트랜지스터중 하나가 다른 트랜지스터 상에 스택되는 것이다. 기록용 트랜지스터는 판독용 트랜지스터상에 배치되고 단자 중 하나는 데이터를 판독하는 트랜지스터의 게이트 전극에 공통으로 사용된다. 다른 단자는 판독용

트랜지스터의 단자중 하나에 접속된다.

대규모 집적이 가능한 메모리 셀은 스택된 상보성 FET를 사용하여 얻을 수 있으며 두개의 FET 워드 라인을 병행함으로써 구동된다. 그러나, 워드라인은 본 발명과 같은 상보성 신호로 동시에 구동되는 것보다 판독 및 기록 동작을 위해 분리 구동된다.

1981년 1월 2일 새책에 의한 명칭 "아날로그 메모리 매트릭스를 사용하는 고-속도 획득 시스템"인 미합중국 특허 제4,271,488호는 아날로그 버스에 접속된 샘플-홀드 소자가 MxN 매트릭스를 형성하도록 로우 및 컬럼상에 배치되어 아날로그 메모리 매트릭스를 사용하는 고-속도 획득 시스템을 기술한다. 시스템은 빠른 인-슬로우 아웃 모드에서 동작가능하며, 아날로그 메모리 매트릭스는 단일 집적-회로 반도체 칩상에서 실행될 수 있다. 아날로그 메모리는 샘플/홀드 회로를 포함하는 셀을 구비한다. 대표적인 샘플/홀드회로는 제2도에 도시되고 제2도는 상보성 FET 스위칭 수단을 도시한다. 그러나, 상보성 구동 회로는 변환기(54) 및 AND 게이트(52)에 의해 셀내에서 얻어진다. 상기 특허는 본 발명에 따른 기술된 바와 같은 상보성 구동 신호를 제공하기 위한 상보성 워드라인 사용을 표시 또는 알려주지 못한다.

1972년 10월 24일 채터즈 등등에 의한 명칭 "느린 기록 및 빠른 비분해 판독을 갖는 아날로그 커패시터 메모리"인 미합중국 특허 제3,701,120호는 비교적 느린 비율로 기록 가능하며 별개로 비교적 빠른 비율로 판독가능한 아날로그 메모리를 기술한다. 단일 기록 및 판독 어드레스 논리는 메모리 유니트가 필요될 때 제공된다. 각 메모리 유니트는 샘플 및 홀드 마이크로 회로의 매트릭스를 포함하며, 각각은 외부 저장 커패시터, 분리 증폭기 및 수직 및 수평 기록 및 판독 어드레싱에 응답하는 별개의 입력 및 출력 아날로그 스위칭을 포함한다.

1969년 7월 22일 번스 등등에 의한 명칭 "상보성 필드-효과 트랜지스터 전송 게이트"인 미합중국 특허 제3,457,435호는 반대 전도 형태인 한 쌍의 필드-효과 트랜지스터가 병렬로 접속된 소스-드레인 통로를 갖는 회로를 기술한다. 반대 극성 감지 신호는 트랜지스터의 게이트에서 동시에 온 또는 오프 바이어스에 인가된다. 상보성 FET를 구비하는 게이트는 단일 FET의 한계 전압에 기인하여 전달된 전압에서 드롭을 제거하기 위해 제4도에 도시된 두개의 상보성 신호에 의해 구동된다. 그러나 상기 특허는 DRAM셀내에서의 사용법을 나타내지 못한다.

푸지쯔 LD의 EP 175-378A는 판독 및 기록 선택 트랜지스터의 게이트에 접속되어 한 라인에 결합되는 판독 및 기록 선택 라인을 가지는 세계의 트랜지스터 셀 DRAM 구조를 나타낸다. 기록 선택 트랜지스터는 판독선택 트랜지스터 상에 배치되고 두개의 트랜지스터는 절연층에 의해 분리되고 드레인 영역으로 나누어진다. 저장 트랜지스터는 판독 선택 트랜지스터와 같은 레벨상의 실리콘 기판에 형성된다. 두 트랜지스터의 채널 영역은 상호 접속되고 각각은 다른 두개의 트랜지스터의 확산(소스 또는 드레인)영역으로 사용된다.

기록 및 판독 선택 라인은 단일 제어 라인 또는 기록/판독 선택 라인에 결합될 수도 있다. 판독 및 기록 선택 트랜지스터의 게이트 전극은 기록/판독 선택 라인에 접속되고 다른 한계 전압을 가짐으로써 구별된다.

다른 관련 기술은 미합중국 특허 제4,434,433호, 제4,308,595호, 제4,203,159호, 제4,044,342호, 제3,919,569호 및 IBM 기술 명세 공보 23권 10호 페이지 4620와 18권 3호 페이지 649를 포함한다.

본 발명의 목적은 한계-손실 문제점 없이도 비-부스트 워드라인과 함께 동작하는 상보성 MOS 1-커패시터 동적 RAM셀을 제공하는 것이다.

본 발명의 다른 목적은 저장 커패시터에 접속된 n-형 및 p-형 전송 소자를 통합하는 CMOS 1저장 커패시터 DRAM셀을 제공하는 것이다.

본 발명의 또다른 목적은 상보성 워드라인에 의해 제어되는 게이트를 갖는 두개의 상보성 트랜지스터 소자와 함께 CMOS DRAM셀을 제공하는 것이다.

본 발명의 또다른 목적, 특징 및 장점은 첨부도면을 참조하여 상세히 기술하기로 한다.

동적-랜덤-엑세스-메모리(DRAM)셀을 사용하는 집적회로 기술에서, DRAM 밀도가 증가할 때, 1-트랜지스터 및 1-커패시터 DRAM 소자같은 DRAM셀에 의해 발생하는 영역을 단계적으로 줄이는 것은 중요하다. DRAM셀에서 전송소자를 작게할 때 발생하는 일반적인 문제점은 "오프" 소자를 통한 누설을 최소화하기 위하여 더높은 한계 전압을 갖는 것이 바람직하나 반대로 저장된 전하를 최대로 하며 더높은 전송율을 얻기 위하여 한계 전압이 작은 것이 바람직하다는 것이다. 상기 문제점을 피하기 위하여 부스트 워드라인을 사용하는 종래 방법은 소자 크기가 줄어들 때 사용하기가 어렵다. 예를들면, 줄어든 소자의 감소 중 단점 전압이 부스트 워드라인 전압 레벨을 제한한다. 그러므로 DRAM이 상기 기술된 한계 손실 문제점 없이도 비-부스트 워드라인을 사용하는 새로운 셀을 갖는 것은 중요하다.

본 발명은 상기 문제점을 극복하는 상보성 MOS 1-커패시터 DRAM셀(CMOS-1C셀)을 제공한다. 새로운 셀의 개략적인 회로는 제1도에 도시된다. 종래의 1-커패시터 DRAM셀과의 차이점은 저장 커패시터에 접속된 단일 형태의 전송 소자만을 갖는 대신에, 예를들면 제1도에 도시된 바와 같이 소자(10,12) 및 (14,16)같이 각 셀에서 n-형 및 p-형 전송 소자를 갖는 것이다. 이들 상보성 소자의 게이트(18,22) 및 (20,24)는 각각 상보성 워드라인(26,28)에 의해 제어된다. 대기 신호에서, n-형 소자(10,11)를 턴 오프하는 워드라인(26)은 로우이고 p-형 소자(12,16)를 턴 오프하는 상보성 워드라인(28)은 하이이다. 전송 소자(10,12) 및 저장 커패시터(30)로 구성되는 셀에서, 전하는 커패시터상에 저장되고 대기 신호에서 비트라인(34)과 절연된다. 셀이 선택될 때 워드라인(26)은 하이로 진행하고 상보성 워드라인(28)은 소자(10,12)를 턴 온하도록 로우로 진행한다. 상보성 소자(10,12)는 한계 손실이 없는 CMOS 통과 게이트를 구비한다. 결과적으로 전체 전압, 전체 전원 전압 VDD 또는 제로 볼트를 저장하기 위하여 워드라인 전압 레벨을 부스트할 필요는 없다. 또한 총 감지 전하는 전체-VDD 양 측 한계손실이 없는 비트라인(34)을 통해 커패시터로부터 판독 및 저장될 수 있다.

상기 기술된 셀은 다음과 같은 여러 장점을 가진다. (1) VDD 또는 제로가 각각 PMOS 또는 NMOS를 통해 완전히 전송되기 때문에, 비록 워드라인 전압 레벨이 부스트되지 않을지라도 전하 전송을 위한 한계전압 손실이 없다. (2) 양 소자가 전하 전송동안 대부분 시간을 사용하기 때문에 신호는 더 빠르다. (3) 셀이 한계 손실이 없으며 높은 전하 전송율을 갖기 때문에, 전송 소자는 누설을 감소시키기 위하여 한계 전압의 큰 절대 값을 갖도록 할 수 있다.

본 발명은 단일 소자에 의해 발생된 집적 회로 영역내에서 PMOS 및 NMOS 소자가 기술적 어려움을 극복하는 제조 처리를 제공한다. 또한 본 발명은 1-소자 셀과 동일한 영역에서 발생하는 CMOS-1C셀에 새로운 셀 구조를 제공한다.

제2도는 상기 새로운 셀 구조의 개략적인 단면도이다. 제2도의 CMOS-1C셀은 n-웰(44)에서 각각 p+ 드레인 및 소스영역(40,42)을 갖는 PMOS소자와 게이트(46)를 포함한다. 또한 셀은 p+기판(50)에서 홀 커패시터(48)를 포함한다. 홀 커패시터(48)는 스트랩으로 불리우는 상호 접속(52)층을 통해 전송 소자의 p+소스 영역에 접속된다. 예를들면 스트랩 물질을 티타늄 규화물, 티타늄 질화물/티타늄 규화물 또는 코발트 규화물이다. 상기에서 PMOS 전송소자는 SOI(실리콘-온-절연체 필름에 만들어진 소스 및 드레인영역(54,56)을 포함하는 n-형(NMOS) 전송소자이다. 스트랩(52)은 p-형 및 n-형 물질과 도통하기 때문에, NMOS 및 PMOS 소자의 소스 및 드레인 영역(42,40)은 접속된다. NMOS소자의 게이트(18) 및 PMOS 소자의 게이트(20)(또는 (46)과 관련됨)은 배열 끝에서 각 라인 구동기에 접속되는 워드라인(26,28)에 각각 접속된다. 제2도의 NMOS 소자 및 PMOS 소자는 제1도의 소자(10,12)에 대응하며 상술된 바와 같이 동작한다.

제2도의 셀 구조 제조 처리는 지금부터 기술하기로 한다. 비록 처리가 하나의 셀에 대해 기술되었을 지라도 상기 처리는 다수의 셀 제조에 적용될 수 있으며, 상기 처리는 다음과 같은 단계로 구성된다.

단계(1) p 에피택셜층(58)은 p+반도체 기판(50) 상에 배치되고 반응 이온 부식(RIE)은 p 에피택셜층(58) 및 p+ 기판 웨이퍼(50) 상에 5 내지 6 μ m 깊이로 홈을 만든다(제3도).

단계(2) 홈 벽부상에서 합성 산화물/질화물/산화물 저장 절연체(80)를 형성한다(제3도).

단계(3) 홈에 p+ 폴리실리콘(60)을 채워 평면화를 이룬다.

단계(4) 1.6MeV 에너지를 사용하는 표면 주입 및 디프 주입같은 두개의 인광 주입에 의하여 리트로그래이드 n-웰(44)을 형성한다.

단계(5) 국부 산화물 절연 영역(82)을 형성한다.

단계(6) 단일 붕소 주입에 의하여 PMOS 및 주변 회로 NMOS 소자의 한계 전압을 조정한다.

단계(7) 게이트 산화물을 형성하여 PMOS 게이트상에서 n+ 폴리실리콘 게이트 물질(46) 및 산화물 필름(62)을 침전시켜 패턴화한다.

단계(8) 게이트 전극 엷지상에서 산화물 공간을 형성한다.

단계(9) 각각 PMOS 및 NMOS 소자에 소스/드레인 접합부를 제공하기 위하여 인광 및 붕소를 주입한다.

단계(10) 규화물(52)형성을 위해 소스/드레인영역(42,40)의 표면을 개방시키며, 게이트(46)는 두꺼운 절연체(62)에 의해 상기 규화물로부터 보호된다(제3도).

단계(11) 규화물 및 절연 영역상에 살짝 도프된 p-형 실리콘 필름(64)을 형성한다. 선택적으로, 상기 필름(64)은 다결정 구조에서 침전되고, 빔어니일링에 의해 재결정 된다(11a). 필름(64)은 다결정 구조에서 침전되고 드레인 경계 트랩은 수소 부동 처리에 의해 활성화되지 않는다(11b). 비결정 필름(64)은 침전되고 규화물 p+소스/드레인 영역의 다결정 때문에, 비결정 필름은 열처리후 단일 크리스탈로 변환된다(11c). 필름(64)은 다결정 구조에서 침전되고 p-형 도핑 레벨은 소자 누설을 최소화하는데 사용되는 높은 한계전압을 제공하도록 조절된다.

단계(12) NMOS 활성 영역을 한정하여 얇은 게이트 산화물을 형성한다.

단계(13) 붕소주입에 의하여 N-채널 한계 전압을 조정한다.

단계(14) n+ 폴리실리콘 게이트 물질(18)을 침전시켜 패턴화하며 게이트 전극 엷지상에서 산화물 공간을 형성한다.

단계(15) n+채널 전송 소자에 n+소스/드레인 접합부(54,56)를 제공하도록 비소 도펀트를 주입하며 소자를 덮도록 산화물을 발생한다.

단계(16) 블랭킷 유리 필름을 침전시켜 다시 흐르게 한다.

단계(17) 부식 접촉 구멍(84)에 침전시켜 금속 레벨(86)을 패턴화한다. 이것은 제2도에 도시된 셀 구조이다.

본 발명에 따른 CMOS-1C셀 구조의 다른 실시예는 제5도에 도시된다. 상기 동일 구조에서, CMOS 통과 게이트는 PMOS 소자(72)와 NMOS 소자(74)로 구성되며, 양 소자(72,74)는 비트라인(72) 및 접속 규화물 또는 금속 스트랩(75)에 접촉하는 것을 제외하고 둘러싸인 도통 물질로부터 완전히 절연된 수직 트랜지스터이다. 폴리 게이트(77,78)를 포함하며 상보적 워드라인을 형성하도록 다른 셀의 게이트에 상호 접속된 전체 셀은 두꺼운 절연체(79)로 덮인 도통 기판(70)내 부식되는 홈(68)에서 만들어진다. 저장 커패시터는 폴리 전극(90), 얇은 산화물 절연체(71) 및 플레이트(70)로 구성된다. 폴리 전극은 도통 스트랩(75)에 의해 소자 확산부에 상호 접속된다.

(57) 청구의 범위**청구항 1**

동적 반도체 메모리 어레이용 메모리 셀 구조체에 있어서, 제1 및 제2신호 레벨을 나타내는 제1워드 라인 신호를 전송하기 위한 제1워드라인과 상기 제1워드라인 신호의 상기 제1 및 제2신호 레벨에 상보성인 두 신호 레벨을 표시하는 제2워드라인 신호를 전송하기 위한 제2워드라인을 갖는 한쌍의 워드라인을 포함하며 또한 상기 메모리 어레이는 비트 라인을 구비하며, 상기 메모리 셀 구조체는 상기 메모리 어레이의 한쌍의 워드라인과, 비트 라인 사이에 접속되고 제1, 제2 및 게이트 전극을 포함하는 NMOS형 트랜지스터 소자를 구비하며 PMOS형 트랜지스터 소자는 제1, 제2 및 게이트전극을 포함하며 저장 커패시터도 포함하며 상기 NMOS형 트랜지스터 소자의 상기 제1전극은 상기 PMOS형 트랜지스터 소자의 상기 제1전극과 상기 메모리 어레이의 비트 라인에 접속되고, 상기 NMOS형 트랜지스터 소자의 상기 제2전극은 상기 PMOS형 트랜지스터 소자의 상기 제2전극과 상기 저장 커패시터에 접속되며, 상기 NMOS형 트랜지스터 소자의 상기 게이트전극은 상기 쌍의 상기 제1워드라인에 접속되며, 상기 PMOS형 트랜지스터 소자의 상기 게이트 전극은 상기 쌍의 상기 제2워드라인에 접속되고 상기 NMOS 및 PMOS형 트랜지스터 소자는 상기 제1워드라인상에서 제1신호 레벨과 상기 제2워드라인 상에서 상기 상보성 신호 레벨에 응답하여 턴 오프되며, 상기 NMOS 및 PMOS형 트랜지스터 소자는 상기 제1워드라인상에서 제2신호 레벨과 상기 제2워드라인 상에서 상기 상보성 신호 레벨에 응답하여 턴 온되며, 상기 비트 라인은 상기 저장 커패시터에 전기적으로 접속되며, 전하는 상기 저장 커패시터에 저장되어 판독되고 상기 저장 커패시터는 상기 워드 라인상에서 상기 신호에 의해 턴 온 및 오프되는 상기 NMOS 및 PMOS형 트랜지스터 소자에 응답하는 것을 특징으로 하는 메모리 셀 구조체.

청구항 2

제1항에 있어서, 상기 NMOS형 트랜지스터 소자의 상기 제1전극은 소스 전극이며 상기 PMOS형 트랜지스터 소자의 상기 제1전극은 드레인 전극이며 상기 NMOS형 트랜지스터 소자의 상기 제2전극은 드레인 전극이며 상기 PMOS형 트랜지스터 소자의 상기 제2전극은 소스 전극인 것을 특징으로 하는 메모리 셀 구조체.

청구항 3

제1항에 있어서, 상기 NMOS형 트랜지스터 소자의 상기 제1전극은 드레인 전극이며, 상기 NMOS형 트랜지스터 소자의 상기 제2전극은 소스 전극이며 상기 PMOS형 트랜지스터 소자의 상기 제1전극은 소스 전극이며, 상기 PMOS형 트랜지스터 소자의 상기 제2전극은 드레인 전극인 것을 특징으로 하는 메모리 셀 구조체.

청구항 4

제1항에 있어서, 반도체 기판과 상기 기판상에 침전된 에피택셜 실리콘층과 상기 에피택셜층에 주입된 n-웰 영역과 상기 기판 및 에피택셜층에 침전되고 상기 저장 커패시터를 형성하도록 그로부터 절연된 홈에 채워진 폴리실리콘을 포함하며, 상기 PMOS형 트랜지스터 소자는 상기 에피택셜 층상에 위치되고 상기 n-웰 영역에 주입된 소스 및 드레인 불순물 영역과 상기 소스 및 드레인 영역에 인접하여 상기 n-웰 영역상에 위치한 산화물 커버게이트 전극을 포함하며 상기 NMOS형 트랜지스터 소자는 상기 PMOS형 트랜지스터 소자에 수직적으로 위치되고, 상기 PMOS형 트랜지스터 소자의 상기 소스 및 드레인 영역에 수직적으로 접속되어 위치한 소스 및 드레인 불순물 영역과 상기 PMOS형 트랜지스터 소자의 상기 게이트 전극으로부터 전기적으로 절연되어 위치한 산화물 덮개 게이트 전극을 포함하는 것을 특징으로 하는 메모리 셀 구조체.

청구항 5

제4항에 있어서, 상기 폴리실리콘으로 채워진 홈상에 위치되고 상기 PMOS형 트랜지스터 소자의 상기 소스 영역상에 위치되고 상기 소스 영역에 상기 홈 저장 커패시터가 전기적으로 접속된 상기 NMOS형 트랜지스터 소자의 상기 소스 영역 아래에 위치한 도통 물질층을 포함하는 것을 특징으로 하는 메모리 셀 구조체.

청구항 6

제4항에 있어서, 상기 기판은 p형 실리콘으로 구성되며, 상기 에피택셜 실리콘층은 p형이며, 상기 홈에 채워진 상기 폴리실리콘은 p형이고, 상기 n-웰은 인광 주입으로 구성되며, 상기 PMOS 및 NMOS형 트랜지스터 소자의 상기 소스 및 드레인은 경사진 소스/드레인 접합부를 제공하도록 인광 및 붕소 주입으로 형성되는 것을 특징으로 하는 메모리 셀 구조체.

청구항 7

반도체 메모리 어레이용 셀 제조방법에 있어서, 반도체 기판상에 에피택셜층을 위치하며 반응이온 부식은 상기 에피택셜층 및 기판에 홈을 만드는 단계(1)와, 상기 홈 내부 벽부상에서 합성 산화물/절화물/산화물 저장 절연체를 형성하는 단계(2)와, 상기 홈에 폴리실리콘을 채워 평면화를 이루는 단계(3)와, 표면 불순물 주입과 디프 불순물 주입에 의하여 상기 에피택셜층에서 역행 리트로그레이드 n-웰을 형성하는 단계(4)와, 게이트 산화물을 발생하여 PMOS형 소자용 폴리 실리콘 게이트 물질을 침전시키며 PMOS 게이트상에서 산화물 필름 절연층을 침전시키며 석판 인쇄술로 상기 산화물 필름층을 패턴화시키는 단계(5)와 각 PMOS 및 NMOS 트랜지스터 소자에 경사진 소스/드레인 접합부를 제공하기 위하여 상기 n-웰에 도펀트를 주입하는 단계(6)와 규화물 형성을 위해 상기 소스/드레인 영역 표면을 개방시키며 상기 게이트 소자는 단계(5)에서 형성된 상기 산화물 필름 절연층에 의해 상기 규화물로부터 보호되는 단계(7)와 상기 규화물, 게이트 산화물 및 절연 영역상에서 도펀트 실

리콘 필름을 형성하며 상기 도프된 실리콘 필름은 다결정 구조에서 침전되고 빔 어니일링에 의해 재 결정되는 단계(8)와, NMOS형 트랜지스터 소자와 활성 영역을 한정하여 얇은 NMOS 게이트 산화물을 발생하는 단계(9)와 불순물 주입에 의해 채널 한계전압을 조정하는 단계(10)와, 폴리실리콘 NMOS형 트랜지스터 소자 게이트 물질을 침전시켜 패턴화하는 단계(11)와, 상기 NMOS 게이트 전극 엠티상에서 산화물 공간 영역을 형성하는 단계(12)와, 전송 소자에 소스/드레인 접합부를 제공하도록 도펀트를 주입하며 소자를 덮는 산화물을 발생하는 단계(13)를 구비하는 것을 특징으로 하는 메모리 셀 제조방법.

청구항 8

제7항에 있어서, 상기 기판은 p+형 실리콘으로 구성되며, 상기 에피택셜 실리콘층은 p형이며, 단계(3)에서 상기 홈에 채워진 상기 폴리실리콘은 p형이며, 단계(2)에서 형성된 상기 n-웰은 인광·주입으로 형성되며, 상기 PMOS 및 NMOS형 트랜지스터소자의 상기 소스 및 드레인 영역은 경사진 소스/드레인 접합부를 제공하는 인광붕소 주입으로 형성되는 특징으로 하는 메모리 셀 제조방법.

청구항 9

제7항에 있어서, 상기 도프된 실리콘 필름은 폴리실리콘 구조에서 침전되며 그레인 경계 트랩은 수소 부동 처리에 의해 활성화되지 않은 것을 특징으로 하는 메모리 셀 제조방법.

청구항 10

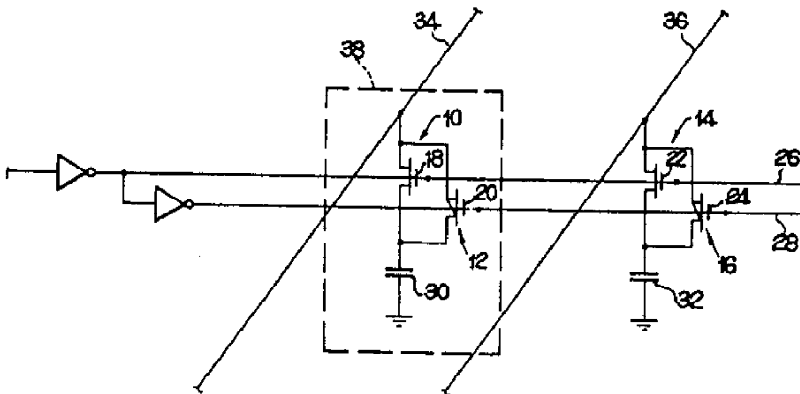
제7항에 있어서, 상기 도프된 실리콘 필름은 열처리에 의해 단일 크리스탈로 변환되고 상기 규화물 p+ 소스/드레인 영역을 갖는 비결정 필름상에 침전되는 것을 특징으로 하는 메모리 셀 제조방법.

청구항 11

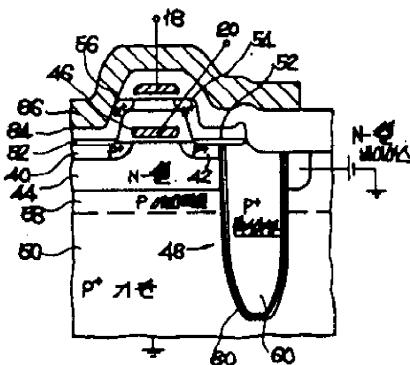
제7항에 있어서, 상기 살짝 도프된 실리콘은 다결정 구조에서 침전되고 p-형 도핑 레벨은 높은 한계 전압을 제공하도록 조정되는 것을 특징으로 하는 메모리 셀 제조방법.

도면

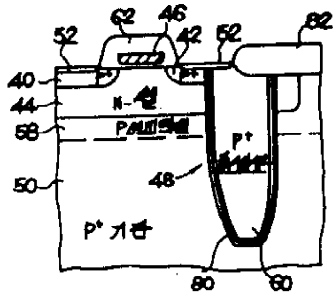
도면1



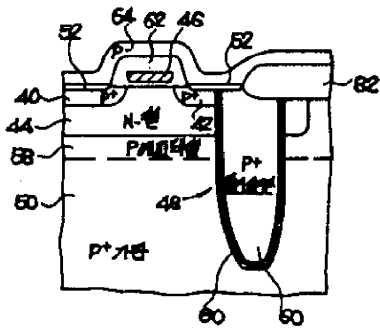
도면2



도면3



도면4



도면5

