

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7121141号
(P7121141)

(45)発行日 令和4年8月17日(2022.8.17)

(24)登録日 令和4年8月8日(2022.8.8)

(51)国際特許分類		F I	
H 0 1 L	27/11582(2017.01)	H 0 1 L	27/11582
H 0 1 L	21/336(2006.01)	H 0 1 L	29/78 3 7 1
H 0 1 L	29/788(2006.01)		
H 0 1 L	29/792(2006.01)		

請求項の数 32 (全33頁)

(21)出願番号	特願2020-561010(P2020-561010)	(73)特許権者	519237948 長江存儲科技有限責任公司 Yangtze Memory Technologies Co., Ltd. 中華人民共和国湖北省武漢市東湖新技術 開發区未来三路88号 No. 88 Weilai 3rd Road, East Lake High-tech Development Zone, Wuhan, Hubei, China
(86)(22)出願日	平成30年5月3日(2018.5.3)	(74)代理人	100109210 弁理士 新居 広守
(65)公表番号	特表2021-520647(P2021-520647 A)	(72)発明者	タオ・チャン 中華人民共和国、フベイ 430074 最終頁に続く
(43)公表日	令和3年8月19日(2021.8.19)		
(86)国際出願番号	PCT/CN2018/085421		
(87)国際公開番号	WO2019/210477		
(87)国際公開日	令和1年11月7日(2019.11.7)		
審査請求日	令和2年10月30日(2020.10.30)		

(54)【発明の名称】 3次元メモリデバイスのスルーアレイコンタクト(TAC)

(57)【特許請求の範囲】

【請求項1】

半導体基板と、

前記半導体基板上に配置された交互層スタックと、

前記半導体基板の分離領域上にあり、前記交互層スタックによって取り囲まれた部分を通して垂直に延在する、誘電体構造であって、前記交互層スタックは前記誘電体構造の側壁表面に接し、前記誘電体構造は単一の誘電体材料で形成される、誘電体構造と、

前記誘電体構造および前記分離領域を通して垂直に延在する1つまたは複数のスルーアレイコンタクト(TAC)と、

前記交互層スタックを通して垂直に延在する1つまたは複数のチャンネル構造と、を備える、

3次元(3D)メモリデバイス。

【請求項2】

前記1つまたは複数のチャンネル構造のそれぞれと前記半導体基板との間に形成されたエピタキシャル層と、

前記1つまたは複数のチャンネル構造のそれぞれの上に配置されたエッチング停止プラグと、

前記交互層スタック内に配置された階段構造と、

前記1つまたは複数のTAC、チャンネル構造、およびスリット構造上に配置された1つまたは複数のコンタクト層と、を更に含む、

10

20

請求項 1 に記載の 3 D メモリデバイス。

【請求項 3】

前記誘電体構造が前記 T A C の側壁表面に接する、
請求項 1 に記載の 3 D メモリデバイス。

【請求項 4】

前記 3 D メモリデバイスが N A N D 3 D メモリデバイスである、
請求項 1 または 2 に記載の 3 D メモリデバイス。

【請求項 5】

前記交互層スタックが誘電体層と導体層との交互ペアを含む、
請求項 1 に記載の 3 D メモリデバイス。

10

【請求項 6】

前記誘電体層が酸化シリコンを含み、前記導体層が金属を含む、
請求項 5 に記載の 3 D メモリデバイス。

【請求項 7】

前記導体層がワードラインを含む、
請求項 5 に記載の 3 D メモリデバイス。

【請求項 8】

前記誘電体材料が酸化シリコンである、
請求項 1 または 3 に記載の 3 D メモリデバイス。

【請求項 9】

前記誘電体構造が酸化物を含む、
請求項 1 または 3 に記載の 3 D メモリデバイス。

20

【請求項 10】

前記誘電体構造が前記 3 D メモリデバイス内のスルーアレイコンタクト領域を画定する、
請求項 1 に記載の 3 D メモリデバイス。

【請求項 11】

前記誘電体構造が前記分離領域と等しいかまたはそれよりも小さいフットプリントを有する、
請求項 1 に記載の 3 D メモリデバイス。

【請求項 12】

3 D メモリデバイスを形成する方法であって、
基板上に分離構造を形成することと、
前記基板上に、第 1 の誘電体層と、前記第 1 の誘電体層とは異なる第 2 の誘電体層とのペアを含む交互誘電体層スタックを配置することと、
前記交互誘電体層スタック内で垂直に延在するチャンネル構造を形成することと、
前記交互誘電体層スタック内の部分であって、前記交互誘電体層スタックによって取り囲まれた部分に、前記分離構造を露出させる開口部を形成することと、
前記開口部を単一の誘電体材料からなる誘電体層で充填して、前記 3 D メモリデバイスのスルーアレイコンタクト (T A C) 領域として誘電体構造を形成することと、
前記基板が露出して、前記誘電体構造および前記分離構造を通して垂直に延在する T A C 開口部を形成するまで、前記誘電体構造および前記分離構造の一部を取り除くことと、
前記 T A C 開口部を導体で充填して、前記 T A C 領域内に、前記基板と接触している T A C 構造を形成することと、を含む、
方法。

30

【請求項 13】

前記 T A C 開口部を形成する前に、前記方法が、
前記交互誘電体層スタック内に垂直に延在し、前記基板のドーブされた領域を露出させるスリット開口部を形成することと、
前記 1 つまたは複数のスリット開口部を通る前記第 2 の誘電体層を導体層で置き換えて、前記交互誘電体層スタックを交互誘電体 / 導体層スタックに変換することと、

40

50

前記１つまたは複数のスリット開口部を導体で充填して、前記交互誘電体／導体層スタック内で垂直に延在する１つまたは複数のスリット構造を形成することと、を更に含む、請求項１２に記載の方法。

【請求項１４】

前記チャンネル構造を形成する前に、トリムエッチングプロセスを実行して、前記交互誘電体層スタック内に階段構造を形成する、

請求項１２に記載の方法。

【請求項１５】

前記交互誘電体層スタックの一部を取り除くことが、ドライエッチングプロセスを実行することを含む、

請求項１２に記載の方法。

10

【請求項１６】

前記開口部を前記誘電体層で充填することが、化学蒸着、プラズマ促進化学蒸着、または物理蒸着プロセスで、前記誘電体層を堆積することを含む、

請求項１２に記載の方法。

【請求項１７】

前記開口部を前記誘電体層で充填することが、酸化物を形成することを含む、

請求項１２に記載の方法。

【請求項１８】

前記開口部を前記誘電体層で充填することが、酸化シリコンを形成することを含む、

請求項１２に記載の方法。

20

【請求項１９】

前記第１の誘電体層が酸化物を含み、前記第２の誘電体層が窒化物を含む、

請求項１２に記載の方法。

【請求項２０】

前記第１の誘電体層が酸化シリコンを含み、前記第２の誘電体層が窒化シリコンを含む、

請求項１２に記載の方法。

【請求項２１】

３Ｄメモリデバイスを形成する方法であって、

基板上に、第１の誘電体層と、前記第１の誘電体層とは異なる第２の誘電体層とのペアを含む交互誘電体層スタックを配置することと、

30

前記交互誘電体層スタックを通して垂直に延在するチャンネル構造を形成することと、

前記交互誘電体層スタックによって取り囲まれた部分をエッチングして、前記基板内の分離領域を露出させる開口部を形成することと、

前記開口部を単一の誘電体材料からなる誘電体層で充填して、前記分離領域と等しいかまたはそれよりも小さいスルーアレイコンタクト（ＴＡＣ）領域として誘電体構造を形成することと、

前記誘電体構造および前記分離領域を通してエッチングして、前記基板を露出するＴＡＣ開口部を形成することと、

前記ＴＡＣ開口部を導体で充填して、前記ＴＡＣ領域内にＴＡＣ構造を形成することと、

40

を含む、

方法。

【請求項２２】

前記交互誘電体層スタックを通して垂直に延在し、前記基板のドーブされた領域を露出させるスリット開口部を形成することと、

前記スリット開口部を通る前記第２の誘電体層を導体層で置き換えて、前記交互誘電体層スタックを交互誘電体／導体層スタックに変換することと、

前記スリット開口部を導体で充填して、スリット構造を形成することと、

前記交互誘電体層スタック内に、複数のレベルを含む階段構造を形成することと、

前記階段構造の前記レベルのそれぞれにワードラインコンタクトを形成することと、

50

前記チャンネル構造およびスリット構造の上にローカルコンタクトを形成することと、
前記ローカルコンタクト、各ワードライン、および各 T A C 構造上に 1 つまたは複数の
コンタクト層を形成することと、を更に含む、
請求項 2 1 に記載の方法。

【請求項 2 3】

前記第 1 の誘電体層が酸化シリコンを含み、前記第 2 の誘電体層が窒化シリコンを含み、
請求項 2 1 に記載の方法。

【請求項 2 4】

前記交互誘電体層スタック内に前記開口部を形成することが、ドライエッチングプロセ
スを実行することを含む、

10

請求項 2 1 に記載の方法。

【請求項 2 5】

前記誘電体構造が酸化シリコンを含む、

請求項 2 1 に記載の方法。

【請求項 2 6】

前記交互誘電体 / 導体層スタックが前記誘電体構造の側壁に接する、

請求項 2 2 に記載の方法。

【請求項 2 7】

前記誘電体構造が各 T A C 構造の側壁表面に接する、

請求項 2 1 に記載の方法。

20

【請求項 2 8】

分離構造を有する基板と、

前記基板上に配置された交互導体 / 誘電体層スタックと、

前記分離構造上にあり、前記交互導体 / 誘電体層スタック によって取り囲まれた部分を
通って垂直に延在する、誘電体構造であって、前記交互導体 / 誘電体層スタックは前記誘
電体構造の側壁表面に接し、前記誘電体構造は単一の誘電体材料で形成される、誘電体構
造と、

前記交互導体 / 誘電体層スタックを通して垂直に延在するチャンネル構造と、

前記誘電体構造および前記分離構造を通して垂直に延在するスルーレイコンタクト (
T A C) と、を備える、

30

3 次元 (3 D) メモリデバイス。

【請求項 2 9】

前記交互導体 / 誘電体層スタック内に配置された階段構造であって、前記階段構造は複
数のレベルを含み、各レベルはその上に導体層を有する、階段構造と、

前記階段構造の各導体層上に配置されたワードラインコンタクトと、

各チャンネル構造およびスリット構造上に配置されたローカルコンタクトと、を更に含む、

請求項 2 8 に記載の 3 D メモリデバイス。

【請求項 3 0】

前記誘電体構造が前記各 T A C の側壁に接する、

請求項 2 8 に記載の 3 D メモリデバイス。

40

【請求項 3 1】

前記誘電体構造が前記 3 D メモリデバイスのスルーレイコンタクト領域を含む、

請求項 2 8 に記載の 3 D メモリデバイス。

【請求項 3 2】

各ローカルコンタクトと各チャンネル構造との間に挿入されたエッチング停止プラグと、

各チャンネル構造と前記基板との間に配置されたエピタキシャル層と、を更に含む、

請求項 2 8 に記載の 3 D メモリデバイス。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

50

本開示は、一般に、半導体技術の分野に関し、より具体的には、3次元(3D)メモリデバイスのチャンネルホールプラグ構造およびその形成方法に関する。

【背景技術】

【0002】

平面メモリセルは、回路設計、製造統合、および製造プロセスの改善により、ある技術世代から次の世代へと継続的にサイズが小さくなってきた。しかし、メモリセルのフィーチャサイズが継続的に縮小するにつれて、平面メモリセルの密度は増加する。その結果、製造技術は困難になり、費用がかかる可能性がある。

【0003】

3次元(3D)メモリアーキテクチャ(例えば、互いの上に積み重ねられた平面メモリセル)は、平面メモリセルの密度制限に対処することができる。3Dメモリアーキテクチャには、メモリアレイと、メモリアレイとの間の信号を制御するための周辺デバイスと、が含まれる。

10

【発明の概要】

【0004】

3Dメモリおよびその製造方法の実施形態が本明細書で開示される。

【0005】

本開示のいくつかの実施形態によれば、3D NANDメモリデバイスは、階段構造を有する交互層スタックと、交互層スタックによって取り囲まれた1つまたは複数の誘電体構造と、を含む。交互層スタックは交互の導体および誘電体層のスタックを含むことができ、誘電体構造は単一の誘電体層を含むことができる。メモリデバイスは更に、交互導体/誘電体スタックを通して垂直に延在する多数の垂直構造と、誘電体構造を通して垂直に延在する多数の垂直構造と、を含む。限定ではなく例として、交互導体/誘電体スタックを通して垂直に延在する垂直構造は、「チャンネル」構造および「スリット」構造を含むことができる。誘電体構造を通して垂直に延在する垂直構造は、本明細書で「スルーアレイコンタクト」(「TAC」構造または「TAC」)と呼ばれるスルーアレイコンタクト構造を含むことができる。

20

【0006】

3D NANDメモリデバイスの追加の要素は、各チャンネル構造上に配置されたエッチング停止層と、複数の第1のコンタクトを有する第1のコンタクト層と、を含むことができる。例えば、第1のコンタクトのそれぞれは、階段構造の各交互導体/誘電体スタックからのそれぞれの導体層、チャンネル構造のそれぞれのエッチング停止層、およびそれぞれのスリット構造に物理的に接続するように形成することができる。

30

【0007】

いくつかの実施形態では、エッチング停止層は、ポリシリコン(例えば、多結晶シリコンまたは「ポリ」)、チタン(Ti)、窒化チタン(TiN)、タングステン(W)、またはそれらの組み合わせを含む。更に、複数の導体/誘電体層ペアのそれぞれは、金属および酸化シリコン(SiO₂)層を含むことができる。前述の材料は例示であり、限定するものではない。したがって、他の適切な材料を使用することができる。

【0008】

いくつかの実施形態では、メモリデバイスは、交互導体/誘電体スタックを通して垂直に延在するダミー(例えば、電氣的に機能しない)チャンネル構造を含む。

40

【0009】

いくつかの実施形態では、メモリデバイスは、第1のコンタクト層上の第2のコンタクト層と、第2のコンタクト層上の第3のコンタクト層と、を含む。第2および第3のコンタクト層は、それぞれ第2および第3のコンタクトを含む。第3のコンタクト層の一部のコンタクトは、それぞれの第2および第1のコンタクトを介して、階段構造の交互導体/誘電体スタックからの導体層、ならびにチャンネル構造およびスリット構造に電氣的に接続される。いくつかの実施形態では、第1、第2、および第3のコンタクト層は、3D NANDメモリデバイスのための相互接続ネットワークを形成する。相互接続ネットワーク

50

は、3D NANDメモリデバイスの様々なコンポーネント間で電気信号を転送するために使用できる。

【0010】

本開示のいくつかの実施形態によれば、3D NANDメモリデバイスの形成方法が本明細書で開示される。例えば、交互誘電体スタックを基板上に形成することができる。交互誘電体スタックは、複数の誘電体層ペアを含むことができ、各ペアは、第1の誘電体層と、第1の誘電体層とは異なる第2の誘電体層と、を含む。続いて、第1の階段構造を交互誘電体スタックに形成することができる。続いて、チャンネル構造および誘電体構造（それぞれ交互誘電体スタックを通して垂直に延在する）を形成する。

【0011】

いくつかの実施形態では、誘電体構造の誘電体材料は、交互誘電体スタックの第2の誘電体層の材料と同じであり得る。犠牲エッチング停止層を各チャンネル構造上に配置することができる。続いて、交互誘電体スタックを通して延在するスリット開口部が形成され、交互誘電体スタックの第1の誘電体層がスリット開口部を通して導体層に置き換えられ、複数の導体/誘電体層ペアを形成する。次に、スリット開口部は導体材料で充填される。更に、複数の第1のコンタクトを有する第1のコンタクト層を形成して、第1の階段構造の交互導体/誘電体スタックからの各第1の導体層を第1のコンタクトに接続することができる。更に、各チャンネルおよびスリット構造はまた、第1のコンタクト層のそれぞれの第1のコンタクトに接続することができる。いくつかの実施形態では、第1のコンタクト層の形成前に、各チャンネル構造上の犠牲エッチング停止層を「永久」エッチング停止層で置き換えることができる。

【0012】

いくつかの実施形態では、TAC開口部は、誘電体構造を通してエッチングされ、続いて、金属で充填されて、誘電体構造および基板の一部を通して延在するそれぞれのTAC構造を形成する。いくつかの実施形態では、TAC構造は、第1のコンタクト層の一部である。言い換えれば、TAC構造は、第1のコンタクト層と同時に形成することができる。

【0013】

いくつかの実施形態では、複数の第2のコンタクトを有する第2のコンタクト層を、第1のコンタクト層の上に形成することができる。第2のコンタクトは、第1のコンタクト層のそれぞれの第1のコンタクトに接続することができる。

【0014】

いくつかの実施形態では、複数の第3のコンタクトを有する第3のコンタクト層を、第2のコンタクト層の上に形成することができる。第3のコンタクト層は、それぞれの第2および第1のコンタクト層を介して、第1の階段構造の交互導体/誘電体スタックの第1の導体層、チャンネル構造、およびスリット構造を含むメモリデバイスの様々なコンポーネントに電氣的に接続できる。

【0015】

いくつかの実施形態では、スリット構造を形成する前に、ドーブされた領域を基板に形成することができる。スリット構造はドーブされた領域と接触することができる。

【0016】

いくつかの実施形態では、永久エッチング停止層は、ポリシリコン、チタン、窒化チタン、およびタングステンの1つまたは複数を含む。誘電体構造は酸化シリコンを含むことができる。複数の誘電体層ペアのそれぞれは、酸化シリコン層および窒化シリコン層を含むことができる。複数の導体/誘電体層ペアのそれぞれは、金属層および酸化シリコン層を含むことができる。

【0017】

本発明の更なる特徴および利点、ならびに本発明の様々な実施形態の構造および動作は、添付の図面を参照して以下に詳細に説明される。本発明は、本明細書に記載される特定の実施形態に限定されないことに留意されたい。そのような実施形態は、例示の目的のみ本明細書に提示されている。追加の実施形態は、本明細書に含まれる教示に基づいて、

10

20

30

40

50

当業者に明らかであろう。

【図面の簡単な説明】

【0018】

本明細書に組み込まれ、本明細書の一部を形成する添付の図面は、本開示の実施形態を示し、説明とともに、更に本開示の原理を説明し、当業者が本開示を作成および使用することを可能にするのに役立つ。

【図1A】本開示のいくつかの実施形態による、3Dメモリデバイスの様々な領域を平面図で示す。

【図1B】本開示のいくつかの実施形態による、3Dメモリデバイスの様々な領域を平面図で示す。

10

【図1C】本開示のいくつかの実施形態による、3Dメモリデバイスの様々な領域を平面図で示す。

【図2】本開示のいくつかの実施形態による、3Dメモリデバイスの断面図を示す。

【図3】本開示のいくつかの実施形態による、3Dメモリデバイスを形成する例示的な方法のフロー図である。

【図4】本開示のいくつかの実施形態による、3Dメモリデバイスを形成する例示的な製造プロセスを示す。

【図5】本開示のいくつかの実施形態による、3Dメモリデバイスを形成する例示的な製造プロセスを示す。

【図6】本開示のいくつかの実施形態による、3Dメモリデバイスを形成する例示的な製造プロセスを示す。

20

【図7】本開示のいくつかの実施形態による、3Dメモリデバイスを形成する例示的な製造プロセスを示す。

【図8】本開示のいくつかの実施形態による、3Dメモリデバイスを形成する例示的な製造プロセスを示す。

【図9】本開示のいくつかの実施形態による、3Dメモリデバイスを形成する例示的な製造プロセスを示す。

【図10】本開示のいくつかの実施形態による、3Dメモリデバイスを形成する例示的な製造プロセスを示す。

【図11】本開示のいくつかの実施形態による、3Dメモリデバイスを形成する例示的な製造プロセスを示す。

30

【図12】本開示のいくつかの実施形態による、3Dメモリデバイスを形成する例示的な製造プロセスを示す。

【図13】本開示のいくつかの実施形態による、3Dメモリデバイスを形成する例示的な製造プロセスを示す。

【発明を実施するための形態】

【0019】

本開示の特徴および利点は、同様の参照文字が全体を通して対応する要素を識別する図面と併せて解釈されるとき、以下に記載される発明を実施するための形態からより明らかになるであろう。図面において、同様の参照番号は、一般に、同一の、機能的に同様の、および/または構造的に同様の要素を示す。更に、一般に、参照番号の左端の数字は、参照番号が最初に表示される図面を識別する。特に明記しない限り、本開示全体にわたって提供される図面は、原寸に比例する図面として解釈されるべきではない。

40

〔詳細な説明〕

【0020】

特定の構成および配置について説明しているが、これは例示の目的でのみ行われていることを理解されたい。当業者は、本開示の精神および範囲から逸脱することなく、他の構成および配置を使用できることを認識するであろう。当業者には、本開示が様々な他の用途にも用いることができることが明らかであろう。

【0021】

50

本明細書における「一実施形態 (one embodiment)」、「一実施形態 (an embodiment)」、「典型的な実施形態」、「いくつかの実施形態」などへの言及は、記載された実施形態が特定の特徴、構造、または特性を含み得ることを示すが、すべての実施形態が特定の特徴、構造、または特性を必ずしも含むとは限らないことに留意すべきである。更に、そのような語句は、必ずしも同じ実施形態を指すとは限らない。更に、特定の特徴、構造、または特性が実施形態に関連して説明されている場合、明示的に説明されているかどうかにかかわらず、他の実施形態に関連してそのような特徴、構造、または特性に影響を与えることは、当業者の知識の範囲内である。

【0022】

一般に、用語は、少なくとも一部は文脈での使用から理解できる。例えば、本明細書で使用する場合、「1つ以上」という用語は、少なくとも一部は文脈に応じて、任意の特徴、構造、もしくは特性を単数の意味で説明するために使用され得るか、または特徴、構造、もしくは特性の組み合わせを複数の意味で説明するために使用され得る。同様に、「a」、「an」、または「the」などの用語は、少なくとも一部は文脈に応じて、単数の用法を伝える、または複数の用法を伝えると理解することができる。

10

【0023】

本開示における「上 (on)」、「上方 (above)」、および「上 (over)」の意味は、「上 (on)」が何かの「直接上 (directly on)」を意味するだけでなく、中間フィーチャまたはその間の層がある何かの「上 (on)」の意味も含み、「上方 (above)」または「上 (over)」が何かの「上方 (above)」または「上 (over)」の意味を意味するだけでなく、中間フィーチャまたはその間の層がない何かの「上方 (above)」または「上 (over)」(すなわち、何かの直接上)の意味も含むように、最も広い意味で解釈されるべきであることが容易に理解されるべきである。

20

【0024】

更に、「下 (beneath)」、「下方 (below)」、「下部 (lower)」、「上方 (above)」、「上部 (upper)」などの空間的に相対的な用語は、説明を容易にするために本明細書で使用されて、図に示されるように、ある要素または特徴と別の要素または特徴との関係を説明することができる。空間的に相対的な用語は、図に示されている向きに加えて、使用中または動作中のデバイスの様々な向きを包含することが意図されている。装置は他の方向に向けられてもよく(90度または他の向きに回転され)、本明細書で使用される空間的に相対的な記述子は同様にそれに応じて解釈されてもよい。

30

【0025】

本明細書で使用する場合、「基板」という用語は、後続の材料層が上に追加されるか、または他の方法で「配置される」材料を指す。基板自体をパターン化することができる。基板の上に(例えば、上部に)配置された材料は、パターン化することも、パターン化せずに残すこともできる。更に、基板は、シリコン、ゲルマニウム、ヒ化ガリウム、リン化インジウムなどの幅広い半導体材料を含むことができる。あるいは、基板は、ガラス、プラスチック、またはサファイアウエハなどの非導電性材料から作ることができる。

40

【0026】

本明細書で使用する場合、「層」という用語は、厚みのある領域を含む材料部分を指す。層は、下にあるもしくは上にある構造の全体にわたって延在することができ、または下にあるもしくは上にある構造の範囲よりも小さい範囲を有することができる。更に、層は、連続構造の厚さよりも薄い厚さを有する均一または不均一な連続構造の領域であり得る。例えば、層は、連続構造の上面と底面との間、または上面および底面にある任意の一对の水平面の間配置することができる。本明細書で使用する場合、構造、層、または要素の「上面」または「前面」という用語は、後続の要素または構造がその上に形成され得る表面を指す。逆に、本明細書で使用する場合、「底面」または「裏面」という用語は、上面とは反対側の構造、層、または要素の側を指す。「上面」または「前面」および「底面

50

「または「背面」という用語は、単に説明の目的で使用されており、要素、層、または構造の向きを限定するものではないことに留意されたい。層は、水平方向、垂直方向、および/またはテーパ面に沿って延在し得る。基材は、層であり得、その中に1つ以上の層を含み得、ならびに/またはその上、その上方、および/もしくはその下方に1つ以上の層を有し得る。層は複数の層を含んでもよい。例えば、相互接続層は、(コンタクト、相互接続ライン、および/またはビアが形成される)1つ以上の導体およびコンタクト層と、1つ以上の誘電体層とを含むことができる。

【0027】

本明細書で使用する場合、「公称、名目上(nominal/nominally)」という用語は、製品またはプロセスの設計フェーズ中に設定される、構成要素またはプロセス動作の特性またはパラメータの所望の、または目標の値を指し、所望の値より上および/または下の値の範囲を伴う。値の範囲は、生産プロセスまたは許容誤差のわずかな変動が原因である可能性がある。本明細書で使用する場合、「約(about)」という用語は、対象の半導体デバイスに関連する特定の技術ノードに基づいて変化する可能性がある所与の量の値を示す。特定の技術ノードに基づいて、「約」という用語は、例えば、値の10~30%(例えば、値の±10%、±20%、または±30%)以内で変化する所与の量の値を示すことができる。

【0028】

本明細書で使用する場合、「3Dメモリデバイス」という用語は、横向きの基板上にメモリセルトランジスタの縦向きのストリング(本明細書ではNANDストリングなどの「メモリストリング」と呼ばれる)を有する半導体デバイスを指し、メモリストリングは、基板に対して垂直方向に延在する。本明細書で使用する場合、「垂直(vertical/vertically)」という用語は、基板の側面に名目上垂直であることを意味する。

【0029】

本開示による様々な実施形態は、メモリアレイ(本明細書では「アレイデバイス」とも呼ばれる)用の相互接続構造を有する3Dメモリデバイスを提供する。相互接続構造により、様々なメモリアレイ構造(例えば、NANDストリング、ゲートラインスリット、ワードラインなど)へのコンタクトを限られた数のステップ(例えば、1ステップまたは2ステップ)で製造できるため、プロセスの複雑さと生産コストを低減することができる。いくつかの実施形態では、本明細書で開示される相互接続構造は、上部相互接続層にビットラインを含み、これは、アレイデバイスおよび周辺デバイスが異なる基板上に形成され、続いて、「対面」構成でハイブリッド結合によって接合される3Dメモリアーキテクチャに適している。

【0030】

更に、本明細書で開示される相互接続構造は、積み重ねられたアレイデバイスと(例えば、電力バスおよび金属ルーティングのための)周辺デバイスとの間に垂直相互接続を提供するTAC構造を含むことができるため、金属レベルを低下させ、ダイサイズを縮小することができる。いくつかの実施形態では、相互接続構造の一部としてのTAC構造は、「単一材料」誘電体構造(例えば、交互誘電体層のスタックではなく単一の誘電体で作られた誘電体構造)内に形成される。いくつかの実施形態によれば、単一材料誘電体構造にTAC構造を形成することは、交互誘電体層のスタックにTAC構造を形成することと比較して、エッチング能力およびコストの観点から有利である。

【0031】

いくつかの実施形態によれば、図1A~図1Cは、BLおよびWLとラベル付けされたそれぞれの軸によって示される、ビットライン(BL)およびワードライン(WL)方向に沿った3Dメモリデバイスの様々な例示的な領域の平面図である。例えば、図1Aは、3Dメモリデバイスの例示的なWL TAC領域102の平面図である。TAC領域102は、NANDストリング領域110、TAC領域120、および上部選択ゲート(TSG)階段領域130を含む。NANDストリング領域110は、それぞれが複数の積み重

10

20

30

40

50

ねられたメモリセルを含む NAND ストリング 1 1 2 のアレイを含むことができる。T S G 階段領域 1 3 0 は、NAND ストリング領域 1 1 0 の側部に配置され、平面図において T A C 領域 1 2 0 に隣接することができる。T S G 階段領域 1 3 0 は、2 つ以上のレベルを有する階段構造上に形成された T S G コンタクト 1 3 2 のアレイを含むことができる。T S G コンタクト 1 3 2 は、図 1 A には示されていない相互接続コンタクトのネットワークを介して、NAND ストリング領域 1 1 0 内の NAND ストリング 1 1 2 の上部選択ゲートに電氣的に接触することができる。

【 0 0 3 2 】

いくつかの実施形態では、T A C 領域 1 2 0 は、3 D メモリデバイスの W L 方向において 2 つの T S G 階段領域 1 3 0 の間にある。T A C 領域 1 2 0 は、単一材料の誘電体構造 1 2 4 によって定義することができる。多数の T A C 構造 1 2 6 は、誘電体構造 1 2 4 の T A C 領域 1 2 0 内に形成することができる。いくつかの実施形態では、ダミー（例えば、電氣的に機能しない）チャンネル構造 1 2 2 は、T A C 領域 1 2 0 の外側に形成されて、メモリアレイ構造に機械的支持を提供する。限定ではなく例として、ダミーチャンネル構造 1 2 2 は、例えば、T S G 階段領域 1 3 0 に隣接する NAND ストリング領域 1 1 0 の縁に沿って、T A C 領域 1 2 0 の外側の任意の領域に形成することができる。図 1 A に示すように、W L T A C 領域 1 0 2 はまた、それぞれが W L 方向に延在する複数のスリット構造 1 1 4 を含むこともできる。少なくともいくつかのスリット構造 1 1 4 は、NAND ストリング領域 1 1 0 内の NAND ストリング 1 1 2 のアレイのための共通ソースコンタクトとして機能することができる。いくつかの実施形態によれば、スリット構造 1 1 4 は、3 D メモリデバイスを多数のメモリブロックに分割することができる。

【 0 0 3 3 】

図 1 B は、NAND ストリング領域 1 1 0 および T A C 領域 1 2 0 を含む、3 D メモリデバイスの例示的なビットライン（B L）T A C 領域 1 0 4 の平面図である。NAND ストリング領域 1 1 0 は、それぞれが複数の積み重ねられたメモリセルを含む NAND ストリング 1 1 2 のアレイを含むことができる。いくつかの実施形態では、T A C 領域 1 2 0 は、3 D メモリデバイスのビットライン方向において 2 つの NAND ストリング領域 1 1 0 の間に配置される（図 1 A ~ 図 1 C で「B L」とラベル付けされる）。T A C 領域 1 2 0 は、単一材料の誘電体構造 1 2 4 によって定義することができる。図 1 B に示すように、誘電体構造 1 2 4 内の T A C 領域 1 2 0 に 2 つ以上の T A C 構造 1 2 6 を形成することができる。更に、B L T A C 領域 1 0 4 はまた、それぞれが W L 方向に延在するスリット構造 1 1 4 を含むこともできる。少なくともいくつかのスリット構造 1 1 4 は、NAND ストリング領域 1 1 0 内の NAND ストリング 1 1 2 のアレイのための共通ソースコンタクトとして機能することができる。スリット構造 1 1 4 はまた、3 D メモリデバイスを多数のメモリブロックに分割することができる。いくつかの実施形態では、ダミー（例えば、電氣的に機能しない）チャンネル構造 1 2 2 は、NAND ストリング領域 1 1 0 の一部、例えば、ビットライン方向で T A C 領域 1 2 0 に隣接するメモリエリアに形成される。

【 0 0 3 4 】

図 1 C は、NAND ストリング領域 1 1 0、階段領域 1 4 0、および T A C 領域 1 2 0 を含む、3 D メモリデバイスの例示的な階段 T A C 領域 1 0 6 の平面図である。NAND ストリング領域 1 1 0 は、それぞれが複数の積み重ねられたメモリセルを含む NAND ストリング 1 1 2 のアレイを含むことができる。階段領域 1 4 0 は、階段構造と、階段構造上に形成された W L コンタクト 1 4 2 のアレイと、を含むことができる。いくつかの実施形態では、T A C 領域 1 2 0 は、階段領域 1 4 0 に形成することができる。T A C 領域 1 2 0 は、単一材料の誘電体構造 1 2 4 によって定義される。多数の T A C 構造 1 2 6 は、単一材料の誘電体構造 1 2 4 の T A C 領域 1 2 0 内に形成することができる。図 1 C に示すように、階段 T A C 領域 1 0 6 はまた、それぞれが W L 方向に延在するスリット構造 1 1 4 を含むこともできる。少なくともいくつかのスリット構造 1 1 4 は、NAND ストリング領域 1 1 0 内の NAND ストリング 1 1 2 のアレイのための共通ソースコンタクトとして機能することができる。スリット構造 1 1 4 はまた、メモリデバイスを多数のメモリ

10

20

30

40

50

ブロックに分割することができる。いくつかの実施形態では、ダミー（例えば、電氣的に機能しない）チャンネル構造が、TAC領域120の外側の階段領域140に形成される（図1Cには示されていない）。

【0035】

図2は、本開示のいくつかの実施形態による、例示的な3Dメモリデバイス200の断面図である。3Dメモリデバイス200は基板202を含むことができる。基板202は、単結晶シリコン（Si）、または別の元素半導体、例えば、(i)ゲルマニウム（Ge）；(ii)シリコンゲルマニウム（SiGe）、炭化シリコン（SiC）、ヒ化ガリウム（GaAs）、リン化ガリウム（GaP）、リン化インジウム（InP）、ヒ化インジウム（InAs）、および/もしくはアンチモン化インジウム（InSb）を含む化合物半導体；(iii)ヒ化リン化ガリウム（GaAsP）、ヒ化アルミニウムインジウム（AlInAs）、ヒ化アルミニウムガリウム（AlGaAs）、ヒ化ガリウムインジウム（GaInAs）、リン化ガリウムインジウム（GaInP）、および/もしくはヒ化リン化ガリウムインジウム（GaInAsP）；もしくは(iv)それらの組み合わせを含むことができる。更に、基板202は、シリコンオンインシュレータ（SOI）またはゲルマニウムオンインシュレータ（GOI）などの「半導体オンインシュレータ」ウェハであり得る。例示の目的で、基板202は、単結晶Si（例えば、Siウェハ）との関連で説明される。本明細書の開示に基づいて、上記で論じたように、他の材料を使用することができる。これらの材料は、本開示の精神および範囲内にある。いくつかの実施形態では、基板202は、薄くされた基板であり得、これは、研削、ウェットおよび/またはドライエッチング、化学機械平坦化（CMP）、またはそれらの組み合わせによって薄くされた。

【0036】

3Dメモリデバイス200は、基板202の上方（基板202の上面）にアレイデバイスを含むことができる。3Dメモリデバイス200内の様々なコンポーネント間の空間関係を更に示すために、x、y、およびz軸が図2に追加されていることに留意されたい。基板202は、x方向（横方向）およびy方向に横方向に延在する2つの水平面（例えば、上面および底面）を含む。本明細書で使用する場合、あるコンポーネント（例えば、層またはデバイス）が、半導体デバイス（例えば、3Dメモリデバイス200）の別のコンポーネント（例えば、層またはデバイス）の「上（on）」、「上方（above）」、または「下方（below）」であるかどうかは、基板を半導体デバイスのz方向の最も低い面に位置付ける場合、基板202に対してz方向（垂直方向）に決定される。空間関係を説明するために同じ概念が本開示全体にわたって適用される。更に、y方向は図2のページを指している。

【0037】

限定ではなく例として、3Dメモリデバイス200は、非モノリシック3Dメモリデバイスの一部であり得、そのコンポーネント（例えば、周辺デバイスおよびアレイデバイス）は、異なる基板の上に独立して製造され、次いで「対面」構成で結合され得る。いくつかの実施形態では、アレイデバイス基板（例えば、基板202）は、結合された非モノリシック3Dメモリデバイスの基板として残り、周辺デバイス（例えば、ページバッファ、デコーダ、およびラッチなどの3Dメモリデバイス200の動作を容易にするために使用される任意の適切なデジタル、アナログ、および/または混合信号周辺回路；図2には示されていない）は、ハイブリッド結合の前に3Dメモリデバイス200に面するように位置付ける。あるいは、いくつかの実施形態では、3Dメモリデバイス200は、ハイブリッド結合の前に、周辺デバイス（明確にするために図2には示されていない）に面するように位置付ける。アレイデバイス基板（例えば、基板202）は、薄くされた基板であり得、非モノリシック3Dメモリデバイスの配線（BEOL）相互接続は、薄くされたアレイデバイス基板202の裏面（例えば、底面）上に形成され得る。

【0038】

いくつかの実施形態では、3Dメモリデバイス200は、周辺デバイスに対するその相

10

20

30

40

50

対位置（例えば、上または下）に関係なく、非モノリシック3Dメモリデバイスの一部であり得る。参照を容易にするために、図2は、基板202が非モノリシック3Dメモリデバイスの基板または非モノリシック3DメモリデバイスのBEOL相互接続層が形成された薄くされた基板であるかどうかに関係なく、基板202（アレイデバイス基板）がxy平面においてアレイデバイスの下に位置付けられた3Dメモリデバイス200の状態を示す。

【0039】

いくつかの実施形態では、3Dメモリデバイス200は、メモリセルが基板202の上方に垂直に延在するNANDストリング204のアレイの形で提供されるNANDフラッシュメモリデバイスである。アレイデバイスは、複数の導体層206および誘電体層208のペアを通して延在する複数のNANDストリング204を含むことができる。複数の導体/誘電体層ペアは、本明細書では「交互導体/誘電体スタック」210とも呼ばれる。いくつかの実施形態では、交互導体/誘電体スタック210内の導体/誘電体層ペアの数（例えば、32、64、または96）は、3Dメモリデバイス200内のメモリセルの数を定義する。交互導体/誘電体スタック210内の導体層206および誘電体層208は、垂直方向に（例えば、z軸に沿って）交互になっている。言い換えれば、交互導体/誘電体スタック210の上部または底部の層を除いて、各導体層206は、両側で2つの誘電体層208によって隣り合うことができるか、または各誘電体層208は、両側で2つの導体層206によって隣り合うことができる。導体層206は、各々が同じ厚さまたは異なる厚さを有することができる。同様に、誘電体層208は、各々が同じ厚さまたは異なる厚さを有することができる。限定ではなく例として、各導体層206の厚さは約25nmから約40nmの範囲とすることができ、各誘電体層208の厚さは約20nmから約35nmの範囲とすることができる。

【0040】

限定ではなく例として、導体層206は、タングステン(W)、コバルト(Co)、銅(Cu)、アルミニウム(Al)、ドーパされた多結晶Si（ポリシリコン）、ドーパされた単結晶Si、シリサイド、またはそれらの任意の組み合わせなどの導電性材料を含むことができる。誘電体層208は、酸化シリコン(Si_xO_y 、以降は「 SiO_2 」)、窒化シリコン(Si_xN_y 、以降は「 SiN 」)、酸窒化シリコン($SiON$)、またはそれらの任意の組み合わせを含むがこれらに限定されない誘電体材料を含むことができる。いくつかの実施形態では、導体層206は、Wなどの金属層を含み、誘電体層208は、 SiO_2 を含む。

【0041】

図2に示すように、横方向の（例えば、x軸に沿った）少なくとも一方の側で、交互導体/誘電体スタック210は、階段構造212を含むことができる。階段構造212の各「レベル」または「ステップ」214は、互いに積み重ねられた上部に1つまたは複数の導体/誘電体層ペアを含むことができる。各導体/誘電体層のペアは、それぞれ導体層206および誘電体層208を含む。階段構造212の各レベル214の最上層は、垂直方向（例えば、z軸に沿う）の相互接続に利用可能な導体層206である。いくつかの実施形態では、階段構造212のレベル214は、同じ高さを有する。更に、階段構造212の隣接するレベル214は、x方向に名目上同じ距離だけ互いにオフセットされている。より具体的には、階段構造212の2つの隣接するレベル214ごとに、基板202に近い第1のレベルは、第2のレベルよりも横方向に更に延在することができるため、垂直方向（例えば、z軸に沿う）の相互接続用に第1のレベルに「着地エリア」または「接続点」を形成する。

【0042】

図2に示すように、各NANDストリング204は、交互導体/誘電体スタック210を通して延在するチャネル構造216を含む。チャネル構造216は、半導体材料（例えば、半導体チャネル218として）および誘電体材料（例えば、メモリフィルム220として）で充填される。いくつかの実施形態では、半導体チャネル218は、アモルファス

10

20

30

40

50

Si、ポリシリコン、単結晶SiなどのSiなどを含む。いくつかの実施形態では、メモリフィルム220は、トンネル層、記憶層（「電荷トラップ/記憶層」としても知られる）、およびブロッキング層を含む複合層スタックである。各NANDストリング204は、円筒形状（例えば、柱形状）を有することができる。いくつかの実施形態によれば、半導体チャンネル218、トンネル層、記憶層、およびブロッキング層は、この順序で中心から柱の外面向かう方向に沿って配置される。トンネル層は、SiO₂、SiN、またはそれらの任意の組み合わせを含むことができる。記憶層は、SiN、SiON、シリコン、またはそれらの任意の組み合わせを含むことができる。ブロッキング層は、SiO₂、SiN、高比誘電率（high-k）誘電体（例えば、比誘電率が3.9超）、またはそれらの任意の組み合わせを含むことができる。

10

【0043】

いくつかの実施形態では、NANDストリング204は、複数の制御ゲート（各々がWLの一部である）を含む。交互導体/誘電体スタック210内の導体層206は、NANDストリング204内のメモリセルの制御ゲートとして作用することができる。更に、各導体層206は、階段構造212で終了するWLとして横方向に（例えば、xy平面に沿って）延在することができる、多数のNANDストリング204の制御ゲートとして作用することができる。

【0044】

いくつかの実施形態では、各NANDストリング204は、図2に示すように、NANDストリング204の底部および上部それぞれにエピタキシャル層222およびエッチング停止プラグ224を含む。各NANDストリング204について、エピタキシャル層222は、本明細書では「エピタキシャルプラグ」と呼ばれる。エピタキシャルプラグ222およびエッチング停止プラグ224のそれぞれは、チャンネル構造216のそれぞれの端部と接触することができる。エピタキシャルプラグ222は、例えば、基板202からエピタキシャル成長した半導体材料（例えば、単結晶Si）を含むことができる。エッチング停止プラグ224は、半導体材料（例えば、ポリシリコン）または導体材料（例えば、金属）を含むことができる。いくつかの実施形態では、エッチング停止プラグ224は、チタン/窒化チタンスタック（バリア層および接着層）およびW（導体）で充填された開口部を含む。その名前が示唆するように、エッチング停止プラグ224は、後続のエッチング動作中に、SiO₂およびSiNなどのチャンネル構造216内の誘電体のエッチングを防止するエッチング停止層である。いくつかの実施形態では、エッチング停止プラグ224は、NANDストリング204のドレインとして作用する。

20

30

【0045】

いくつかの実施形態では、アレイデバイスは、スリット構造226を更に含む。各スリット構造226は、交互導体/誘電体スタック210を通過して垂直に（例えば、z軸に沿って）延在することができる。スリット構造226はまた、y軸に沿って延在して、図1A~図1Cについて前述したように、交互導体/誘電体スタック210を多数のブロックに分離する。スリット構造226は、W、Co、Cu、Al、シリサイド、またはそれらの任意の組み合わせを含むがこれらに限定されない導体材料で充填される。スリット構造226は更に、スリット構造226内の導体と交互導体/誘電体スタック210との間に挿入され、交互導体/誘電体スタック210の周囲の導体層からスリット構造内の導体材料を電氣的に絶縁する誘電体層を含む。いくつかの実施形態では、スリット構造226は、同じメモリブロックに配置されたNANDストリング204のソースコンタクトとして作用する。その結果、スリット構造226は、メモリブロック内の多数のNANDストリング204の「共通ソースコンタクト」として機能することができる。

40

【0046】

いくつかの実施形態では、基板202は、所望のドーピングレベルでp型またはn型ドーパントを有するドーブされた領域228を含む。図2に示すように、各ドーブされた領域228は、それぞれのスリット構造226と接触している。いくつかの実施形態では、スリット構造226は、ドーブされた領域228を介してNANDストリング204に電

50

氣的に結合される。

【0047】

NANDストリング204およびスリット構造226は、交互導体/誘電体スタック210の上に配置される誘電体層230に部分的に形成されることに留意しなければならない。いくつかの実施形態では、誘電体層230は、交互誘電体層のスタックであるのではなく、単一誘電体材料で作られた層スタックとすることができる。限定ではなく例として、誘電体層230はSiO₂などの酸化物層である。言い換えれば、誘電体層230は誘電体層208と同じであり得る。更に、図2に示すように、誘電体層230は階段構造212上に延在する。

【0048】

図2に示すように、誘電体導体/誘電体スタック210は、x方向に沿って（および図2には示されていないy方向に沿って）単一材料誘電体構造232（以降は「誘電体構造232」）によって「中断」される。いくつかの実施形態では、誘電体構造232は、TAC領域120の境界、形状、およびサイズを定義する（例えば、図1A～図1Cに示される）。その結果、図1A～図1Cの平面図に示すように、誘電体構造232は、導体/誘電体スタック210によって取り囲まれ得る。更に、誘電体構造232は、xy平面に延在し、誘電体層230と同一平面にあることができる（例えば、誘電体構造232および誘電体層230の上面は、面一である）。いくつかの実施形態では、誘電体構造232は、下にある分離構造または領域233（以降は「浅いトレンチ分離（STI）構造233」）の少なくとも一部と整列するか、または覆うように形成される。STI構造233は例示的なものであり、限定的なものではないことに留意されたい。したがって、他の分離構造を使用することができる。更に、誘電体構造232はSTI構造233と接触している。限定ではなく例として、STI構造233は、基板202の上部に形成され、例えば、SiO₂を含むがこれに限定されない誘電体材料で充填される。いくつかの実施形態では、誘電体構造232のフットプリントは、STI構造233のフットプリントよりも小さいかまたは等しい。例えば、いくつかの実施形態では、誘電体構造232は、STI構造233の一部のみを覆うことができる。

【0049】

いくつかの実施形態では、誘電体構造232は、誘電体層230および/または誘電体層208と同じ材料を含む。例えば、誘電体構造232はSiO₂を含むことができる。しかし、これは限定的ではなく、したがって、誘電体構造232は、誘電体層208または誘電体層230とは異なる材料を含むことができる。いくつかの実施形態では、誘電体構造232は、異なる形状を有することができる。例えば、図1A～図1Cの平面図に示すように、TAC領域120は、長方形または正方形の形状を有することができる。しかし、これらの形状は限定的ではなく、誘電体構造232は、設計レイアウトに従って任意の形状を有することができる。更に、誘電体構造232のような多数の誘電体構造が、基板202にわたって可能である。

【0050】

図2に示すように、3Dメモリデバイス200は、誘電体構造232を通して垂直に延在するTAC234を更に含む。いくつかの実施形態によれば、誘電体構造232を通るエッチングは、同じ全体の厚さを有する交互層のスタックを通るエッチングと比較して有利であり得る（例えば、より少ないエッチング動作を含む）。例えば、約6μm以上の厚さを有する交互層スタックでのTAC234の形成（例えば、64層3Dメモリデバイスの場合）は、多数のエッチングおよび充填動作を必要とするため、製造コストが増加する。各TAC234は、誘電体構造232の厚さ全体を通して延在することができ、基板202内のSTI構造233の少なくとも一部を通して延在することができる。

【0051】

TAC234は、電力バスの一部などの短い相互接続ルーティングで、3Dメモリデバイス200との間で電気信号を運ぶことができる。いくつかの実施形態では、TAC234は、3Dメモリデバイス200と周辺デバイス（例えば、CMOSチップ上；図2には

10

20

30

40

50

示されていない)との間および/またはB E O L相互接続(図2には示されていない)と周辺デバイスとの間に電気接続を提供することができる。各T A C 2 3 4は、W、C o、C u、A l、ドーパされたS i、シリサイド、またはそれらの任意の組み合わせを含むがこれらに限定されない導体材料で充填される。T A C 2 3 4は誘電体構造2 3 2に埋め込まれるので、導体材料を絶縁するために追加の誘電体層が必要とされない。

【0052】

いくつかの実施形態では、3 Dメモリデバイス2 0 0は、N A N Dストリング2 0 4、スリット構造2 2 6、および階段構造2 1 2の導体層またはW L 2 0 6などの、本明細書で開示される様々なメモリアレイ構造と物理的および電氣的に接触する複数の「ローカルコンタクト」を含む。コンタクトは、メモリアレイ構造と直接接触しているため、更には誘電体層2 3 0内に形成されているため、本明細書では「ローカルコンタクト」と呼ばれる。図2に示すように、ローカルコンタクトは、N A N Dストリングコンタクト2 3 6、スリット構造コンタクト2 3 8、およびW Lコンタクト2 4 0を含むことができる。いくつかの実施形態では、T A C 2 3 4はまた、ローカルコンタクトと見なされる。本明細書で使用する場合、「コンタクト」という用語は、垂直相互接続アクセス(ビア)ラインおよび横方向ライン(相互接続ライン)を含む任意の好適な種類の相互接続を広く含むことができる。

10

【0053】

いくつかの実施形態では、各ローカルコンタクトは、例えば、ローカルコンタクトが形成される誘電体層2 3 0(およびT A C 2 3 4の誘電体構造2 3 2)の上面で、互いに同一平面にある。各ローカルコンタクトの下端部は、それぞれのメモリアレイ構造と直接接触することができる。例えば、N A N Dストリングコンタクト2 3 6の下端部は、N A N Dストリング2 0 4のエッチング停止プラグ2 2 4と接触することができ、スリット構造コンタクト2 3 8の下端部は、スリット構造2 2 6の上端部と接触することができる。各W Lコンタクト2 4 0の下端部は、階段構造2 1 2のそれぞれのレベルの上部導体層またはW L 2 0 6と接触することができる。各ローカルコンタクトは、W、C o、C u、A l、シリサイド、またはそれらの任意の組み合わせを含むがこれらに限定されない導体材料で充填される。以下に詳細に説明されるように、ローカルコンタクトの一部またはすべてを単一のコンタクト形成プロセスで同時に形成することができる。

20

【0054】

図2に示すように、ローカルコンタクトに加えて、3 Dメモリデバイス2 0 0は、その相互接続構造の一部として、コンタクト層2 4 2および相互接続層2 4 4を更に含むことができる。コンタクト層2 4 2は、誘電体層と、誘電体層内の複数のコンタクト2 4 6(例えば、ビア)と、を含むことができる。相互接続層2 4 4は、コンタクト層2 4 2上に形成することができ、別の誘電体層と、誘電体層内の複数の相互接続コンタクト2 4 8(例えば、相互接続ライン)と、を含むことができる。ローカルコンタクト、コンタクト層2 4 2内のコンタクト2 4 6、および相互接続層2 4 4内の相互接続コンタクト2 4 8は、本明細書では集散的に3 Dメモリデバイス2 0 0の相互接続構造と呼ぶことができる。

30

【0055】

いくつかの実施形態では、各コンタクト2 4 6は、W、C o、C u、A l、シリサイド、またはそれらの任意の組み合わせを含むがこれらに限定されない導体材料で充填することができる。以下に詳細に説明されるように、コンタクト2 4 6すべてを単一のコンタクト形成プロセスで同時に形成することができる。

40

【0056】

いくつかの実施形態では、各相互接続コンタクト2 4 8は、W、C o、C u、A l、シリサイド、またはそれらの任意の組み合わせを含むがこれらに限定されない導体材料で充填することができる。以下に詳細に説明されるように、相互接続コンタクト2 4 8すべてを単一のコンタクト形成プロセスで同時に形成することができる。

【0057】

いくつかの実施形態では、相互接続層2 4 4内の相互接続コンタクト2 4 8は、対応す

50

るコンタクト 246 および NAND ストリングコンタクト 236 によって、それぞれ NAND ストリング 204 に電氣的に接続されるビットライン 250 を含むことができる。ビットライン 250 を使用して、対応する NAND ストリング 204 を個別にアドレス指定することができる。相互接続コンタクト 248 は、スリット構造 226 (ソースコンタクト) に電氣的に接続されるソースラインを更に含むことができる。更に、相互接続ラインは、それぞれのコンタクト 246 および WL コンタクト 240 を介して、階段構造 212 内の TAC 234 および WL 206 に電氣的に接続することができる。3D メモリデバイス 200 内の相互接続層の数は、図 2 の例によって限定されないことを理解されたい。コンタクトを有する 1 つまたは複数の追加の相互接続層を形成して、3D メモリデバイス 200 の構造の相互接続ネットワークを提供することができる。

10

【0058】

図 3 は、本開示のいくつかの実施形態による、3D メモリデバイス 200 と同様の 3D メモリデバイスを形成する例示的な方法 300 のフロー図である。図 4 ~ 図 13 は、方法 300 を使用して 3D メモリデバイスを形成するための例示的な製造プロセスを説明するために使用される。限定ではなく例として、方法 300 で製造された 3D メモリデバイスは、図 2 に示されている 3D メモリデバイス 200 とすることができる。方法 300 に示されている動作は網羅的ではなく、他の動作が、動作のいずれかの前、後、または間に実行できることを理解されたい。例えば、他の動作としては、ウェットクリーン動作、ドライエッチング動作、フォトリソグラフィ動作などがあげられ得る。更に、方法 300 における動作のシーケンスは限定的ではなく、いくつかの動作は、同時にまたは異なる順序で実行されてもよい。

20

【0059】

図 3 および図 4 を参照すると、方法 300 は、基板 202 上に交互誘電体スタック 400 を配置または他の方法で堆積させる動作 302 で始まる。例示の目的で、方法 300 の基板 202 は、単結晶 Si との関連で説明される。本明細書の開示に基づいて、上記で論じたように、他の材料を使用することができる。これらの材料は、本開示の精神および範囲内にある。複数の第 1 の誘電体層 208 および第 2 の誘電体層 402 のペアを基板 202 上に形成して、交互誘電体スタック 400 を形成することができる。いくつかの実施形態では、各誘電体層ペアは、SiO₂ 層および SiN 層を含む。例えば、第 1 の誘電体層 208 は、SiO₂ (図 2 の交互導体 / 誘電体スタック 210 の誘電体層 230 と同じ) で作ることができ、第 2 の誘電体層 402 は、SiN で作ることができる。交互誘電体スタック 400 は、化学蒸着 (CVD)、プラズマ促進 CVD (PECVD)、物理蒸着 (PVD)、原子層堆積 (ALD)、プラズマ促進 ALD (PEALD)、またはそれらの任意の組み合わせを含むがこれらに限定されない 1 つまたは複数の薄膜堆積プロセスによって形成され得る。限定ではなく例として、誘電体スタック 400 の高さは、約 4 μm ~ 約 30 μm の範囲とすることができる。いくつかの実施形態では、第 2 の誘電体層 402 は、後続の動作で導体と置き換えられる犠牲層であり得、それにより、交互誘電体スタック 400 は、図 2 の交互導体 / 誘電体スタック 210 と同様に、交互導体 / 誘電体スタックに変換され得る。

30

【0060】

いくつかの実施形態によれば、基板 202 は、図 4 に示されている STI 構造 233 のような分離領域または構造を含む。図 4 の STI 構造 233 は、基板 202 の上部に形成することができる。例として、STI 構造 233 は、交互誘電体スタック 400 を形成する前に形成することができる。STI 構造は、例えば SiO₂ などの誘電体材料で充填することができる。

40

【0061】

方法 300 は、動作 304 に続き、図 3 に示されるように、階段構造 (図 2 の階段構造 212 のような) が、交互誘電体スタック 400 の一部から形成される。いくつかの実施形態では、交互誘電体スタック 400 の少なくとも一方の側 (横方向、x 方向) で「トリムエッチング」プロセスを使用して、多数のレベル (例えば、ステップ) を有する階段構

50

造を形成することができる。限定ではなく例として、トリムエッチングプロセスは、各サイクルが1つまたは複数のフォトリソグラフィ動作とそれに続くエッチング動作とを含むマルチサイクルプロセスとすることができる。フォトリソグラフィ動作の間、パターン化されたフォトレジスト（PR）層は、誘電体スタック400の一部をマスクする。後続の第1のエッチングプロセスは、誘電体スタック400の露出部分から所定数の誘電体ペアを取り除いて、誘電体スタック400に第1のステップ（例えば、第1のレベル）を形成する。次いで、PRを横方向にトリミングして（例えば、x方向に引っ込める）、誘電体スタック400の追加の部分を露出させる。後続の第2のエッチングは、新たに露出された誘電体スタック400および第1のステップから所定数の誘電体ペアを取り除く。したがって、誘電体スタック400に第2のステップ（例えば、第2のレベル）が形成される。このステップ形成プロセスは、誘電体スタック400内に所望の数のステップが形成されて階段構造が完成するまで、この手法（例えば、PRトリミングとそれに続くエッチング動作）で継続する。このプロセスの結果として、各レベルは、第1の誘電体層208と第2の誘電体層402とが交互になっている所望の数の誘電体層ペアを含むことができる。階段構造の形成後、PR層はウェットエッチングプロセスで取り除かれる（ストリップされる）。図5は、方法300の動作304の説明に従って、交互誘電体スタック400から作られた、得られる階段構造500を示す。

10

【0062】

いくつかの実施形態では、動作304で使用されるエッチングプロセスは、誘電体層208および402の両方に単一のエッチングガス化学物質を使用するドライエッチングプロセスであり得る。あるいは、動作304で使用されるエッチングプロセスは、各誘電体層に対して異なるエッチング化学物質を使用することができる。更に、エッチング化学物質の選択性に依りて、エッチングプロセスは、時限、エンドポイント、またはそれらの組み合わせであることができる。

20

【0063】

階段構造の形成後、誘電体層230は、階段構造500および誘電体スタック400の上に堆積される。いくつかの実施形態では、図5に示すように、CMPまたはドライエッチングプロセスを使用して、誘電体層230の上面を平坦化することができる。限定ではなく例として、誘電体層230は、PECVD、CVD、または別の好適な堆積プロセスによって堆積されたSiO₂であり得る。交互誘電体スタック400上の誘電体層230の厚さは、約10～約1000nmの範囲であり得る。いくつかの実施形態では、誘電体層230は、誘電体スタック400の誘電体層208と同じ、例えば、SiO₂である。

30

【0064】

方法300は、動作306に続き、図3に示されるように、チャンネル構造を基板202上に形成することができる。しかしながら、これは限定的ではなく、追加のチャンネル構造を形成することができる。前述したように、各チャンネル構造は、交互誘電体スタック400を通して垂直に延在することができる。各チャンネル構造の製造は、基板202がチャンネルホールを通して露出されるまで、誘電体層230および交互誘電体スタック400を通してチャンネルホールをエッチングすることから始まる。図6に示すように、チャンネルホールを充填する前に、基板202からチャンネルホールを通してエピタキシャルプラグ222を成長させることができる。限定ではなく例として、エピタキシャルプラグ222は単結晶Siとすることができる。エピタキシャルプラグ222の高さは、エピタキシャル成長プロセス条件によって制御することができる。続いて、チャンネルホールを充填することにより、チャンネル構造216をエピタキシャルプラグ222上に形成することができる。

40

【0065】

限定ではなく例として、ドライエッチングプロセスを使用して、チャンネルホールを形成することができる。いくつかの実施形態では、チャンネル構造216の製造プロセスは、メモリフィルム220を半導体チャンネル218と交互誘電体スタック400の誘電体層ペア402および402との間に挿入できるように、メモリフィルム220および半導体チャンネル218を堆積することを更に含む。半導体チャンネル218は、ポリシリコンなどの半

50

導体材料を含むことができる。メモリフィルム 220 は、トンネル層、記憶層、およびブロッキング層（図 6 には個別に示されていない）の組み合わせを含む誘電体層の複合スタックであり得る。

【0066】

限定ではなく例として、トンネル層は、 SiO_2 、 SiN 、 SiON 、またはそれらの組み合わせなどの誘電体材料を含むことができる。半導体チャネルからの電子または正孔は、トンネル層を通して記憶層にトンネルすることができる。記憶層は、電荷を蓄積するための材料を含むことができる。記憶層材料としては、 SiN 、 SiON 、 SiO_2 と SiN との組み合わせ、またはそれらの組み合わせが挙げられるが、これらに限定されない。ブロッキング層は、 SiO_2 などの単一誘電体材料、または $\text{SiO}_2/\text{SiN}/\text{SiO}_2$ (ONO) などの誘電体材料のスタックを含むことができる。ブロッキング層は、酸化アルミニウム (Al_2O_3) などの high-k 誘電体を更に含むことができる。半導体チャネル 218 およびメモリフィルム 220 は、ALD、CVD、PEALD、PECVD、任意の他の好適な堆積プロセス、またはそれらの組み合わせなどの 1 つまたは複数の薄膜堆積プロセスによって形成することができる。

10

【0067】

いくつかの実施形態では、ダミーチャネル構造（図 4 ~ 図 13 には示されていない；例えば、図 1A ~ 図 1B のダミーチャネル構造 122）は、チャネル構造 216 と同時に形成される。ダミーチャネル構造は、交互層スタックを通して垂直に延在することができ、チャネル構造 216 と同じ材料で充填することができる。ただし、ローカルコンタクトは、3Dメモリデバイスの他のコンポーネントとの電気的接続を提供するためのダミーチャネル構造には形成されない。したがって、ダミーチャネル構造は、3Dメモリデバイス内にメモリセルを形成するために使用することができず、すなわち、それらは、電気的に機能しないか、またはそうでなければ動作しない。いくつかの実施形態では、ダミーチャネル構造は、構造要素として使用される。

20

【0068】

図 3 を参照すると、方法 300 は、動作 308 に続き、交互誘電体層スタックにおいて開口部を形成する。図 6 に示すように、開口部の形成は、基板 202 の STI 構造 233 が（例えば、誘電体層 230 および誘電体スタック 400 のエッチングされた部分を通して）露出されるまで、誘電体層 230 および誘電体スタック 400 の一部をエッチングすることを含む。言い換えれば、開口部は、STI 構造 233 と整列するように形成することができる。いくつかの実施形態では、開口部は、STI 構造 233 を超えるエリアを露出することができない。例えば、開口部は、STI 構造 233 および基板 202 の一部を露出させることができない。しかし、開口部は、STI 構造 233 の一部を露出させることができる。これは、フォトリソグラフィとエッチング法（パターニング）により実現できる。例えば、フォトリソグラフィを使用して、誘電体層 230 上にパターン化された PR 構造またはパターン化されたハードマスク（HM）（図 6 には示されていない）を形成することができる。パターニングされた PR 構造またはパターニングされた HM は、誘電体層 230 のエリアを露出させる開口部を有することができる。パターン化された PR 構造またはパターン化された HM の開口部は、下にある STI 構造 233 のエリアの上にあるように位置付けることができる。誘電体構造の形成が望ましくない誘電体層 230 のエリアは、パターン化された PR 構造またはパターン化された HM によって覆われる。後続のドライエッチングプロセスは、基板 202 の STI 構造 233 が露出されるまで、例えば、パターン化 PR 構造またはパターン化 HM の開口部を通して、誘電体層 230 および誘電体スタック 400 の露出部分を取り除く。いくつかの実施形態では、ドライエッチングプロセスは、STI 構造 233 が露出されたときに終了する（例えば、停止する）ことができるマルチステップの異方性エッチングとすることができる。限定ではなく例として、ドライエッチングプロセスは、各層（例えば、誘電体層 230 および交互誘電体スタック 400）に対して同じまたは異なるエッチング化学物質を含むことができる。動作 308 の結果として、幅 600w の開口部 600 が、図 6 に示すように、STI 構造 233 上

30

40

50

の誘電体スタック 400 に形成される。上記で論じたように、開口部 600 の幅 600w は、STI 構造 233 の幅 233w と等しいかまたはそれより短くすることができる（例えば、 $600w < 233w$ ）。いくつかの実施形態では、開口部 600 は、STI 構造 233 内に部分的に延在することができる。言い換えれば、開口部 600 を形成するために使用されるエッチングプロセスは、STI 構造 233 の上面の一部を（凹ませて）取り除くこともできる。図 6 に示される開口部 600 は、y 方向にも延在することができる（図 6 の図には示されていない）、そのサイズは、パターン化された PR 構造またはパターン化された HM およびエッチングプロセス中のプロセス条件によって定義できることに留意されたい。いくつかの実施形態によれば、任意の方向において、開口部 600 の面積は、STI 構造 233 の面積と等しいかまたはそれよりも小さくてよい。更に、開口部 600 のような多数の開口部は、方法 300 の動作 306 中に、誘電体スタック 400 の他のエリアに同時に形成することができる。更に、各開口部 600 は、STI 構造 233 の上に形成することができる。いくつかの実施形態では、開口部 600 のアスペクト比は、約 0.1 ~ 約 10 の範囲であり得る。

【0069】

いくつかの実施形態では、開口部 600 は、チャンネル構造 216 と同時に形成することができる。代替的实施形態では、開口部 600 は、チャンネル構造 216 の形成後、またはチャンネル構造 216 の形成前に形成することができる。前述の一連の動作のそれぞれは、追加の数のフォトリソグラフィ、エッチング、または堆積動作を必要とする場合がある。開口部 600 の形成後、パターン化された PR 構造またはパターン化された HM は、ウェットエッチングプロセスで取り除かれ得る（ストリップされ得る）。

【0070】

図 3 および図 7 を参照すると、方法 300 は動作 310 に続き、開口部 600 を誘電体層 702 で充填することができる。いくつかの実施形態では、誘電体層 702 は、CVD、流動性 CVD (FCVD)、PECVD プロセス、または高アスペクト比構造を充填できる任意の他の好適なプロセスによって堆積できる SiO₂ 層を含む。限定ではなく例として、誘電体層 702 は、誘電体層 230 および / または第 1 の誘電体層 208 と同じであり得る。CMP プロセスまたはドライエッチングプロセスを使用して、誘電体層 702 を平坦化し、図 7 に示すように、誘電体層 230 および誘電体層 702 の上面が同一平面になるようにすることができる。その結果、誘電体構造 232 は誘電体スタック 400 に形成される。いくつかの実施形態では、誘電体構造 232 は、図 1A ~ 図 1C に示される TAC 領域 120 の境界を定義する。

【0071】

いくつかの実施形態では、エッチング停止層が、チャンネル構造 216 上に形成される。例えば、誘電体層 704 は、誘電体層 230 および 232 の上に堆積され、続いて、パターン化されて、図 7 に示すように、プラグ開口部 706 を形成することができる。エッチング停止プラグ 224 は、図 8 に示すように、ALD、CVD、PVD、任意の他の好適なプロセス、またはそれらの任意の組み合わせなどの 1 つまたは複数の薄膜堆積プロセスを使用してプラグ開口部 708 を充填することにより、チャンネル構造 216 上に続いて形成することができる。いくつかの実施形態では、ポリシリコンを使用してプラグ開口部 706 を充填し、続いて CMP プロセスを行って過剰なポリシリコンを取り除くことにより、エッチング停止プラグ 224 を誘電体層 704 と同一平面にすることができる。いくつかの実施形態では、Ti / TiN / W などの金属スタックを堆積させてプラグ開口部 706 を充填し、続いて CMP プロセスを行ってエッチング停止プラグ 224 の上面および誘電体層 704 を同一平面にすることができる。いくつかの実施形態では、エッチング停止プラグ 224 は、後続の動作で置き換えできるように犠牲にすることができる。例えば、犠牲エッチング停止プラグ 224 は、ポリシリコンまたは金属スタックの代わりに酸化物を含むことができる。犠牲エッチング停止プラグ 224 は、後の動作で取り除かれ、ポリシリコンまたは金属スタックで作られた「永久」エッチング停止プラグで置き換えることができる。

10

20

30

40

50

【 0 0 7 2 】

方法 3 0 0 の動作 3 1 2 では、図 3 に示されるように、1 つまたは複数のスリット開口部を交互誘電体スタック 4 0 0 に形成することができる。例えば、スリット開口部 9 0 0 は、図 9 に示すように、誘電体スタック 4 0 0 の誘電体層 2 0 8 および 4 0 2 (例えば、 SiO_2 および SiN) をドライエッチングすることによって形成され得る。いくつかの実施形態では、ドーパされた領域 2 2 8 は、例えば、スリットを通るイオン注入および熱拡散によって、各スリットの下基板 2 0 2 に続いて形成することができる。あるいは、いくつかの実施形態によれば、ドーパされた領域 2 2 8 は、例えば誘電体スタック 4 0 0 の形成前の、より早い製造段階中に形成することができる。

【 0 0 7 3 】

方法 3 0 0 の動作 3 1 4 では、図 9 に示されるスリット開口部 9 0 0 は、スタック 4 0 0 内の第 2 の誘電体層 4 0 2 (図 9 に示される；例えば、 SiN) が導体層 2 0 6 (図 1 0 に示される；例えば W) で置き換えられる「ゲート置換」プロセス(「 WL 置換」プロセスとしても知られる)に使用できる。その結果、交互誘電体スタック 4 0 0 は、図 2 に示される交互導体 / 誘電体スタック 2 1 0 に変換される。

【 0 0 7 4 】

第 2 の誘電体層 4 0 2 を導体層 2 0 6 で置き換えることは、第 1 の誘電体層 2 0 8 (例えば、 SiO_2) と比較して、第 2 の誘電体層 4 0 2 (例えば、 SiN) に対して選択性が高い(例えば、5 0 0 : 1 以上の選択性)ウェットエッチングプロセスを使用して達成できる。限定ではなく例として、ウェットエッチング化学物質は、熱リン酸(H_3PO_4)を含むことができる。ウェットエッチング化学物質は SiN に対して非常に選択的であるため、酸化物(例えば、 SiO_2)で作られた層または構造(第 1 の誘電体層 2 0 8 および誘電体構造 7 0 2 を含む)は、エッチングされないまたは取り除かれない(すなわち、ウェットエッチングプロセスの影響を受けない)。

【 0 0 7 5 】

第 2 の誘電体層 4 0 2 が完全に取り除かれる(例えば、エッチングされる)と、導電性層を CVD 、 $PECVD$ 、 ALD 、 $PEALD$ 、またはそれらの組み合わせによって堆積させて、スリット開口部 9 0 0 を通して第 1 の誘電体層 2 0 8 間の空間を充填することができる。その結果、図 1 0 に示すように、導体層 2 0 6 を第 1 の誘電体層 2 0 8 の間に形成することができる。限定ではなく例として、導体材料は、 W 、 Co 、 Cu 、 Al 、ポリシリコン、シリサイド、またはそれらの組み合わせを含むことができる。いくつかの実施形態では、接着層またはバリア層(図 1 0 には示されていない)もまた、導体材料の堆積の前に堆積され得る。いくつかの実施形態では、導体層 2 0 6 は、堆積 - エッチング - 堆積プロセスで堆積させて、スリット開口部 9 0 0 を導体材料で部分的に充填することを回避することができる。

【 0 0 7 6 】

図 3 に示される方法 3 0 0 の動作 3 1 6 において、スリット開口部は、図 1 0 に示すように、導体材料 1 0 0 4 を充填して、スリット構造 2 2 6 を形成することができる。いくつかの実施形態では、導体材料 1 0 0 4 は、導体層 2 0 6 の導体材料と同じであり得る。例えば、スリット構造 2 2 6 は、 W 、 Co 、 Cu 、 Al 、ポリシリコン、シリサイド、またはそれらの組み合わせで充填することができる。いくつかの実施形態では、スリット構造 2 2 6 の導体材料 1 0 0 4 を導体層 2 0 6 から電氣的に絶縁するために、それらの間に誘電体層 1 0 0 8 (例えば、 SiO_2) を堆積させることができる。 CMP プロセスは、その後、図 1 0 に示すように、誘電体層 7 0 4 上の過剰な導体材料を取り除くことができる。スリット構造 2 2 6 の下端部はドーパされた領域 2 2 8 と接触することができる。いくつかの実施形態では、スリット構造 2 2 6 は、基板 2 0 2 のドーパされた領域 2 2 8 を通って $NAND$ ストリング 2 0 4 に電氣的に接続されるソースコンタクトとして機能することができる。

【 0 0 7 7 】

図 1 1 を参照すると、誘電体層 1 1 0 0 は、基板 2 0 2 にわたって誘電体層 7 0 4 上に

10

20

30

40

50

ブランケット堆積され得、その結果、ローカルコンタクトが誘電体層 1100 内に形成され得る。いくつかの実施形態では、コンタクト形成プロセスは、異なる深さまたは高さのコンタクトの形成に対応するために、2つの別個のフォトリソグラフィ/エッチング動作に分割することができる。例えば、最短のローカルコンタクト（例えば、NANDストリングコンタクト、スリット構造コンタクト、および階段構造の上部WLコンタクト）を最初に形成することができ、最も高いローカルコンタクト（例えば、TACおよび階段構造の下部WLコンタクト）を2番目に形成することができる。単に簡略化のために、前述のより短いローカルコンタクトを集合的に第1のローカルコンタクトと呼ぶことができ、前述の最も高いローカルコンタクトを集合的に第2のローカルコンタクトと呼ぶことができる。

10

【0078】

誘電体層 1100 は、ALD、CVD、PVD、任意の他の好適なプロセス、またはそれらの任意の組み合わせなどの1つまたは複数の薄膜堆積プロセスによって形成することができる。誘電体層 1100 は、SiO₂、SiN、SiON、またはそれらの任意の組み合わせを含むがこれらに限定されない誘電体材料を含むことができる。NANDストリングコンタクト236、スリット構造コンタクト238、上部WLコンタクト240-1などの第1のローカルコンタクトは、最初に開口部を垂直にエッチングして（例えば、ドライエッチングで）、その後、ALD、CVD、PVD、任意の他の好適なプロセス、またはそれらの任意の組み合わせを使用して開口部を導体材料で充填することにより、誘電体層 1100 を通して形成することができる。限定ではなく例として、ローカルコンタクトを充填するために使用される導体材料は、W、Co、Cu、Al、ポリシリコン、シリサイド、またはそれらの組み合わせを含むことができる。いくつかの実施形態では、導体材料を充填する前に、開口部をバリア層、接着層、および/またはシード層で充填することができる。いくつかの実施形態では、開口部を充填する前に、酸化物犠牲エッチング停止プラグ224は、上記で論じたように、ポリシリコンまたは金属スタックで作られた永久エッチング停止プラグで置き換えることができる。

20

【0079】

第1のローカルコンタクトの開口部を形成するための誘電体層のエッチングは、エッチングされた層（例えば、誘電体層）および下にある層（導体、窒化物、または酸化物など）の間の「固有の」エッチング選択性によって制御できる。例えば、NANDストリングコンタクト236の場合、誘電体層 1100 とは異なる酸化物または窒化物で充填されたエッチング停止プラグ224は、第1のローカルコンタクト開口部の形成中にNANDストリング204への更なるエッチングを防ぐことができる。スリット構造コンタクト238および上部WLコンタクト240-1の場合、ドライエッチングプロセスのエッチング停止層として作用することができる導体材料1004および導体層206の存在により、更なるエッチングを防ぐことができる。その結果、高さの異なる第1のローカルコンタクトの形成が可能になる。

30

【0080】

前述したように、NANDストリングコンタクト236、スリット構造コンタクト238、および上部WLコンタクト240-1などの第1のローカルコンタクトは、同じコンタクト形成プロセスで同時に形成することができる。第1のローカルコンタクト形成プロセスは、多数のプロセス、例えば、フォトリソグラフィ、エッチング、薄膜堆積、およびCMPを含むことができる。いくつかの実施形態では、コンタクト形成プロセスの各プロセスは、すべて第1のローカルコンタクトに対して一度だけ実行することができる。例えば、単一のリソグラフィおよびエッチングプロセスを使用して、NANDストリングコンタクト236、スリット構造コンタクト238、および上部WLコンタクト240-1のすべての開口部を形成することができ、単一の堆積プロセスを実行して、NANDストリングコンタクト236、スリット構造コンタクト238、および上部WLコンタクト240-1のすべての開口部を同じ導体材料で充填することができる。いくつかの実施形態では、CMPプロセスは、誘電体層 1100 の上面から過剰な堆積材料を取り除くことがで

40

50

きる。

【 0 0 8 1 】

図 3 および方法 3 0 0 を参照すると、動作 3 1 8 において、T A C 構造（および残りの第 2 のローカルコンタクト）の形成を形成することができる。図 1 2 を参照すると、いくつかの実施形態によれば、ローカルコンタクトの第 1 のセット（例えば、N A N D ストリングコンタクト 2 3 6、スリット構造コンタクト 2 3 8、および上部 W L コンタクト 2 4 0 - 1）を形成した後、基板 2 0 2 に近い T A C 2 3 4 および下部 W L コンタクト 2 4 0 - 2 を含む、ローカルコンタクトの第 2 のセットを形成することができる。T A C 2 3 4 は、誘電体層 1 1 0 0、7 0 4、および 2 3 2 に形成することができ、下部 W L コンタクト 2 4 0 - 2 は、最初に開口部を垂直にエッチングして（例えば、ドライエッチングで）

10

【 0 0 8 2 】

T A C 2 3 4 は、誘電体構造 7 0 2 の厚さ全体を通してエッチングすることによって形成することができる。T A C 2 3 4 と下部 W L コンタクト 2 4 0 - 2 の両方が酸化物層（例えば、誘電体層 1 1 0 0、7 0 4、2 3 2、および 2 3 0）に形成されているため、全体的なエッチングプロセスは、エッチング化学物質、エッチングプロセスツール、全体的なプロセス統合、およびコストの点で、エッチングプロセス全体を簡略化できる。限定ではなく例として、T A C 2 3 4 および下部 W L コンタクト 2 4 0 - 2 の開口部は、ディープ反応性イオンエッチング（D R I E）プロセスによって、または任意の他の好適な異方性エッチングプロセスを用いて形成することができる。誘電体構造 2 3 2 に T A C 2 3 4 を形成することにより、製造プロセスを簡略化し、製造コストを低減することができる。これは、共通コンタクト形成プロセスにおいて、他のローカルコンタクトと一緒にゲート置換プロセスを行った後でも、T A C 2 3 4 を容易に形成できるためである。

20

【 0 0 8 3 】

いくつかの実施形態では、T A C 2 3 4 の下端部は、図 1 2 に示すように、S T I 構造 2 3 3 に形成され、基板 2 0 2 と接触することができる。例えば、T A C 2 3 4 は、S T I 構造 2 3 3 を通って延在し、基板 2 0 2 で停止することができる。各下部 W L コンタクト 2 4 0 - 2 の下端部は、図 1 2 に示すように、階段構造の対応するレベルの対応する上部導体層 2 0 6（W L）と接触することができる。すべてのローカルコンタクト（ローカルコンタクトの第 1 および第 2 のセットの両方を含む）の上端部は、誘電体層 1 1 0 0 の上面で互いに同一平面にすることができる。第 2 のセットのローカルコンタクト（T A C 2 3 4 および下部 W L コンタクト 2 4 0 - 2 を含む）は、第 1 のセットのローカルコンタクトの形成後、同じコンタクト形成プロセスで同時に形成することができる。すなわち、すべてのローカルコンタクト（ローカルコンタクトの第 1 および第 2 のセットの両方を含む）は、図 1 1 および図 1 2 に示されるように、2 つのコンタクト形成プロセスで形成できることが理解される。

30

40

【 0 0 8 4 】

いくつかの実施形態では、すべてのローカルコンタクト（ローカルコンタクトの第 1 および第 2 のセットの両方を含む）は、単一のコンタクト形成プロセスで同時に形成できることが理解される。すなわち、図 1 1 および図 1 2 に示される 2 つのコンタクト形成プロセスは、単一のコンタクト形成プロセスに組み合わせることができる。いくつかの実施形態では、コンタクト形成プロセスの各プロセスは、N A N D ストリングコンタクト 2 3 6、スリット構造コンタクト 2 3 8、T A C 2 3 4、上部 W L コンタクト 2 4 0 - 1、および下部 W L コンタクト 2 4 0 - 2 のすべてに対して一度実行することができる。例えば、

50

単一のリソグラフィプロセスを実行し、その後単一のエッチングプロセスおよび単一の堆積プロセスを実行することができる。

【0085】

いくつかの実施形態では、複数のコンタクトを有する追加のコンタクト層を、ローカルコンタクトの上に形成することができる。図13に示されるように、(誘電体層1302およびコンタクト246を含む)コンタクト層242を誘電体層1100の上に形成することができる。誘電体層1302は、ALD、CVD、PVD、任意の他の好適なプロセス、またはそれらの任意の組み合わせを含む1つまたは複数の薄膜堆積プロセスによって形成することができる。誘電体層1302は、SiO₂、SiN、SiON、またはそれらの任意の組み合わせを含むがこれらに限定されない誘電体材料を含むことができる。コンタクト246は、最初に開口部を垂直にエッチングして(例えば、ドライエッチングを使用して)、その後、ALD、CVD、PVD、任意の他の好適なプロセス、またはそれらの任意の組み合わせを使用して開口部を導体材料で充填することにより、誘電体層1302を通して形成することができる。コンタクト246を充填するために使用される導体材料としては、W、Co、Cu、Al、ポリシリコン、シリサイド、またはそれらの任意の組み合わせが挙げられるが、これらに限定されない。いくつかの実施形態では、導体材料の堆積の前に、バリア層、接着層、および/またはシード層をコンタクト開口部に堆積させることができる。

10

【0086】

図13に示すように、各コンタクト246の下端部は、対応するローカルコンタクト、例えば、NANDストリングコンタクト236、スリット構造コンタクト238、TAC1200、またはWLコンタクト240-1および240-2の上端部と接触することができる。いくつかの実施形態では、コンタクト層242内のすべてのコンタクト246は、同じコンタクト形成プロセスで同時に形成することができる。いくつかの実施形態では、コンタクト層242の各コンタクト246はビアである。更に、コンタクト層242は、3Dメモリデバイス200の相互接続構造の「ビア0(V0)」レベル/底部レベルと呼ぶことができる。

20

【0087】

続いて、相互接続層内に複数の第3のコンタクトを形成することができる。図13に示されるように、(誘電体層1308および相互接続コンタクト248を含む)相互接続層244をコンタクト層242の上方に形成することができる。誘電体層1308は、ALD、CVD、PVD、任意の他の好適なプロセス、またはそれらの任意の組み合わせなどの1つまたは複数の薄膜堆積プロセスによって形成することができる。誘電体層1308は、SiO₂、SiN、SiON、またはそれらの任意の組み合わせを含むがこれらに限定されない誘電体材料を含むことができる。限定ではなく例として、相互接続コンタクト248は、最初に開口部を垂直にエッチングして(例えば、ドライエッチングプロセスで)、その後、ALD、CVD、PVD、任意の他の好適なプロセス、またはそれらの任意の組み合わせを使用して開口部を導体材料で充填することにより、誘電体層1308を通して形成することができる。相互接続コンタクト248を充填するために使用される導体材料としては、W、Co、Cu、Al、ポリシリコン、シリサイド、またはそれらの任意の組み合わせが挙げられるが、これらに限定されない。いくつかの実施形態では、導体材料の堆積の前に、バリア層、接着層、および/またはシード層を形成する。

30

40

【0088】

図13に示すように、各相互接続コンタクト248の下端部は、コンタクト層242内の対応するコンタクト246の上端部と接触することができ、それにより、各相互接続コンタクト248は、NANDストリング204、スリット構造226、ならびにWL240-1および240-2のような対応するメモリアレイ構造に電氣的に接続することができる。いくつかの実施形態では、相互接続層244内のすべての相互接続コンタクト248は、同じコンタクト形成プロセスで同時に形成することができる。いくつかの実施形態では、各相互接続コンタクト248は相互接続ラインであり得、相互接続層244は3D

50

メモリデバイス 200 の相互接続構造の「金属 0 (M 0) 」レベル / 底部レベルと呼ぶことができる。

【 0 0 8 9 】

いくつかの実施形態によれば、コンタクト 246 および相互接続コンタクト 248 は、Cu コンタクトを形成するためのデュアルダマシンプロセスなどの単一のコンタクト形成プロセスで形成することができる。それにもかかわらず、図 13 に示されるように、ローカルコンタクトならびにコンタクト 246 および 248 を含む相互接続構造は、限られた数の製造ステップで形成され、製造の複雑さおよびコストを低減することができる。

【 0 0 9 0 】

本開示による様々な実施形態は、メモリアレイ用の相互接続構造を有する 3D メモリデバイスを提供する。相互接続構造により、様々なメモリアレイ構造（例えば、NAND ストリング、ゲートラインスリット、WL など）へのコンタクトを限られた数の動作（例えば、1 回の動作または 2 回の動作）で製造できるため、プロセスの複雑さと生産コストを低減することができる。いくつかの実施形態では、本明細書で開示される相互接続構造は、上部相互接続層にビットラインを含むことができる。これらのビットラインは、アレイデバイスおよび周辺デバイスが異なる基板上に形成され、続いて、対面構成でハイブリッド結合によって接合される 3D メモリアーキテクチャに適している。

10

【 0 0 9 1 】

更に、本明細書で開示される相互接続構造は、積み重ねられたアレイデバイスと（例えば、電力バスおよび金属ルーティングのための）周辺デバイスとの間に垂直相互接続を提供する TAC を含むため、金属レベルが低下し、パッキング密度が向上し、ダイサイズが小さくなる。いくつかの実施形態では、本明細書で開示される相互接続構造の TAC は、交互誘電体層のスタックまたは交互導体 / 誘電体層のスタックと比較して、容易にエッチングしてその中にスルーホールを形成できる誘電体構造に形成される。これにより、製造の複雑さとコストを低減できる。誘電体構造は、誘電体の交互層スタックを導体 / 誘電体層スタックに変換する前に形成することができる。

20

【 0 0 9 2 】

いくつかの実施形態では、3D メモリデバイスは、半導体基板と、半導体基板上に配置された交互層スタックと、基板の分離領域上の誘電体構造（交互層スタックを通して垂直に延在する）と、を含む。更に、交互層スタックは誘電体構造の側壁表面に接することができ、誘電体構造は誘電体材料で形成される。3D メモリデバイスは更に、誘電体および分離領域を通して垂直に延在する 1 つまたは複数の TAC と、交互層スタックを通して垂直に延在する 1 つまたは複数のチャネル構造と、を含む。

30

【 0 0 9 3 】

3D メモリデバイスは、1 つまたは複数のチャネル構造のそれぞれと半導体基板との間に形成されたエピタキシャル層と、1 つまたは複数のチャネル構造のそれぞれの上に配置されたエッチング停止プラグと、交互層内に配置された階段構造と、1 つまたは複数の TAC、チャネル構造、およびスリット構造上に配置された 1 つまたは複数のコンタクト層と、を更に含む。

【 0 0 9 4 】

いくつかの実施形態では、誘電体構造は TAC の側壁表面に接する。

40

【 0 0 9 5 】

いくつかの実施形態では、3D メモリデバイスは NAND 3D メモリデバイスである。

【 0 0 9 6 】

いくつかの実施形態では、交互層スタックは誘電体層と導体層との交互ペアを含む。

【 0 0 9 7 】

いくつかの実施形態では、誘電体層は酸化シリコンを含み、導体層は金属を含む。

【 0 0 9 8 】

いくつかの実施形態では、導体層はワードラインを含む。

【 0 0 9 9 】

50

いくつかの実施形態では、誘電体材料は酸化シリコンである。

【0100】

いくつかの実施形態では、誘電体構造は酸化物を含む。

【0101】

いくつかの実施形態では、誘電体構造は3Dメモリデバイス内のスルーアレイコンタクト領域を定義する。

【0102】

いくつかの実施形態では、誘電体構造の面積は、分離領域の面積と等しいかまたはそれよりも小さい。

【0103】

いくつかの実施形態では、3Dメモリデバイスを形成する方法は、基板上に分離構造を形成することと、基板上に交互誘電体層スタックを配置することとであって、交互誘電体層スタックは、第1の誘電体層と、第1の誘電体層とは異なる第2の誘電体層とのペアを含む、配置することと、を含む。本方法は、交互誘電体層内で垂直に延在するチャンネル構造を形成することと、交互誘電体層スタック内に開口部を形成することとであって、開口部は分離構造を露出させる、開口部を形成することと、を更に含む。本方法はまた、開口部を誘電体層で充填して、3DメモリデバイスのTAC領域として誘電体構造を形成することと、基板が露出して、誘電体構造および分離構造を通して垂直に延在するTAC開口部を形成するまで、誘電体構造および分離構造の一部を取り除くことと、TAC開口部を導体で充填して、TAC領域内にTAC構造を形成することとであって、TAC構造は、基板と接触している、TAC構造を形成することと、を含む。

【0104】

いくつかの実施形態では、TAC開口部を形成する前に、本方法は、交互誘電体層スタック内に垂直に延在することによって、基板のドーパされた領域を露出させるスリット開口部を形成することと、1つまたは複数のスリット開口部を通る第2の誘電体層を導体層で置き換えて、交互誘電体層スタックを交互誘電体/導体層スタックに変換することと、1つまたは複数のスリット開口部を導体で充填して、交互誘電体/導体層スタック内で垂直に延在する1つまたは複数のスリット構造を形成することと、を更に含む。

【0105】

いくつかの実施形態では、チャンネル構造を形成する前に、トリムエッチングプロセスを実行して、交互誘電体層スタック内に階段構造を形成する。

【0106】

いくつかの実施形態では、交互誘電体層スタックの一部を取り除くことは、ドライエッチングプロセスを実行することを含む。

【0107】

いくつかの実施形態では、開口部を誘電体層で充填することは、化学蒸着、プラズマ促進化学蒸着、または物理蒸着プロセスで、誘電体層を堆積することを含む。

【0108】

いくつかの実施形態では、開口部を誘電体層で充填することは、酸化物を形成することを含む。

【0109】

いくつかの実施形態では、開口部を誘電体層で充填することは、酸化シリコンを形成することを含む。

【0110】

いくつかの実施形態では、第1の誘電体層は酸化物を含み、第2の誘電体層は窒化物を含む。

【0111】

いくつかの実施形態では、第1の誘電体層は酸化シリコンを含み、第2の誘電体層は窒化シリコンを含む。

【0112】

10

20

30

40

50

いくつかの実施形態では、3Dメモリデバイスを形成する方法は、基板上に交互誘電体層スタックを配置することであって、交互誘電体層スタックは、第1の誘電体層と、第1の誘電体層とは異なる第2の誘電体層とのペアを含む、配置することと、交互誘電体層を通過して垂直に延在するチャンネル構造を形成することと、交互誘電体層スタックをエッチングして、開口部を形成することであって、開口部は基板内の分離領域を露出させる、開口部を形成することと、開口部を誘電体層で充填して、分離領域と等しいかまたはそれよりも小さいTAC領域として誘電体構造を形成することと、誘電体構造および分離領域を通過してエッチングして、基板を露出するTAC開口部を形成することと、TAC開口部を導体で充填して、TAC領域内にTAC構造を形成することと、を含む。

【0113】

10

いくつかの実施形態では、3Dメモリデバイスを形成する方法は、交互誘電体層を通過して垂直に延在するスリット開口部を形成することであって、スリット開口部は基板のドープされた領域を露出させる、スリット開口部を形成することを更に含む。本発明は、スリット開口部を通る第2の誘電体層を導体層で置き換えて、交互誘電体層スタックを交互誘電体/導体層スタックに変換することと、スリット開口部を導体で充填して、スリット構造を形成することと、交互誘電体層スタック内に階段構造を形成することであって、階段構造は複数のレベルを含む、階段構造を形成することと、を更に含む。更に、本方法は、階段構造のレベルのそれぞれにワールドラインコンタクトを形成することと、チャンネルおよびスリット構造の上にローカルコンタクトを形成することと、ローカルコンタクト、各ワードライン、および各TAC構造上に1つまたは複数のコンタクト層を形成することと、を含む。

20

【0114】

いくつかの実施形態では、交互誘電体層スタック内に開口部を形成することは、ドライエッチングプロセスを実行することを含む。

【0115】

いくつかの実施形態では、交互誘電体/導体層スタックは誘電体構造の側壁に接する。

【0116】

いくつかの実施形態では、誘電体構造は各TAC構造の側壁表面に接する。

【0117】

いくつかの実施形態では、3Dメモリデバイスは、分離構造を有する基板と、基板上に配置された交互導体/誘電体層スタックと、分離構造上の交互導体/誘電体層スタックを通過して垂直に延在する、誘電体構造であって、交互導体/誘電体層スタックは誘電体構造の側壁表面に接し、誘電体構造は誘電体材料で形成される、誘電体構造と、交互導体/誘電体層スタックを通過して垂直に延在するチャンネル構造と、誘電体および分離構造を通過して垂直に延在するスルーレイコンタクトと、を含む。

30

【0118】

いくつかの実施形態では、3Dメモリデバイスは、交互導体/誘電体層スタック内に配置された階段構造であって、階段構造は複数のレベルを含み、各レベルはその上に導体層を有する、階段構造と、階段構造の各導体層上に配置されたワードラインコンタクトと、各チャンネル構造およびスリット構造上に配置されたローカルコンタクトと、を更に含む。

40

【0119】

いくつかの実施形態では、誘電体構造は各TACの側壁に接する。

【0120】

いくつかの実施形態では、誘電体構造は、3Dメモリデバイスのスルーレイコンタクト領域を含む。

【0121】

特定の実施形態の前述の説明は、本開示の一般的な性質を完全に明らかにするので、他の人は、当業者の知識内で知識を適用することにより、過度の実験なしに、本開示の一般的な概念から逸脱することなく、特定の実施形態のような様々な用途に容易に修正および/または適合することができる。したがって、そのような適合および変更は、本明細書に

50

提示された教示およびガイダンスに基づいて、開示された実施形態の同等物の意味および範囲内であることが意図されている。本明細書の専門用語 (p h r a s e o l o g y) または用語 (t e r m i n o l o g y) は、限定ではなく説明を目的とし、これにより、本明細書の用語または専門用語が教示およびガイダンスに照らして当業者によって解釈されることを理解されたい。

【 0 1 2 2 】

本開示の実施形態は、指定された機能およびそれらの関係の実装を示す機能的ビルディングブロックを用いて上記で説明されてきた。これらの機能的ビルディングブロックの境界は、説明の便宜上、本明細書では任意に定義されている。指定された機能およびその関係が適切に実行される限り、代替境界を定義できる。

10

【 0 1 2 3 】

概要および要約のセクションは、発明者によって企図される本開示の典型的な実施形態のすべてではなく、1つ以上を述べることもあり、したがって、本開示および添付の特許請求の範囲を決して限定することを意図しない。

【 0 1 2 4 】

本開示の幅および範囲は、上記の典型的な実施形態のいずれによっても限定されるべきではなく、以下の特許請求の範囲およびそれらの同等物に従ってのみ定義されるべきである。

20

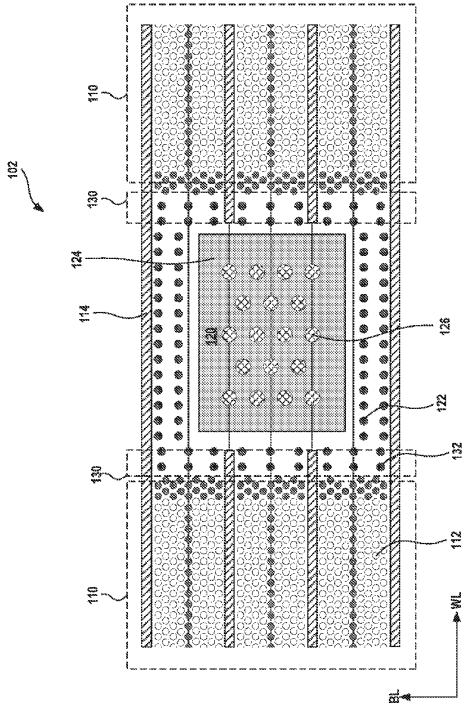
30

40

50

【図面】

【図 1 A】



【図 1 B】

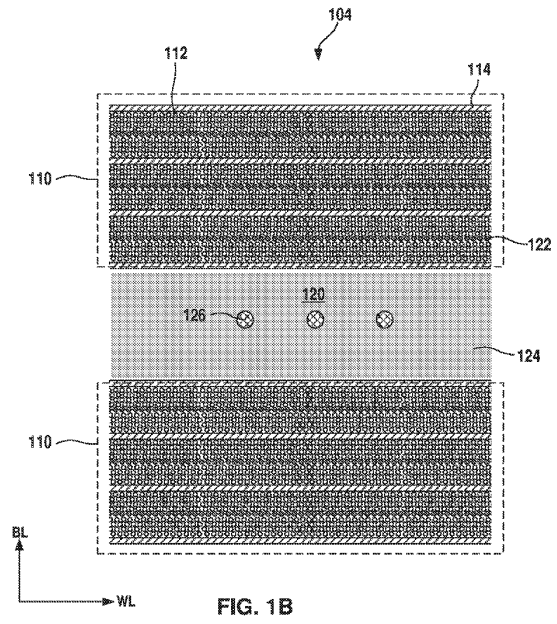


FIG. 1A

FIG. 1B

【図 1 C】

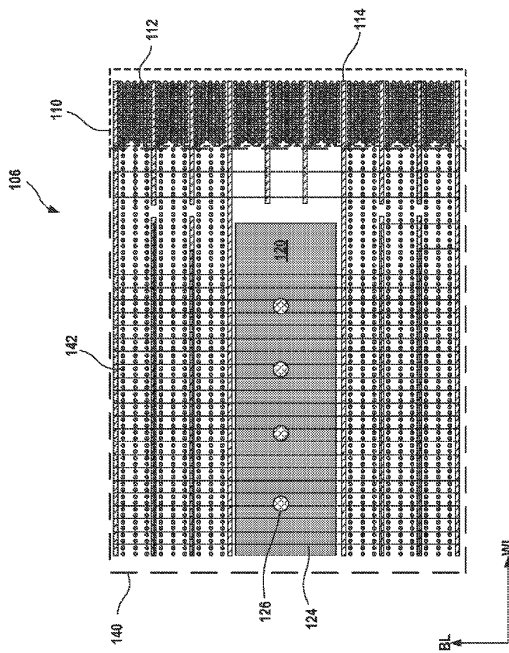


FIG. 1C

【図 2】

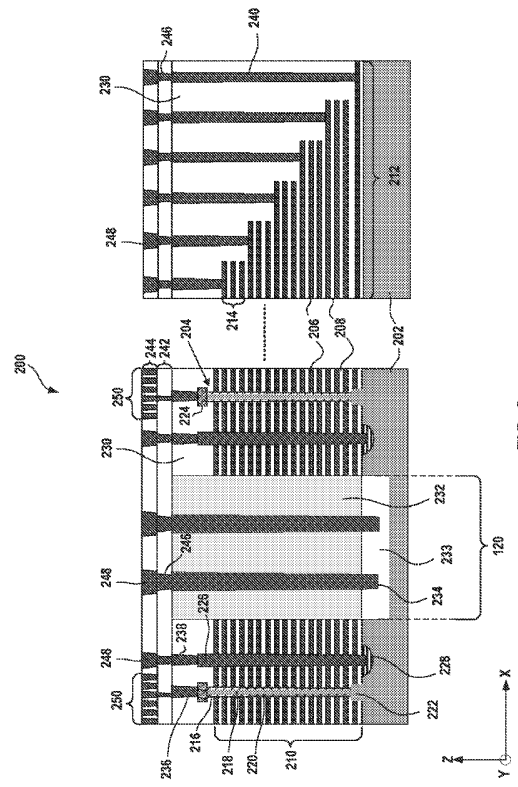


FIG. 2

10

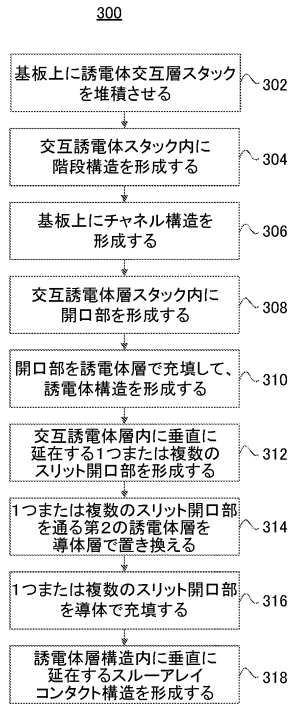
20

30

40

50

【 図 3 】



【 図 4 】

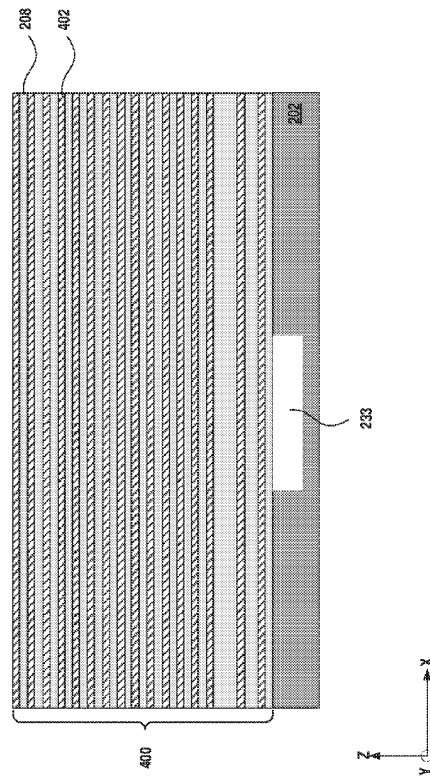


FIG. 4

10

20

【 図 5 】

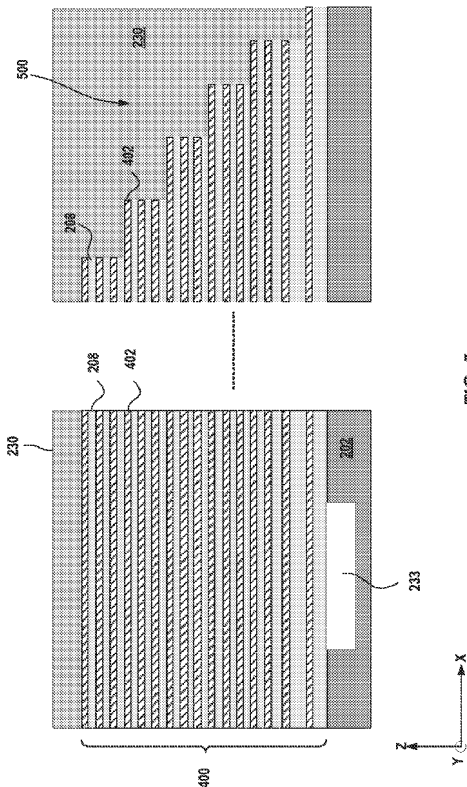


FIG. 5

【 図 6 】

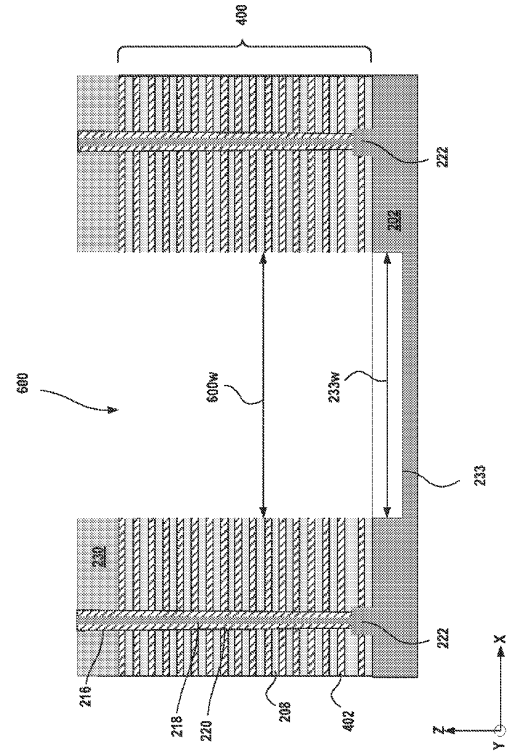


FIG. 6

30

40

50

【 7 】

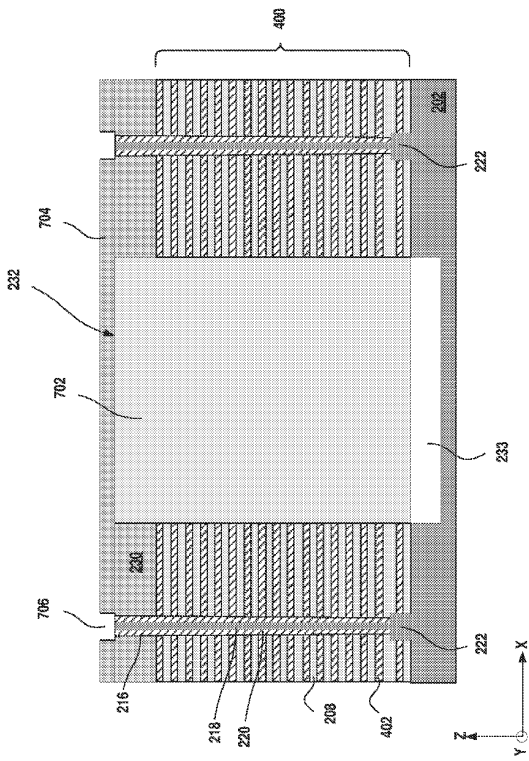


FIG. 7

【 8 】

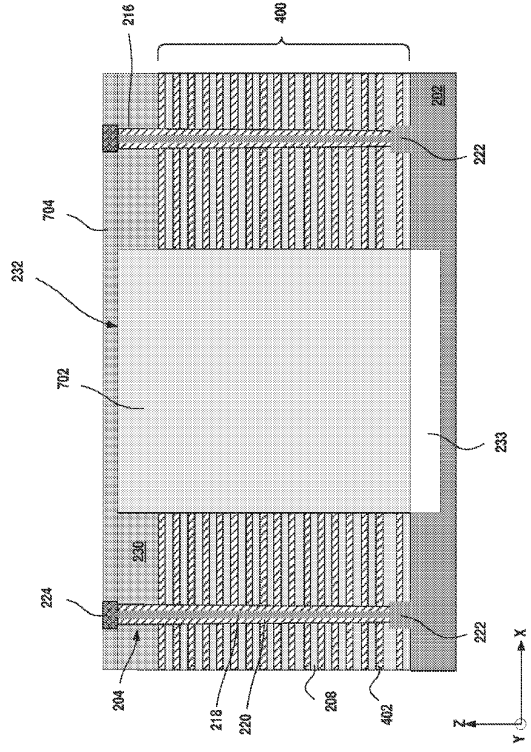


FIG. 8

【 9 】

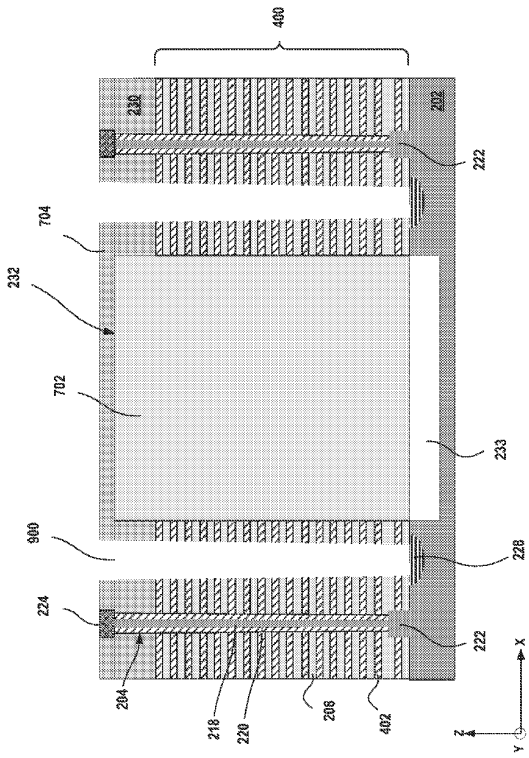


FIG. 9

【 10 】

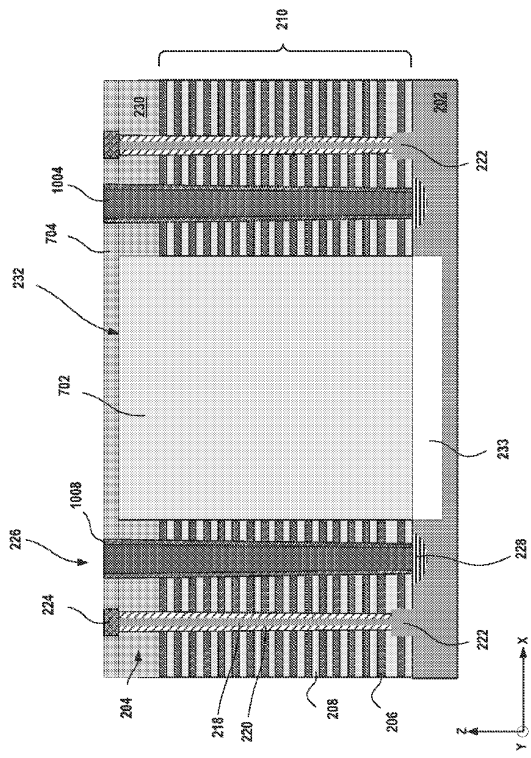


FIG. 10

10

20

30

40

50

【 図 1 1 】

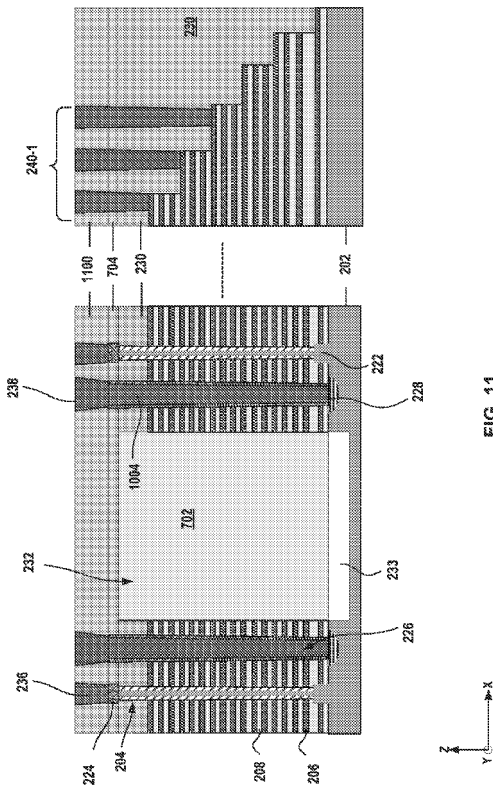


FIG. 11

【 図 1 2 】

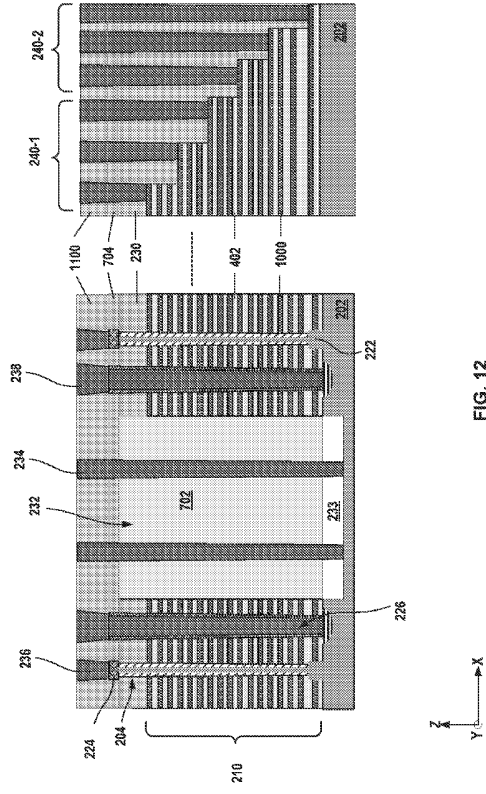


FIG. 12

【 図 1 3 】

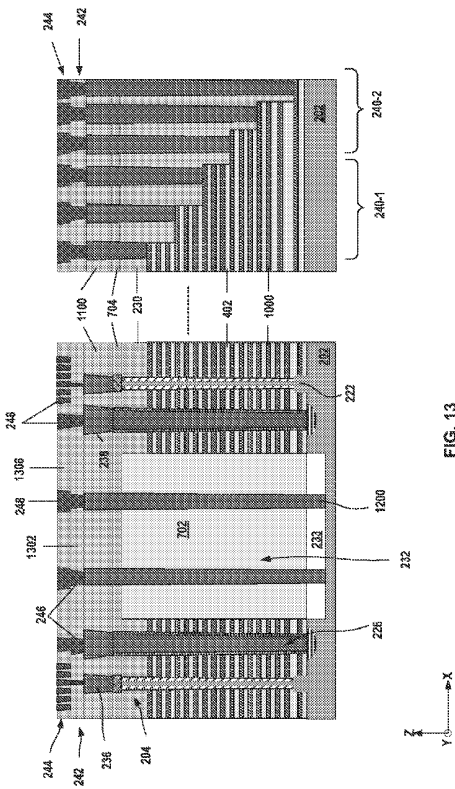


FIG. 13

10

20

30

40

50

フロントページの続き

、ウーハン、イースト レイク ハイ - テク デベロップメント ゾーン、グアンドン サイエンス
アンド テクノロジー インダストリアル パーク、ファグアン ロード、ナンバー 18、ルーム
7018

(72)発明者 フ・ユシ

中華人民共和国、フベイ 430074、ウーハン、イースト レイク ハイ - テク デベロップメ
ント ゾーン、グアンドン サイエンス アンド テクノロジー インダストリアル パーク、ファグ
アン ロード、ナンバー 18、ルーム 7018

(72)発明者 ル・ゼンユ

中華人民共和国、フベイ 430074、ウーハン、イースト レイク ハイ - テク デベロップメ
ント ゾーン、グアンドン サイエンス アンド テクノロジー インダストリアル パーク、ファグ
アン ロード、ナンバー 18、ルーム 7018

(72)発明者 シャオ・リホン

中華人民共和国、フベイ 430074、ウーハン、イースト レイク ハイ - テク デベロップメ
ント ゾーン、グアンドン サイエンス アンド テクノロジー インダストリアル パーク、ファグ
アン ロード、ナンバー 18、ルーム 7018

(72)発明者 ダイ・シャオワン

中華人民共和国、フベイ 430074、ウーハン、イースト レイク ハイ - テク デベロップメ
ント ゾーン、グアンドン サイエンス アンド テクノロジー インダストリアル パーク、ファグ
アン ロード、ナンバー 18、ルーム 7018

(72)発明者 ゾウ・ユティン

中華人民共和国、フベイ 430074、ウーハン、イースト レイク ハイ - テク デベロップメ
ント ゾーン、グアンドン サイエンス アンド テクノロジー インダストリアル パーク、ファグ
アン ロード、ナンバー 18、ルーム 7018

(72)発明者 タン・ザオファイ

中華人民共和国、フベイ 430074、ウーハン、イースト レイク ハイ - テク デベロップメ
ント ゾーン、グアンドン サイエンス アンド テクノロジー インダストリアル パーク、ファグ
アン ロード、ナンバー 18、ルーム 7018

(72)発明者 グオ・メイラン

中華人民共和国、フベイ 430074、ウーハン、イースト レイク ハイ - テク デベロップメ
ント ゾーン、グアンドン サイエンス アンド テクノロジー インダストリアル パーク、ファグ
アン ロード、ナンバー 18、ルーム 7018

(72)発明者 タン・ジウ

中華人民共和国、フベイ 430074、ウーハン、イースト レイク ハイ - テク デベロップメ
ント ゾーン、グアンドン サイエンス アンド テクノロジー インダストリアル パーク、ファグ
アン ロード、ナンバー 18、ルーム 7018

(72)発明者 ウェイ・チンシャン

中華人民共和国、フベイ 430074、ウーハン、イースト レイク ハイ - テク デベロップメ
ント ゾーン、グアンドン サイエンス アンド テクノロジー インダストリアル パーク、ファグ
アン ロード、ナンバー 18、ルーム 7018

(72)発明者 シュ・チャンピン

中華人民共和国、フベイ 430074、ウーハン、イースト レイク ハイ - テク デベロップメ
ント ゾーン、グアンドン サイエンス アンド テクノロジー インダストリアル パーク、ファグ
アン ロード、ナンバー 18、ルーム 7018

(72)発明者 リウ・シャシャ

中華人民共和国、フベイ 430074、ウーハン、イースト レイク ハイ - テク デベロップメ
ント ゾーン、グアンドン サイエンス アンド テクノロジー インダストリアル パーク、ファグ
アン ロード、ナンバー 18、ルーム 7018

(72)発明者 スン・ジアンファ

中華人民共和国、フベイ 430074、ウーハン、イースト レイク ハイ - テク デベロップメ

ント ゾーン、グアンドン サイエンス アンド テクノロジー インダストリアル パーク、フアグ
アン ロード、ナンバー 18、ルーム 7018

(72)発明者

ワン・エンボ

中華人民共和国、フベイ 430074、ウーハン、イースト レイク ハイ - テク デベロップメ
ント ゾーン、グアンドン サイエンス アンド テクノロジー インダストリアル パーク、フアグ
アン ロード、ナンバー 18、ルーム 7018

審査官

西出 隆二

(56)参考文献

中国特許出願公開第106910746 (CN, A)

国際公開第2004/064159 (WO, A1)

特開2010-212518 (JP, A)

(58)調査した分野

(Int.Cl., DB名)

H01L 27/11582

H01L 21/336