

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年9月16日(16.09.2021)

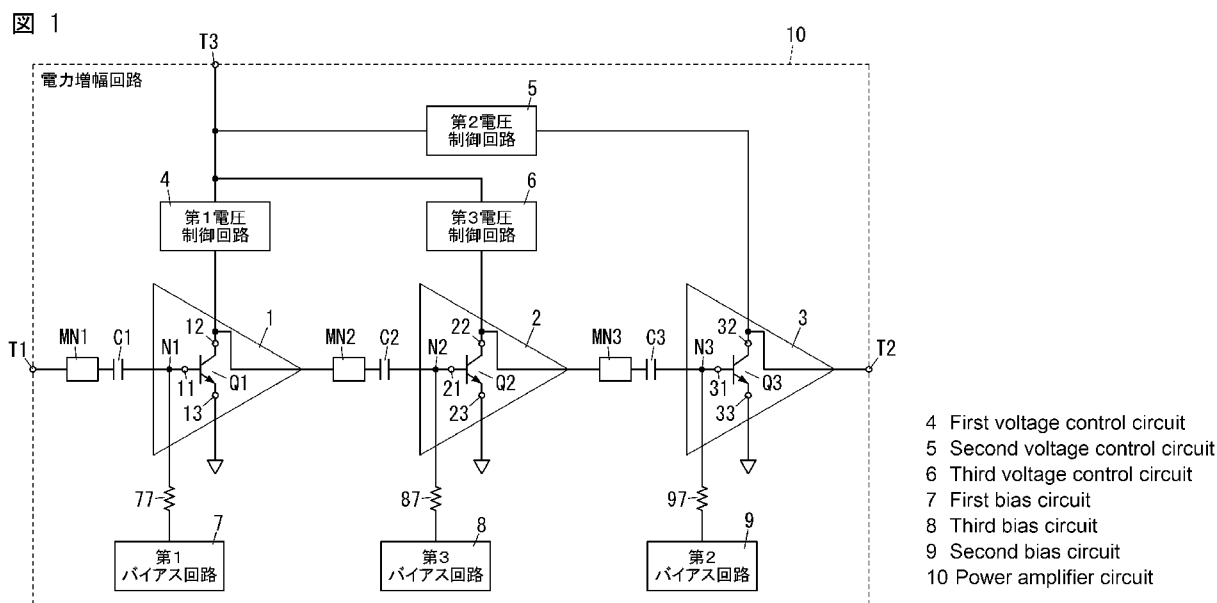


(10) 国際公開番号
WO 2021/181751 A1

- (51) 国際特許分類:
H03F 1/02 (2006.01) H03F 3/24 (2006.01) JP; 〒6178555 京都府長岡京市東神足 1
H03F 3/19 (2006.01) H03F 3/68 (2006.01) 丁目 10 番 1 号 Kyoto (JP).
- (21) 国際出願番号: PCT/JP2020/041757
- (22) 国際出願日: 2020年11月9日(09.11.2020)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2020-043530 2020年3月12日(12.03.2020) JP
- (71) 出願人: 株式会社村田製作所
(MURATA MANUFACTURING CO., LTD.) [JP/
- (72) 発明者: 田原 健二 (TAHARA, Kenji). 田
中 佑介 (TANAKA, Yusuke). 祐森 義明
(SUKEMORI, Yoshiaki).
- (74) 代理人: 特許業務法人北斗特許事務
所(HOKUTO PATENT ATTORNEYS OFFICE);
〒5300001 大阪府大阪市北区梅田一丁目 1 2
- 17 梅田スクエアビル Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ,

(54) Title: POWER AMPLIFIER CIRCUIT, HIGH-FREQUENCY CIRCUIT, AND COMMUNICATION DEVICE

(54) 発明の名称: 電力増幅回路、高周波回路、及び通信装置



(57) Abstract: The present invention suppresses a current that flows to a transistor of a final-stage amplifier. A power amplifier circuit (10) is provided with a drive-stage amplifier (1), a final-stage amplifier (3), a power terminal (T3), a first voltage control circuit (4), and a second voltage control circuit (5). The drive-stage amplifier (1) includes a first transistor (Q1) including a first input terminal (11), a first output terminal (12), and a first grounding terminal (13). The final-stage amplifier (3) includes a second transistor (Q3) including a second input terminal (31), a second output terminal (32), and a second grounding terminal (33). The first voltage control circuit (4) is connected between the power terminal (T3) and the first output terminal (12), and controls a first power supply voltage to be applied to the first transistor (Q1). The second



WO 2021/181751 A1

EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

voltage control circuit (5) is connected between the power terminal (T3) and the second output terminal (32), and controls a second power supply voltage to be applied to the second transistor (Q3).

(57) 要約: 最終段増幅器のトランジスタに流れる電流を抑制する。電力増幅回路(10)は、ドライブ段増幅器(1)と、最終段増幅器(3)と、電源端子(T3)と、第1電圧制御回路(4)と、第2電圧制御回路(5)と、を備える。ドライブ段増幅器(1)は、第1入力端子(11)、第1出力端子(12)及び第1接地端子(13)を有する第1トランジスタ(Q1)を含む。最終段増幅器(3)は、第2入力端子(31)、第2出力端子(32)及び第2接地端子(33)を有する第2トランジスタ(Q3)を含む。第1電圧制御回路(4)は、電源端子(T3)と第1出力端子(12)との間に接続されており、第1トランジスタ(Q1)に印加する第1電源電圧を制御する。第2電圧制御回路(5)は、電源端子(T3)と第2出力端子(32)との間に接続されており、第2トランジスタ(Q3)に印加する第2電源電圧を制御する。

明 細 書

発明の名称：電力増幅回路、高周波回路、及び通信装置

技術分野

[0001] 本発明は、一般に電力増幅回路、高周波回路、及び通信装置に関し、より詳細には、高周波信号を電力増幅する電力増幅回路、この電力増幅回路を備える高周波回路、及び、この高周波回路を備える通信装置に関する。

背景技術

[0002] 従来、ドライバ段増幅器と、第1のRF増幅器と、第2のRF増幅器と、DC電圧変換器と、を備えるRF電力増幅装置が知られている（例えば、特許文献1参照）。

[0003] 特許文献1に記載されたRF電力増幅装置では、ドライバ段増幅器と第1のRF増幅器と第2のRF増幅器とDC電圧変換器とは、RF電力増幅装置の外部から供給される外部電源電圧によって動作可能とされている。

[0004] ドライバ段増幅器の出力端子から生成される出力信号は第1のRF増幅器の入力端子と第2のRF増幅器の入力端子とに供給可能とされている。DC電圧変換器に外部電源電圧が供給されることによって、DC電圧変換器は外部電源電圧よりも低電圧の動作電源電圧を生成可能とされ、当該動作電源電圧を第2のRF増幅器の出力端子に供給可能とされている。第1のRF増幅器の出力端子には、DC電圧変換器を介することなく、RF電力増幅装置の外部から供給される外部電源電圧が供給可能とされている。

[0005] ドライバ段増幅器と第1のRF増幅器と第2のRF増幅器との各々は、電界効果トランジスタとバイポーラトランジスタとのいずれかによって構成されている。

先行技術文献

特許文献

[0006] 特許文献1：特開2011-259083号公報

発明の概要

発明が解決しようとする課題

[0007] 特許文献1に記載されたRF電力増幅装置は、低出力電力で動作するとき（低パワー時）に、第2のRF増幅器のトランジスタ（電界効果トランジスタ又はバイポーラトランジスタ）に流れる電流が大きいという問題があった。

[0008] 本発明の目的は、最終段増幅器のトランジスタに流れる電流を抑制することが可能な電力増幅回路、高周波回路、及び通信装置を提供することにある。

課題を解決するための手段

[0009] 本発明の一態様に係る電力増幅回路は、高周波信号を電力増幅する。前記電力増幅回路は、ドライブ段増幅器と、最終段増幅器と、電源端子と、第1電圧制御回路と、第2電圧制御回路と、を備える。前記ドライブ段増幅器は、第1トランジスタを含む。前記第1トランジスタは、第1入力端子、第1出力端子及び第1接地端子を有する。前記最終段増幅器は、第2トランジスタを含む。前記第2トランジスタは、第2入力端子、第2出力端子及び第2接地端子を有する。前記第2入力端子は、前記第1出力端子に接続されている。前記第1電圧制御回路は、前記電源端子と前記第1出力端子との間に接続されている。前記第1電圧制御回路は、前記第1トランジスタに印加する第1電源電圧を制御する。前記第2電圧制御回路は、前記第1電圧制御回路とは異なる回路であって前記電源端子と前記第2出力端子との間に接続されている。前記第2電圧制御回路は、前記第2トランジスタに印加する第2電源電圧を制御する。

[0010] 本発明の一態様に係る高周波回路は、前記電力増幅回路と、フィルタと、を備える。前記フィルタは、前記電力増幅回路で電力増幅されて前記電力増幅回路から出力される前記高周波信号を通す。

[0011] 本発明の一態様に係る通信装置は、前記高周波回路と、信号処理回路と、を備える。前記信号処理回路は、前記電力増幅回路に高周波信号を出力する。

発明の効果

[0012] 本発明の上記態様に係る電力増幅回路、高周波回路、及び通信装置は、最終段増幅器の第2トランジスタに流れる電流を抑制することが可能となる。

図面の簡単な説明

[0013] [図1]図1は、実施形態1に係る電力増幅回路の回路図である。

[図2]図2は、同上の電力増幅回路を備える通信装置の回路図である。

[図3]図3は、同上の電力増幅回路における第1電圧制御回路の回路図である。

[図4]図4は、同上の電力増幅回路における第2電圧制御回路の回路図である。

[図5]図5は、同上の電力増幅回路におけるバイアス回路の回路図である。

[図6]図6は、同上の電力増幅回路に関し、制御電圧とアイドル電流との関係を示す特性図である。

[図7]図7は、同上の電力増幅回路に関し、制御電圧と出力電力及びコレクタ電流との関係を示す特性図である。

[図8]図8は、実施形態1の比較例に係る電力増幅回路に関し、制御電圧とアイドル電流との関係を示す特性図である。

[図9]図9は、同上の電力増幅回路に関し、制御電圧と出力電力及びコレクタ電流との関係を示す特性図である。

[図10]図10は、実施形態1に係る電力増幅回路の第2電圧制御回路の他の構成例を示す回路図である。

[図11]図11は、実施形態1に係る電力増幅回路の第1電圧制御回路の他の構成例を示す回路図である。

[図12]図12は、実施形態2に係る電力増幅回路の回路図である。

[図13]図13は、実施形態3に係る電力増幅回路の回路図である。

[図14]図14は、実施形態4に係る電力増幅回路の回路図である。

発明を実施するための形態

[0014] (実施形態1)

以下、実施形態 1 に係る電力増幅回路 10 について、図 1～5 を参照して説明する。

[0015] (1) 電力増幅回路、高周波回路、及び通信装置

(1. 1) 電力増幅回路を備える高周波回路の回路構成

図 2 に示すように、電力増幅回路 10 を備える高周波回路 100 は、例えば、通信装置 300 に用いられる。通信装置 300 は、例えば、携帯電話（例えば、スマートフォン）であるが、これに限らず、例えば、ウェアラブル端末（例えば、スマートウォッチ）であってもよい。高周波回路 100 は、例えば、4G（第 4 世代移動通信）規格、5G（第 5 世代移動通信）規格に対応可能な回路である。4G 規格は、例えば、3GPP LTE (Long Term Evolution) 規格である。5G 規格は、例えば、5G NR (New Radio) である。高周波回路 100 は、キャリアアグリゲーション及びデュアルコネクティビティに対応可能な回路であってもよい。

[0016] 高周波回路 100 は、例えば、信号処理回路 301 から入力された高周波信号（送信信号）を増幅してアンテナ 310 に出力できるように構成されている。信号処理回路 301 は、高周波回路 100 の構成要素ではなく、高周波回路 100 を備える通信装置 300 の構成要素である。高周波回路 100 は、例えば、通信装置 300 の備える信号処理回路 301 によって制御される。

[0017] 高周波回路 100 は、電力増幅回路 10 と、出力整合回路 101 と、第 1 スイッチ 102 と、フィルタ 103 と、第 2 スイッチ 104 と、アンテナ端子 105 と、高周波信号入力端子 106 と、電源用端子 111 と、を備える。

[0018] 電力増幅回路 10 は、例えば、信号処理回路 301 からの入力信号を増幅して出力する。入力信号は、所定周波数帯域の高周波信号（送信信号）である。ここにおいて、所定周波数帯域は、例えば、互いに異なる複数の通信バンドを含む。

[0019] 電力増幅回路 10 は、図 1 及び 2 に示すように、ドライブ段増幅器 1 と、

最終段増幅器 3 と、電源端子 T 3 と、第 1 電圧制御回路 4 と、第 2 電圧制御回路 5 と、を備える。また、電力増幅回路 10 は、ドライブ段増幅器 1 と最終段増幅器 3 との間に接続された中間段増幅器 2 を更に備える。また、電力増幅回路 10 は、第 3 電圧制御回路 6 を更に備える。ドライブ段増幅器 1 は、第 1 トランジスタ Q 1 を含む。最終段増幅器 3 は、第 2 トランジスタ Q 3 を含む。中間段増幅器 2 は、第 3 トランジスタ Q 2 を含む。第 1 電圧制御回路 4 は、第 1 トランジスタ Q 1 に印加する第 1 電源電圧 V_{cc1} を制御する。第 2 電圧制御回路 5 は、第 2 トランジスタ Q 3 に印加する第 2 電源電圧 V_{cc2} を制御する。第 3 電圧制御回路 6 は、第 3 トランジスタ Q 2 に印加する第 3 電源電圧 V_{cc3} を制御する。

[0020] また、電力増幅回路 10 は、第 1 バイアス回路 7 と、第 2 バイアス回路 9 と、第 3 バイアス回路 8 と、を備える。第 1 バイアス回路 7 は、ドライブ段増幅器 1 の第 1 トランジスタ Q 1 に接続されている。第 2 バイアス回路 9 は、最終段増幅器 3 の第 2 トランジスタ Q 3 に接続されている。第 3 バイアス回路 8 は、中間段増幅器 2 の第 3 トランジスタ Q 2 に接続されている。

[0021] 出力整合回路 101 は、電力増幅回路 10 と第 1 スイッチ 102 との間の信号経路に設けられている。出力整合回路 101 は、電力増幅回路 10 とフィルタ 103 とのインピーダンス整合をとるための回路である。出力整合回路 101 は、例えば、1 つのインダクタで構成されるが、これに限らず、例えば、複数のインダクタ及び複数のキャパシタを含む場合もある。

[0022] 第 1 スイッチ 102 は、出力整合回路 101 とフィルタ 103 との間に設けられている。第 1 スイッチ 102 は、共通端子と、複数の選択端子と、を有する。第 1 スイッチ 102 の共通端子は、出力整合回路 101 を介して電力増幅回路 10 に接続されている。第 1 スイッチ 102 の複数の選択端子のうち 1 つの選択端子は、フィルタ 103 に接続されている。第 1 スイッチ 102 は、例えば、共通端子に複数の選択端子のうち少なくとも 1 つ以上を接続可能なスイッチである。ここで、第 1 スイッチ 102 は、例えば、一対一及び一対多の接続が可能なスイッチである。第 1 スイッチ 102 は、互いに

通信バンドの異なる複数の送信信号用の信号経路を切り替え可能なスイッチである。第1スイッチ102は、例えば、信号処理回路301から入力される制御信号にしたがって、共通端子と複数の選択端子との接続状態を切り替える。第1スイッチ102は、例えば、スイッチIC (Integrated Circuit) である。第1スイッチ102は、例えば、信号処理回路301から入力されるデジタルの制御信号にしたがって、共通端子と複数の選択端子との接続状態を切り替えるように構成されていけばよい。

[0023] フィルタ103は、上述の複数の通信バンドのうち1つの通信バンド（例えば、Band 3）の送信帯域を通過帯域とするフィルタである。フィルタ103は、例えば、1チップの弾性波フィルタであり、複数の直列腕共振子及び複数の並列腕共振子の各々が弾性波共振子により構成されている。弾性波フィルタは、例えば、弾性表面波を利用する表面弾性波フィルタである。表面弾性波フィルタでは、複数の直列腕共振子及び複数の並列腕共振子の各々は、例えば、SAW (Surface Acoustic Wave) 共振子である。フィルタ103は、1チップの弾性波フィルタに限らず、例えば、パッケージ構造を有していてもよい。

[0024] 第2スイッチ104は、フィルタ103とアンテナ端子105との間に設けられている。第2スイッチ104は、アンテナ端子105に接続されているスイッチである。第2スイッチ104は、共通端子と、複数の選択端子と、を有する。第2スイッチ104では、共通端子が、アンテナ端子105に接続されている。第2スイッチ104の複数の選択端子のうち1つの選択端子に、フィルタ103が接続されている。第2スイッチ104は、例えば、信号処理回路301から入力される制御信号にしたがって、共通端子と複数の選択端子との接続状態を切り替える。第2スイッチ104は、例えば、スイッチICである。第2スイッチ104は、例えば、信号処理回路301から入力されるデジタルの制御信号にしたがって、共通端子と複数の選択端子との接続状態を切り替えるように構成されていけばよい。

[0025] アンテナ端子105は、アンテナ310と接続される。アンテナ310は

、高周波回路100の構成要素ではなく、通信装置300の構成要素である。

[0026] 高周波回路100では、電力増幅回路10から出力される高周波信号（送信信号）は、出力整合回路101、第1スイッチ102、フィルタ103、第2スイッチ104及びアンテナ端子105を通過してアンテナ310から送信される。

[0027] 高周波回路100では、電源用端子111は、電源端子T3を介してドライブ段増幅器1と中間段増幅器2と最終段増幅器3とに接続されている。電力増幅回路10では、電源端子T3は、第1電圧制御回路4を介してドライブ段増幅器1の第1トランジスタQ1に接続されている。電源端子T3は、第2電圧制御回路5を介して最終段増幅器3の第2トランジスタQ3に接続されている。また、電源端子T3は、第3電圧制御回路6を介して中間段増幅器2の第3トランジスタQ2に接続されている。電源端子T3には、バッテリーから電源用端子111を介して電源電圧Vbatが供給される。電源電圧Vbatは、例えば、4Vである。バッテリーは、例えば、通信装置300の電源用バッテリーである。電源用端子111は、通信装置300のバッテリー端子に接続される。バッテリーは、電力増幅回路10、高周波回路100及び通信装置300のいずれの構成要素でもないが、これに限らず、通信装置300の構成要素であってもよい。

[0028] (1. 2) 高周波回路を備える通信装置の回路構成

通信装置300は、高周波回路100と、信号処理回路301と、を備える。通信装置300は、アンテナ310を更に備える。信号処理回路301は、例えば、RF信号処理回路302と、ベースバンド信号処理回路303と、を含む。RF信号処理回路302は、例えばRFIC (Radio Frequency Integrated Circuit) であり、高周波信号に対する信号処理を行う。RF信号処理回路302は、例えば、ベースバンド信号処理回路303から出力された高周波信号（送信信号）に対してアップコンバート等の信号処理を行い、信号処理が行われた高周波信号を出力する。ベースバンド信号処理回路3

03は、例えばBBIC (Baseband Integrated Circuit) である。ベースバンド信号処理回路303は、ベースバンド信号からI相信号及びQ相信号を生成する。ベースバンド信号は、例えば、外部から入力される音声信号、画像信号等である。ベースバンド信号処理回路303は、I相信号とQ相信号とを合成することでIQ変調処理を行って、送信信号を出力する。この際、送信信号は、所定周波数の搬送波信号を、当該搬送波信号の周期よりも長い周期で振幅変調した変調信号 (IQ信号) として生成される。高周波回路100は、アンテナ310と信号処理回路301のRF信号処理回路302との間で高周波信号 (送信信号) を伝達する。

[0029] 電力増幅回路10は、例えば、信号処理回路301からの制御電圧 V_{ramp} が増加するにつれて出力電力 P_{out} が増加する。制御電圧 V_{ramp} は、例えば、0V以上2V以下である。

[0030] 実施形態1に係る電力増幅回路10は、電源端子T3と第1トランジスタQ1との間に接続されている第1電圧制御回路4と、第1電圧制御回路4とは異なる回路であって、電源端子T3と第2トランジスタQ3との間に接続されている第2電圧制御回路5と、を備える。ここにおいて、電力増幅回路10では、第1電圧制御回路4が、第1トランジスタQ1に印加する第1電源電圧 V_{cc1} を制御し、第2電圧制御回路5が、第2トランジスタQ3に印加する第2電源電圧 V_{cc2} を制御する。これにより、実施形態1に係る電力増幅回路10では、最終段増幅器3の第2トランジスタQ3に流れる電流を抑制することが可能となる。実施形態1に係る電力増幅回路10では、第2トランジスタQ3の第2電源電圧 V_{cc2} が比較的低い場合の第2トランジスタQ3の入力電力を高めることができ、第2トランジスタQ3の効率を高めることができるから、比較的低い出力電力 P_{out} で動作するとき (低パワー時) の第2トランジスタQ3に流れる電流を抑制することが可能となる。

[0031] (1.3) 電力増幅回路の回路構成

電力増幅回路10は、ドライブ段増幅器1と、最終段増幅器3と、中間段

増幅器 2 と、電源端子 T 3 と、第 1 電圧制御回路 4 と、第 2 電圧制御回路 5 と、第 3 電圧制御回路 6 と、を備える。また、電力増幅回路 10 は、信号入力端子 T 1 と、信号出力端子 T 2 と、第 1 バイアス回路 7 と、第 2 バイアス回路 9 と、第 3 バイアス回路 8 と、第 1 整合回路 MN 1 と、第 2 整合回路 MN 3 と、第 3 整合回路 MN 2 と、を更に備える。

[0032] 電力増幅回路 10 では、図 1 に示すように、ドライブ段増幅器 1、最終段増幅器 3、及び中間段増幅器 2 が、それぞれ、第 1 トランジスタ Q 1、第 2 トランジスタ Q 3、及び第 3 トランジスタ Q 2 を含んでいる。第 1 トランジスタ Q 1、第 2 トランジスタ Q 3、及び第 2 トランジスタ Q 3 は、高周波信号を電力増幅する増幅トランジスタである。

[0033] 第 1 トランジスタ Q 1、第 2 トランジスタ Q 3、及び第 3 トランジスタ Q 2 の各々は、例えば、バイポーラトランジスタである。ここにおいて、第 1 トランジスタ Q 1、第 2 トランジスタ Q 3、及び第 3 トランジスタ Q 2 の各々は、n p n 型のバイポーラトランジスタである。

[0034] 第 1 トランジスタ Q 1 は、第 1 入力端子 1 1、第 1 出力端子 1 2 及び第 1 接地端子 1 3 を有する。第 1 トランジスタ Q 1 では、第 1 入力端子 1 1、第 1 出力端子 1 2 及び第 1 接地端子 1 3 は、それぞれ、第 1 ベース端子、第 1 コレクタ端子及び第 1 エミッタ端子である。第 1 トランジスタ Q 1 の第 1 入力端子 1 1 は、信号入力端子 T 1 に接続されている。第 1 トランジスタ Q 1 の第 1 接地端子 1 3 は、グラウンドに接続されている。第 1 トランジスタ Q 1 の第 1 出力端子 1 2 は、第 1 電圧制御回路 4 を介して電源端子 T 3 に接続されている。第 1 トランジスタ Q 1 (の第 1 出力端子 1 2 と第 1 接地端子 1 3 との間) には、第 1 電圧制御回路 4 から第 1 電源電圧 V_{cc1} (図 3 参照) が印加される。第 1 トランジスタ Q 1 は、第 1 入力端子 1 1 に入力される高周波信号を増幅して第 1 出力端子 1 2 から出力する。

[0035] 第 2 トランジスタ Q 3 は、第 2 入力端子 3 1、第 2 出力端子 3 2 及び第 2 接地端子 3 3 を有する。第 2 トランジスタ Q 3 では、第 2 入力端子 3 1、第 2 出力端子 3 2 及び第 2 接地端子 3 3 は、それぞれ、第 2 ベース端子、第 2

コレクタ端子及び第2エミッタ端子である。第2トランジスタQ3の第2入力端子31は、ドライブ段増幅器1の第1トランジスタQ1の第1出力端子12に接続されている。より詳細には、第2トランジスタQ3の第2入力端子31は、中間段増幅器2の第3トランジスタQ2を介して、ドライブ段増幅器1の第1トランジスタQ1の第1出力端子12に接続されている。第2トランジスタQ3の第2出力端子32は、第2電圧制御回路5を介して電源端子T3に接続されている。第2トランジスタQ3（の第2出力端子32と第2接地端子33との間）には、第2電圧制御回路5から第2電源電圧Vcc2（図4参照）が印加される。第2トランジスタQ3は、第2入力端子31に入力される高周波信号を増幅して第2出力端子32から出力する。

[0036] 第3トランジスタQ2は、第3入力端子21、第3出力端子22及び第3接地端子23を有する。第3トランジスタQ2では、第3入力端子21、第3出力端子22及び第3接地端子23は、それぞれ、第3ベース端子、第3コレクタ端子及び第3エミッタ端子である。第3トランジスタQ2の第3入力端子21は、第1トランジスタQ1の第1出力端子12に接続されている。第3トランジスタQ2の第3出力端子22は、第2トランジスタQ3の第2入力端子31に接続されている。第3トランジスタQ2の第3接地端子23は、グラウンドに接続されている。第3トランジスタQ2の第3出力端子22は、第3電圧制御回路6を介して電源端子T3に接続されている。第3トランジスタQ2（の第3出力端子22と第3接地端子23との間）には、第3電圧制御回路6から第3電源電圧Vcc3が印加される。第3トランジスタQ2は、第3入力端子21に入力される高周波信号を増幅して第3出力端子22から出力する。

[0037] 信号入力端子T1は、高周波信号が入力される端子である。より詳細には、信号入力端子T1は、例えば、信号処理回路301からの高周波信号が高周波回路100の高周波信号入力端子106を通して入力される端子である。電力増幅回路10では、信号入力端子T1に、ドライブ段増幅器1の第1トランジスタQ1の第1入力端子11が接続されている。

- [0038] 信号出力端子T2は、電力増幅回路10内で増幅された高周波信号を出力する端子である。電力増幅回路10では、信号出力端子T2に、最終段増幅器3の第2トランジスタQ3の第2出力端子32が接続されている。
- [0039] 第1バイアス回路7は、第1トランジスタQ1の第1入力端子11に接続されている。第1バイアス回路7は、第1トランジスタQ1に第1バイアスを供給する。より詳細には、第1バイアス回路7は、第1トランジスタQ1の第1入力端子11に第1バイアス電流I1（図5参照）を供給する。
- [0040] 第1バイアス回路7は、図5に示すように、トランジスタ70を有する。トランジスタ70は、制御端子、第1主端子及び第2主端子を有する。トランジスタ70は、例えば、npn型のバイポーラトランジスタである。この場合、トランジスタ70では、制御端子、第1主端子及び第2主端子は、それぞれ、ベース、コレクタ及びエミッタである。トランジスタ70では、コレクタが電源端子T3に接続され、エミッタが第1トランジスタQ1の第1入力端子11に接続されている。より詳細には、トランジスタ70では、エミッタが抵抗77を介して第1トランジスタQ1の第1入力端子11に接続されている。電源端子T3には、上述のように、バッテリーから電源電圧Vbatが供給される。第1バイアス回路7から出力される第1バイアス電流I1は、抵抗77を介して第1トランジスタQ1の第1入力端子11へ供給される。第1バイアス電流I1は、第1トランジスタQ1の動作点を定める直流電流である。第1バイアス回路7では、トランジスタ70が、エミッタフォロワのトランジスタとして用いられる。トランジスタ70は、電流増幅用トランジスタである。
- [0041] 第1バイアス回路7は、上述のトランジスタ70の他に、2つのダイオード71、72と、キャパシタ73と、抵抗74と、を含む。2つのダイオード71、72の各々は、npn型トランジスタのベースとコレクタとを接続することによって構成されている。
- [0042] 第1バイアス回路7では、トランジスタ70のベースとグランドとの間において、2つのダイオード71、72が直列接続されている。また、第1バ

イアス回路 7 では、高周波回路 100 の備える制御回路 110 に含まれている第 1 定電流源 117 が抵抗 74 を介してトランジスタ 70 のベースに接続されている。また、第 1 バイアス回路 7 では、トランジスタ 70 のベースとグランドとの間にキャパシタ 73 が接続されている。

[0043] 第 1 バイアス回路 7 では、第 1 定電流源 117 から出力された定電流がトランジスタ 70 のベースに入力され、当該定電流が増幅されて第 1 バイアス電流 I_1 となり、トランジスタ 70 のエミッタから出力される。トランジスタ 70 のエミッタから出力される第 1 バイアス電流 I_1 は、抵抗 77 を経由して第 1 トランジスタ Q1 の第 1 入力端子 11 へ供給される。抵抗 77 は、第 1 バイアス回路 7 に含まれていてもよい。

[0044] 第 2 バイアス回路 9 は、第 2 トランジスタ Q3 の第 2 入力端子 31 に接続されている。第 2 バイアス回路 9 は、第 2 トランジスタ Q3 に第 2 バイアスを供給する。より詳細には、第 2 バイアス回路 9 は、第 2 トランジスタ Q3 の第 2 入力端子 31 に第 2 バイアス電流 I_3 を供給する。

[0045] 第 2 バイアス回路 9 は、トランジスタ 90 を含む。トランジスタ 90 は、制御端子、第 1 主端子及び第 2 主端子を有する。トランジスタ 90 は、例えば、npn 型のバイポーラトランジスタである。この場合、トランジスタ 90 では、制御端子、第 1 主端子及び第 2 主端子は、それぞれ、ベース、コレクタ及びエミッタである。トランジスタ 90 では、コレクタが電源端子 T3 に接続され、エミッタが第 2 トランジスタ Q3 の第 2 入力端子 31 に接続されている。より詳細には、トランジスタ 90 では、エミッタが抵抗 97 を介して第 2 トランジスタ Q3 の第 2 入力端子 31 に接続されている。電源端子 T3 には、上述のように、バッテリーから電源電圧 V_{bat} が供給される。第 2 バイアス回路 9 から出力される第 2 バイアス電流 I_3 は、抵抗 97 を介して第 2 トランジスタ Q3 の第 2 入力端子 31 へ供給される。第 2 バイアス電流 I_3 は、第 2 トランジスタ Q3 の動作点を定める直流電流である。第 2 バイアス回路 9 では、トランジスタ 90 が、エミッタフォロワのトランジスタとして用いられる。トランジスタ 90 は、電流増幅用トランジスタである。

- [0046] 第2バイアス回路9は、上述のトランジスタ90の他に、2つのダイオード91、92と、キャパシタ93と、抵抗94と、を含む。2つのダイオード91、92の各々は、npn型トランジスタのベースとコレクタとを接続することによって構成されている。
- [0047] 第2バイアス回路9では、トランジスタ90のベースとグランドとの間において、2つのダイオード91、92が直列接続されている。また、第2バイアス回路9では、制御回路110に含まれている第2定電流源119が抵抗94を介してトランジスタ90のベースに接続されている。また、第2バイアス回路9では、トランジスタ90のベースとグランドとの間にキャパシタ93が接続されている。
- [0048] 第2バイアス回路9では、第2定電流源119から出力された定電流がトランジスタ90のベースに入力され、当該定電流が増幅されて第2バイアス電流I3となり、トランジスタ90のエミッタから出力される。トランジスタ90のエミッタから出力される第2バイアス電流I3は、抵抗97を経由して第2トランジスタQ3の第2入力端子31へ供給される。抵抗97は、第2バイアス回路9に含まれていてもよい。
- [0049] 第3バイアス回路8は、第3トランジスタQ2の第3入力端子21に接続されている。第3バイアス回路8は、第3トランジスタQ2に第3バイアスを供給する。より詳細には、第3バイアス回路8は、第3トランジスタQ2の第3入力端子21に第3バイアス電流I2を供給する。
- [0050] 第3バイアス回路8は、トランジスタ80を含む。トランジスタ80は、制御端子、第1主端子及び第2主端子を有する。トランジスタ80は、例えば、npn型のバイポーラトランジスタである。この場合、トランジスタ80では、制御端子、第1主端子及び第2主端子は、それぞれ、ベース、コレクタ及びエミッタである。トランジスタ80では、コレクタが電源端子T3に接続され、エミッタが第3トランジスタQ2の第3入力端子21に接続されている。より詳細には、トランジスタ80では、エミッタが抵抗87を介して第3トランジスタQ2の第3入力端子21に接続されている。電源端子

T 3には、上述のように、バッテリーから電源電圧 V_{bat} が供給される。第3バイアス回路8から出力される第3バイアス電流 I_2 は、抵抗87を介して第3トランジスタQ2の第3入力端子21へ供給される。第3バイアス電流 I_2 は、第3トランジスタQ2の動作点を定める直流電流である。第3バイアス回路8では、トランジスタ80が、エミッタフォロワのトランジスタとして用いられる。トランジスタ80は、電流増幅用トランジスタである。

[0051] 第3バイアス回路8は、上述のトランジスタ80の他に、2つのダイオード81、82と、キャパシタ83と、抵抗84と、を含む。2つのダイオード81、82の各々は、npn型トランジスタのベースとコレクタとを接続することによって構成されている。

[0052] 第3バイアス回路8では、トランジスタ80のベースとグラウンドとの間において、2つのダイオード81、82が直列接続されている。また、第3バイアス回路8では、制御回路110に含まれている第3定電流源118が抵抗84を介してトランジスタ80のベースに接続されている。また、第3バイアス回路8では、トランジスタ80のベースとグラウンドとの間にキャパシタ83が接続されている。

[0053] 第3バイアス回路8では、第3定電流源118から出力された定電流がトランジスタ80のベースに入力され、当該定電流が増幅されて第3バイアス電流 I_2 となり、トランジスタ80のエミッタから出力される。トランジスタ80のエミッタから出力される第3バイアス電流 I_2 は、抵抗87を経由して第3トランジスタQ2の第3入力端子21へ供給される。抵抗87は、第3バイアス回路8に含まれていてもよい。

[0054] 第1整合回路MN1は、図1に示すように、信号入力端子T1と第1トランジスタQ1の第1入力端子11との間に設けられている。第1整合回路MN1は、第1トランジスタQ1と信号処理回路301とのインピーダンス整合をとるための回路である。第1整合回路MN1は、例えば、1つの抵抗と、1つのキャパシタと、1つのインダクタとのうち少なくともいずれか1つを含むが、これに限らない。

- [0055] 第2整合回路MN3は、第2トランジスタQ3の第2入力端子31と第3トランジスタQ2の第3出力端子22との間に設けられている。第2整合回路MN3は、第2トランジスタQ3と第3トランジスタQ2とのインピーダンス整合をとるための回路（段間整合回路）である。第2整合回路MN3は、例えば、1つの抵抗と、1つのキャパシタと、1つのインダクタとのうち少なくともいずれか1つを含むが、これに限らない。
- [0056] 第3整合回路MN2は、第1トランジスタQ1の第1出力端子12と第3トランジスタQ2の第3入力端子21との間に設けられている。第3整合回路MN2は、第1トランジスタQ1と第3トランジスタQ2とのインピーダンス整合をとるための回路（段間整合回路）である。第3整合回路MN2は、例えば、1つの抵抗と、1つのキャパシタと、1つのインダクタとのうち少なくともいずれか1つを含むが、これに限らない。
- [0057] 電力増幅回路10は、第1キャパシタC1と、第2キャパシタC3と、第3キャパシタC2と、を更に備える。第1キャパシタC1、第2キャパシタC3及び第3キャパシタC2は、直流カット用の容量素子である。
- [0058] 第1キャパシタC1は、第1整合回路MN1と第1トランジスタQ1の第1入力端子11との間に設けられている。第1キャパシタC1は、一端が第1整合回路MN1に接続され、他端が第1入力端子11に接続されている。上述の第1バイアス回路7は、第1キャパシタC1と第1入力端子11との間の経路の第1ノードN1に、抵抗77を介して接続されている。第1キャパシタC1は、第1整合回路MN1に含まれていてもよい。
- [0059] 第2キャパシタC3は、第2整合回路MN3と第2トランジスタQ3の第2入力端子31との間に設けられている。第2キャパシタC3は、一端が第2整合回路MN3に接続され、他端が第2入力端子31に接続されている。上述の第2バイアス回路9は、第2キャパシタC3と第2入力端子31との間の経路の第2ノードN3に、抵抗97を介して接続されている。第2キャパシタC3は、第2整合回路MN3に含まれていてもよい。
- [0060] 第3キャパシタC2は、第3整合回路MN2と第3トランジスタQ2の第

3入力端子21との間に設けられている。第3キャパシタC2は、一端が第3整合回路MN2に接続され、他端が第3入力端子21に接続されている。上述の第3バイアス回路8は、第3キャパシタC2と第3入力端子21との間の経路の第3ノードN2に、抵抗87を介して接続されている。第3キャパシタC2は、第3整合回路MN2に含まれていてもよい。

[0061] 第1電圧制御回路4は、第1トランジスタQ1に第1電源電圧Vcc1（図3参照）を印加する。第1電圧制御回路4は、例えば、図3に示すようなLDO（Low Dropout）レギュレータである。第1電圧制御回路4を構成するLDOレギュレータは、トランジスタ40（以下、第1出力トランジスタ40という）と、2つの抵抗41、42と、誤差増幅器EA1（以下、第1誤差増幅器EA1という）と、制御端子T4（以下、第1制御端子T4という）と、を備えている。

[0062] 第1出力トランジスタ40は、制御端子、第1主端子及び第2主端子を有する。第1出力トランジスタ40は、例えば、pチャネルのMOSFETである。この場合、第1出力トランジスタ40では、制御端子、第1主端子及び第2主端子は、それぞれ、ゲート、ドレイン及びソースである。第1出力トランジスタ40では、ソースが第1電圧制御回路4の入力端子を介して電源端子T3に接続され、ドレインが第1電圧制御回路4の出力端子を介して第1トランジスタQ1の第1出力端子12に接続されている。第1出力トランジスタ40のオン抵抗（Ron）は、より低い値であるのが好ましい。第1出力トランジスタ40では、ゲートが第1誤差増幅器EA1の出力端子に接続されている。なお、第1出力トランジスタ40は、pチャネルのMOSFETに限らず、nチャネルのMOSFET、pnp型のバイポーラトランジスタ、npn型のバイポーラトランジスタ等であってもよい。

[0063] 2つの抵抗41、42の直列回路を含む抵抗分圧回路（以下、第1抵抗分圧回路という）は、第1出力トランジスタ40のドレインとグランドとの間に接続されている。

[0064] 第1誤差増幅器EA1の反転入力端子は、第1制御端子T4に接続されて

いる。第1誤差増幅器EA1の非反転入力端子は、第1抵抗分圧回路における2つの抵抗41、42間のノードに接続されている。第1誤差増幅器EA1の出力端子は、第1出力トランジスタ40のゲートに接続されている。

[0065] 第1誤差増幅器EA1は、反転入力端子に入力される電位と非反転入力端子に入力される電位とを比較し、その差である誤差信号を増幅する。反転入力端子には、例えば、信号処理回路301からの制御電圧V_{ramp}が第1制御端子T4を介して入力される。ここにおいて、抵抗41の抵抗値をR₄₁とし、抵抗42の抵抗値をR₄₂とすると、制御電圧V_{ramp}と第1電圧制御回路4から出力される第1電源電圧V_{cc1}との関係は、 $V_{cc1} = V_{ramp} \times (1 + R_{41} / R_{42})$ で表すことができる。

[0066] 第2電圧制御回路5は、第2トランジスタQ3に第2電源電圧V_{cc2}（図4参照）を印加する。第2電圧制御回路5は、例えば、図4に示すようなLDOレギュレータである。第2電圧制御回路5を構成するLDOレギュレータは、トランジスタ50（以下、第2出力トランジスタ50という）と、2つの抵抗51、52と、誤差増幅器EA2（以下、第2誤差増幅器EA2という）と、制御端子T5（以下、第2制御端子T5という）と、を備えている。第2出力トランジスタ50は、制御端子、第1主端子及び第2主端子を有する。

[0067] 第2出力トランジスタ50は、制御端子、第1主端子及び第2主端子を有する。第2出力トランジスタ50は、例えば、pチャネルのMOSFETである。この場合、第2出力トランジスタ50では、制御端子、第1主端子及び第2主端子は、それぞれ、ゲート、ドレイン及びソースである。第2出力トランジスタ50では、ソースが第2電圧制御回路5の入力端子を介して電源端子T3に接続され、ドレインが第2電圧制御回路5の出力端子を介して第2トランジスタQ3の第2出力端子32に接続されている。第2出力トランジスタ50のオン抵抗は、より低い値であるのが好ましい。第2出力トランジスタ50では、ゲートが第2誤差増幅器EA2の出力端子に接続されている。なお、第2出力トランジスタ50は、pチャネルのMOSFETに限

らず、 n チャネルのMOSFET、 pnp 型のバイポーラトランジスタ、 npn 型のバイポーラトランジスタ等であってもよい。

[0068] 2つの抵抗 R_{51} 、 R_{52} の直列回路を含む抵抗分圧回路（以下、第2抵抗分圧回路という）は、第2出力トランジスタ 50 のドレインとグランドとの間に接続されている。

[0069] 第2誤差増幅器 $EA2$ の反転入力端子は、第2制御端子 $T5$ に接続されている。第2誤差増幅器 $EA2$ の非反転入力端子は、第2抵抗分圧回路における2つの抵抗 R_{51} 、 R_{52} 間のノードに接続されている。第2誤差増幅器 $EA2$ の出力端子は、第2出力トランジスタ 50 のゲートに接続されている。

[0070] 第2誤差増幅器 $EA2$ は、反転入力端子に入力される電位と非反転入力端子に入力される電位とを比較し、その差である誤差信号を増幅する。反転入力端子には、例えば、信号処理回路 301 からの制御電圧 V_{ramp} が第2制御端子 $T5$ を介して入力される。ここにおいて、抵抗 R_{51} の抵抗値を R_{51} とし、抵抗 R_{52} の抵抗値を R_{52} とすると、制御電圧 V_{ramp} と第2電圧制御回路 5 から出力される第2電源電圧 V_{cc2} との関係は、 $V_{cc2} = V_{ramp} \times (1 + R_{51} / R_{52})$ で表すことができる。

[0071] 第3電圧制御回路 6 は、例えば、LDOレギュレータである。第3電圧制御回路 6 を構成するLDOレギュレータの回路構成は、第1電圧制御回路 4 の回路構成と同様なので、図示及び説明を省略する。

[0072] ところで、第2電圧制御回路 5 では、例えば、 $R_{51} / R_{52} = 1$ の場合、制御電圧 V_{ramp} が $0.5V$ であると、第2制御電圧 V_{cc2} は $1V$ となる。また、第2電圧制御回路 5 では、例えば、 $R_{51} / R_{52} = 1 / 100$ の場合、制御電圧 V_{ramp} が $0.5V$ であると、第2制御電圧 V_{cc2} は、 $0.505V$ となる。実施形態 1 に係る電力増幅回路 10 では、第2電圧制御回路 5 に関する R_{51} / R_{52} の値は、第1電圧制御回路 4 に関する R_{41} / R_{42} の値とは異なる。これにより、実施形態 1 に係る電力増幅回路 10 では、第1電源電圧 V_{cc1} と第2電源電圧 V_{cc2} とを独立して制御することができ、第1電源電圧 V_{cc1} と第2電源電圧 V_{cc2} とを互い

に異なる値とすることが可能となる。実施形態1に係る電力増幅回路10では、第2電圧制御回路5が第2トランジスタQ3に第2電源電圧 V_{cc2} を印加し始めるタイミングは、第1電圧制御回路4が第1トランジスタQ1に第1電源電圧 V_{cc1} を印加し始めるタイミングよりも後である。電力増幅回路10では、例えば、 R_{41}/R_{42} の値と R_{51}/R_{52} の値とを適宜異ならせることによって、第2出力トランジスタ50がオフ状態からオン状態に移行するタイミングを、第1出力トランジスタ40がオフ状態からオン状態に移行するタイミングよりも遅らせることが可能となる。よって、電力増幅回路10では、第2電圧制御回路5が第2トランジスタQ3に第2電源電圧 V_{cc2} を印加し始めるタイミングを、第1電圧制御回路4が第1トランジスタQ1に第1電源電圧 V_{cc1} を印加し始めるタイミングよりも後にする（つまり、遅らせる）ことが可能となる。電力増幅回路10では、 R_{41}/R_{42} の値が3であり、 R_{51}/R_{52} の値が1であるが、これらの数値は一例であり、特に限定されない。

[0073] 電力増幅回路10では、第2トランジスタQ3の動作開始点において、第1電圧制御回路4が第1トランジスタQ1に印加している第1電源電圧 V_{cc1} は、第1トランジスタQ1のニー電圧 (knee voltage) よりも大きな電圧である、第1トランジスタQ1のニー電圧は、第1トランジスタQ1の静特性が線形領域から飽和領域へ移るコレクタ電圧である。第1トランジスタQ1では、飽和領域でのコンダクタンスが線形領域でのコンダクタンスよりも小さい。ここにおいて、コンダクタンスは、第1トランジスタQ1のコレクタ電圧の変化に対するコレクタ電流の変化率である。飽和領域でのコンダクタンスは、より小さいのが好ましい。第1トランジスタQ1のニー電圧は、第1バイアス電流 I_1 の値によって異なる。電力増幅回路10の回路設計では、例えば、第1トランジスタQ1の第1電源電圧 V_{cc1} がニー電圧となるとき制御電圧 V_{ramp} の値よりも大きな値の制御電圧 V_{ramp} で第2トランジスタQ3の動作が開始されるように R_{51}/R_{52} の値を決めている。

[0074] (2) 電力増幅回路、制御回路及び通信装置の動作

電力増幅回路10では、第1電圧制御回路4、第2電圧制御回路5及び第3電圧制御回路6に、電源端子T3を介してバッテリーからの電源電圧Vbatが供給される。また、電力増幅回路10では、第1バイアス回路7、第2バイアス回路9及び第3バイアス回路8にも電源電圧Vbatが供給される。

[0075] 電力増幅回路10は、例えば、信号処理回路301からの高周波信号（送信信号）を増幅して出力する。ここにおいて、電力増幅回路10は、信号入力端子T1から入力された高周波信号を増幅して、当該増幅された高周波信号を信号出力端子T2から出力する。電力増幅回路10では、第1トランジスタQ1、第3トランジスタQ2、第2トランジスタQ3のそれぞれにおいて入力される高周波信号を増幅して出力させる。

[0076] 電力増幅回路10は、信号処理回路301及び制御回路110によって制御される。制御回路110は、例えば、電力増幅回路10を制御する制御IC（Integrated Circuit）である。制御回路110は、第1バイアス回路7、第2バイアス回路9及び第3バイアス回路8を制御する。制御回路110は、上述のように、電力増幅回路10の構成要素ではなく、高周波回路100の構成要素である。制御回路110は、上述の第1定電流源117と第2定電流源119と第3定電流源118とを含んでいる。

[0077] 制御回路110は、信号処理回路301から取得した制御信号に基づいて電力増幅回路10を制御する。制御回路110は、信号処理回路301のRF信号処理回路302からの制御信号にしたがって電力増幅回路10を制御する。制御回路110は、例えば、電力増幅回路10の出力電力（送信電力）の値と制御電圧Vrampの値との関係があらかじめLook up table等にストアされていてもよい。この場合、制御回路110が、電力増幅回路10に求められる送信電力の値を信号処理回路301から指示されたときに、Look up tableを参照して、指示された送信電力の値に応じて制御電圧Vrampの値を制御してもよい。制御回路110は、例えば、信号処理回路301の

RF信号処理回路302からのデジタルの制御信号にしたがって電力増幅回路10を制御するように構成されていればよい。

[0078] 制御回路110は、電力増幅回路10を動作させる場合、例えば、第1バイアス回路7、第2バイアス回路9及び第3バイアス回路8に、それぞれ、第1定電流源117、第2定電流源119及び第3定電流源118から定電流を供給する。

[0079] 電力増幅回路10では、信号処理回路301からの制御電圧 V_{ramp} が第1電圧制御回路4、第2電圧制御回路5及び第3電圧制御回路6へ与えられる。

[0080] 電力増幅回路10では、第1トランジスタQ1、第3トランジスタQ2、第2トランジスタQ3のそれぞれにおいて入力される高周波信号を増幅して出力させる。

[0081] (3) 電力増幅回路の特性

図6は、電力増幅回路10に関し、制御電圧 V_{ramp} と第1トランジスタQ1、第2トランジスタQ3及び第3トランジスタQ2それぞれの第1アイドル電流 I_{d1e1} 、第2アイドル電流 I_{d1e3} 及び第3アイドル電流 I_{d1e2} との関係を示す特性図である。図6において、横軸は、制御電圧 V_{ramp} である。また、図6において、左側の縦軸は、第2トランジスタQ3のアイドル電流 I_{d1e3} である。第2トランジスタQ3のアイドル電流 I_{d1e3} は、第2トランジスタQ3に第2バイアス電流 I_3 が供給されているときの第2トランジスタQ3のコレクターエミッタ電流である。また、図6において、右側の縦軸は、第1トランジスタQ1のアイドル電流 I_{d1e1} 及び第3トランジスタQ2のアイドル電流 I_{d1e2} である。第1トランジスタQ1のアイドル電流 I_{d1e1} は、第1トランジスタQ1に第1バイアス電流 I_1 が供給されているときの第1トランジスタQ1のコレクターエミッタ電流である。第3トランジスタQ2のアイドル電流 I_{d1e2} は、第3トランジスタQ2に第3バイアス電流 I_2 が供給されているときの第3トランジスタQ2のコレクターエミッタ電流である。図6において、「1

s t」の表記を付した実線は、第1トランジスタQ1のアイドル電流 I_{d1e1} に対応し、「2nd」の表記を付した実線は、第3トランジスタQ2のアイドル電流 I_{d1e2} に対応し、「3rd」の表記を付した実線は、第2トランジスタQ3のアイドル電流 I_{d1e3} に対応している。

[0082] 図6から、電力増幅回路10では、第1トランジスタQ1のアイドル電流 I_{d1e1} が流れ始めるタイミング及び第3トランジスタQ2のアイドル電流 I_{d1e2} が流れ始めるタイミングよりも、第2トランジスタQ3のアイドル電流 I_{d1e3} が流れ始めるタイミングが遅れていることが分かる。また、図6から、電力増幅回路10では、第2トランジスタQ3のアイドル電流 I_{d1e3} が第1トランジスタQ1のアイドル電流 I_{d1e1} 及び第3トランジスタQ2のアイドル電流 I_{d1e2} よりも大きくなることが分かる。

[0083] 図7は、電力増幅回路10に関し、制御電圧 V_{ramp} と出力電力 P_{out} 及び第2トランジスタQ3のコレクタ電流 I_{dd} との関係を示す特性図である。図7において、横軸は、制御電圧 V_{ramp} である。図7において、左側の縦軸は、電力増幅回路10の出力電力 P_{out} である。図7において、右側の縦軸は、第2トランジスタQ3のコレクタ電流 I_{dd} である。図7において、「B1」の表記を付した実線は、電力増幅回路10の出力電力 P_{out} に対応し、「B2」の表記を付した実線は、第2トランジスタQ3のコレクタ電流 I_{dd} に対応している。

[0084] 図7から、電力増幅回路10では、制御電圧 V_{ramp} が0.15Vから2Vの間で増加するにつれて出力電力 P_{out} が増加することが分かる。電力増幅回路10では、第1トランジスタQ1が飽和した後、第2トランジスタQ3の動作が開始されるので、制御電圧 V_{ramp} と出力電力 P_{out} との関係は、図7のB1のようになる。なお、第2トランジスタQ3が動作していないときの出力電力 P_{out} は、第1トランジスタQ1の出力を第3トランジスタQ2を介して受ける第2トランジスタQ3のアイソレーションによって漏れる電力である。

[0085] また、図7から、電力増幅回路10では、出力電力 P_{out} —コレクタ電

流 I_{dd} 特性が略線形となることが分かる。

[0086] 実施形態 1 に係る電力増幅回路 10 の比較例の電力増幅回路の特性について、図 8 及び 9 に基づいて説明する。比較例の電力増幅回路については図示していないが、比較例の電力増幅回路に関し、実施形態 1 に係る電力増幅回路 10 と同様の構成要素には同一の符号を付して説明する。比較例の電力制御回路は、実施形態 1 に係る電力増幅回路 10 の第 1 電圧制御回路 4、第 2 電圧制御回路 5 及び第 3 電圧制御回路 6 の代わりに、1 つの電圧制御回路を備え、この電圧制御回路が第 1 トランジスタ Q1、第 2 トランジスタ Q3 及び第 3 トランジスタ Q2 に接続されている点で、実施形態 1 に係る電力増幅回路 10 と相違する。図 8 及び 9 の見方は、それぞれ、図 6 及び 7 の見方と同じである。

[0087] 図 8 から分かるように、比較例の電力増幅回路では、第 1 トランジスタ Q1 のアイドル電流 I_{de1} が流れ始めるタイミングと、第 2 トランジスタ Q3 のアイドル電流 I_{de3} が流れ始めるタイミングと、第 3 トランジスタ Q2 のアイドル電流 I_{de2} が流れ始めるタイミングとが略同じである。

[0088] 図 7 及び 9 から分かるように、比較例の電力増幅回路では、 V_{ramp} が比較的低い範囲のときに第 2 トランジスタ Q3 のコレクタ電流 I_{dd} が実施形態 1 に係る電力増幅回路 10 の第 2 トランジスタ Q3 のコレクタ電流 I_{dd} よりも大きくなっていることが分かる。これは、第 2 トランジスタ Q3 の動作領域が飽和領域に移行していないためである。

[0089] 図 7 及び図 9 から、実施形態 1 に係る電力増幅回路 10 は、出力電力 P_{out} が比較的低いときに、比較例の電力増幅回路と比べて、第 2 トランジスタ Q3 のコレクタ電流 I_{dd} を小さくできることが分かる。

[0090] (4) 高周波回路を有する高周波モジュール

高周波モジュールは、実装基板と、実装基板に実装された複数の電子部品と、実装基板に配置された複数の外部接続端子と、を備える。複数の電子部品は、電力増幅回路 10 を構成する複数の部品、出力整合回路 101 を構成

する1又は複数の部品、第1スイッチ102を構成する部品、フィルタ103を構成する部品、及び、第2スイッチ104を構成する部品を含む。複数の外部接続端子は、アンテナ端子105と、高周波信号入力端子106と、電源用端子111と、グランド端子と、を含む。

[0091] 電力増幅回路10を構成する複数の部品としては、例えば、第1ICチップと、第2ICチップと、第3ICチップと、第4ICチップと、第5ICチップと、がある。第1ICチップは、例えば、第1トランジスタQ1と第2トランジスタQ3と第3トランジスタQ2とを含むGaAs系ICチップである。この場合、第1トランジスタQ1、第2トランジスタQ3及び第3トランジスタQ2の各々を構成するバイポーラトランジスタは、例えば、HBT (Heterojunction Bipolar Transistor) である。第1ICチップは、第1バイアス回路7、第2バイアス回路9及び第3バイアス回路8も含む。第1ICチップは、GaAs系ICチップに限らず、例えば、Si系ICチップ、又は、SiGe系ICチップ、又は、GaN系ICチップであってもよい。

[0092] 第2ICチップは、第1電圧制御回路4を含む。第3ICチップは、第2電圧制御回路5を含む。第4ICチップは、第3電圧制御回路6を含む。

[0093] 制御回路110を構成する部品は、例えば、第5ICチップである。第5ICチップは、制御回路110を含む。第5ICチップは、例えば、Si系ICチップである。制御回路110は、例えば、複数のMOSFETを含むMOS IC (Metal Oxide Semiconductor Integrated Circuit) である。

[0094] (5) まとめ

(5. 1) 電力増幅回路

実施形態1に係る電力増幅回路10は、高周波信号を電力増幅する。電力増幅回路10は、ドライブ段増幅器1と、最終段増幅器3と、電源端子T3と、第1電圧制御回路4と、第2電圧制御回路5と、を備える。ドライブ段増幅器1は、第1トランジスタQ1を含む。第1トランジスタQ1は、第1入力端子11、第1出力端子12及び第1接地端子13を有する。最終段増

幅器 3 は、第 2 トランジスタ Q 3 を含む。第 2 トランジスタ Q 3 は、第 2 入力端子 3 1、第 2 出力端子 3 2 及び第 2 接地端子 3 3 を有する。第 2 入力端子 3 1 は、第 1 出力端子 1 2 に接続されている。第 1 電圧制御回路 4 は、電源端子 T 3 と第 1 出力端子 1 2 との間に接続されている。第 1 電圧制御回路 4 は、第 1 トランジスタ Q 1 に印加する第 1 電源電圧 V_{cc1} を制御する。第 2 電圧制御回路 5 は、第 1 電圧制御回路 4 とは異なる回路であって電源端子 T 3 と第 2 出力端子 3 2 との間に接続されている。第 2 電圧制御回路 5 は、第 2 トランジスタ Q 3 に印加する第 2 電源電圧 V_{cc2} を制御する。

[0095] 実施形態 1 に係る電力増幅回路 1 0 は、最終段増幅器 3 の第 2 トランジスタ Q 3 に流れる電流（コレクタ電流 I_{dd} ）を抑制することが可能となる。ここにおいて、実施形態 1 に係る電力増幅回路 1 0 は、第 2 トランジスタ Q 3 の第 2 電源電圧 V_{cc2} が比較的低い場合の第 2 トランジスタ Q 3 の入力電力を高めることができ、第 2 トランジスタ Q 3 の効率を高めることができるから、比較的低い出力電力 P_{out} で動作するとき（低パワー時）の第 2 トランジスタ Q 3 に流れる電流（コレクタ電流 I_{dd} ）を抑制することが可能となる。

[0096] また、実施形態 1 に係る電力増幅回路 1 0 は、互いに異なる第 1 電圧制御回路 4、第 2 電圧制御回路 5 及び第 3 電圧制御回路 6 を備えている。これにより、実施形態 1 に係る電力増幅回路 1 0 は、電源端子 T 3 が第 1 トランジスタ Q 1、第 2 トランジスタ Q 3 及び第 3 トランジスタ Q 2 のいずれとも直接接続されないので、アイソレーションを向上させることが可能となる。

[0097] また、実施形態 1 に係る電力増幅回路 1 0 は、第 1 バイアス電流 I_1 、第 2 バイアス電流 I_3 及び第 3 バイアス電流 I_2 それぞれの値を一定とすることにより、第 1 トランジスタ Q 1、第 2 トランジスタ Q 3 及び第 3 トランジスタ Q 2 それぞれのベースの負荷容量の変化を抑制できる。これにより、電力増幅回路 1 0 は、周波数特性において、オープンループ特性を得ることができる。

[0098] (5. 2) 高周波回路

実施形態1に係る高周波回路100は、電力増幅回路10と、フィルタ103と、を備える。フィルタ103は、電力増幅回路10で電力増幅されて電力増幅回路10から出力される高周波信号を通す。

[0099] 実施形態1に係る高周波回路100は、電力増幅回路10を備えるので、電力増幅回路10の最終段増幅器3の第2トランジスタQ3に流れる電流を抑制することが可能となる。

[0100] (5.3) 通信装置

実施形態1に係る通信装置300は、高周波回路100と、信号処理回路301と、を備える。信号処理回路301は、高周波回路100に高周波信号を出力する。

[0101] 実施形態1に係る通信装置300は、上述の電力増幅回路10を含む高周波回路100を備えるので、電力増幅回路10の最終段増幅器3の第2トランジスタQ3に流れる電流を抑制することが可能となる。

[0102] (実施形態1の変形例)

第2電圧制御回路5は、図4に示したようなLDOレギュレータに限らず、例えば、DC-DCコンバータであってもよい。DC-DCコンバータは、スイッチングレギュレータである。図10は、第2電圧制御回路5を構成するDC-DCコンバータの一例を示す。図10に示したDC-DCコンバータは、降圧型DC-DCコンバータであり、2つのスイッチング素子（電界効果トランジスタ）S1、S2の直列回路と、インダクタL5とキャパシタC5との直列回路と、ドライバ55と、を備える。このDC-DCコンバータでは、インダクタL5とキャパシタC5との直列回路がスイッチング素子Q2に並列接続されている。2つのスイッチング素子S1、S2の各々は、例えば、nチャンネルのMOSFETであり、寄生ダイオードを含んでいる。

[0103] 図10に示したDC-DCコンバータでは、ドライバ55が2つのスイッチング素子S1、S2を駆動する。ドライバ55は、信号処理回路301又は制御回路110によって制御される。これにより、電力増幅回路10は、

第2トランジスタQ3に第2電源電圧Vcc2が印加されるタイミングを第1トランジスタQ1に第1電源電圧Vcc1が印加されるタイミングよりも遅らせることができる。

[0104] 第1電圧制御回路4は、レギュレータであればよく、図3に示したようなLDOレギュレータに限らず、例えば、図10と同様の回路構成を有するDC-DCコンバータであってもよい。

[0105] また、第1電圧制御回路4は、例えば、図11に示すように、第1トランジスタQ1にカスコード接続されたトランジスタQ6を含む回路であってもよい。図11における矢印は、高周波信号の通る経路の説明のために付してある。

[0106] トランジスタQ6は、ベース端子61と、コレクタ端子62と、エミッタ端子63と、を有する。トランジスタQ6のエミッタ端子63は、第1トランジスタQ1の第1出力端子12に接続されている。また、トランジスタQ6のベース端子61は、キャパシタ46を介してグラウンドに接続されるとともに、抵抗45を介してバイアス端子T41に接続されている。また、トランジスタQ6のコレクタ端子62は、電源端子T3に接続されるとともに、キャパシタ43と抵抗R44との直列回路を介して第1トランジスタQ1の第1入力端子11に接続されている。バイアス端子T41は、制御回路110に接続され、制御回路110からバイアスが与えられる。

[0107] (実施形態2)

以下、実施形態2に係る電力増幅回路10aについて、図12を参照して説明する。実施形態2に係る電力増幅回路10aに関し、実施形態1に係る電力増幅回路10と同様の構成要素には、同一の符号を付して説明を省略する。実施形態2に係る電力増幅回路10aは、実施形態1に係る高周波回路100(図2参照)及び通信装置300(図2参照)における電力増幅回路10の代わりに用いることができる。言い換えれば、高周波回路100及び通信装置300は、実施形態1に係る電力増幅回路10の代わりに、実施形態2に係る電力増幅回路10aを備えていてもよい。

[0108] 実施形態2に係る電力増幅回路10aは、実施形態1に係る電力増幅回路10における第3電圧制御回路6を備えていない。また、実施形態2に係る電力増幅回路10aでは、第2電圧制御回路5が第2トランジスタQ3及び第3トランジスタQ2に接続されている。実施形態2に係る電力増幅回路10aでは、第2トランジスタQ3と第3トランジスタQ2とに第2電源電圧Vcc2が印加される。

[0109] 実施形態2に係る電力増幅回路10aは、実施形態1に係る電力増幅回路10と同様、第1トランジスタQ1に第1電源電圧Vcc1を印加する第1電圧制御回路4と、第2トランジスタQ3に第2電源電圧Vcc2を印加する第2電圧制御回路5と、を備える。これにより、実施形態2に係る電力増幅回路10aは、実施形態1に係る電力増幅回路10と同様、最終段増幅器3の第2トランジスタQ3に流れる電流を抑制することが可能となる。

[0110] (実施形態3)

以下、実施形態3に係る電力増幅回路10bについて、図13を参照して説明する。実施形態3に係る電力増幅回路10bに関し、実施形態1に係る電力増幅回路10と同様の構成要素には、同一の符号を付して説明を省略する。実施形態3に係る電力増幅回路10bは、実施形態1に係る高周波回路100(図2参照)及び通信装置300(図2参照)における電力増幅回路10の代わりに用いることができる。言い換えれば、高周波回路100及び通信装置300は、実施形態1に係る電力増幅回路10の代わりに、実施形態3に係る電力増幅回路10bを備えていてもよい。

[0111] 実施形態3に係る電力増幅回路10bは、実施形態1に係る電力増幅回路10における第3電圧制御回路6を備えていない。また、実施形態3に係る電力増幅回路10bでは、第1電圧制御回路4が第1トランジスタQ1及び第3トランジスタQ2に接続されている。実施形態3に係る電力増幅回路10bでは、第1トランジスタQ1と第3トランジスタQ2とに第1電源電圧Vcc1が印加される。

[0112] 実施形態3に係る電力増幅回路10bは、実施形態1に係る電力増幅回路

10と同様、第1トランジスタQ1に第1電源電圧Vcc1を印加する第1電圧制御回路4と、第2トランジスタQ3に第2電源電圧Vcc2を印加する第2電圧制御回路5と、を備える。これにより、実施形態3に係る電力増幅回路10bは、実施形態1に係る電力増幅回路10と同様、最終段増幅器3の第2トランジスタQ3に流れる電流を抑制することが可能となる。

[0113] (実施形態4)

以下、実施形態4に係る電力増幅回路10cについて、図14を参照して説明する。実施形態4に係る電力増幅回路10cに関し、実施形態1に係る電力増幅回路10と同様の構成要素には、同一の符号を付して説明を省略する。実施形態4に係る電力増幅回路10cは、実施形態1に係る高周波回路100(図2参照)及び通信装置300(図2参照)における電力増幅回路10の代わりに用いることができる。言い換えれば、高周波回路100及び通信装置300は、実施形態1に係る電力増幅回路10の代わりに、実施形態4に係る電力増幅回路10cを備えていてもよい。

[0114] 実施形態4に係る電力増幅回路10cは、実施形態1に係る電力増幅回路10における中間段増幅器2、第3整合回路NM2、第3キャパシタC2、及び第3電圧制御回路6を備えていない。

[0115] 実施形態4に係る電力増幅回路10cでは、第2整合回路MN3は、第2トランジスタQ3の第2入力端子31と第1トランジスタQ1の第1出力端子12との間に設けられている。第2整合回路MN3は、第2トランジスタQ3と第1トランジスタQ1とのインピーダンス整合をとるための回路(段間整合回路)である。

[0116] 実施形態4に係る電力増幅回路10cは、実施形態1に係る電力増幅回路10と同様、第1トランジスタQ1に第1電源電圧Vcc1を印加する第1電圧制御回路4と、第2トランジスタQ3に第2電源電圧Vcc2を印加する第2電圧制御回路5と、を備える。これにより、実施形態4に係る電力増幅回路10cは、実施形態1に係る電力増幅回路10と同様、最終段増幅器3の第2トランジスタQ3に流れる電流を抑制することが可能となる。

[0117] (変形例)

上記の実施形態 1～4 等は、本発明の様々な実施形態の一つに過ぎない。上記の実施形態 1～4 等は、本発明の目的を達成できれば、設計等に応じて種々の変更が可能である。

[0118] 例えば、電力増幅回路 10、10a、10b の段数は、3 段に限らず、4 段以上であってもよい。つまり、電力増幅回路 10、10a、10b は、ドライブ段増幅器 1 と最終段増幅器 3 との間に、中間段増幅器 2 を 2 つ以上備えていてもよい。

[0119] また、電力増幅回路 10 では、第 1 トランジスタ Q1、第 2 トランジスタ Q3 及び第 3 トランジスタ Q2 の各々がバイポーラトランジスタであるが、これに限らず、例えば、FET (Field Effect Transistor) であってもよい。FET は、例えば、MOSFET (Metal-Oxide-Semiconductor Field Effect Transistor) である。第 1 トランジスタ Q1 が MOSFET である場合、第 1 入力端子 11、第 1 出力端子 12 及び第 1 接地端子 13 は、例えば、ゲート端子、ドレイン端子及びソース端子である。第 1 バイアス回路 7 から第 1 トランジスタ Q1 の第 1 入力端子 11 に供給される第 1 バイアスは、第 1 バイアス電圧である。第 2 トランジスタ Q3 が MOSFET である場合、第 2 入力端子 31、第 2 出力端子 32 及び第 2 接地端子 33 は、例えば、ゲート端子、ドレイン端子及びソース端子である。第 2 バイアス回路 9 から第 2 トランジスタ Q3 の第 2 入力端子 31 に供給される第 2 バイアスは、第 2 バイアス電圧である。第 3 トランジスタ Q2 が MOSFET である場合、第 3 入力端子 21、第 3 出力端子 22 及び第 3 接地端子 23 は、例えば、ゲート端子、ドレイン端子及びソース端子である。第 3 バイアス回路 8 から第 3 トランジスタ Q2 の第 3 入力端子 21 に供給される第 3 バイアスは、第 3 バイアス電圧である。

[0120] 高周波回路 100 では、電力増幅回路 10 の第 1 トランジスタ Q1、第 2 トランジスタ Q3 及び第 3 トランジスタ Q2 の各々が HBT ではなくて MOSFET の場合、電力増幅回路 10 と制御回路 110 とが 1 チップに集積化

されていてもよい。

[0121] 高周波回路100では、フィルタ103は、弾性表面波を利用する弾性波フィルタであるが、これに限らず、例えば、弾性境界波、板波等を利用する弾性波フィルタであってもよい。

[0122] 弾性波フィルタでは、複数の直列腕共振子及び複数の並列腕共振子の各々は、SAW共振子に限らず、例えば、BAW (Bulk Acoustic Wave) 共振子であってもよい。

[0123] 高周波回路100は、アンテナ端子105から入力される受信信号を増幅するローノイズアンプとローノイズアンプに接続されるフィルタとを含む受信回路を備えていてもよい。

[0124] また、フィルタ103は、送信フィルタに限らず、デュプレクサであってもよい。

[0125] また、高周波回路100では、第1スイッチ102及び第2スイッチ104は、例えば、GPIO (General Purpose Input/Output) に対応したスイッチICであってもよい。

[0126] (態様)

本明細書には、以下の態様が開示されている。

[0127] 第1の態様に係る電力増幅回路(10; 10a; 10b; 10c)は、高周波信号を電力増幅する。電力増幅回路(10; 10a; 10b; 10c)は、ドライブ段増幅器(1)と、最終段増幅器(3)と、電源端子(T3)と、第1電圧制御回路(4)と、第2電圧制御回路(5)と、を備える。ドライブ段増幅器(1)は、第1トランジスタ(Q1)を含む。第1トランジスタ(Q1)は、第1入力端子(11)、第1出力端子(12)及び第1接地端子(13)を有する。最終段増幅器(3)は、第2トランジスタ(Q3)を含む。第2トランジスタ(Q3)は、第2入力端子(31)、第2出力端子(32)及び第2接地端子(33)を有する。第2入力端子(31)は、第1出力端子(12)に接続されている。第1電圧制御回路(4)は、電源端子(T3)と第1出力端子(12)との間に接続されている。第1電圧

制御回路（４）は、第１トランジスタ（Ｑ１）に印加する第１電源電圧（ V_{cc1} ）を制御する。第２電圧制御回路（５）は、第１電圧制御回路（４）とは異なる回路であって電源端子（Ｔ３）と第２出力端子（３２）との間に接続されている。第２電圧制御回路（５）は、第２トランジスタ（Ｑ３）に印加する第２電源電圧（ V_{cc2} ）を制御する。

[0128] 第１の態様に係る電力増幅回路（１０；１０ａ；１０ｂ；１０ｃ）は、最終段増幅器（３）の第２トランジスタ（Ｑ３）に流れる電流（コレクタ電流 I_{dd} ）を抑制することが可能となる。

[0129] 第２の態様に係る電力増幅回路（１０；１０ａ；１０ｂ；１０ｃ）では、第１の態様において、第１電圧制御回路（４）による第１電源電圧（ V_{cc1} ）の制御と、第２電圧制御回路（５）による第２電源電圧（ V_{cc2} ）の制御とは、互いに独立している。

[0130] 第２の態様に係る電力増幅回路（１０；１０ａ；１０ｂ；１０ｃ）では、アイソレーションを向上させることが可能となる。

[0131] 第３の態様に係る電力増幅回路（１０；１０ａ；１０ｂ；１０ｃ）では、第１又は２の態様において、第２電圧制御回路（５）が第２トランジスタ（Ｑ３）に第２電源電圧（ V_{cc2} ）を印加し始めるタイミングは、第１電圧制御回路（４）が第１トランジスタ（Ｑ１）に第１電源電圧（ V_{cc1} ）を印加し始めるタイミングよりも後である。

[0132] 第３の態様に係る電力増幅回路（１０；１０ａ；１０ｂ；１０ｃ）では、最終段増幅器（３）の第２トランジスタ（Ｑ３）に流れる電流（コレクタ電流 I_{dd} ）を抑制することができる。

[0133] 第４の態様に係る電力増幅回路（１０；１０ａ；１０ｂ；１０ｃ）では、第１～３の態様のいずれか一つにおいて、第２トランジスタ（Ｑ３）の動作開始点において、第１電圧制御回路（４）が第１トランジスタ（Ｑ１）に印加している第１電源電圧（ V_{cc1} ）は、第１トランジスタ（Ｑ１）のニー電圧よりも大きな電圧である。

[0134] 第４の態様に係る電力増幅回路（１０；１０ａ；１０ｂ；１０ｃ）では、

第2トランジスタ(Q3)の動作開始点において、第1トランジスタ(Q1)が飽和しているため、最終段増幅器(3)の第2トランジスタ(Q3)に流れる電流(コレクタ電流 I_{dd})を抑制することができる。

- [0135] 第5の態様に係る電力増幅回路(10; 10a; 10b; 10c)では、第1~4の態様のいずれか一つにおいて、第1電圧制御回路(4)は、レギュレータである。
- [0136] 第5の態様に係る電力増幅回路(10; 10a; 10b; 10c)は、第1電圧制御回路(4)から第1トランジスタ(Q1)に印加する第1電源電圧(V_{cc1})を安定化することが可能となる。
- [0137] 第6の態様に係る電力増幅回路(10; 10a; 10b; 10c)では、第1~5の態様のいずれか一つにおいて、第2電圧制御回路(5)は、LDOレギュレータである。
- [0138] 第6の態様に係る電力増幅回路(10; 10a; 10b; 10c)は、ノイズの発生を抑制することが可能となる。
- [0139] 第7の態様に係る電力増幅回路(10; 10a; 10b; 10c)では、第1~5の態様のいずれか一つにおいて、第2電圧制御回路(5)は、DC-DCコンバータである。
- [0140] 第8の態様に係る電力増幅回路(10; 10a; 10b; 10c)は、第1~7の態様のいずれか一つにおいて、第1バイアス回路(7)と、第2バイアス回路(9)と、を更に備える。第1バイアス回路(7)は、第1入力端子(11)に接続されている。第2バイアス回路(9)は、第2入力端子(31)に接続されている。
- [0141] 第8の態様に係る電力増幅回路(10; 10a; 10b; 10c)では、第1トランジスタ(Q1)のバイアス(第1バイアス電流 I_1)と第2トランジスタ(Q3)のバイアス(第2バイアス電流 I_3)とを独立して制御することが可能となる。
- [0142] 第9の態様に係る高周波回路(100)は、第1~8の態様のいずれか一つの電力増幅回路(10; 10a; 10b; 10c)と、フィルタ(103

）と、を備える。フィルタ（103）は、電力増幅回路（10；10a；10b；10c）で電力増幅されて電力増幅回路（10；10a；10b；10c）から出力される高周波信号を通す。

[0143] 第9の態様に係る高周波回路（100）では、電力増幅回路（10；10a；10b；10c）の最終段増幅器（3）の第2トランジスタ（Q3）に流れる電流を抑制することが可能となる。

[0144] 第10の態様に係る通信装置（300）は、第9の態様の高周波回路（100）と、信号処理回路（301）と、を備える。信号処理回路（301）は、高周波回路（100）に高周波信号を出力する。

[0145] 第10の態様に係る通信装置（300）は、電力増幅回路（10；10a；10b；10c）の最終段増幅器（3）の第2トランジスタ（Q3）に流れる電流を抑制することが可能となる。

符号の説明

- [0146]
- 1 ドライブ段増幅器
 - 2 中間段増幅器
 - 3 最終段増幅器
 - 4 第1電圧制御回路
 - 40 トランジスタ（第1出力トランジスタ）
 - 41、42 抵抗
 - 5 第2電圧制御回路
 - 50 トランジスタ（第2出力トランジスタ）
 - 51、52 抵抗
 - 55 ドライバ
 - 6 第3電圧制御回路
 - 7 第1バイアス回路
 - 8 第3バイアス回路
 - 9 第2バイアス回路
 - 10、10a、10b、10c 電力増幅回路

- 1 1 第 1 入力端子
- 1 2 第 1 出力端子
- 1 3 第 1 接地端子
- 2 1 第 3 入力端子
- 2 2 第 3 出力端子
- 2 3 第 3 接地端子
- 3 1 第 2 入力端子
- 3 2 第 2 出力端子
- 3 3 第 2 接地端子
- 6 1 ベース端子
- 6 2 コレクタ端子
- 6 3 エミッタ端子
- 7 0 トランジスタ
- 7 1 ダイオード
- 7 2 ダイオード
- 7 3 キャパシタ
- 7 4 抵抗
- 7 7 抵抗
- 8 0 トランジスタ
- 8 1 ダイオード
- 8 2 ダイオード
- 8 3 キャパシタ
- 8 4 抵抗
- 8 7 抵抗
- 9 0 トランジスタ
- 9 1 ダイオード
- 9 2 ダイオード
- 9 3 キャパシタ

- 94 抵抗
- 97 抵抗
- 100 高周波回路
- 101 出力整合回路
- 102 第1スイッチ
- 103 フィルタ
- 104 第2スイッチ
- 105 アンテナ端子
- 110 制御回路
- 111 電源用端子
- 117 第1定電流源
- 118 第3定電流源
- 119 第2定電流源
- 300 通信装置
- 301 信号処理回路
- 302 RF信号処理回路
- 303 ベースバンド信号処理回路
- 310 アンテナ
- C1 第1キャパシタ
- C2 第3キャパシタ
- C3 第2キャパシタ
- C5 キャパシタ
- EA1 誤差増幅器 (第1誤差増幅器)
- EA2 誤差増幅器 (第2誤差増幅器)
- I1 第1バイアス電流
- I2 第3バイアス電流
- I3 第2バイアス電流
- I_{dd} コレクタ電流

I d l e 1 第1アイドル電流
I d l e 2 第3アイドル電流
I d l e 3 第2アイドル電流
L 5 インダクタ
M N 1 第1整合回路
M N 2 第3整合回路
M N 3 第2整合回路
N 1 第1ノード
N 2 第3ノード
N 3 第2ノード
Q 1 第1トランジスタ
Q 2 第3トランジスタ
Q 3 第2トランジスタ
Q 6 トランジスタ
S 1 スイッチング素子
S 2 スイッチング素子
T 3 電源端子
T 4 制御端子 (第1制御端子)
T 5 制御端子 (第2制御端子)
V b a t バッテリ電圧
V c c 1 第1電源電圧
V c c 2 第2電源電圧
V r a m p 制御電圧

請求の範囲

- [請求項1] 高周波信号を電力増幅する電力増幅回路であって、
第1入力端子、第1出力端子及び第1接地端子を有する第1トランジスタを含むドライブ段増幅器と、
第2入力端子、第2出力端子及び第2接地端子を有し、前記第2入力端子が前記第1出力端子に接続されている第2トランジスタを含む最終段増幅器と、
電源端子と、
前記電源端子と前記第1出力端子との間に接続されており、前記第1トランジスタに印加する第1電源電圧を制御する第1電圧制御回路と、
前記第1電圧制御回路とは異なる回路であって前記電源端子と前記第2出力端子との間に接続されており、前記第2トランジスタに印加する第2電源電圧を制御する第2電圧制御回路と、を備える、
電力増幅回路。
- [請求項2] 前記第1電圧制御回路による前記第1電源電圧の制御と、前記第2電圧制御回路による前記第2電源電圧の制御とは、互いに独立している、
請求項1に記載の電力増幅回路。
- [請求項3] 前記第2電圧制御回路が前記第2トランジスタに前記第2電源電圧を印加し始めるタイミングは、前記第1電圧制御回路が前記第1トランジスタに前記第1電源電圧を印加し始めるタイミングよりも後である、
請求項1又は2に記載の電力増幅回路。
- [請求項4] 前記第2トランジスタの動作開始点において、前記第1電圧制御回路が前記第1トランジスタに印加している前記第1電源電圧は、前記第1トランジスタのニー電圧よりも大きな電圧である、
請求項1～3のいずれか一項に記載の電力増幅回路。

- [請求項5] 前記第1電圧制御回路は、レギュレータである、
請求項1～4のいずれか一項に記載の電力増幅回路。
- [請求項6] 前記第2電圧制御回路は、LDOレギュレータである、
請求項1～5のいずれか一項に記載の電力増幅回路。
- [請求項7] 前記第2電圧制御回路は、DC-DCコンバータである、
請求項1～5のいずれか一項に記載の電力増幅回路。
- [請求項8] 前記第1入力端子に接続されている第1バイアス回路と、前記第2
入力端子に接続されている第2バイアス回路と、を更に備える、
請求項1～7のいずれか一項に記載の電力増幅回路。
- [請求項9] 請求項1～8のいずれか一項に記載の電力増幅回路と、
前記電力増幅回路で電力増幅されて前記電力増幅回路から出力され
る前記高周波信号を通すフィルタと、を備える、
高周波回路。
- [請求項10] 請求項9に記載の高周波回路と、
前記高周波回路に高周波信号を出力する信号処理回路と、を備える
、
通信装置。

[図1]

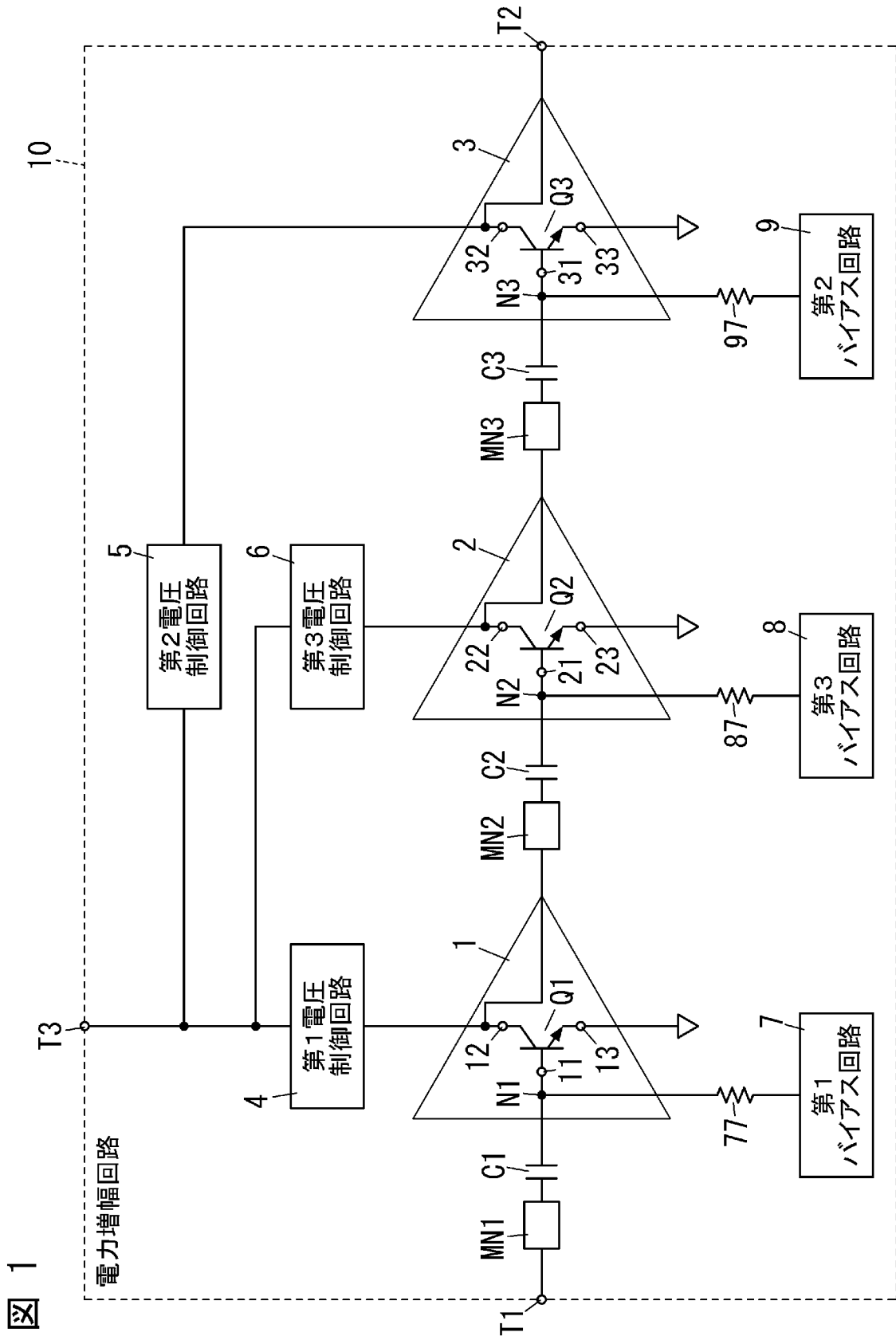
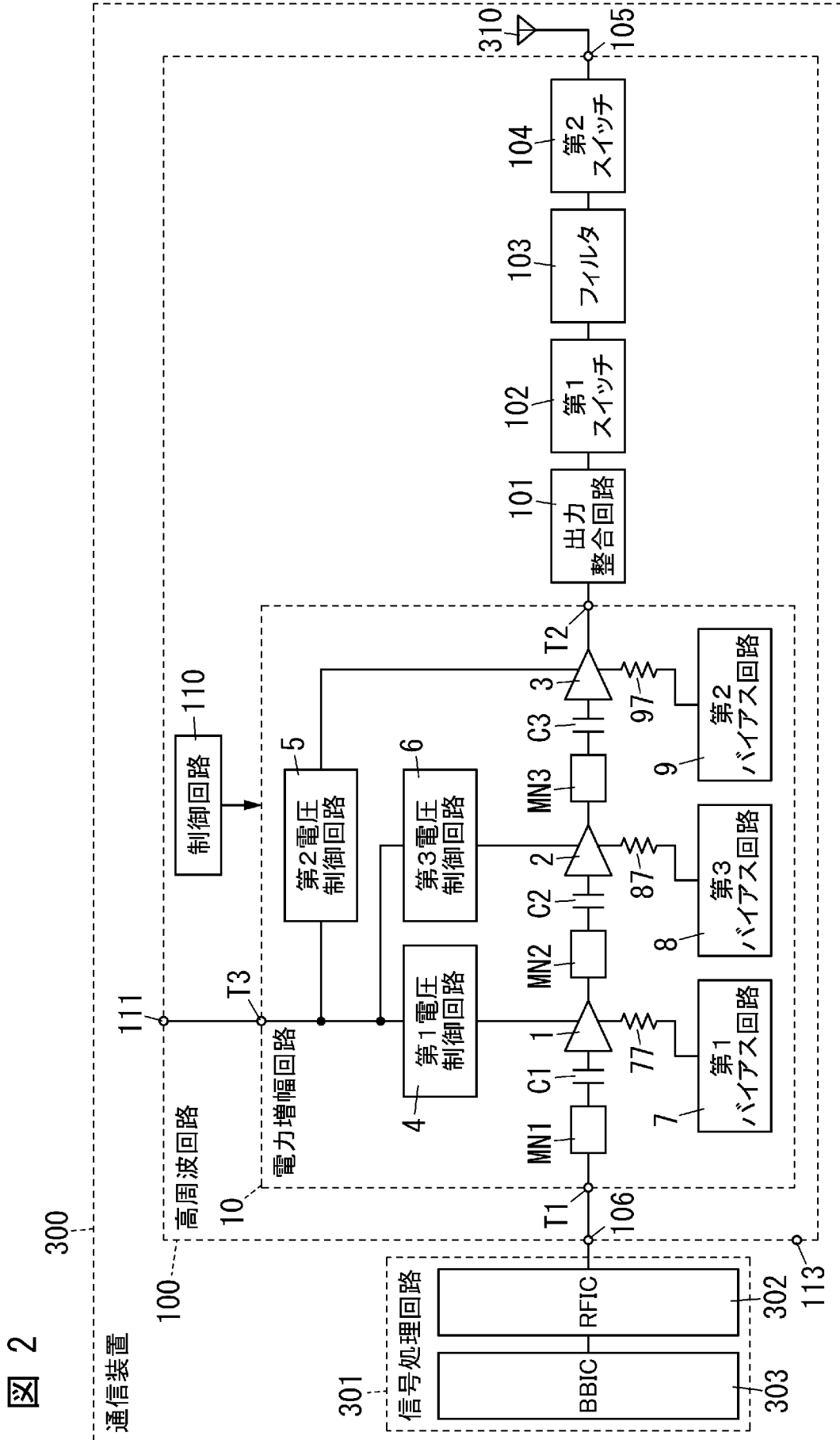


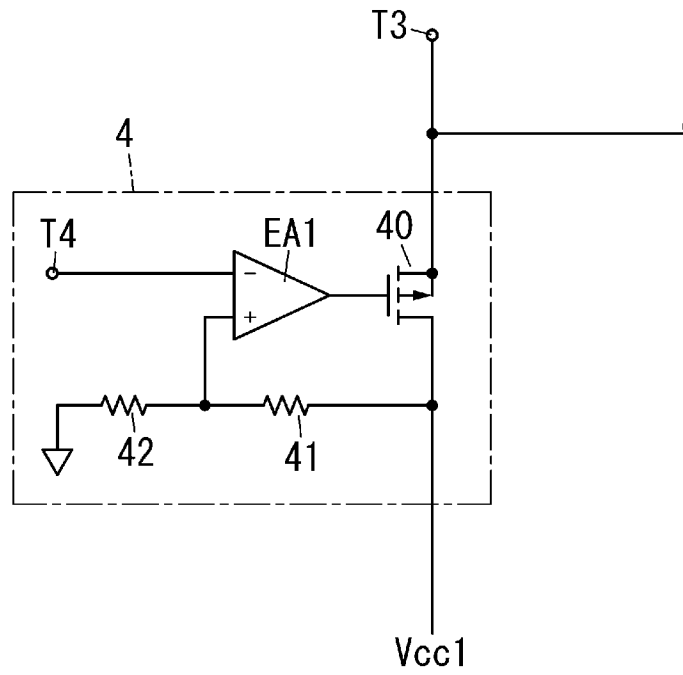
図 1

[図2]



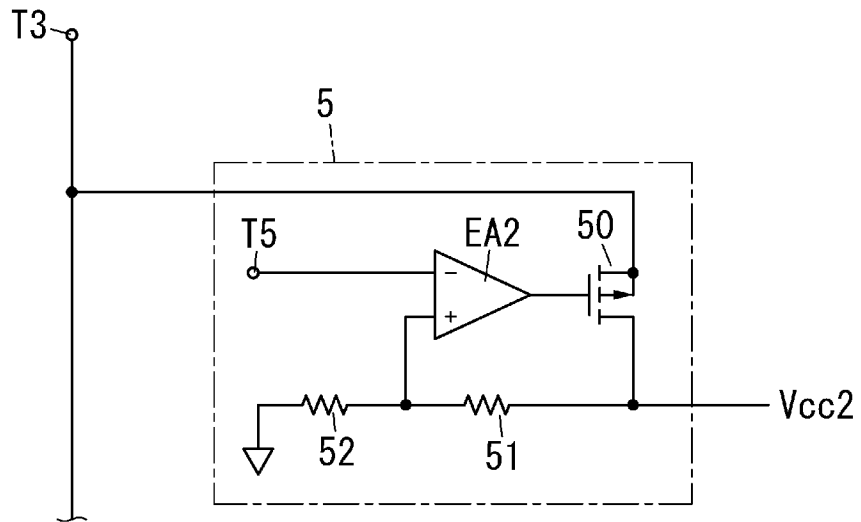
[図3]

図 3



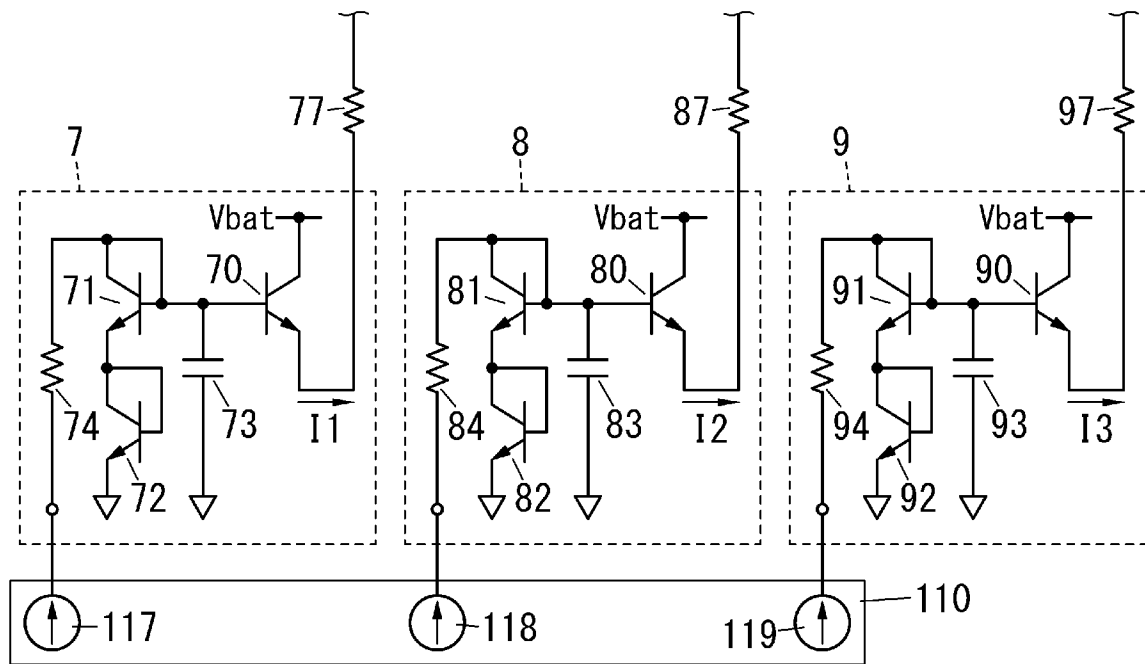
[図4]

図 4



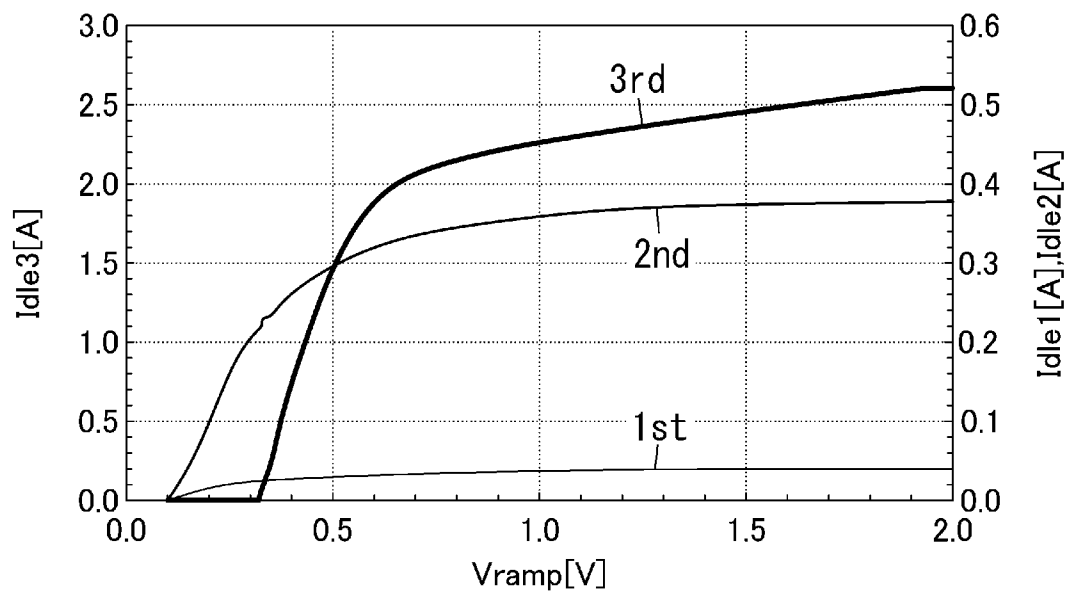
[図5]

図 5



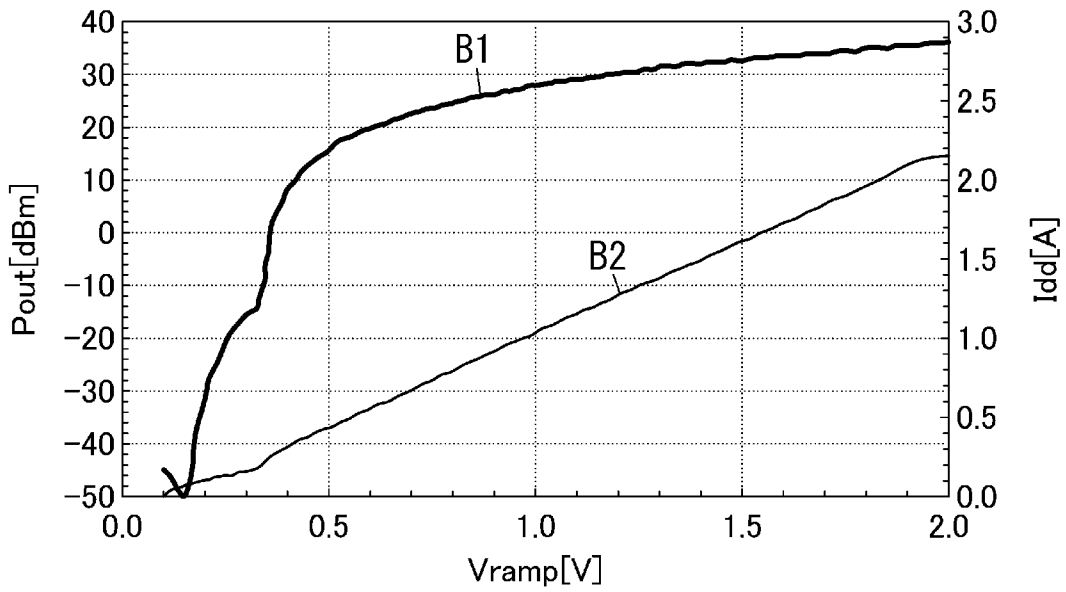
[図6]

図 6



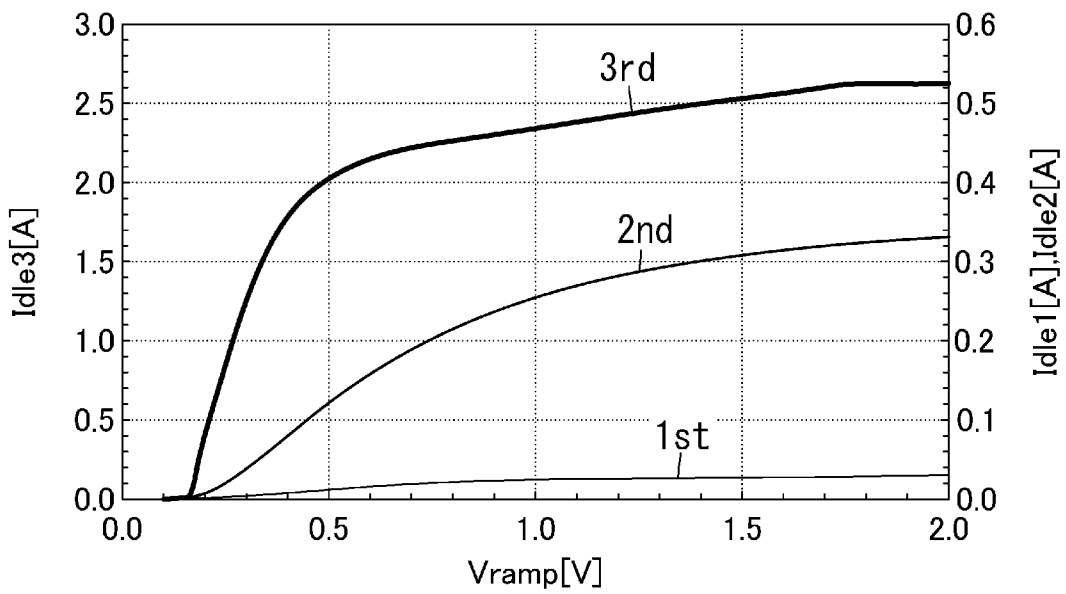
[圖7]

7



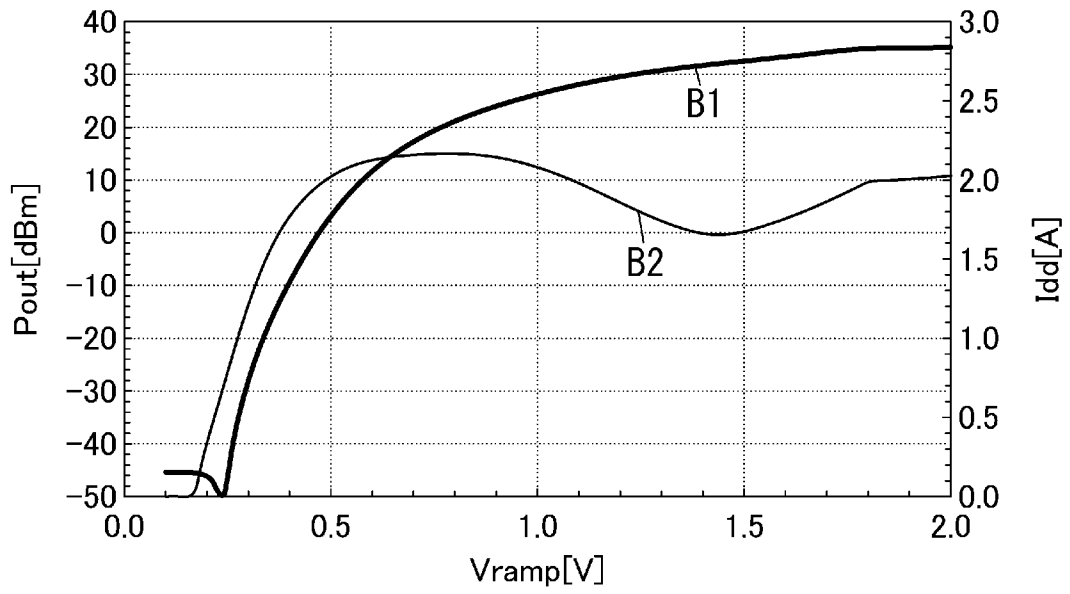
[圖8]

8



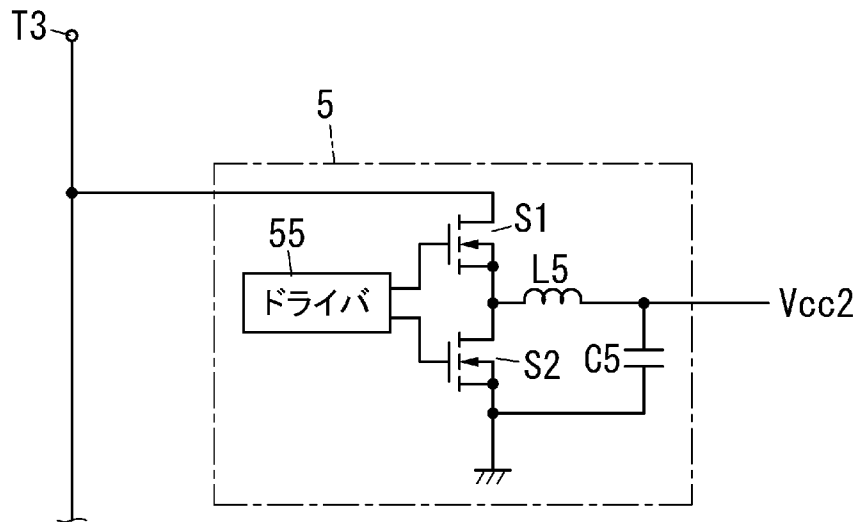
[図9]

図 9



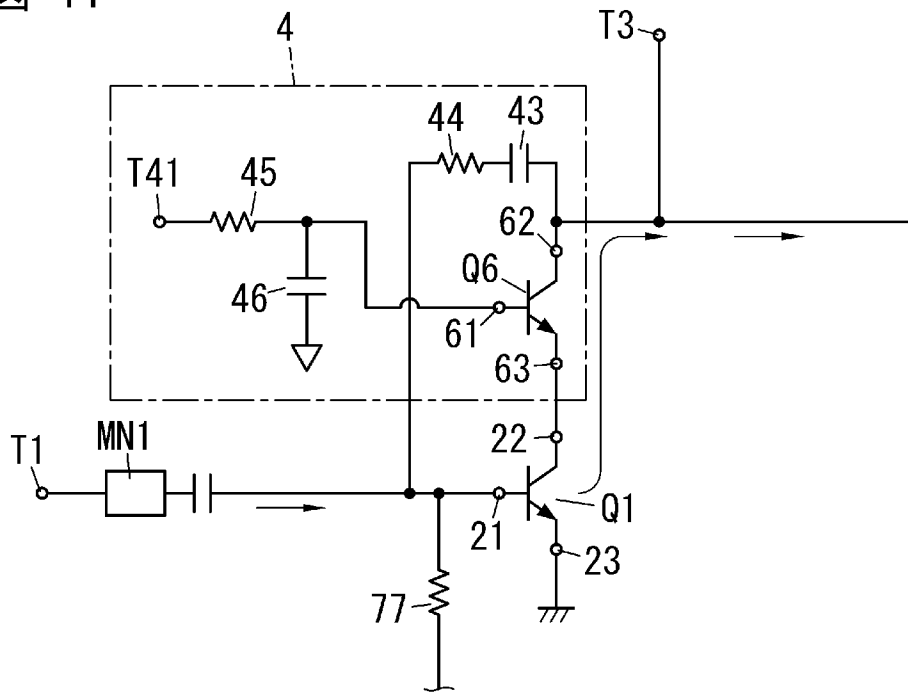
[図10]

図 10



[図11]

図 11



[図12]

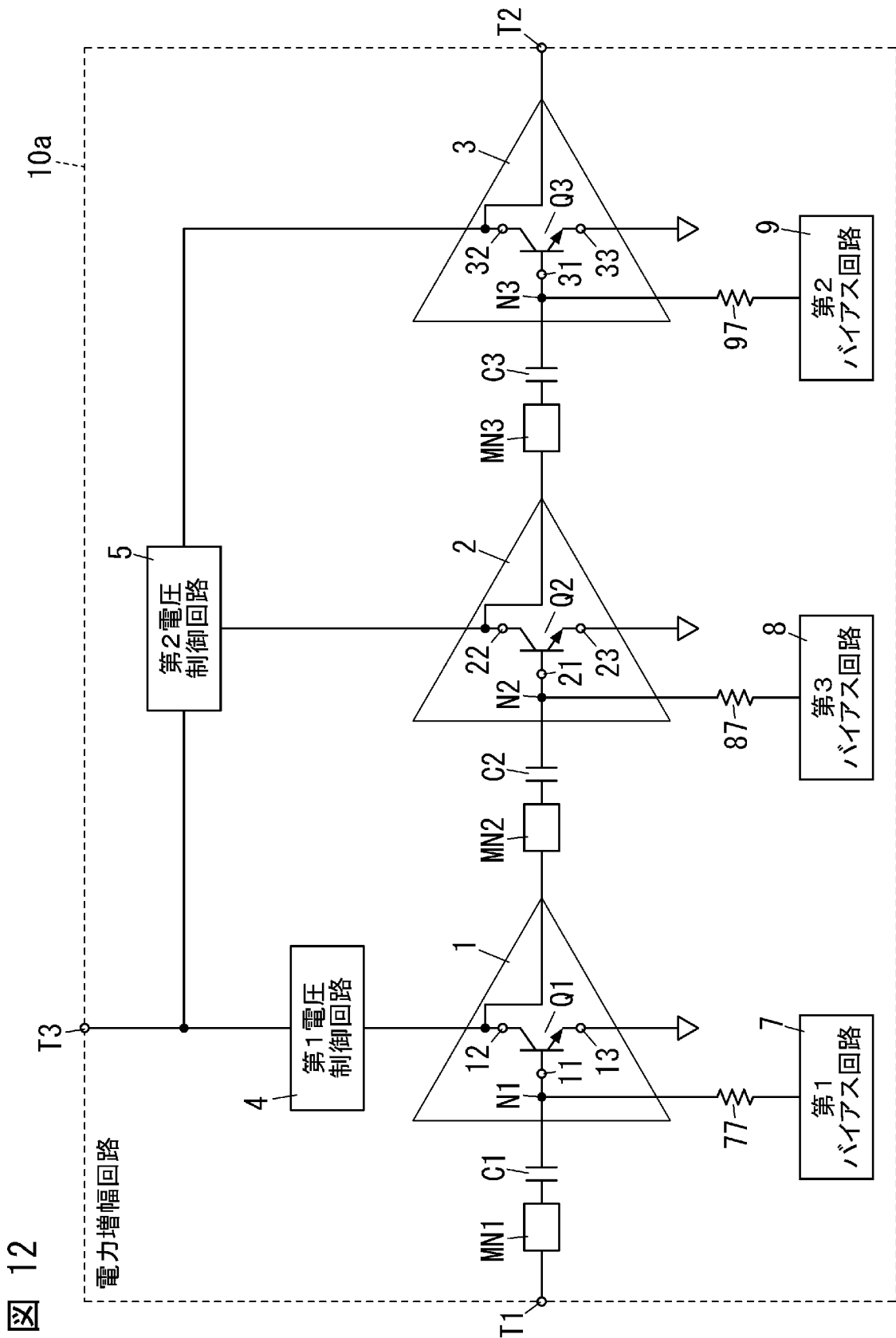


図 12

電力増幅回路

10a

[図13]

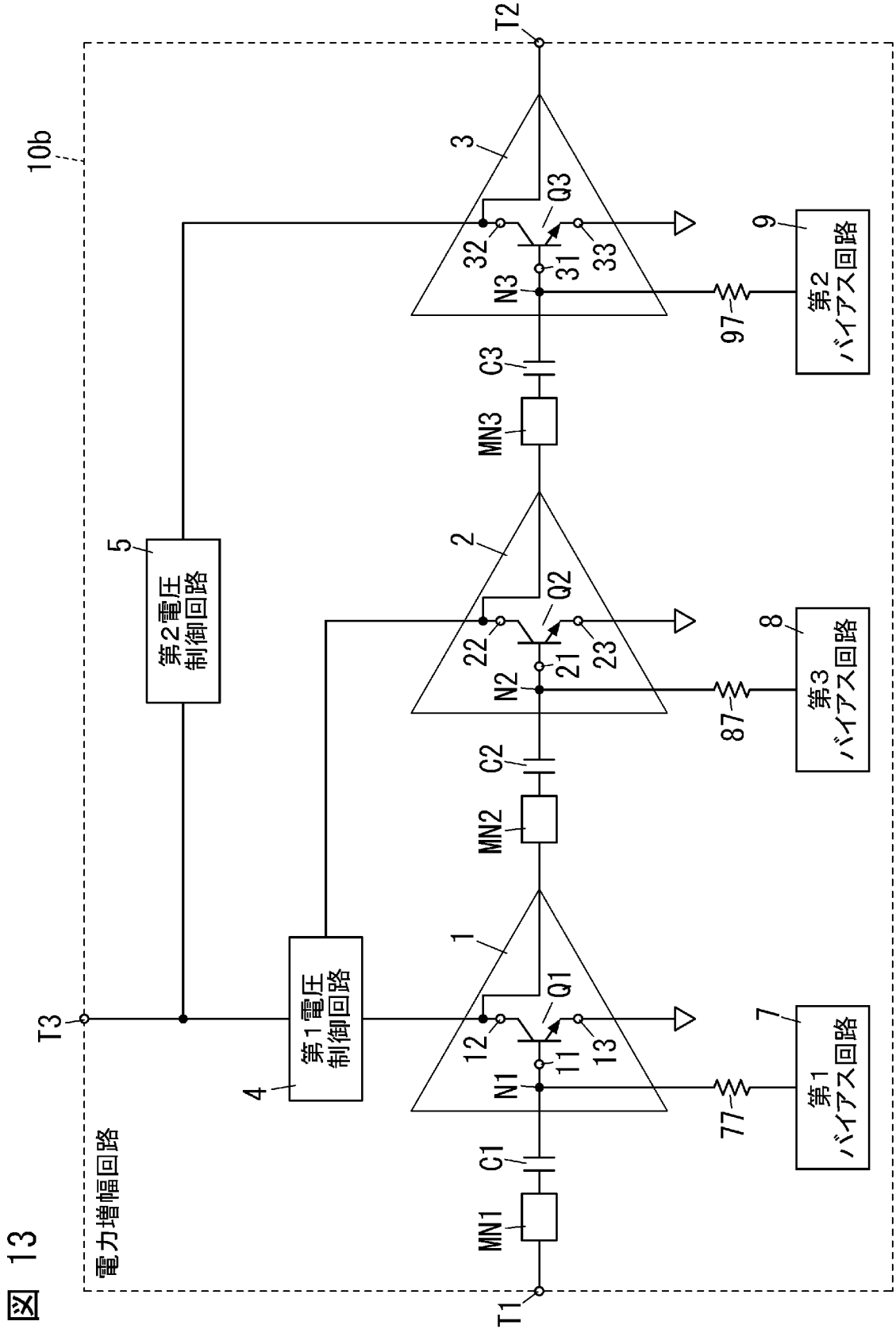


図 13

[図14]

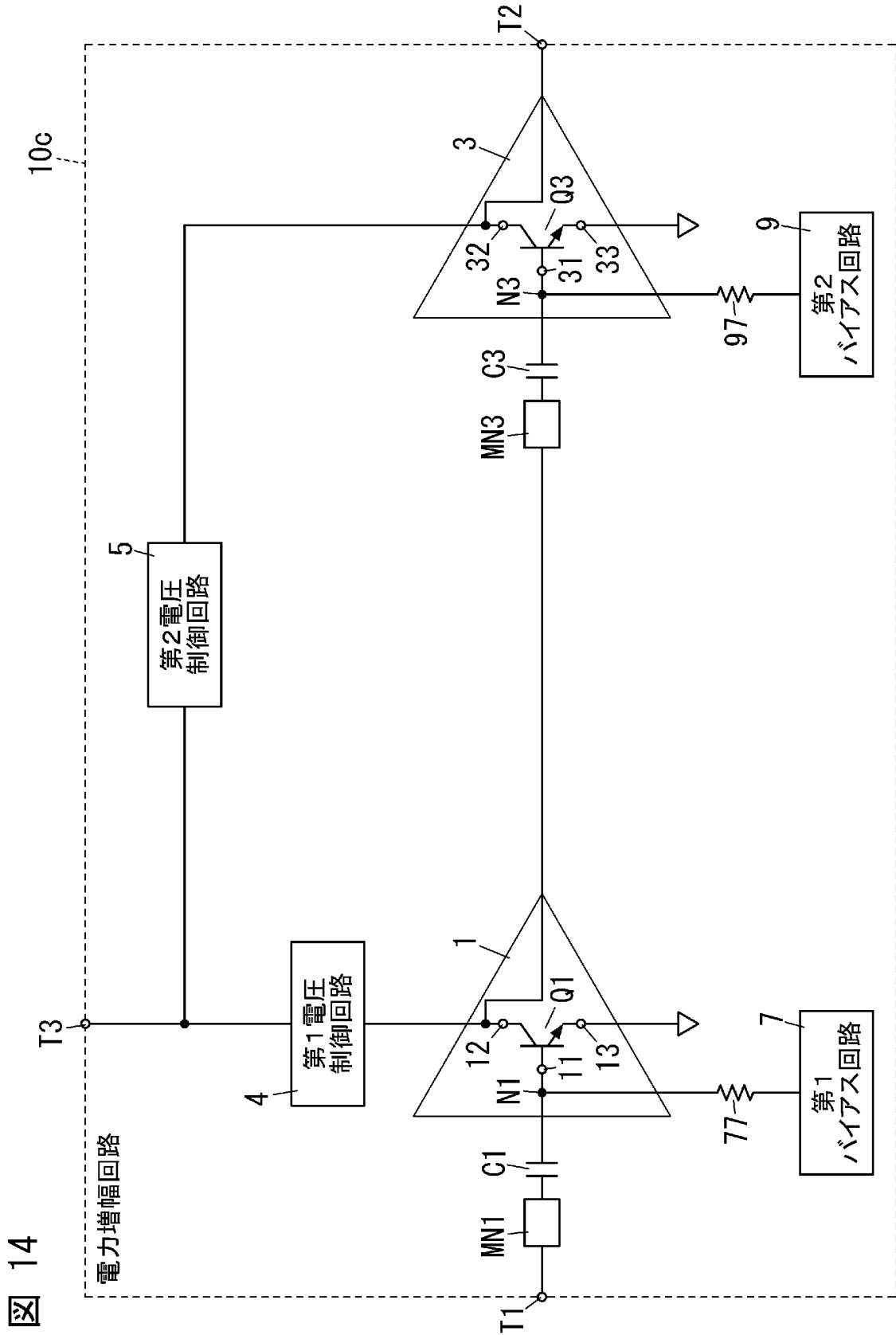


図 14

電力増幅回路

10c

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/041757

<p>A. CLASSIFICATION OF SUBJECT MATTER Int.Cl. H03F1/02(2006.01) i, H03F3/19(2006.01) i, H03F3/24(2006.01) i, H03F3/68(2006.01) i FI: H03F1/02111, H03F3/24, H03F3/19, H03F3/68 According to International Patent Classification (IPC) or to both national classification and IPC</p>														
<p>B. FIELDS SEARCHED</p> <p>Minimum documentation searched (classification system followed by classification symbols) Int.Cl. H03F1/02, H03F3/19, H03F3/24, H03F3/68</p> <p>Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched</p> <table style="width:100%; border:none;"> <tr> <td style="padding-left: 20px;">Published examined utility model applications of Japan</td> <td style="text-align: right;">1922-1996</td> </tr> <tr> <td style="padding-left: 20px;">Published unexamined utility model applications of Japan</td> <td style="text-align: right;">1971-2021</td> </tr> <tr> <td style="padding-left: 20px;">Registered utility model specifications of Japan</td> <td style="text-align: right;">1996-2021</td> </tr> <tr> <td style="padding-left: 20px;">Published registered utility model applications of Japan</td> <td style="text-align: right;">1994-2021</td> </tr> </table> <p>Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)</p>			Published examined utility model applications of Japan	1922-1996	Published unexamined utility model applications of Japan	1971-2021	Registered utility model specifications of Japan	1996-2021	Published registered utility model applications of Japan	1994-2021				
Published examined utility model applications of Japan	1922-1996													
Published unexamined utility model applications of Japan	1971-2021													
Registered utility model specifications of Japan	1996-2021													
Published registered utility model applications of Japan	1994-2021													
<p>C. DOCUMENTS CONSIDERED TO BE RELEVANT</p> <table border="1" style="width:100%; border-collapse: collapse;"> <thead> <tr> <th style="width:10%;">Category*</th> <th style="width:70%;">Citation of document, with indication, where appropriate, of the relevant passages</th> <th style="width:20%;">Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td align="center">Y A</td> <td>JP 2019-220873 A (MURATA MANUFACTURING CO., LTD.) 26 December 2019 (2019-12-26), paragraphs [0010]- [0023], fig. 1</td> <td align="center">1-2, 8-10 3-7</td> </tr> <tr> <td align="center">Y A</td> <td>Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 40844/1991 (Laid-open No. 126414/1992) (NEC CORPORATION) 18 November 1992 (1992-11-18), paragraphs [0002]-[0014], fig. 1-3</td> <td align="center">1-2, 8-10 3-7</td> </tr> <tr> <td align="center">A</td> <td>JP 2007-104280 A (NEC ELECTRONICS CORP.) 19 April 2007 (2007-04-19), entire text, all drawings</td> <td align="center">1-10</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	Y A	JP 2019-220873 A (MURATA MANUFACTURING CO., LTD.) 26 December 2019 (2019-12-26), paragraphs [0010]- [0023], fig. 1	1-2, 8-10 3-7	Y A	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 40844/1991 (Laid-open No. 126414/1992) (NEC CORPORATION) 18 November 1992 (1992-11-18), paragraphs [0002]-[0014], fig. 1-3	1-2, 8-10 3-7	A	JP 2007-104280 A (NEC ELECTRONICS CORP.) 19 April 2007 (2007-04-19), entire text, all drawings	1-10
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.												
Y A	JP 2019-220873 A (MURATA MANUFACTURING CO., LTD.) 26 December 2019 (2019-12-26), paragraphs [0010]- [0023], fig. 1	1-2, 8-10 3-7												
Y A	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 40844/1991 (Laid-open No. 126414/1992) (NEC CORPORATION) 18 November 1992 (1992-11-18), paragraphs [0002]-[0014], fig. 1-3	1-2, 8-10 3-7												
A	JP 2007-104280 A (NEC ELECTRONICS CORP.) 19 April 2007 (2007-04-19), entire text, all drawings	1-10												
<p><input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.</p>														
<p>* Special categories of cited documents:</p> <table style="width:100%; border:none;"> <tr> <td style="width:50%; vertical-align: top;"> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p> </td> <td style="width:50%; vertical-align: top;"> <p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p> </td> </tr> </table>			<p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>										
<p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>													
<p>Date of the actual completion of the international search 18 January 2021</p>		<p>Date of mailing of the international search report 26 January 2021</p>												
<p>Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan</p>		<p>Authorized officer</p> <p>Telephone No.</p>												

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2020/041757

JP 2019-220873 A	26 December 2019	US 2019/0393845 A1 paragraphs [0015]-[0028], fig. 1 CN 110635771 A
JP 4-126414 U1	18 November 1992	(Family: none)
JP 2007-104280 A	19 April 2007	US 2007/0075782 A1 entire text, all drawings KR 10-2007-0037996 A CN 1956319 A TW 200731660 A

A. 発明の属する分野の分類（国際特許分類（IPC）） H03F 1/02(2006.01)i; H03F 3/19(2006.01)i; H03F 3/24(2006.01)i; H03F 3/68(2006.01)i FI: H03F1/02 111; H03F3/24; H03F3/19; H03F3/68		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H03F1/02; H03F3/19; H03F3/24; H03F3/68 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2021年 日本国実用新案登録公報 1996-2021年 日本国登録実用新案公報 1994-2021年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2019-220873 A (株式会社村田製作所) 26.12.2019 (2019-12-26) 段落[0010] - [0023]、図 1	1-2, 8-10 3-7
Y A	日本国実用新案登録出願3-40844号(日本国実用新案登録出願公開4-126414号)の願書 に添付した明細書及び図面の内容を撮影したマイクロフィルム (日本電気株式会社) 18.11.1992 (1992-11-18) 段落[0002] - [0014]、図 1-3	1-2, 8-10 3-7
A	JP 2007-104280 A (NECエレクトロニクス株式会社) 19.04.2007 (2007-04-19) 全文全図	1-10
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献	
国際調査を完了した日 18.01.2021	国際調査報告の発送日 26.01.2021	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 工藤 一光 5W 9274 電話番号 03-3581-1101 内線 3576	

国際調査報告
 パテントファミリーに関する情報

国際出願番号
 PCT/JP2020/041757

引用文献	公表日	パテントファミリー文献	公表日
JP 2019-220873 A	26.12.2019	US 2019/0393845 A1 段落[0015] - [0028]、図1 CN 110635771 A	
JP 4-126414 U1	18.11.1992	(ファミリーなし)	
JP 2007-104280 A	19.04.2007	US 2007/0075782 A1 全文全図 KR 10-2007-0037996 A CN 1956319 A TW 200731660 A	