

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-338789
(P2006-338789A)

(43) 公開日 平成18年12月14日(2006.12.14)

(51) Int. Cl. F I テーマコード (参考)
G 1 1 C 16/02 (2006.01) G 1 1 C 17/00 6 1 4 5 B 1 2 5

審査請求 未請求 請求項の数 6 O L (全 10 頁)

(21) 出願番号	特願2005-162544 (P2005-162544)	(71) 出願人	503121103 株式会社ルネサステクノロジ 東京都千代田区丸の内二丁目4番1号
(22) 出願日	平成17年6月2日(2005.6.2)	(74) 代理人	100064746 弁理士 深見 久郎
		(74) 代理人	100085132 弁理士 森田 俊雄
		(74) 代理人	100083703 弁理士 仲村 義平
		(74) 代理人	100096781 弁理士 堀井 豊
		(74) 代理人	100098316 弁理士 野田 久登
		(74) 代理人	100109162 弁理士 酒井 将行

最終頁に続く

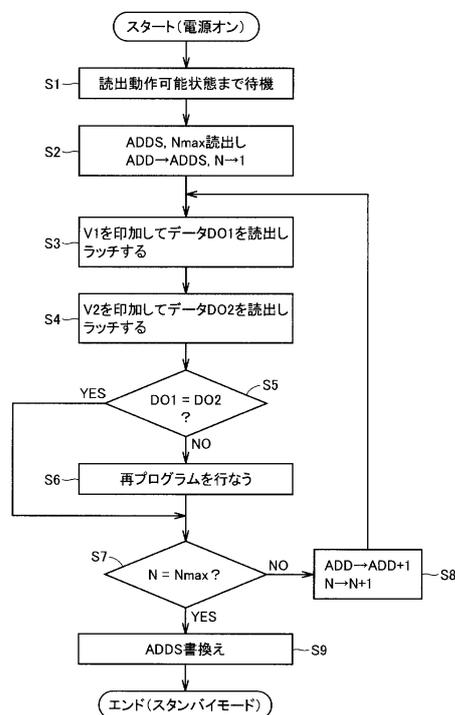
(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【課題】 データ保持特性が高く、読出動作が速い不揮発性半導体記憶装置を提供する。

【解決手段】 このフラッシュメモリでは、電源電圧が投入される毎に所定回数 N_{max} だけアドレスを順次指定し、各アドレスのメモリセルトランジスタMCのリテンションチェックを行ない、しきい値電圧が低下しているメモリセルトランジスタMCの再プログラムを行なう。したがって、読出動作毎にリテンションチェックを行っていた従来に比べ、読出動作の高速化を図ることができる。

【選択図】 図5



【特許請求の範囲】**【請求項 1】**

不揮発性半導体記憶装置であって、

それぞれに固有のアドレスが割当てられた複数のメモリセルトランジスタを含むメモリセルアレイ、

リテンションチェックを開始するアドレスを記憶する第 1 のレジスタ、

リテンションチェックモード時に、前記第 1 のレジスタに記憶されたアドレスから予め定められた数のアドレスを順次指定するデコーダ、

前記デコーダによって指定されたアドレスのメモリセルトランジスタのゲートに通常の読出電圧である第 1 の電圧を印加して該メモリセルトランジスタの記憶データを読出すとともに、前記第 1 の電圧と該メモリセルトランジスタがプログラムされたときのしきい値電圧との間の第 2 の電圧を印加して該メモリセルトランジスタの記憶データを読出す読出回路、

10

前記第 1 および第 2 の電圧を印加して読み出した 2 つの記憶データの論理レベルを比較し、一致していない場合は不一致信号を出力する比較回路、および

前記デコーダによって最後に指定されたアドレスの次のアドレスを前記リテンションチェックを開始するアドレスとして前記第 1 のレジスタに書込む第 1 の書込回路を備える、不揮発性半導体記憶装置。

【請求項 2】

さらに、前記不一致信号に応答して該メモリセルトランジスタの再プログラムを行なうプログラム回路を備える、請求項 1 に記載の不揮発性半導体記憶装置。

20

【請求項 3】

さらに、再プログラムを行なうべきメモリセルトランジスタのアドレスを記憶する第 2 のレジスタ、および

前記不一致信号に応答して、該メモリセルトランジスタのアドレスを再プログラムを行なうべきメモリセルのアドレスとして前記第 2 のレジスタに書込む第 2 の書込回路を備える、請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 4】

さらに、再プログラムが指示されたことに応じて、前記第 2 のレジスタに記憶されたアドレスのメモリセルトランジスタの再プログラムを行なうプログラム回路を備える、請求項 3 に記載の不揮発性半導体記憶装置。

30

【請求項 5】

さらに、電源電圧が投入されたことに応じて前記リテンションチェックモードを設定する設定回路を備える、請求項 1 から請求項 4 までのいずれかに記載の不揮発性半導体記憶装置。

【請求項 6】

不揮発性半導体記憶装置であって、

複数のメモリセルトランジスタを含むメモリセルアレイ、

電源電圧が投入されたことに応じて、前記複数のメモリセルトランジスタを順次指定するデコーダ、

40

前記デコーダによって指定されたメモリセルトランジスタのゲートに通常の読出電圧である第 1 の電圧を印加して該メモリセルトランジスタの記憶データを読出すとともに、前記第 1 の電圧と該メモリセルトランジスタがプログラムされたときのしきい値電圧との間の第 2 の電圧を印加して該メモリセルトランジスタの記憶データを読出す読出回路、および

前記第 1 および第 2 の電圧を印加して読み出した 2 つの記憶データの論理レベルを比較し、一致していない場合は不一致信号を出力する比較回路を備える、不揮発性半導体記憶装置。

【発明の詳細な説明】**【技術分野】**

50

【0001】

この発明は不揮発性半導体記憶装置に関し、特に、しきい値電圧の変化によってデータを記憶するメモリセルトランジスタを備えた不揮発性半導体記憶装置に関する。

【背景技術】

【0002】

近年、フラッシュメモリのような不揮発性半導体記憶装置では、メモリセルトランジスタの微細化、高集積化に伴い、データ保持が非常に困難になってきている。たとえばフラッシュメモリでは、メモリセルトランジスタのフローティングゲートに負電荷を注入するとメモリセルトランジスタのしきい値電圧が上昇してデータ“0”が記憶され、フローティングゲートから負電荷を引き抜くとメモリセルトランジスタのしきい値電圧が低下してデータ“1”が記憶される。しかし、フローティングゲートに注入された負電荷が時間の経過とともに徐々に放出されてメモリセルトランジスタのしきい値電圧が低下し、データが“0”から“1”に変化してしまうという問題がある。

10

【0003】

そこで、読出動作時に、通常の読出電圧をコントロールゲートに印加してデータを読み出すとともに、通常の読出電圧よりも高い電圧をコントロールゲートに印加してデータを読み出し、読み出した2つのデータの論理が異なる場合はそのメモリトランジスタのしきい値電圧が低下していると判断して再プログラムを行なう方法が提案された(たとえば特許文献1参照)。

【特許文献1】特開昭62-128097号公報

20

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかし、従来の方法では、読出動作を行なう毎に、データを2回読出して比較し、比較結果に応じて再プログラムを行っていたので、読出動作が遅くなるという問題があった。

【0005】

それゆえに、この発明の主たる目的は、データ保持特性が高く、読出動作が速い不揮発性半導体記憶装置を提供することである。

【課題を解決するための手段】

30

【0006】

この発明に係る不揮発性半導体記憶装置は、それぞれに固有のアドレスが割当てられた複数のメモリセルトランジスタを含むメモリセルアレイと、リテンションチェックを開始するアドレスを記憶する第1のレジスタと、リテンションチェックモード時に、第1のレジスタに記憶されたアドレスから予め定められた数のアドレスを順次指定するデコーダと、デコーダによって指定されたアドレスのメモリセルトランジスタのゲートに通常の読出電圧である第1の電圧を印加して該メモリセルトランジスタの記憶データを読み出すとともに、第1の電圧と該メモリセルトランジスタがプログラムされたときのしきい値電圧との間の第2の電圧を印加して該メモリセルトランジスタの記憶データを読み出す読出回路と、第1および第2の電圧を印加して読み出した2つの記憶データの論理レベルを比較し、一致していない場合は不一致信号を出力する比較回路と、デコーダによって最後に指定されたアドレスの次のアドレスをリテンションチェックを開始するアドレスとして第1のレジスタに書込む第1の書込回路を備えたものである。

40

【0007】

また、この発明に係る他の不揮発性半導体記憶装置は、複数のメモリセルトランジスタを含むメモリセルアレイと、電源電圧が投入されたことに応じて、複数のメモリセルトランジスタを順次指定するデコーダと、デコーダによって指定されたメモリセルトランジスタのゲートに通常の読出電圧である第1の電圧を印加して該メモリセルトランジスタの記憶データを読み出すとともに、第1の電圧と該メモリセルトランジスタがプログラムされたときのしきい値電圧との間の第2の電圧を印加して該メモリセルトランジスタの記憶デー

50

タを讀出す讀出回路と、第1および第2の電圧を印加して讀み出した2つの記憶データの論理レベルを比較し、一致していない場合は不一致信号を出力する比較回路を備えたものである。

【発明の効果】

【0008】

この発明に係る不揮発性半導体記憶装置では、リテンションチェックを開始するアドレスを記憶するレジスタを設け、リテンションチェックモード時に、レジスタに記憶されたアドレスから予め定められた数のアドレスのメモリセルトランジスタのリテンションチェックを行ない、リテンションチェックが終了した次のアドレスをリテンションチェックを開始するアドレスとしてレジスタに書込む。したがって、リテンションチェックモードが設定される毎に、所定数のメモリセルトランジスタのリテンションチェックをまとめて行なうので、讀出動作毎にリテンションチェックを行っていた従来に比べ、讀出動作の高速化を図ることができる。また、リテンションチェックを行なうアドレスの数を適切に設定することにより、リテンションチェックの時間が長くなり過ぎることを防止することができる。

10

【0009】

また、この発明に係る他の不揮発性半導体記憶装置では、電源投入時にリテンションチェックを行なうので、讀出動作毎にリテンションチェックを行っていた従来に比べ、讀出動作の高速化を図ることができる。

【発明を実施するための最良の形態】

20

【0010】

[実施の形態1]

図1は、この発明の実施の形態1によるフラッシュメモリの全体構成を示すブロック図である。図1において、このフラッシュメモリは、メモリセルアレイ1、アドレスデコーダ2、制御回路3、センス電圧印加回路4、センス回路5、比較回路6、およびレジスタ7を備える。

【0011】

メモリセルアレイ1は、複数行複数列に配置された複数のメモリセルトランジスタを含む。各メモリセルトランジスタには、固有のアドレス信号が割当てられている。メモリセルトランジスタは、2層ゲート構造の周知のものであり、フローティングゲートとコントロールゲートを有する。図2に示すように、フローティングゲートに負電荷を注入するとメモリセルトランジスタのしきい値電圧がV_{TH1}からV_{TH0}に上昇してデータ“0”が記憶され、フローティングゲートから負電荷を引き抜くとメモリセルトランジスタのしきい値電圧がV_{TH0}からV_{TH1}に低下してデータ“1”が記憶される。

30

【0012】

図1に戻ってアドレスデコーダ2は、外部から与えられたアドレス信号ADD、または制御回路3から与えられたアドレス信号ADDに従って、メモリセルアレイ1に含まれる複数のメモリセルトランジスタのうちのいずれかのメモリセルトランジスタを指定する。

【0013】

制御回路3は、外部から与えられた制御信号CNTおよび書込データ信号DIに従ってフラッシュメモリ全体を制御する。消去動作時は、アドレスデコーダ2によって指定されたメモリセルトランジスタのコントロールゲート-ソース間に負の高電圧を印加してフローティングゲートの負電荷を引く抜く。プログラム動作時は、アドレスデコーダ2によって指定され、かつ書込データ信号DIが“0”のメモリセルトランジスタのコントロールゲート-ソース間に正の高電圧を印加してフローティングゲートに負電荷を注入する。讀出動作時は、センス電圧印加回路4およびセンス回路5を制御して、アドレスデコーダ2によって指定されたメモリセルトランジスタの記憶データを讀出す。

40

【0014】

図3は、讀出動作に関連する部分を示す回路ブロック図である。図3において、メモリセルアレイ1の複数のメモリセルトランジスタMCのうちのアドレスデコーダ2によって

50

指定されたメモリセルトランジスタMCのコントロールゲートはセンス電圧印加回路4の出力ノードに接続され、そのソースは接地電位GNDのラインに接続され、そのドレインは抵抗素子8を介して電源電位VCCのラインに接続されるとともにセンス回路5の入力ノードに接続される。

【0015】

センス電圧印加回路4は、読出動作時に、アドレスデコーダ2によって指定されたメモリセルトランジスタMCのコントロールゲートに上記VTH1とVTH0の間の所定の電位V1(図2参照)を印加する。メモリセルトランジスタMCのしきい値電圧がVTH1の場合はしきい値電流ITHよりも大きな電流が流れてメモリセルトランジスタMCのドレインは「L」レベルになり、センス回路5は読出データ信号DOを「H」レベル(“1”)にする。メモリセルトランジスタMCのしきい値電圧がVTH0の場合はしきい値電流ITHよりも小さな電流が流れてメモリセルトランジスタMCのドレインは「H」レベルになり、センス回路5は読出データ信号DOを「L」レベル(“0”)にする。

10

【0016】

メモリセルトランジスタMCのフローティングゲートに注入された負電荷は時間の経過とともに徐々に放出され、メモリセルトランジスタMCのしきい値電圧が低下してデータが“0”から“1”に変化してしまう。そこで、このフラッシュメモリでは、電源電圧が投入される毎にリテンションチェックモードが実行される。

【0017】

図1に戻って、レジスタ7には、リテンションチェックを開始するアドレスを示す信号ADD Sと、1回のリテンションチェックモードでチェックするアドレスの数Nmaxが格納されている。制御回路3は、リテンションチェックモード時は、アドレス信号ADD Sを順次インクリメントしてNmax個のアドレス信号ADDをアドレスデコーダ2に与えた後、次回にリテンションチェックを開始するアドレスを示す信号ADD Sをレジスタ7に格納する。なお、レジスタ7は、メモリセルアレイ1の一部で構成してもよいし、他の不揮発性メモリで構成してもよい。

20

【0018】

アドレスデコーダ2は、制御回路3から与えられるアドレス信号ADDに従ってメモリセルトランジスタMCを指定する。センス電圧印加回路4は、アドレスデコーダ2によって指定されたメモリセルトランジスタMCのコントロールゲートに通常の読出電位V1を与えた後、V1とVTH0の間の読出電位V2を与える。センス回路5は、各メモリセルトランジスタMCについて、V1、V2に応じた読出データ信号DO1、DO2を比較回路6に与える。もし、プログラムしたメモリセルトランジスタMCのしきい値電圧がVTH0から低下してV1とV2の間にある場合は、読出データ信号DO1、DO2はそれぞれ「L」レベル、「H」レベルになる。

30

【0019】

比較回路6は、図4に示すように、NチャンネルMOSトランジスタ11、12およびEX-ORゲート13を含む。NチャンネルMOSトランジスタ11は、入力ノードN10とEX-ORゲート13の一方入力ノードN11との間に接続され、そのゲートは信号RC1を受ける。NチャンネルMOSトランジスタ12は、入力ノードN10とEX-ORゲート13の他方入力ノードN12との間に接続され、そのゲートは信号RC2を受ける。

40

【0020】

入力ノードN10に読出データ信号DO1が与えられている期間に信号RC1が所定時間だけ「H」レベルにされ、ノードN11に読出データ信号DO1がラッチされる。また、入力ノードN10に読出データ信号DO2が与えられている期間に信号RC2が所定時間だけ「H」レベルにされ、ノードN12に読出データ信号DO2がラッチされる。EX-ORゲート13は、データ信号DO1、DO2の論理レベルが一致している場合は信号PRを「L」レベルにし、データ信号DO1、DO2の論理レベルが一致していない場合は信号PRを「H」レベルにする。

【0021】

50

制御回路3は、信号PRが「L」レベルの場合は次のアドレス信号ADDをアドレスデコード2に与え、信号PRが「H」レベルの場合は、そのメモリセルトランジスタMCの再プログラムを行なった後に次のアドレス信号ADDをアドレスデコード2に与える。

【0022】

図5は、このフラッシュメモリのリテンションチェック動作を示すフローチャートである。図5において電源電圧が投入されると、ステップS1において制御回路3は、フラッシュメモリの読出動作が可能な状態になるまで待機する。ステップS2において制御回路3は、リテンションチェックを開始するアドレスを示す信号ADDとリテンションチェックの最大回数Nmaxとをレジスタ7から読出し、アドレス信号ADDをADDとセットし、リテンションチェックの回数Nを1にセットする。

10

【0023】

Nmaxは、リテンションチェック時間が電源電圧投入時におけるフラッシュメモリのセットアップ時間内に収まり、かつ複数回の電源投入で全メモリセルトランジスタMCのリテンションチェックが終了するように設定される。また、メモリセルアレイ1が複数のメモリブロックに分割されている場合は、電源電圧が投入される毎に1つのメモリブロックのリテンションチェックが行なわれるようにしてもよい。

【0024】

制御回路3で生成されたアドレス信号ADDはアドレスデコード2に与えられる。アドレスデコード2は、アドレス信号ADDに従って、メモリセルアレイ1のうちいずれかのメモリセルトランジスタMCを指定する。ステップS3において、アドレスデコード2によって指定されたメモリセルトランジスタMCのコントロールゲートにV1が印加され、データ信号DO1が読み出されて比較回路6にラッチされる。次いでステップS4において、そのメモリセルトランジスタMCのコントロールゲートにV2が印加され、データ信号DO2が読み出されて比較回路6にラッチされる。

20

【0025】

ステップS5において比較回路6によってデータ信号DO1とDO2の論理レベルが一致しているか否かが判別され、一致していない場合はステップS6において、そのメモリセルトランジスタMCの再プログラムが行なわれ、一致している場合はステップS7に進む。メモリセルトランジスタMCの再プログラムにより、V2よりも低くなっていたしきい値電圧が再びVTH0に設定される。

30

【0026】

ステップS7において制御回路3は、リテンションチェックした回数Nが最大回数Nmaxに等しいか否かを判別し、N=Nmaxでない場合はステップS8においてアドレス信号ADDをインクリメントするとともに、リテンションチェックした回数NをインクリメントしてステップS3に戻り、N=Nmaxである場合はステップS9において次回にリテンションチェックを開始するアドレスADD = ADD + 1をレジスタ7に格納してリテンションチェックモードを終了し、スタンバイモードに入る。

【0027】

この実施の形態1では、互いに異なる2つの読出電位V1, V2をメモリセルトランジスタMCのコントロールゲートに印加してデータ信号DO1, DO2を読み出し、データ信号DO1とDO2の論理レベルが一致しない場合はそのメモリセルトランジスタMCの再プログラムを行なう。したがって、図6に示すように、しきい値電圧VTHがV2よりも低くなったメモリセルトランジスタMC(図6で斜線が施された部分)のしきい値電圧を再度VTH0にセットすることができ、データ保持特性の向上を図ることができる。

40

【0028】

また、電源投入時にリテンションチェックを行なうので、外部から操作すること無くデータ保持特性の向上を図ることができる。また、電源投入時にNmax個のメモリセルトランジスタMCのリテンションチェックをまとめて行なうので、読出動作毎にリテンションチェックを行っていた従来に比べ、読出動作の高速化を図ることができる。また、リテンションチェックが電源投入時のセットアップ時間内に終了するようにNmaxを設定

50

するので、セットアップ時間が長くなることもない。

【0029】

なお、この実施の形態1では、電源投入時にリテンションチェックモードが設定されたが、外部コマンド信号によってリテンションチェックモードを設定してもよい。

【0030】

また、フラッシュメモリは、NAND型でもよいし、NOR型でもよいし、AND型でもよい。また、しきい値電圧が変化することによってデータを記憶するメモリであれば、フラッシュメモリに限らず、どのようなメモリでもよい。

【0031】

また、NチャンネルMOSトランジスタ11, 12でデータ信号DO1, DO2をラッチしたが、ラッチ回路はどのような構成のものでよい。また、2番目のデータ信号DO2のラッチ回路(NチャンネルMOSトランジスタ12)を省略してもよい。

【0032】

[実施の形態2]

図7は、この発明の実施の形態2によるフラッシュメモリの全体構成を示すブロック図であって、図1と比較される図である。図7を参照して、このフラッシュメモリが図1のフラッシュメモリと異なる点は、再プログラムの必要なメモリセルトランジスタMCのアドレスを示す信号ADDを格納するためのレジスタ14が追加されている点である。レジスタ14は、ステータスリード時に、再プログラムが必要なメモリセルトランジスタMCが存在することを示すアラーム信号ALを出力する。なお、レジスタ14は、メモリセル

10

20

【0033】

制御回路3は、メモリセルトランジスタMCから読み出したデータ信号VO1とVO2の論理レベルが一致しない場合は、そのメモリセルトランジスタMCのアドレスを示す信号ADDをレジスタ14に格納する。また、制御回路3は、外部制御信号CNTなどによってメモリセルトランジスタMCの再プログラムが指示されると、レジスタ14から読み出したアドレス信号ADDをアドレスデコーダ2に与え、アドレスデコーダ2によって指定されたメモリセルトランジスタMCの再プログラムを行なう。

【0034】

図8は、このフラッシュメモリのリテンション動作を示すフローチャートであって、図5と対比される図である。図8を参照して、ステップS6においてメモリセルトランジスタMCの再プログラムを行なう代わりにそのメモリセルトランジスタMCのアドレスを示す信号ADDをレジスタ14に格納する。また、ステップS10においてアラーム信号ALを出力する。

30

【0035】

この実施の形態2では、メモリセルトランジスタMCから読み出したデータ信号VO1とVO2の論理レベルが一致しない場合は、そのメモリセルトランジスタMCのアドレスを示す信号ADDをレジスタ14に格納しておき、そのメモリセルトランジスタMCの再プログラムは別の期間に行なう。したがって、リテンションチェック時間の短縮化を図ることができる。

40

【0036】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【図面の簡単な説明】

【0037】

【図1】この発明の実施の形態1によるフラッシュメモリの全体構成を示すブロック図である。

【図2】図1に示したメモリセルアレイに含まれるメモリセルトランジスタの記憶動作を

50

示す図である。

【図3】図1に示したフラッシュメモリの読出動作を説明するための回路ブロック図である。

【図4】図1に示した比較回路の構成を示す回路図である。

【図5】図1に示したフラッシュメモリのリテンションチェック動作を示すフローチャートである。

【図6】図1に示したフラッシュメモリの効果を説明するための図である。

【図7】この発明の実施の形態2によるフラッシュメモリの全体構成を示すブロック図である。

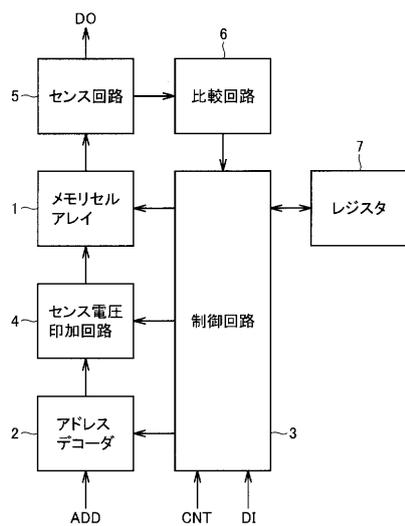
【図8】図7に示したフラッシュメモリのリテンションチェック動作を示すフローチャートである。

【符号の説明】

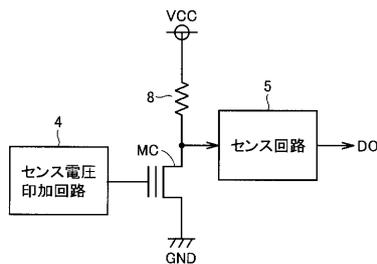
【0038】

1 メモリセルアレイ、2 アドレスデコーダ、3 制御回路、4 センス電圧印加回路、5 センス回路、6 比較回路、7, 14 レジスタ、MC メモリセルトランジスタ、11, 12 NチャンネルMOSトランジスタ、13 EX-ORゲート。

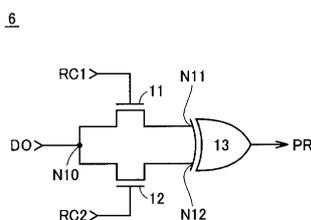
【図1】



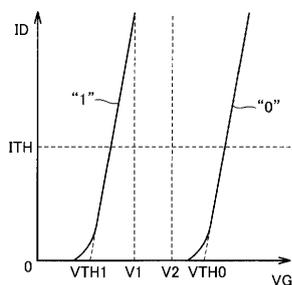
【図3】



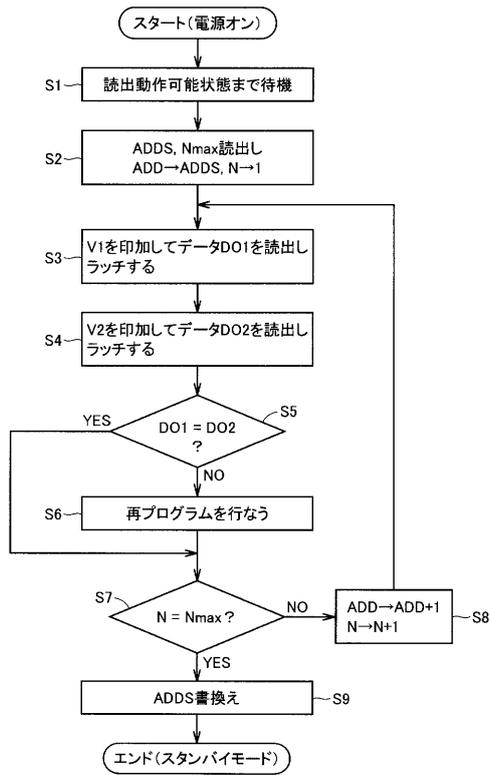
【図4】



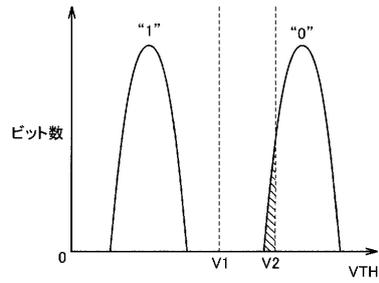
【図2】



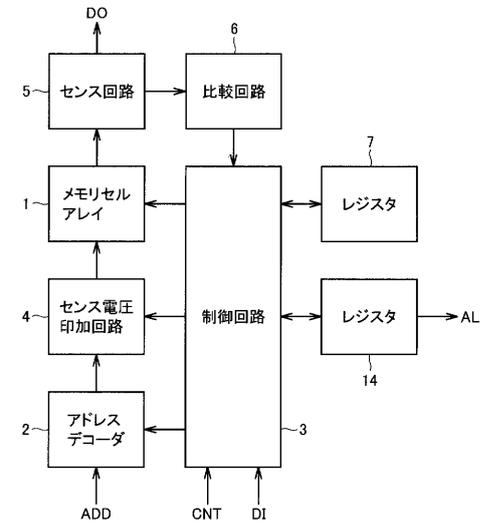
【 図 5 】



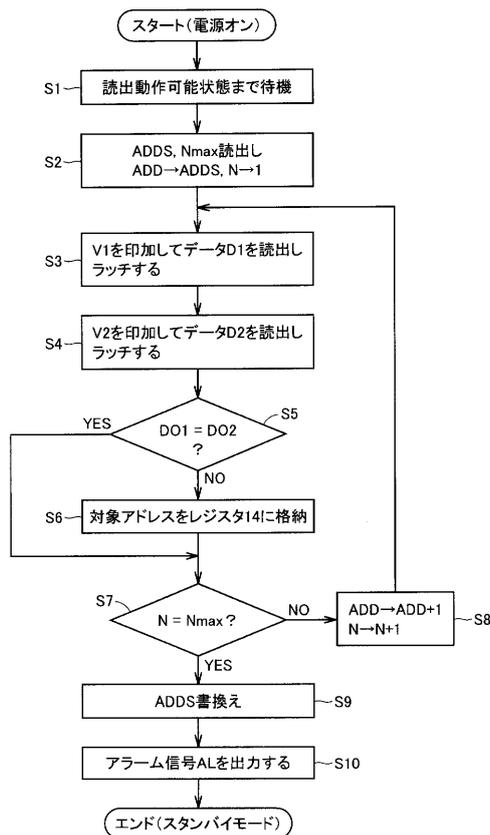
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

(72)発明者 小野 峰和

東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

Fターム(参考) 5B125 BA02 CA01 CA28 DE12 DE16 EE18 EF08 EH01 EK10 FA01
FA05