

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5653607号  
(P5653607)

(45) 発行日 平成27年1月14日(2015.1.14)

(24) 登録日 平成26年11月28日(2014.11.28)

(51) Int. Cl.	F I
HO 1 L 21/338 (2006.01)	HO 1 L 29/80 H
HO 1 L 29/778 (2006.01)	HO 1 L 29/78 3 O 1 B
HO 1 L 29/812 (2006.01)	HO 1 L 29/78 6 1 8 B
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 7 K
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 1 9 A
請求項の数 7 (全 12 頁) 最終頁に続く	

(21) 出願番号	特願2009-267567 (P2009-267567)	(73) 特許権者	000005290 古河電気工業株式会社 東京都千代田区丸の内二丁目2番3号
(22) 出願日	平成21年11月25日(2009.11.25)	(74) 代理人	100123674 弁理士 松下 亮
(65) 公開番号	特開2010-153837 (P2010-153837A)	(72) 発明者	野村 剛彦 東京都千代田区丸の内2丁目2番3号 古河電気工業株式会社内
(43) 公開日	平成22年7月8日(2010.7.8)	(72) 発明者	佐藤 義浩 東京都千代田区丸の内2丁目2番3号 古河電気工業株式会社内
審査請求日	平成24年6月1日(2012.6.1)	(72) 発明者	神林 宏 東京都千代田区丸の内2丁目2番3号 古河電気工業株式会社内
(31) 優先権主張番号	特願2008-300637 (P2008-300637)		
(32) 優先日	平成20年11月26日(2008.11.26)		
(33) 優先権主張国	日本国(JP)		
最終頁に続く			

(54) 【発明の名称】 GaN系電界効果トランジスタおよびその製造方法

(57) 【特許請求の範囲】

【請求項1】

基板と、  
前記基板の上に形成されたp型またはアンドープのGaN系半導体材料からなるチャンネル層と、  
前記チャンネル層上に形成され、p型またはアンドープのGaN系半導体材料からなるドリフト層と、  
前記ドリフト層上に形成され、前記チャンネル層よりもバンドギャップエネルギーが大きいGaN系半導体材料からなる電子供給層と、  
前記電子供給層および前記ドリフト層の一部を除去して表出させた前記チャンネル層を底面とするリセス部の内表面上に形成された第1の絶縁膜と、  
前記第1の絶縁膜上に形成されたゲート電極と、  
前記ゲート電極を挟んで形成されたソース電極及びドレイン電極と、  
前記第1の絶縁膜とは別の絶縁膜であって、前記電子供給層上に形成された第2の絶縁膜とを備え、  
前記第2の絶縁膜は、前記第1の絶縁膜のバンドギャップエネルギーよりも小さいバンドギャップエネルギーを有する材料からなり、電流コラプス低減効果を有し、前記リセス部と離間して形成されていることを特徴とするGaN系電界効果トランジスタ。

【請求項2】

前記第1の絶縁膜は、前記第2の絶縁膜よりも絶縁破壊耐圧が大きい材料からなること

を特徴とする請求項 1 に記載の GaN 系電界効果トランジスタ。

【請求項 3】

前記第 2 の絶縁膜が、SiN、Al<sub>2</sub>O<sub>3</sub>、Sc<sub>2</sub>O<sub>3</sub>、MgO のいずれかであることを特徴とする請求項 1 または 2 のいずれかに記載の GaN 系電界効果トランジスタ。

【請求項 4】

前記第 1 の絶縁膜は、SiO<sub>2</sub> または Al<sub>2</sub>O<sub>3</sub> であることを特徴とする請求項 1 または 2 のいずれかに記載の GaN 系電界効果トランジスタ。

【請求項 5】

前記ゲート電極のドレイン側端部は、前記第 1 の絶縁膜と前記第 2 の絶縁膜とに重畳するように形成されていることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の GaN 系電界効果トランジスタ。

10

【請求項 6】

基板の上に p 型またはアンドープの GaN 系半導体材料からなるチャンネル層を形成する工程と、

前記チャンネル層上に、p 型またはアンドープの GaN 系半導体材料からなるドリフト層を形成する工程と、

前記ドリフト層上に、前記チャンネル層よりもバンドギャップエネルギーが大きい GaN 系半導体材料からなる電子供給層を形成する工程と、

前記電子供給層および前記ドリフト層の一部を除去して、前記チャンネル層を底面とするリセス部を形成する工程と、

20

前記リセス部の内表面上に第 1 の絶縁膜を形成する工程と、

前記第 1 の絶縁膜上にゲート電極を形成する工程と、

前記ゲート電極を挟んでソース電極及びドレイン電極を形成する工程と、

前記電子供給層上に、前記第 1 の絶縁膜とは別の絶縁膜であって、前記第 1 の絶縁膜のバンドギャップエネルギーよりも小さいバンドギャップエネルギーを有する材料からなり、電流コラプス低減効果のある第 2 の絶縁膜を、PCVD、Cat-CVD、ECRスパッタのいずれかの方法で前記リセス部から離間した位置に形成する工程とを備えることを特徴とする GaN 系電界効果トランジスタの製造方法。

【請求項 7】

前記第 2 の絶縁膜を、Cat-CVD、ECRスパッタのいずれかの方法で形成することを特徴とする請求項 6 に記載の GaN 系電界効果トランジスタの製造方法。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、パワーエレクトロニクス用デバイスや高周波増幅デバイスとして用いられる窒化物系化合物半導体からなる GaN 系電界効果トランジスタおよびその製造方法に関するものである。

【背景技術】

【0002】

40

III-V 族窒化物系化合物半導体に代表されるワイドバンドギャップ半導体は、高い絶縁破壊耐圧、良好な電子輸送特性、良好な熱伝導度を持つので、高温、大パワー、あるいは高周波用半導体デバイスの材料として非常に魅力的である。また、たとえば AlGa<sub>N</sub>/Ga<sub>N</sub> ヘテロ構造を有する電界効果トランジスタ (FET) は、ピエゾ効果によって、界面に 2 次元電子ガスが発生している。この 2 次元電子ガスは、高い電子移動度とキャリア密度を有しているため、AlGa<sub>N</sub>/Ga<sub>N</sub> ヘテロ構造を用いたヘテロ接合 FET (HFET) は、低いオン抵抗、および速いスイッチング速度を持ち、また、材料が熱的に安定なことから高温動作が可能である。これらの特徴は、パワースwitching 素子に非常に好適である。

【0003】

50

通常の AlGaIn/GaN HFEET は、ゲートにバイアスが印加されていないときに電流が流れ、ゲートに負電位を印加することによって電流が遮断されるノーマリオン型デバイスである。一方、パワースイッチング素子においては、デバイスが壊れたときの安全性確保のために、ゲートにバイアスが印加されていないときには電流が流れず、ゲートに正電位を印加することによって電流が流れるノーマリオフ型デバイスが好ましい。

【0004】

特許文献1には、AlGaIn等からなる電子供給層をゲート部分においてエッチオフし、ドリフト層のエッチング表面上に絶縁層を形成してMOS構造とした電界効果トランジスタ(MOSFET)が開示されている。この構造では、ゲート・ドレイン間をAlGaIn/GaNからなるヘテロ接合構造で形成しており、このヘテロ接合界面に形成される二次電子ガスは電子移動度が高いため、高耐圧を維持するために必要なシートキャリア濃度であってもオン抵抗の増大を防ぐことができる。すなわち、高耐圧かつ低抵抗を実現するのに適した構造である。

10

【先行技術文献】

【特許文献】

【0005】

【特許文献1】WO 03/071607号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

20

しかしながら、AlGaIn/GaNヘテロ接合構造では、時間変化に伴って電流量が変化する「電流コラプス」と呼ばれる現象の影響を受け、ゲート・ドレイン間に高電圧をかけたあとのオン抵抗の増大、順方向通電時のオン抵抗の増大などの問題があった。

【0007】

電流コラプスの原因としては、HFEETのAlGaIn層と表面保護膜の間の界面準位や、HFEETのチャンネル層(ドリフト層)内の深いエネルギー準位が影響していると考えられている。

【0008】

本発明は、上記に鑑みてなされたものであって、低抵抗・高耐圧で電流コラプス現象の影響の小さいGaN系電界効果トランジスタを提供することを目的とする。

30

【課題を解決するための手段】

【0009】

上記課題を解決するために、請求項1に記載の発明に係るGaN系電界効果トランジスタは、基板と、前記基板の上に形成されたp型またはアンドープのGaN系半導体材料からなるチャンネル層と、前記チャンネル層上に形成され、前記チャンネル層よりもバンドギャップエネルギーが大きいGaN系半導体材料からなる電子供給層と、前記電子供給層の一部が除去されて表出した前記チャンネル層の表面に形成された第1の絶縁膜と、前記第1の絶縁膜上に形成されたゲート電極と、前記ゲート電極を挟んで形成されたソース電極及びドレイン電極と、前記電子供給層上に形成された前記第1の絶縁膜とは別の絶縁膜であって、電流コラプス低減効果のある第2の絶縁膜と、を備えることを特徴とする。

40

【0010】

この構成によれば、ノーマリオフ型として動作するとともに、チャンネル層の電子供給層との界面に発生した二次電子ガスによって、低いオン抵抗と、高速のスイッチング動作とを実現できる。また、電子供給層上には電流コラプス低減効果のある第2の絶縁膜が形成されているため、電子供給層と第2の絶縁膜(表面保護膜)の間の界面準位が低減され、電流コラプスを低減することができる。

【0011】

請求項2に記載の発明に係るGaN系電界効果トランジスタは、前記電子供給層が、前記第1の絶縁膜直下の前記チャンネル層、前記第1の絶縁膜および前記ゲート電極で構成されるゲート部を挟んで互いに離隔された第1の電子供給層と第2の電子供給層とを有し、

50

前記チャンネル層と前記第1の電子供給層との間、および前記チャンネル層と前記第2の電子供給層との間に、p型またはアンドープのGaN系半導体材料からなるドリフト層がそれぞれ形成されていることを特徴とする。

【0012】

この構成によれば、ノーマリオフ型として動作するとともに、ドリフト層の電子供給層との界面に発生した2次元電子ガスによって、低いオン抵抗と、高速のスイッチング動作とを実現できる。

【0013】

請求項3に記載の発明に係るGaN系電界効果トランジスタは、前記第1の絶縁膜が、前記第2の絶縁膜よりも絶縁破壊耐圧が大きい材料からなることを特徴とする。この構成によれば、第1の絶縁膜として絶縁破壊耐圧が大きいSiO<sub>2</sub>やAl<sub>2</sub>O<sub>3</sub>などの材料を用いることで、電流コラプス対策を行ったためにゲート耐圧が低減するといったトレードオフを回避することができる。

10

【0014】

請求項4に記載の発明に係るGaN系電界効果トランジスタは、前記第2の絶縁膜が、SiN、Al<sub>2</sub>O<sub>3</sub>、Sc<sub>2</sub>O<sub>3</sub>、MgOのいずれかであることを特徴とする。

【0015】

請求項5に記載の発明に係るGaN系電界効果トランジスタは、前記第1の絶縁膜が、SiO<sub>2</sub>またはAl<sub>2</sub>O<sub>3</sub>であることを特徴とする。

【0016】

請求項6に記載の発明に係るGaN系電界効果トランジスタは、前記ゲート電極のドレイン側端部が、前記第1の絶縁膜と前記第2の絶縁膜とに重畳するように形成されていることを特徴とする。

20

【0017】

この構成によれば、ゲート電極のドレイン側端部が第1の絶縁膜と第2の絶縁膜とに重畳するように形成し、かつその重畳する部分の長さ、および第1の絶縁膜と第2の絶縁膜のトータル膜厚を適宜設定することによって、ゲート・ドレイン間の電界集中を緩和するフィールドプレート効果を持たせることができ、耐圧の向上に貢献する。

【0018】

請求項7に記載の発明に係るGaN系電界効果トランジスタの製造方法は、基板の上にp型またはアンドープのGaN系半導体材料からなるチャンネル層を形成する工程と、前記チャンネル層上に、前記チャンネル層よりもバンドギャップエネルギーが大きいGaN系半導体材料からなる電子供給層を形成する工程と、前記電子供給層の一部を除去し、前記チャンネル層の表面を表出する工程と、表出された前記チャンネル層の表面に第1の絶縁膜を形成する工程と、前記第1の絶縁膜上にゲート電極を形成する工程と、前記ゲート電極を挟んでソース電極及びドレイン電極を形成する工程と、前記電子供給層上に、前記第1の絶縁膜とは別の絶縁膜であって、電流コラプス低減効果のある第2の絶縁膜を、PCVD、Cat-CVD、ECRスパッタのいずれかの方法で作製する工程と、を備えることを特徴とする。

30

【発明の効果】

【0019】

本発明によれば、ゲート・ドレイン間の表面準位を低減することができるため、電流コラプス現象の影響の小さいGaN系電界効果トランジスタを実現できるという効果を奏する。また、SiNなどの電流コラプス低減効果のある絶縁膜(第2の絶縁膜)は、バンドギャップがSiO<sub>2</sub>やAl<sub>2</sub>O<sub>3</sub>に比べて小さく、ゲート酸化膜として用いると耐圧が不十分である。しかし、本発明では、ゲート・ドレイン間表面の絶縁膜(第2の絶縁膜)と、ゲート酸化膜として働く絶縁膜(第1の絶縁膜)にそれぞれ最適なものを用いることができるので、電流コラプス対策を行ったためにゲート耐圧が低減するといったトレードオフを回避することができる。

40

【図面の簡単な説明】

50

## 【 0 0 2 0 】

【図 1】一実施形態に係る MOSFET の模式的な断面図である。

【図 2】図 1 に示す MOSFET の製造方法の一例を説明する図である。

【図 3】図 1 に示す MOSFET の製造方法の一例を説明する図である。

【図 4】図 1 に示す MOSFET の製造方法の一例を説明する図である。

【図 5】図 1 に示す MOSFET の製造方法の一例を説明する図である。

【図 6】図 1 に示す MOSFET の製造方法の一例を説明する図である。

【図 7】図 1 に示す MOSFET の製造方法の一例を説明する図である。

【図 8】図 1 に示す MOSFET の製造方法の一例を説明する図である。

【発明を実施するための形態】

10

## 【 0 0 2 1 】

以下に、図面を参照して本発明に係る GaN 系電界効果トランジスタおよびその製造方法の実施の形態を詳細に説明する。なお、この実施の形態によりこの発明が限定されるものではない。

## 【 0 0 2 2 】

(一実施形態)

図 1 は、本発明の一実施形態に係る GaN 系電界効果トランジスタ(以下、「MOSFET」という。)の模式的な断面図である。この MOSFET 100 は、サファイア、SiC、Si などからなる基板 101 上に、AlN 層 102 と、GaN 層と AlN 層とを交互に積層して形成したバッファ層 103 と、p-GaN からなるチャンネル層 104 が形成されている。さらに、チャンネル層 104 上には、アンドープ GaN からなるドリフト層 105 と、ドリフト層 105 よりもバンドギャップエネルギーが大きい AlGaIn からなる電子供給層 106 が順次積層されている。また、ドリフト層 105 および電子供給層 106 の一部をチャンネル層 104 に到る深さまで除去してリセス部 108 が形成されている。さらに、電子供給層 106 上には、リセス部 108 を挟んでソース電極 109 およびドレイン電極 110 が形成されている。さらに、電子供給層 106 上には SiN からなる電流コラプス低減効果のある第 2 の絶縁膜 113 が形成されている。リセス部 108 内およびチャンネル層 104 の表面 104c にわたって SiO<sub>2</sub> からなるゲート絶縁膜(第 1 の絶縁膜) 111 が形成され、さらにゲート絶縁膜 111 上にはゲート電極 112 が形成されている。

20

30

## 【 0 0 2 3 】

このように、電子供給層 106 上には、第 1 の絶縁膜としてのゲート絶縁膜 111 とは別の絶縁膜であって、電流コラプス低減効果のある第 2 の絶縁膜 113 が形成されている。なお、図面上ではリセス部 108 内におけるチャンネル層 104 の表面 104c はチャンネル層 104 の上面近傍に位置しているが、その表面 104c のチャンネル層 104 表面からの深さについては適宜設定することができる。

## 【 0 0 2 4 】

このように、MOSFET 100 では、電子供給層 106 は、ゲート絶縁膜 111 直下のチャンネル層 104、ゲート絶縁膜 111 およびゲート電極 112 で構成される MOS 構造のゲート部を挟んで互いに離隔された第 1 の電子供給層 106a と第 2 の電子供給層 106b とを有する。また、チャンネル層 104 は、MOS 構造のゲート部を挟んで互いに離隔された左右のチャンネル層 104a、104b を有する。左側のチャンネル層 104a と第 1 の電子供給層 106a との間に p 型またはアンドープの GaN 系半導体材料からなる左側のドリフト層 105a が、右側のチャンネル層 104b と第 2 の電子供給層 106b との間に p 型またはアンドープの GaN 系半導体材料からなる右側のドリフト層 105b がそれぞれ形成されている。この MOSFET 100 では、左右のドリフト層 105a、105b の表面には、第 1 の電子供給層 106a、第 2 の電子供給層 106b がそれぞれヘテロ接合しているため、接合している部分の界面には 2 次元電子ガス層 130a、130b が形成される。そのため、2 次元電子ガスがキャリアとなって左右のドリフト層 105a、105b は導電性を示すようになる。つまり、AlGaIn/GaN ヘテロ接合界面には

40

50

、自発分極、および圧電効果（ピエゾ効果）によって、ドリフト層105a, 105b側にマイナスの電荷（電子）が蓄積する。この蓄積電子はAlGaN層にドーピングを行わなくても、ヘテロ接合界面の直下に高濃度の二次元電子ガス層130a, 130bを左右のドリフト層105a, 105bに形成し、チャンネルの抵抗、即ちMOSFET100のオン抵抗を小さくする効果がある。

【0025】

また、このMOSFET100では、チャンネル層104のゲート電極112直下の領域には、ヘテロ接合が形成されていないため、二次元電子ガス層が形成されていない（途切れている）。ゲート電極112に順方向に所定（閾値以上）の電圧を印加すると、ゲート電極112直下のチャンネル層104に反転層140が形成される。この反転層140が、

10

【0026】

なお、リセス部108を形成する深さとしては、ゲート電極112直下の領域に二次元電子ガス層が形成されなければよく、少なくとも電子供給層106を介してドリフト層105に達する深さであればよい。この場合、ドリフト層105は左右に分離されることはない。このようにして、ノーマリオフ型の電界効果トランジスタの動作が得られる。

以上の構成を有する一実施形態に係るMOSFET100によれば、以下の作用効果を奏する。

【0027】

20

・このMOSFET100は、ノーマリオフ型として動作するとともに、ドリフト層105の電子供給層106との界面、つまり、ドリフト層105aと第1の電子供給層106aとの界面およびドリフト層105bと第2の電子供給層106bとの界面にそれぞれ発生した二次元電子ガスによって、低いオン抵抗と、高速のスイッチング動作とを実現できる。

【0028】

・また、このMOSFET100においては、電子供給層106（第1の電子供給層106aおよび第2の電子供給層106bと）上にはSiNからなる電流コラプス低減効果のある第2の絶縁膜113が形成されているため、界面準位が低減され、電流コラプスを低減することができる。

30

【0029】

・さらに、ゲート酸化膜としてのゲート絶縁膜111は絶縁破壊電圧の大きいSiO<sub>2</sub>を用いているため、電流コラプス対策を行ったためにゲート耐圧が低減するといったトレードオフを回避することができる。

【0030】

つぎに、このMOSFET100の製造方法の一例について説明する。図2～8は、MOSFET100の製造方法の一例を説明する説明図である。なお、以下では、有機金属気相成長（MOCVD）法を用いて各半導体層を形成した場合について説明するが、特に限定はされない。

【0031】

40

はじめに、図2に示すように、(111)面を主表面とするSiからなる基板101をMOCVD装置にセットし、濃度100%の水素ガスをキャリアガスとして用い、トリメチルガリウム（TMGa）とトリメチルアルミニウム（TMAI）とNH<sub>3</sub>とを導入し、成長温度1050で、基板101上に、AlN層102、バッファ層103、p-GaNからなるチャンネル層104を順次エピタキシャル成長させる。この工程は、基板101の上にp型のGaN系半導体材料からなるチャンネル層104を形成する工程に相当する。なお、チャンネル層104に対するp型のドーピング源としてビスシクロペンタジエニルマグネシウム（Cp<sub>2</sub>Mg）を用い、Mgの濃度が1×10<sup>17</sup>cm<sup>-3</sup>程度になるようにCp<sub>2</sub>Mgの流量を調整する。つぎに、TMGaとNH<sub>3</sub>とを導入し、成長温度1050で、チャンネル層104上にアンドープGaNからなるドリフト層105をエピタキシャ

50

ル成長させる。つぎに、TMAIとTMGaとNH<sub>3</sub>とを導入し、ドリフト層105上にAl組成が25%のAlGaNからなる電子供給層106をエピタキシャル成長させる。この工程は、チャンネル層104上に、チャンネル層104よりもバンドギャップエネルギーが大きいGaN系半導体材料からなる電子供給層106を形成する工程に相当する。

**【0032】**

なお、上記において、バッファ層103は、厚さ200nm/20nmのGaN/AlN複合層を8層積層したものとす。また、AlN層102、チャンネル層104、ドリフト層105、電子供給層106の厚さは、それぞれ100nm、500nm、100nm、20nmとする。

**【0033】**

つぎに、図3に示すように、プラズマ化学気相成長(PCVD)法を用いて、電子供給層106上に、アモルファスシリコン(a-Si)からなるマスク層120を厚さ500nmで形成し、フォトリソグラフィとCF<sub>4</sub>ガスを用いてパターンニングを行い、開口部120aを形成する。

**【0034】**

つぎに、図4に示すように、マスク層120をマスクとして、エッチングガスであるCl<sub>2</sub>ガスを用いてチャンネル層104、ドリフト層105および電子供給層106の一部をエッチング除去してリセス部108を形成する。この工程は、電子供給層106の一部を除去し、チャンネル層104の表面を表出する工程に相当する。

**【0035】**

なお、マスク層120は、表面からエッチングされるので、マスク層120の厚さは、チャンネル層104が露出するまでドリフト層105及び電子供給層106のエッチングを行なった場合に、開口部120a以外の位置の電子供給層106が露出してしまわないように、十分に厚くする。

**【0036】**

つぎに、図5に示すように、マスク層120を除去し、SiH<sub>4</sub>とN<sub>2</sub>Oを原料ガスとしたPCVD法を用いて、電子供給層106上とリセス部108内におけるチャンネル層104の表面104cとにわたってSiNからなる厚さ50nmの第2の絶縁膜113を形成する。この工程は、電子供給層106上に、第1の絶縁膜(ゲート絶縁膜111)とは別の絶縁膜であって、電流コラプス低減効果のある第2の絶縁膜113を、PCVD、Cat-CVD、ECRスパッタのいずれかの方法で作製する工程に相当する。

**【0037】**

つぎに、フォトリソグラフィを用いてパターンニングを行い、リセス部108上に開口のあるマスク(図示しない)を形成する。このマスクを用いて、図6に示すようにゲート酸化膜形成部分の第2の絶縁膜113をフッ酸で除去する。

**【0038】**

つぎに、図7に示すように、SiH<sub>4</sub>とN<sub>2</sub>Oを原料としたPCVD法を用いて、第2の絶縁膜113とリセス部108およびリセス部108内におけるチャンネル層103の表面104cにわたって、SiO<sub>2</sub>からなる厚さ60nmのゲート絶縁膜111を成膜する。この工程は、表出されたチャンネル層103の表面に第1の絶縁膜を形成する工程に相当する。

**【0039】**

つぎに、図8に示すように、ゲート絶縁膜111の一部をフッ酸で除去し、リフトオフ法を用いて電子供給層106上にソース電極109、ドレイン電極110を形成する。この工程は、ゲート電極112を挟んでソース電極109及びドレイン電極110を形成する工程に相当する。なお、ソース電極109、ドレイン電極110は、いずれも厚さ25nm/300nmのTi/Al構造とする。また、金属膜の成膜は、スパッタ法や真空蒸着法を用いて行うことができる。そして、ソース電極109、ドレイン電極110を形成後、600、10分のアニールを行なう。

**【0040】**

つぎに、リフトオフ法を用いて、リセス部108のゲート絶縁膜111上にTi/Al構造のゲート電極112を形成し(第1の絶縁膜上にゲート電極112を形成する工程)、図1に示すMOSFET100が完成する。ゲート電極112のドレイン側端部はゲート絶縁膜111と第2の絶縁膜113に重畳するように形成されており、重畳する部分の長さ、およびゲート絶縁膜111と第2の絶縁膜113のトータル膜厚を適宜設定することによって、ゲート・ドレイン間の電界集中を緩和するフィールドプレート効果を持たせることができ、耐圧を向上することができる。

#### 【0041】

なお、上述したMOSFET100の一例では、製造方法として図2~8に示したプロセスを例にとって説明したが、製造方法としてはこれに限定されるものではない。例えば、第2の絶縁膜113を形成した後で、リセス部108の形成を行ってもよい。また、ソース電極109、ドレイン電極110を形成した後、第2の絶縁膜113、ゲート絶縁膜111の形成を行ってもよい。

10

#### 【0042】

また、上述したMOSFET100の製造方法の一例では、ゲート絶縁膜111として、PCVD法によって成膜したSiO<sub>2</sub>を例にとって説明したが、成膜方法としては、PCVD以外にもAPCVD法、ECRスパッタ法などの成膜方法を利用することができる。また、ゲート絶縁膜111の種類としても、SiO<sub>2</sub>以外にも、界面準位密度が低く絶縁破壊耐圧の高い絶縁膜、例えばAlN、Al<sub>2</sub>O<sub>3</sub>、Ga<sub>2</sub>O<sub>3</sub>、TaO<sub>x</sub>、またはSiONなどを用いることができる。

20

#### 【0043】

また、MOSFET100の製造方法の一例では、第2の絶縁膜113として、PCVD法によって成膜したSiNを例にとって説明したが、成膜方法としては、PCVD以外にもCat-CVD法、ECRスパッタ法などの成膜方法を利用することができる。このような製造方法によれば、電子供給層106と第2の絶縁膜113との間の界面準位を低減することができ、電流コラプスの発生を抑制することができる。

#### 【0044】

また、膜の種類としても、SiN以外にも表面準位を低減する効果のあるAl<sub>2</sub>O<sub>3</sub>、Sc<sub>2</sub>O<sub>3</sub>、MgOなどを用いることができる。なお、ゲート絶縁膜111にAl<sub>2</sub>O<sub>3</sub>を用いる場合には、第2の絶縁膜113にはAl<sub>2</sub>O<sub>3</sub>を除く材料を用いる。

30

#### 【0045】

また、上記一実施形態においては、ドリフト層105と電子供給層106の組み合わせとしてAlGaIn/GaNを例にとって記載したが、これ以外にも、AlInGaIn/GaN、GaN/InGaIn、GaN/GaNAs、GaN/GaInNAsP、GaN/GaInNP、GaN/GaN<sub>2</sub>P、AlGaInInNAsP/GaN、または、AlGaIn/GaNなどの材料系の組み合わせを適用することが可能である。また、2次元電子ガス層130の移動度を向上させるため、ドリフト層105と電子供給層106間に例えばAlNからなるスペーサ層を導入することもできる。

#### 【0046】

また、上記一実施形態では、チャネル層104がp-GaNからなる場合について説明したが、これに限らず、アンドープのGaNからなる場合であっても同様の効果を得ることができる。なお、チャネル層104をアンドープのGaNによって形成した場合、不純物をドーピングしないため反転層140が形成される部分のキャリア移動度を高く保つことができるという顕著な効果を奏する。

40

#### 【0047】

また、チャネル層104、およびドリフト層105がいずれもアンドープのGaNの場合、ドリフト層105のカーボン濃度をチャネル層104のカーボン濃度よりも高い、所定の濃度にするように設定する。すなわち、チャネル層104のカーボン濃度は、移動度を高くするために、できるだけ低くすることが望ましい。一方、ドリフト層105のカーボン濃度は、ドリフト層105に形成される2次元電子ガスのキャリア濃度が、ゲート・

50



ドレイン間の電界集中緩和のための最適値になるように設定する。GaN層中のカーボン濃度は、成長圧力を調整することによって、適宜設定することができる。

【0048】

また、チャンネル層104、およびドリフト層105がいずれもp型のGaNの場合、それぞれのアクセプタ濃度を別々に設定する。すなわち、チャンネル層104のアクセプタ濃度は、しきい値が所望の値、例えば3Vとなるように設定する。一方、ドリフト層105のアクセプタ濃度が、ゲート・ドレイン間の電界集中緩和のための最適値になるように設定する。

【0049】

また、上記一実施形態では、チャンネル層104と第1の電子供給層106aおよび第2の電子供給層106bとの間に、p型またはアンドープのGaN系半導体材料からなるドリフト層105がそれぞれ形成されているが、本発明はこれに限定されない。つまり、上記各実施形態で説明したドリフト層105が無く、p型GaN系半導体材料からなるチャンネル層104上に、第1の電子供給層106aおよび第2の電子供給層電子供給層106bがそれぞれ形成されている構成のMOSFETにも本発明は適用可能である。例えば、図1に示す第1実施形態に係るMOSFET100において、左右のドリフト層105a、105bが無く、p型GaN系半導体材料からなるチャンネル層104上に、第1の電子供給層106aおよび第2の電子供給層電子供給層106bがそれぞれ形成されている構成のMOSFETにも本発明は適用可能である。つまり、このMOSFETでは、左右のドリフト層105a、105bがp型GaN系半導体材料からなる左右のチャンネル層104となっている。このMOSFETでは、左右のチャンネル層104a、104bの表面には、左右の2次元電子ガス層130a、130bが形成され、チャンネル層104のゲート電極112直下の領域には2次元電子ガス層が形成されていない(途切れている)。ゲート電極112に順方向に閾値以上の電圧を印加すると、ゲート電極112直下のチャンネル層104に反転層140が形成される。この反転層140が、左右の2次元電子ガス層130a、130bと連結されてドレイン電流が流れるようになっている。このようにして、ノーマリオフ型の電界効果トランジスタの動作が得られる。

【0050】

また、上記一実施形態では、基板101上に形成されたAlN層102と、このAlN層102上に、GaN層とAlN層とを交互に積層して形成したバッファ層103とを有するMOSFETについて説明したが、本発明はこれに限定されない。基板101上にAlN層102とバッファ層103を形成する代わりに、GaNからなるバッファ層を基板101上に形成したFET、或いは、基板101上にGaN層とAlN層とを交互に積層してなるバッファ層を基板101上に形成したFETにも本発明は適用可能である。

【0051】

以上説明したように、本実施の形態1に係るMOSFET100は、耐圧が高く、オン抵抗が低く、電流コラプスによる特性変動の影響を受けにくいMOSFETとなる。

【符号の説明】

【0052】

- 100 MOSFET
- 101 基板
- 102 AlN層
- 103 バッファ層
- 104 チャンネル層
- 104a, 104b 左右のチャンネル層
- 104c 表面
- 105 ドリフト層
- 105a, 105b 左右のドリフト層
- 106 電子供給層
- 106a 第1の電子供給層

10

20

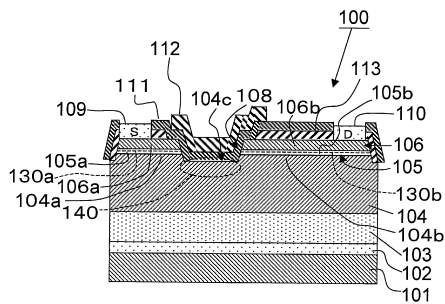
30

40

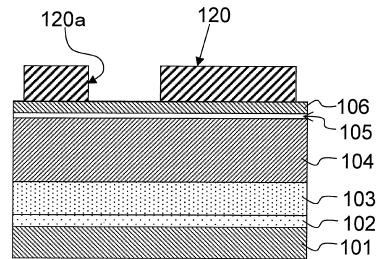
50

- 106b 第2の電子供給層
- 108 リセス部
- 109 ソース電極
- 110 ドレイン電極
- 111 ゲート絶縁膜 (第1の絶縁膜)
- 112 ゲート電極
- 113 第2の絶縁膜
- 120 マスク層
- 120a 開口部
- 130a, 130b 左右の二次元電子ガス層

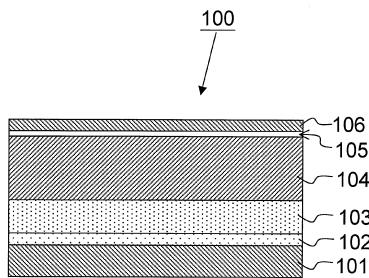
【図1】



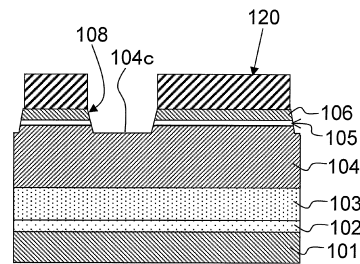
【図3】



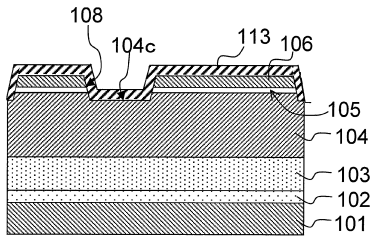
【図2】



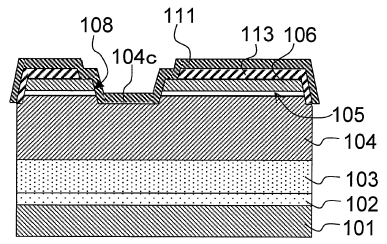
【図4】



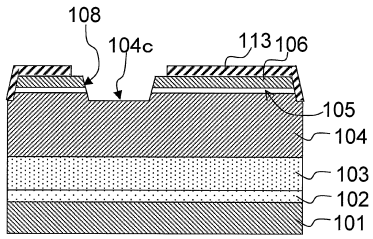
【図5】



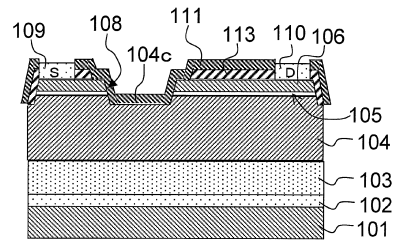
【図7】



【図6】



【図8】



## フロントページの続き

(51)Int.Cl.		F I
H 0 1 L 29/786 (2006.01)		H 0 1 L 29/78 6 1 7 A
H 0 1 L 29/06 (2006.01)		H 0 1 L 29/80 Q
		H 0 1 L 29/06 3 0 1 F
		H 0 1 L 29/78 6 1 6 V
		H 0 1 L 29/78 6 1 6 U

(72)発明者 賀屋 秀介  
 東京都千代田区丸の内2丁目2番3号 古河電気工業株式会社内

(72)発明者 岩見 正之  
 東京都千代田区丸の内2丁目2番3号 古河電気工業株式会社内

(72)発明者 加藤 禎宏  
 東京都千代田区丸の内2丁目2番3号 古河電気工業株式会社内

審査官 儀同 孝信

(56)参考文献 再公表特許第2006/001369(JP,A1)  
 特開2005-302916(JP,A)  
 再公表特許第2005/081304(JP,A1)  
 特開2008-124373(JP,A)  
 特開2008-235613(JP,A)  
 特開2007-073555(JP,A)  
 特開2009-200096(JP,A)  
 特開2004-214471(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L	2 1 / 3 3 8
H 0 1 L	2 1 / 3 3 6
H 0 1 L	2 9 / 0 6
H 0 1 L	2 9 / 7 7 8
H 0 1 L	2 9 / 7 8
H 0 1 L	2 9 / 7 8 6
H 0 1 L	2 9 / 8 1 2