

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4833073号
(P4833073)

(45) 発行日 平成23年12月7日(2011.12.7)

(24) 登録日 平成23年9月30日(2011.9.30)

(51) Int.Cl. F I
G 1 1 C 16/06 (2006.01) G 1 1 C 17/00 6 3 4 A
G 1 1 C 16/04 (2006.01) G 1 1 C 17/00 6 2 2 A

請求項の数 8 (全 12 頁)

(21) 出願番号	特願2006-537604 (P2006-537604)	(73) 特許権者	504378124
(86) (22) 出願日	平成16年9月29日 (2004.9.29)		スパンション エルエルシー
(86) 国際出願番号	PCT/JP2004/014253		アメリカ合衆国 カリフォルニア州 94
(87) 国際公開番号	W02006/035502		088-3453 サニーバイル デグウ
(87) 国際公開日	平成18年4月6日 (2006.4.6)		イン ドライブ 915
審査請求日	平成19年9月15日 (2007.9.15)	(74) 代理人	100064746
			弁理士 深見 久郎
		(74) 代理人	100085132
			弁理士 森田 俊雄
		(74) 代理人	100083703
			弁理士 仲村 義平
		(74) 代理人	100096781
			弁理士 堀井 豊
		(74) 代理人	100109162
			弁理士 酒井 将行

最終頁に続く

(54) 【発明の名称】 半導体装置及びデータ読み出し方法

(57) 【特許請求の範囲】

【請求項1】

半導体装置であって

行列状に配列され、各々が第1および第2のノードを有し、情報を記憶する複数のメモリセル、および

読出し時、各前記メモリセルの第1のノードに固定電位を伝達する複数のソース線、
前記メモリセルの列各々に対応して配置され、各々に対応の列のメモリセルの第2のノードが接続される複数のサブビット線を備え、前記複数のサブビット線は、各々が予め定められた固定数のサブビット線を含む複数のグループに分割され、

前記半導体装置はさらに、

前記サブビット線の複数のグループそれぞれに対応して配置される複数のメインビット線を備え、前記複数のメインビット線は、第1および第2の組を含む複数の組に分割され、

前記半導体装置は、さらに、

アドレス信号に従って前記複数のメインビット線からアドレス指定された選択メモリセルに対応するサブビット線に対応して配置される選択メインビット線および前記選択メインビット線に隣接するメインビット線を選択するメインビット線選択デコーダ、

前記複数のメインビット線それぞれに対応して配置され、前記メインビット線選択デコーダの出力信号に従って前記選択メインビット線に隣接するメインビット線を予め定められたシールド用固定電圧に設定する複数の第1のスイッチ、

前記アドレス信号に従って、前記選択メモリセルが接続する第1のサブビット線および前記第1のサブビット線に隣接するサブビット線を選択する信号を生成するサブビット線選択デコーダ、および

前記複数のサブビット線それぞれに対応して配置されるとともに各々が対応のサブビット線と該対応のサブビット線に対応して配置されるメインビット線との間に配置され、前記サブビット線選択デコーダからの出力信号に従って対応のサブビット線を対応のメインビット線に接続する複数の第2のスイッチを備え、

前記第1および第2の組のメインビット線において、前記第1および第2の組のうちの一方の組のメインビット線の間には、前記第1および第2の組の他方の組のメインビット線が配置され、

10

前記第1の組のメインビット線に対応するサブビット線の間には、前記第2の組のメインビット線に対応するサブビット線が配置され、

前記第1の組のメインビット線に対応して配置される第1のスイッチと前記第2の組のメインビット線に対応して配置される第1のスイッチとは、互いに相補的にオン状態となつて、前記選択メモリセルに対応する前記選択メインビット線に隣接するメインビット線が前記予め定められたシールド用固定電圧に設定され、

前記第1の組のメインビット線に対応して配置されるサブビット線に対応して配置される第2のスイッチは、前記サブビット線の延在方向において前記第2の組のメインビット線に対応して配置されるサブビット線に対応して配置される第2のスイッチと対向して配置され、かつ

20

前記複数の第2のスイッチは、前記サブビット線選択デコーダの出力信号に従って選択的にオン状態となつて、前記第1のサブビット線を対応のメインビット線に接続するとともに、前記第1のサブビット線の両側に隣接するサブビット線を、前記第1のサブビット線の両側に隣接するサブビット線に対応して配置される1本のメインビット線に接続する、半導体装置。

【請求項2】

前記第1のスイッチは、前記隣接するメインビット線を前記予め定められたシールド用固定電圧が供給される所定の配線に接続する、請求項1記載の半導体装置。

【請求項3】

前記第1のスイッチは、前記隣接するメインビット線をグランドに接続する請求項1又は2記載の半導体装置。

30

【請求項4】

データの読み出し時に、前記メインビット線選択デコーダは前記第1のスイッチを制御して前記隣接メインビット線を前記予め定められたシールド用固定電圧に設定する、請求項1から3のいずれかに記載の半導体装置。

【請求項5】

前記第1のスイッチは、前記メインビット線毎に該メインビット線上に設けられた選択トランジスタを含み、

前記第1の組のメインビット線と前記第2の組のメインビット線とは交互に配置され、前記メインビット線選択デコーダからの選択信号によって選択された前記選択トランジスタをオンし、前記隣接するメインビット線を含む組のメインビット線を前記予め定められたシールド用固定電圧に設定する請求項1から4のいずれかに記載の半導体装置。

40

【請求項6】

前記第1の組のメインビット線に対応して配置されるサブビット線と前記第2の組のメインビット線に対応して配置されるサブビット線とは交互に配置され、

前記複数の第2のスイッチの各々は、前記サブビット線に対応して配置される選択トランジスタであり、前記サブビット線選択デコーダの出力信号に従って、選択されたメモリセルが接続するサブビット線に隣接するサブビット線を前記隣接するメインビット線に接続する請求項1記載の半導体装置。

【請求項7】

50

電荷保持層を備えるメモリセルがマトリクス状に配置されたセルアレイ部と、前記メモリセルの制御ゲートを行方向に接続するワード線と、データの書き込みと読み出しを行う前記サブビット線とを有するNOR型のアレイ構成を有する請求項1から6のいずれかに記載の半導体装置。

【請求項8】

前記セルアレイ部は、隣接する前記サブビット線がそれぞれ異なる前記メインビット線に接続された構成を備える請求項7記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置に関し、特にNOR型のアレイ構成を備えた半導体装置からのデータ読み出し方法に関する。

【背景技術】

【0002】

通常、NOR型のアレイ構成を取る半導体装置の場合、選択されたビット線の両隣はフローティングに設定されている。しかしながら、非選択の隣接ビット線をフローティングにしていると、非選択ビット線とのカップリングノイズの影響や、近年の半導体装置の低電圧化と微細化によって電圧マージンが減り、誤動作が起こる場合がある。特に、メモリセルに多値のデータを記憶させる場合には、電圧マージンの減少が問題となる。

【0003】

このための対処法として、選択されたビット線に対し、隣り合う非選択ビット線を読み出し時に一定電圧で保持し、隣接ビット線によるシールド効果を高めて誤動作を防止した読み出し方法が提案されている。

【0004】

特許文献1では、データ線（ビット線）を奇数番目と偶数番目とに分け、それぞれが非活性状態に置かれるときに接地電位を供給するMOSFETを設けている。また特許文献2では、複数のビット線の各々を接地電位に接続する複数のトランジスタからなるビット線接地回路を備えている。

【0005】

【特許文献1】日本国公開特許公報 特開平7-45087号公報

【特許文献2】日本国公開特許公報 特開2002-100196号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら上述した特許文献1及び2では、メモリセルに直接接続したサブビット線を選択してシールドを行っているため、サブビット線を選択してシールドするトランジスタを多数設けなければならず、回路数が増加し回路規模が大きくなるという問題がある。

【0007】

本発明は上記事情に鑑みてなされたものであり、安定したデータの読み出しを回路数を大幅に増やすことなく実現した半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0008】

かかる目的を達成するために本発明の半導体装置は、行列状に配列され、各々が第1および第2のノードを有し、情報を記憶する複数のメモリセルと、読み出し時、各前記メモリセルの第1のノードに固定電位を伝達する複数のソース線と、各前記列に対応して配置され、各々に対応の列のメモリセルの第2のノードが接続される複数のサブビット線と、各々が所定数のサブビット線に対応して配置される複数のメインビット線と、アドレス信号に従って前記複数のメインビット線からアドレス指定された選択メモリセルに対応する選択メインビット線を選択するメインビット線選択デコーダと、前記複数のメインビット線それぞれに対応して配置され、前記メインビット線選択デコーダの出力信号に従って前記

10

20

30

40

50

選択メインビット線に隣接するメインビット線を予め定められた固定電圧に設定する複数の第1のスイッチと、前記アドレス信号に従って、前記選択メモリセルが接続する第1のサブビット線および前記第1のサブビット線に隣接するサブビット線を選択する信号を生成するサブビット線選択デコーダと、前記複数のサブビット線それぞれに対応して配置されるとともに各々が対応のサブビット線と該対応のサブビット線に対応して配置されるメインビット線との間に配置され、前記サブビット線選択デコーダからの出力信号に従って対応のサブビット線を対応のメインビット線に接続する複数の第2のスイッチを備える。サブビット線は、各々が予め定められた個定数のサブ部ビット線を含む複数のグループに分割される。複数のメインビット線は、第1および第2の組を含む複数の組に分割されるとともに各メインビット線がサブビット線グループに対応して配置される。

10

前記第1および第2の組のメインビット線において、一方の組のメインビット線の間には、前記第1および第2の組の他方の組のメインビット線が配置され、前記第1の組のメインビット線に対応するサブビット線の間には、前記第2の組のメインワード線に対応するサブビット線が配置される。

前記第1の組のメインビット線に対応して配置される第1のスイッチと前記第2の組のメインビット線に対応して配置される第1のスイッチとは、互いに相補的にオン状態となって、選択メモリセルに対応する選択メインビット線に隣接するメインビット線が前記予め定められたシールド用固定電圧に設定される。

前記第1の組のメインビット線に対応して配置されるサブビット線に対応して配置される第2のスイッチは、前記サブビット線の延在方向において前記第2の組のメインビット線に対応して配置されるサブビット線に対応して配置される第2のスイッチと対向して配置され、かつ前記第2のスイッチは、前記サブビット線選択デコーダの出力信号に従って選択的にオン状態となって、前記第1のサブビット線を対応のメインビット線に接続するとともに、前記第1のサブビット線の両側に隣接するサブビット線を、該隣接サブビット線に対応して配置される1本のメインビット線に接続する。

20

【0009】

選択されたメインビット線に隣り合うメインビット線を所定電圧にすることで隣接するメインビット線からのノイズを最小限に抑え、電圧マージンの減少を防ぐことができる。従って、例えばデータの読み出し時には、誤動作の発生を防止することができる。また、メインビット線を選択単位として所定電圧に設定することで、サブビット線を選択単位とする場合と比較して回路数の増加を防ぎ、回路規模が大きくなるのを防ぐことができる。

30

また、サブビット線においても隣接するサブビット線を所定電圧にすることで、選択されたビット線へのノイズを最小限に抑え、電圧マージンの減少を防ぐことができる。従って、例えばデータの読み出し時には、誤動作の発生を防止することができる。

【0010】

前記第1スイッチは、前記隣り合うメインビット線を前記所定電圧が供給される所定の配線に接続するとよい。

【0011】

第1スイッチによって隣り合うメインビット線を所定電圧が供給される所定の配線に接続することで、これらのメインビット線の電圧を安定化させることができる。従って、隣接するメインビット線からのノイズを最小限に抑え、電圧マージンの減少を防ぐことができる。

40

【0012】

上記の半導体装置において、前記第1スイッチは、前記隣り合うメインビット線をグラウンドに接続するとよい。

【0013】

第1スイッチによって隣り合うメインビット線をグラウンドに接続することで、これらのメインビット線の電圧を安定化させることができる。従って、隣接するメインビット線からのノイズを最小限に抑え、電圧マージンの減少を防ぐことができる。

【0016】

50

上記の半導体装置において、データの読み出し時に、前記メインビット線選択デコーダは第1スイッチを制御して前記隣り合うメインビット線を所定電圧に設定するとよい。

【0017】

データの読み出し時には、選択されたメインビット線に隣接するビット線からのノイズの影響が大きくなるが、隣り合うメインビット線を所定電圧に設定することで、ノイズの影響を防止することができる。

【0018】

上記の半導体装置において、前記第1スイッチは、前記メインビット線毎に該メインビット線上に設けられた選択トランジスタを含み、前記メインビット線選択デコーダからの選択信号によって選択された前記選択トランジスタをオンし、前記隣り合うメインビット線を前記所定電圧に設定するとよい。

10

【0019】

第1スイッチ回路が、メインビット線毎に設けられたトランジスタで、メインビット線選択デコーダからの選択信号によって選択されたトランジスタがオンする。従って、隣接するメインビット線を所定電圧に設定する論理回路等を新たに設ける必要がない。

【0020】

上記の半導体装置において、前記第2スイッチは、選択された前記サブビット線を前記メインビット線に接続する選択トランジスタであるとよい。

【0021】

第2のスイッチが選択トランジスタであるので、スイッチの構成を簡単にすることができる。

20

【0022】

上記の半導体装置において、電荷保持層を備えるメモリセルがマトリクス状に配置されたセルアレイ部と、前記メモリセルの制御ゲートを行方向に接続するワード線と、データの書き込みと読み出しを行う前記サブビット線とを有するNOR型のアレイ構成を有しているときよい。

【0023】

ノイズが多く発生するアレイ構成を有する半導体装置からデータを正確に読み出すことができる。

【0024】

上記の半導体装置において、前記セルアレイ部は、隣接する前記サブビット線がそれぞれ異なる前記メインビット線に接続された構成を備えているときよい。

30

【0025】

ノイズが多く発生するアレイ構成であっても、この半導体装置からデータを正確に読み出すことができる。

【0026】

本発明のデータ読み出し方法は、メモリセルに接続したサブビット線が複数接続されるメインビット線を選択するステップと、選択された前記メインビット線に隣り合うメインビット線所定電圧に設定するステップとを有している。

【0027】

選択されたメインビット線に隣り合うメインビット線を所定電圧にすることで隣接するメインビット線からのノイズを最小限に抑え、電圧マージンの減少を防ぐことができる。従って、例えばデータの読み出し時には、誤動作の発生を防止することができる。また、メインビット線を選択単位として所定電圧に設定することで、サブビット線を選択単位とする場合と比較して回路数の増加を防ぎ、回路規模が大きくなるのを防ぐことができる。

40

【発明の効果】

【0028】

本発明は、安定したデータの読み出しを回路数を大幅に増やすことなく実現することができる。

【図面の簡単な説明】

50

【0029】

【図1】半導体装置1の構成を示すブロック図である。

【図2】セルアレイ部5のアレイ構成を示す図である。

【図3】サブビット線SBLの配線レイアウトと、Uセクタトランジスタ、Lセクタトランジスタの構成を示す図である。

【図4】Yゲート9の構成を示す図である。

【図5】選択されたメインビット線と、このメインビット線に隣接するメインビット線との接続経路を示す図である。

【図6】選択されたサブビット線と、このサブビット線に隣接するサブビット線との接続経路を示す図である。

【図7】Yデコーダ6及びSデコーダ7から出力される信号の波形を示す図である。

【発明を実施するための最良の形態】

【0030】

次に添付図面を参照しながら本発明の最良の実施例を説明する。

【実施例1】

【0031】

まず、図1を参照しながら本実施例の構成を説明する。本実施例の半導体装置1は、図1に示すように制御回路2、入出力バッファ3、アドレスバッファ4、セルアレイ部5、Yデコーダ(メインビット線選択デコーダ)6、Sデコーダ(サブビット線選択デコーダ)7、Xデコーダ8、Yゲート9、ライト回路10、リード回路11を備えている。この半導体装置1は単独でパッケージされたフラッシュメモリ等の半導体装置であってもよいし、システムLSIのように半導体装置の一部として組み込まれたものであってもよい。

【0032】

制御回路2は、コマンドレジスタを内蔵し、外部から供給されるチップイネーブル信号CEや書き込みイネーブル信号WEに同期して動作すると共に、外部から供給されるコマンドに応じたタイミング信号を生成し、各部に出力する。

【0033】

入出力バッファ3は、外部からデータを受け取り、このデータをライト回路10に出力する。またセルアレイ部5から読み出されたデータをリード回路11から受け取り、外部に出力する。

【0034】

アドレスバッファ4は、外部から供給されるアドレス情報をラッチし、Yデコーダ6、Xデコーダ8、及びSデコーダ7に供給する。

【0035】

図2にセルアレイ部5の構成を示す。セルアレイ部5は、ワード線WLに接続されたコントロールゲートと、サブビット線SBLに接続されたドレインと、アレイV_{ss}線に接続されたソースとを備えている。また、電荷を保持する構造として、第1ゲート酸化膜と、絶縁体膜からなる電荷トラップ層と、第2ゲート酸化膜とからなるゲート絶縁膜と、ゲート電極とが順に積層された構造のメモリセルMCを備えている。例えば、窒化膜からなる電荷トラップ層に電荷をトラップさせることでしきい値を変化させて、データ“0”と“1”とを区別する。窒化膜等の電荷トラップ層は絶縁膜のため、電荷は移動しない。また、電荷を保持する他の構造として、多結晶シリコンからなるフローティングゲートを用いるメモリセルであってもよい。セルアレイ部5は、このような構造のメモリセルMCが複数個マトリクス状に配置された、NOR型のアレイ構成を備えている。

【0036】

データの読み出し時には、活性化したワード線で指定されるメモリセルMCからのデータがサブビット線SBLに読み出される。書き込み(以下、プログラムと呼ぶ)或いはイレーズ時には、ワード線及びビット線(サブビット線と後述するメインビット線)をそれぞれの動作に応じた適当な電圧に設定することで、メモリセルに対する電荷注入或いは電荷抜き取りの動作を実行する。

10

20

30

40

50

【 0 0 3 7 】

Xデコーダ8は、データ書込み時、消去時および読み出し時に、それぞれのアドレスに基づいて複数のワード線WLを選択駆動する。選択されたワード線WLには、高電圧が供給される。Yデコーダ6は、アドレス信号が示しているY方向のアドレスを特定し、対応するYゲート9内のトランジスタをオンさせる。Yデコーダ6からは、Yゲート9内のトランジスタのオン、オフを切り換えるYD1, YD2, YD2Wの信号と、Yゲート9内に設けられたYリセットトランジスタ(第1スイッチ)(以下、YRSTTrとも表記する)のオン、オフを切り換えるYRST信号が出力される。

【 0 0 3 8 】

Sデコーダ7は、サブビット線SBLを選択するUSECY, LSECYの各信号を生成し、Uセクタトランジスタ(以下、UセクタTrとも表記する)12、Lセクタトランジスタ(以下、LセクタTrとも表記する)13にそれぞれ出力する。図3に示すようにUセクタTr12、LセクタTr13は、メモリセルMCに直接接続する複数のサブビット線SBLと、メインビット線MBLとの接続を切り替える選択トランジスタSTr(第2スイッチ)を備えている。Sデコーダ7からのUSECY信号、LSECY信号によって選択トランジスタSTrのオン、オフを切り替えることで、メインビット線MBLと選択されたサブビット線SBLとが接続される。

【 0 0 3 9 】

また、図3に示すように本実施例では、1本のメインビット線MBLには、4本のサブビット線SBLが接続され、一のメインビット線MBLに接続する各々のサブビット線は、隣接するメインビット線MBLに接続する各々のサブビット線に隣接するようになっている。隣接する2本のメインビット線MBLのいずれか一方が図3に示すようにセクタの上側でサブビット線SBLとのコンタクトを取ると、もう一方のメインビット線MBLは、セクタの下側でサブビット線SBLとコンタクトを取っている。なお、図3には、2本のメインビット線MBLだけを図示したが、メインビット線MBLは、図4に示すようにセルアレイ部5に複数本(MBL(0)~MBL(7))設けられている。

【 0 0 4 0 】

Yゲート9は、デコードアドレス信号に基づいて、読み出し時にはセルアレイ部5のメインビット線MBLを選択的にリード回路11に接続する。これによりセルアレイ部5のメモリセルMCに対するデータの読み出し/書き込み経路が確立される。

【 0 0 4 1 】

ライト回路10は、入出力バッファ3からのデータをラッチする。ライト回路10にラッチされたデータは、Yゲート9によって選択されたメインビット線MBL、サブビット線SBLに出力される。

【 0 0 4 2 】

リード回路11は、読み出し時にはビット線(サブビット線SBL, メインビット線MBL)に読み出されたデータを増幅し、デジタルレベルとして取り扱いが可能になるレベルにまで増幅するセンスアンプを含んでいる。また、リード回路11は、セルアレイ部5から読み出したデータの判定を行う。Xデコーダ8及びYデコーダ6による指定に応じてセルアレイ部5から供給されるデータの電流を基準電流と比較することで、データが0であるのか1であるのかを判定する。基準電流は図示しないリファレンスセルから供給される電流である。判定結果は読み出しデータとして、入出力バッファ3に供給される。

【 0 0 4 3 】

次に、図4を参照しながらYゲート9と、このYゲート9に含まれるYRSTトランジスタについて説明する。Yゲート9は、メインビット線MBLのそれぞれに設けられた第1トランジスタ群20と、メインビット線MBLとリード回路11とを接続するリード選択トランジスタ30と、メインビット線MBLとライト回路10とを接続するライト選択トランジスタ35と、メインビット線のそれぞれに設けられたYRSTトランジスタ40とを備えている。リード選択トランジスタ30とライト選択トランジスタ35とを第2トランジスタ群と呼ぶ。

10

20

30

40

50

【 0 0 4 4 】

第1トランジスタ群20の各トランジスタにはYデコーダ6でデコードされたYD1信号がゲート入力される。YD1信号はYD1(0), YD1(1), YD1(2), YD1(3)の4つの信号からなる。YD1(0)信号は、MBL(0)とMBL(1)上のトランジスタに入力される。YD1(1)信号は、MBL(2)とMBL(3)上のトランジスタに入力される。YD1(2)信号は、MBL(4)とMBL(5)上のトランジスタに入力される。YD1(3)信号は、MBL(6)とMBL(7)上のトランジスタに入力される。従って、信号YD1(0)によってMBL(0)とMBL(1)とが選択され、信号YD1(1)によってMBL(2)とMBL(3)とが選択され、信号YD1(2)によってMBL(4)とMBL(5)とが選択され、信号YD1(3)によってMBL(6)とMBL(7)とが選択される。

10

【 0 0 4 5 】

また、リード選択トランジスタ30は、偶数番目のメインビット線MBL(0), (2), (4), (6)上に配置された偶数選択トランジスタ31と、奇数番目のメインビット線MBL(1), (3), (5), (7)上に配置された奇数選択トランジスタ32とからなる。

【 0 0 4 6 】

リード選択トランジスタ30は、Yデコーダ6でデコードされたYD2信号がゲート入力される。YD2信号は、YD2(0)信号とYD2(1)信号とからなり、YD2(0)信号が偶数選択トランジスタ31に入力され、YD2(1)信号が奇数選択トランジスタ32に入力される。YD2(0)信号がハイレベルになると、偶数番目のメインビット線MBL(0), (2), (4), (6)が選択される。またYD2(1)信号がハイレベルになると、奇数番目のメインビット線MBL(1), (3), (5), (7)が選択される。

20

【 0 0 4 7 】

YD1信号とYD2信号との組み合わせによって、メインビット線MBL(0)~(7)のうちのいずれか1つを選択することができる。例えば、YD1(0)信号とYD2(0)信号とを共にハイレベルに設定することでメインビット線MBL(0)が選択され、MBL(0)のビット線上に読み出されたデータがリード回路11に出力される。同様にYD1(0)とYD2(1)とをハイレベルにすることでメインビット線MBL(1)が選択され、YD1(1)とYD2(1)とをハイレベルにすることでメインビット線MBL(3)が選択される。

30

【 0 0 4 8 】

同様にしてライト選択トランジスタ35は、偶数番目のメインビット線MBL(0), (2), (4), (6)上に配置された偶数選択トランジスタ36と、奇数番目のメインビット線MBL(1), (3), (5), (7)上に配置された奇数選択トランジスタ37とからなる。

【 0 0 4 9 】

ライト選択トランジスタ35は、Yデコーダ6でデコードされたYD2W信号がゲート入力される。YD2W信号は、YD2W(0)信号とYD2W(1)信号とからなり、YD2W(0)信号が偶数選択トランジスタ36に入力され、YD2W(1)信号が奇数選択トランジスタ37に入力される。YD2W(0)信号がハイレベルになると、偶数番目のメインビット線MBL(0), (2), (4), (6)が選択される。またYD2W(1)信号がハイレベルになると、奇数番目のメインビット線MBL(1), (3), (5), (7)が選択される。

40

【 0 0 5 0 】

メモリセルMCへの書き込みにおいては、YD1信号とYD2W信号とを組み合わせるメインビット線MBL(0)~(7)のうちのいずれか1つのメインビット線を選択する。例えば、YD1(2)信号とYD2W(0)信号とを共にハイレベルに設定することでメインビット線MBL(4)が選択され、MBL(4)のビット線上にライト回路10か

50

らのデータが出力される。

【0051】

またY R S Tトランジスタ40は、図4に示すようにメインビット線M B Lにそれぞれ設けられ、Yデコーダ6で生成されたY R S T信号をゲート入力している。Y R S T信号には、Y R S T(0)とY R S T(1)の信号がある。

【0052】

Y R S T(0)信号は、偶数番目のメインビット線M B L(0),(2),(4),(6)上のY R S Tトランジスタに入力され、Y R S T(1)信号は、奇数番目のメインビット線M B L(1),(3),(5),(7)上のY R S Tトランジスタに入力される。すなわち、Y R S T(0)信号又はY R S T(1)信号によってメインビット線M B Lを1つおきを選択することができる。

10

【0053】

半導体装置1は、読み出しのためにメインビット線M B Lを選択すると、選択されたメインビット線M B Lと隣り合うメインビット線M B Lの電圧を所定電圧にする。本実施例では、選択されたメインビット線M B Lと隣り合うメインビット線M B LをグランドV s sに接続する。例えば、図7に示すようにY D 1(2)信号と、Y D 2(0)信号とをハイレベルに設定すると、図5に示すメインビット線M B L(4)がデータの読み出しに選択される。Yデコーダ6は、Y D 1(2)とY D 2(0)の信号をハイレベルに設定すると共にY R S T(1)をハイレベルに設定する(図7参照)。Y R S T(1)がハイレベルになることで、メインビット線M B L(4)に隣接するメインビット線M B L(3)とメインビット線M B L(5)とを含む奇数番目のメインビット線が、セクタ内に共通に設けられているリセット用配線(所定の配線)41を介して、すべてグランドに接続される。図5に、メインビット線M B L(4)をリード回路11に接続するパスと、隣接するメインビット線M B L(3)と(5)をグランドに接続するパスとを示す。

20

【0054】

次に図6を参照しながら、サブビット線S B Lの選択について説明する。例えば、Sデコーダ7でメインビット線M B L(4)に接続するサブビット線S B L(3)を選択、すなわち信号U S E C Y(3)をハイレベルにすると、サブビット線S B L(3)に所定の電圧が供給され、サブビット線S B Lに接続されたメモリセルM Cのドレインに所定電圧が供給される。

30

【0055】

Sデコーダ7は、図7に示すように信号U S E C Y(3)をハイレベルに遷移させると共に、L S E C Y(2), L S E C Y(3)をハイレベルに遷移させる。L S E C Y(2), L S E C Y(3)がハイレベルとなることで、選択されたサブビット線S B L(3)の両隣にあるサブビット線S B L(6),(7)がメインビット線M B L(5)に接続される。メインビット線M B L(5)は、グランドに接続されるので、これらのサブビット線S B L(6),(7)もグランドに接続される。

【0056】

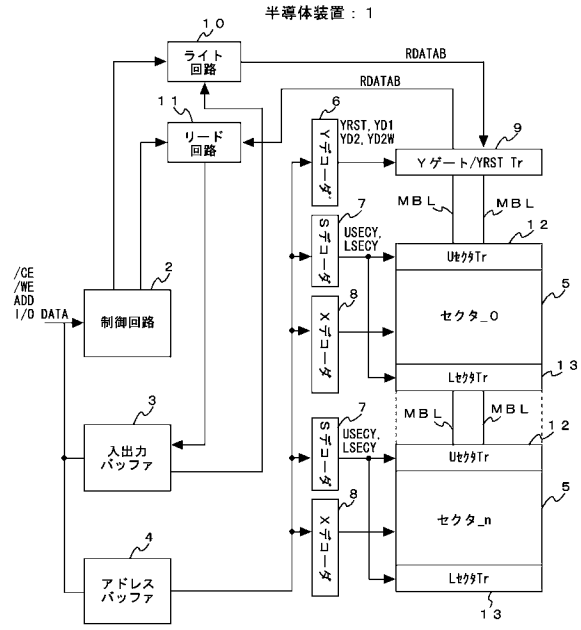
このように選択されたメインビット線M B Lに隣り合うメインビット線M B L、選択されたサブビット線S B Lに隣り合うサブビット線S B Lをグランドに接続してシールドすることで、隣接するメインビット線、サブビット線からのノイズを最小限に抑え、電圧マージンの減少を防ぐことができる。従って、データの読み出し時には、誤動作の発生を防止することができる。また、メインビット線を選択単位として所定電圧に設定することで、サブビット線を選択単位とする場合と比較して回路数の増加を防ぎ、回路規模が大きくなるのを防ぐことができる。

40

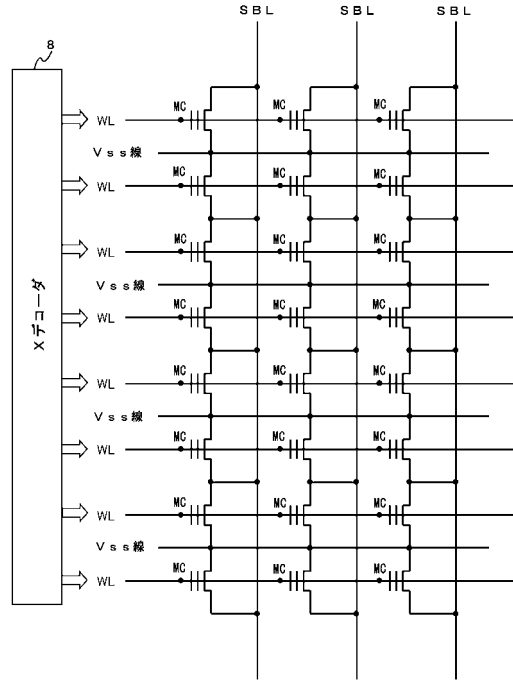
【0057】

なお、上述した実施例は本発明の好適な実施例である。但し、これに限定されるものではなく、本発明の要旨を逸脱しない範囲内において種々変形実施可能である。

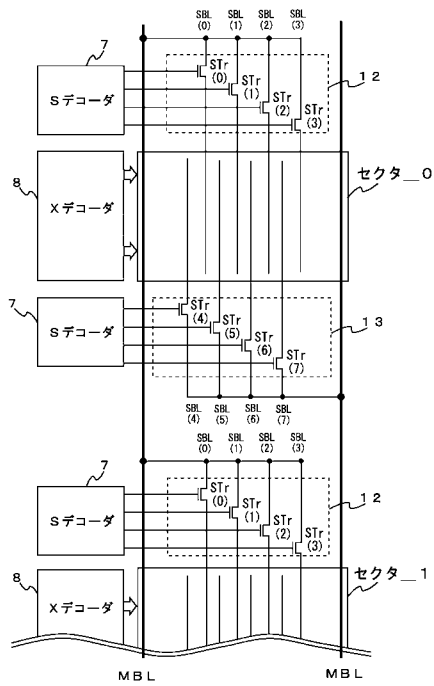
【図1】



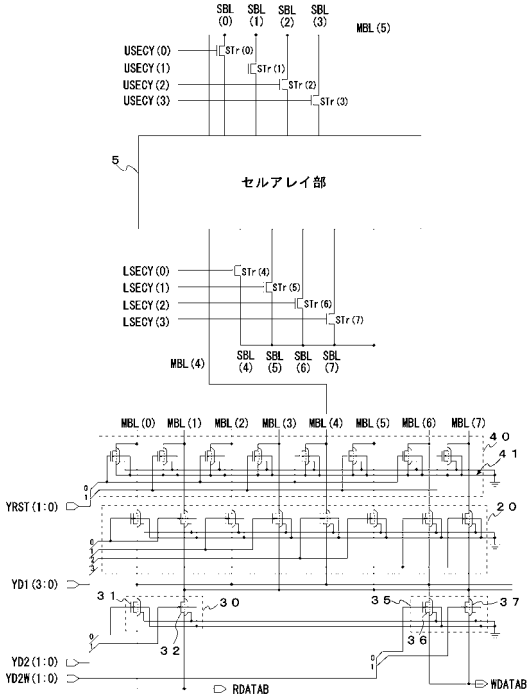
【図2】



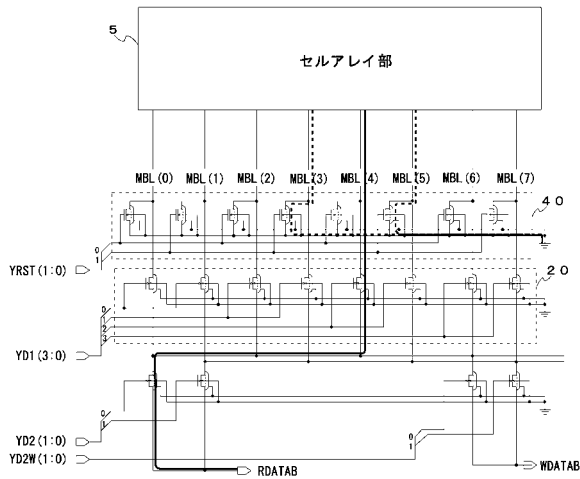
【図3】



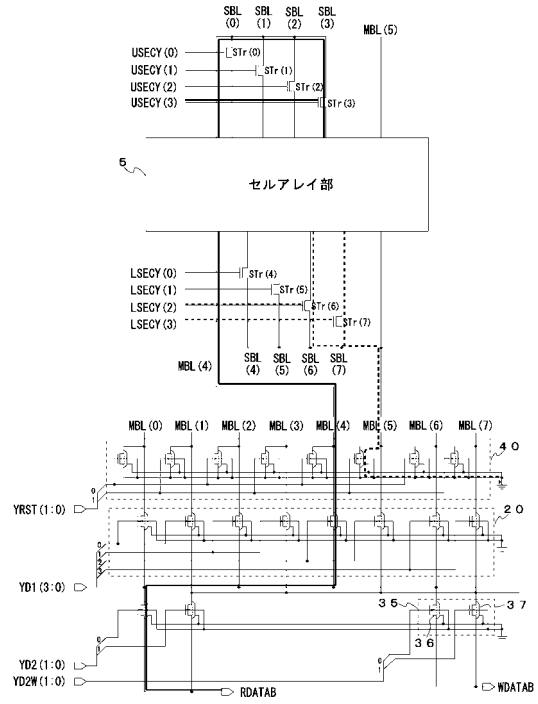
【図4】



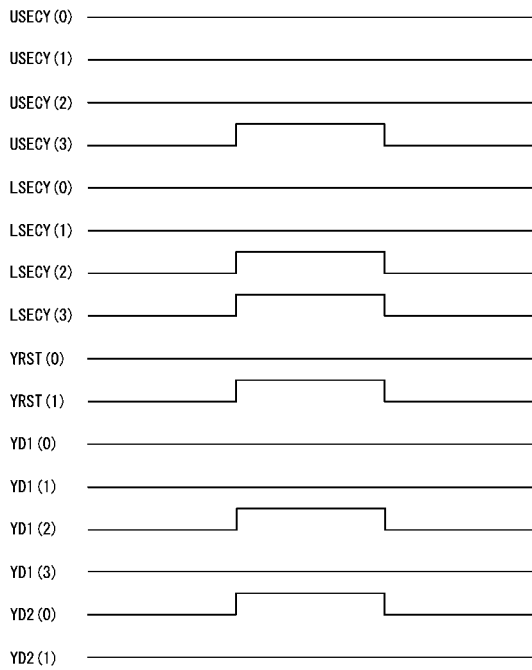
【 図 5 】



【 図 6 】



【 図 7 】



フロントページの続き

(74)代理人 100111246

弁理士 荒川 伸夫

(72)発明者 矢野 勝

福島県会津若松市門田町工業団地6番 Spansion Japan株式会社内

(72)発明者 黒崎 一秀

福島県会津若松市門田町工業団地6番 Spansion Japan株式会社内

(72)発明者 北崎 和宏

福島県会津若松市門田町工業団地6番 Spansion Japan株式会社内

審査官 外山 毅

(56)参考文献 特開平11-250680(JP,A)

特開平11-261036(JP,A)

特開2000-030478(JP,A)

米国特許出願公開第2004/0165410(US,A1)

特開2004-145910(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 16/00-16/34