



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0055252  
(43) 공개일자 2010년05월26일

(51) Int. Cl.

H05K 1/02 (2006.01) H05K 9/00 (2006.01)

(21) 출원번호 10-2008-0114238

(22) 출원일자 2008년11월17일

심사청구일자 2008년11월17일

(71) 출원인

국방과학연구소

대전 유성구 수남동 111번지

(72) 발명자

최준호

경남 고성군 상리면 동산리 156번지

나선필

대전 서구 월평3동 진달래아파트 109동 1304호

(뒷면에 계속)

(74) 대리인

박장원

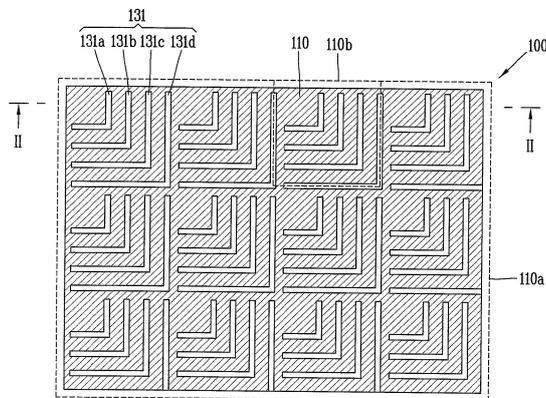
전체 청구항 수 : 총 7 항

(54) 이중 주기 형태의 전자기 밴드갭 구조물

(57) 요약

본 발명은 전자기 밴드갭 구조물에 관한 것으로, 상기 전자기 밴드갭 구조물은 유전체 기판과, 상기 유전체 기판의 일면에 형성되고, 도전성 재질로 구현되는 이중(異種) 주기 패턴이 구비되는 제1 도전층, 및 상기 제1 도전층의 접지면이 되도록 상기 유전체 기판의 타면에 형성되는 제2 도전층을 포함하고, 상기 이중 주기 패턴은 단위 패턴이 주기적으로 배치됨에 의하여 형성되고, 상기 단위 패턴은 적어도 일부가 주기적으로 반복되는 무늬로 형성되고, 상기 무늬는 도전체가 슬롯(Slot)을 형성하도록 이격되게 배치됨에 따라 구현된다. 이에 의하여 보다 슬림하면서도 광대역 영역에 높은 전자파 노이즈 저감 특성을 가지는 반도체 패키지 또는 인쇄회로기판이 구현될 수 있다.

대표도 - 도1



(72) 발명자

**박철순**

대전 중구 태평1동 유등마을아파트 104동 1604호

**장 원**

대전광역시 유성구 하기동 송림마을6단지아파트  
603동 702호

---

**특허청구의 범위**

**청구항 1**

유전체 기관;

상기 유전체 기관의 일면에 형성되고, 전자파 노이즈를 감소시키도록 단위 패턴이 주기적으로 배치되는 제1 도전층; 및

상기 제1 도전층의 접지면이 되도록 상기 유전체 기관의 타면에 형성되는 제2 도전층을 포함하고,

상기 단위 패턴은 슬롯(Slot)이 주기적으로 반복되는 무늬를 형성하는 것을 특징으로 하는 전자기 밴드갭 구조물.

**청구항 2**

제1항에 있어서,

상기 슬롯은 양단 사이에서 수직으로 꺾이도록 형성되는 것을 특징으로 하는 전자기 밴드갭 구조물.

**청구항 3**

제1항에 있어서,

상기 단위 패턴은,

상기 무늬를 형성하도록 서로에 대해 이격되게 배치되는 복수의 도전체; 및

상기 슬롯에 배치되고, 양단이 상기 복수의 도전체와 각각 연결되는 도전성 브랜치를 포함하는 전자기 밴드갭 구조물.

**청구항 4**

제3항에 있어서,

상기 복수의 도전체는 서로 다른 주파수 대역의 전자파 노이즈를 차단하도록 배치되는 것을 특징으로 하는 전자기 밴드갭 구조물.

**청구항 5**

제1항에 있어서,

상기 도전체는 각 모서리부가 직교하는 내각 및 외각을 각각 이루도록 형성되는 제1 및 제2 도전체를 포함하고,

상기 제1 및 제2 도전체는 상기 슬롯을 형성하도록 상기 각 모서리부가 서로에 대해 이격된 채로 마주보게 배치되는 것을 특징으로 하는 전자기 밴드갭 구조물.

**청구항 6**

유전체 기관;

상기 유전체 기관의 일면에 형성되고, 도전성 재질로 구현되는 이종(異種) 주기 패턴이 구비되는 제1 도전층; 및

상기 유전체 기관의 타면에 형성되는 제2 도전층을 포함하고,

상기 이종 주기 패턴은 단위 패턴이 주기적으로 배치됨에 의하여 형성되고,

상기 단위 패턴은 적어도 일부가 주기적으로 반복되는 무늬로 형성되고,

상기 무늬는 도전체가 슬롯을 형성하도록 이격되게 배치됨에 따라 구현되는 것을 특징으로 하는 전자기 밴드갭 구조물.

**청구항 7**

제6항에 있어서,

상기 슬롯은 양단 사이에서 수직으로 꺾이도록 형성되는 것을 특징으로 하는 전자기 밴드갭 구조물.

**명세서**

**발명의 상세한 설명**

**기술분야**

[0001] 본 발명은 전자파 노이즈를 완화 또는 방지하도록 형성되는 전자기 밴드갭 구조물에 관한 것이다.

**배경기술**

[0002] 최근 첨단기기 및 시스템의 동작속도가 더욱 증가함에 따라 클럭 주파수가 수 기가헤르츠(GHz) 범위에 들어가고 있다. 이에 따라, 온오프 칩(On/Off Chip) 패키지 혹은 다층 인쇄회로기판(Printed Circuit Board, PCB)에서 동시 스위칭 노이즈(Simultaneous Switching Noise, SSN)에 의한 신호/전원 무결성(Signal/Power Integrity) 및 전자파 장애(Electromagnetic Interference, EMI) 문제가 중요한 설계 요소로 작용하고 있다.

[0003] 일반적으로 아날로그 및 디지털 시스템이 혼재된 시스템에서는 동시 스위칭 노이즈에 의해 발생하는 신호/전원 무결성 및 전자파 장애 문제가 존재한다.

[0004] 이러한 장애 문제를 해결하기 위한 가장 대표적인 방법은 전원층과 접지층 사이에 감결합 소자로 알려진 Decoupling Capacitor(DeCap)라고 하는 대용량 정전용량을 갖는 소자를 설치하거나 내장형 박막 커패시터(embedded thin film capacitor)배치하는 것이다.

[0005] 이 두 방법은 인쇄회로기판 실장에 따른 공정비용 증가와 더불어 수백 메가헤르츠(MHz)까지만 작동할 수 있으므로, 최근의 고속 디지털 시스템에서 문제가 되는 기가헤르츠 주파수 성분을 갖는 동시 스위칭 노이즈를 제거 할 수 없다.

[0006] 기가헤르츠 대역에서 전자파 노이즈 저감기술로 응용가능성이 높은 전자기 밴드갭(Electromagnetic BandGap: EBG) 구조는 특정 주파수 대역에서 높은 임피던스특성을 갖게 되어 표면에 흐르는 전류에 대한 광대역 저지특성을 갖는다.

[0007] 전자기 밴드갭 구조는 칩 패키지를 비롯한 다층 인쇄회로기판에서 전력/전원 분포 네트워크(Power/Ground Distribution Network, PDN)를 통해 전파되는 동시 스위칭 노이즈에 의한 신호/전원 무결성 및 전자파 장애 문제를 해결하기 위하여 창안된 기술이다.

[0008] 전자기 밴드갭 구조의 경우는 높은 동시 스위칭 노이즈 저감을 위해, 예를 들어 추가적인 내부 비아(via)나 금속패치(patch) 설치, 또는 서로 다른 유전체 물질을 사용하는 등 구조적으로 점점 복잡해지는 문제가 있다. 이로 인하여 사이즈가 커지고 공정비용의 증가한다. 또한 주파수 저지특성 영역이 수 GHz로 제한되어 광대역 신호를 전송하는 경우 특정 주파수 대역에서 신호 전송 특성이 나빠지는 문제점이 있다.

[0009] 따라서, 보다 슬림하고 광대역 영역에서 높은 동시 스위칭 노이즈 저감 특성을 갖는 전자기 밴드갭 구조물이 고려될 수 있다.

**발명의 내용**

**해결 하고자하는 과제**

[0010] 본 발명의 일 목적은 종래와 다른 형태로 보다 슬림한 전자기 밴드갭 구조물을 제공하기 위한 것이다.

[0011] 본 발명의 다른 일 목적은 보다 높은 광대역 특성을 가져오는 전자기 밴드갭 구조물을 제공하기 위한 것이다.

**과제 해결수단**

[0012] 이와 같은 본 발명의 일 목적을 달성하기 위하여, 본 발명의 일 실시예에 따르는 전자기 밴드갭 구조물은 유전체 기판, 제1 및 제2 도전층을 포함한다. 제1 도전층은 유전체 기판의 일면에 형성되고, 도전성 재질로 구현되

는 이종(異種) 주기 패턴이 구비된다. 제2 도전층은 유전체 기관의 타면에 형성되고, 제1 도전층의 접지면 역할을 한다. 이종 주기 패턴은 단위 패턴이 주기적으로 배치됨에 의하여 형성된다. 단위 패턴은 적어도 일부가 주기적으로 반복되는 무늬로 형성된다. 단위 패턴의 무늬는 도전체가 슬롯을 형성하도록 이격되게 배치됨에 따라 구현된다.

[0013] 본 발명의 일 측면에 따르면, 본 발명의 다른 일 실시예에 따르는 전자기 밴드갭 구조물은 유전체 기관, 제1 및 제2 도전층을 포함한다. 제1 도전층은 유전체 기관의 일면에 형성되고, 제1 도전층에는 전자파 노이즈를 감소시키도록 단위 패턴이 주기적으로 배치된다. 제2 도전층은 상기 제1 도전층의 접지면 역할을 하도록 유전체 기관의 타면에 형성된다. 단위 패턴은 슬롯이 주기적으로 반복되는 무늬를 형성한다.

[0014] 본 발명의 다른 측면에 따르면, 슬롯은 양단 사이에서 수직으로 꺾이도록 형성된다.

[0015] 본 발명의 또 다른 측면에 따르면, 단위 패턴은 복수의 도전체 및 도전성 브랜치를 포함한다. 복수의 도전체는 단위 패턴의 무늬를 형성하도록 서로에 대해 이격되게 배치된다. 도전성 브랜치는 슬롯에 배치되고, 양단이 복수의 도전체와 각각 연결된다. 복수의 도전체는 서로 다른 주파수 대역의 전자파 노이즈를 차단하도록 배치될 수 있다.

[0016] 본 발명의 또 다른 측면에 따르면, 도전체는 제1 및 제2 도전체를 포함한다. 제1 및 제2 도전체는 각각 모서리부가 직교하는 내각 및 외각을 이루도록 형성된다. 제1 및 제2 도전체는 슬롯을 형성하도록 각 모서리부가 서로에 대해 이격된 채로 마주보게 배치된다.

### 효 과

[0017] 상기와 같이 구성되는 본 발명에 관련된 전자기 밴드갭 구조물은 이종 주기 패턴을 이용함에 따라, 슬림한 구조로 전자파 노이즈를 완화 및 방지할 수 있다. 이에 따라 전자기 밴드갭 구조물의 제조비용과 사이즈가 줄어들 수 있다.

[0018] 또한, 이종의 주기를 갖도록 배치되는 슬롯에 의하여, 광대역 영역에서 전자파 노이즈를 감소시킬 수 있다.

### 발명의 실시를 위한 구체적인 내용

[0019] 이하, 본 발명에 관련된 전자기 밴드갭 구조물에 대하여 도면을 참조하여 보다 상세하게 설명한다. 본 명세서에서는 서로 다른 실시예라도 동일·유사한 구성에 대해서는 동일·유사한 참조번호를 부여하고, 그 설명은 처음 설명으로 갈음한다. 본 명세서에서 사용되는 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

[0020] 도 1은 본 발명의 일 실시예에 따르는 전자기 밴드갭 구조물(100)을 나타내는 평면도이고, 도 2는 도 1의 라인(II-II)를 따라 취한 전자기 밴드갭 구조물(100)의 단위 패턴(110b)을 나타내는 단면도이다.

[0021] 전자기 밴드갭 구조물(100)에는 제1 도전층(110)이 형성된다. 제1 도전층(110)에는 도전성 재질로 구현되는 이종(異種) 주기 패턴(110a)이 구비된다. 제1 도전층(110)에는 전자파 노이즈를 감소시키도록 단위 패턴(110b)이 주기적으로 배치된다.

[0022] 이종 주기 패턴(110a)은 단위 패턴(110b)이 주기적으로 배치됨에 의하여 형성된다. 단위 패턴(110b)은 적어도 일부가 주기적으로 반복되는 무늬로 형성된다. 단위 패턴(110b)은 사각형을 이루고, 사각형의 내부에는 상기 무늬가 도전성 재질에 의하여 형성된다.

[0023] 단위 패턴(110b)에 형성되는 상기 무늬는 슬롯(slot)이 주기적으로 반복되는 형태가 될 수 있다. 이는 도전체(120, 도 3 참조)가 슬롯(131)을 형성하도록 이격되게 배치됨에 따라 구현된다.

[0024] 단위 패턴(110b)은, 예를 들어 전자기 밴드갭 구조물(100)에 장착되는 복수의 도전체(120)에 의하여 형성되는 사각 형태의 금속패치로 구현될 수 있다.

[0025] 슬롯(131)은 양단 사이에서 적어도 일부가 수직으로 꺾이도록 형성된다. 슬롯(131)은 예를 들어 "L"자의 형태로 형성될 수 있다.

[0026] 슬롯(131a, 131b, 131c, 131d)은 단위 패턴(110b)의 내부에서 단위 패턴(110b)의 모서리에 대해 경사진 방향으로 주기적으로 형성된다. 단위 패턴(110b)이 주기적으로 배치됨에 따라 각 단위 패턴(110b)에서 서로에 대해 동일한 위치에 형성되는 슬롯들(131a, 132a, 133a, 134a)은 주기적으로 배치된다. 이에 따라 슬롯(131)은 서로 다

른 주기를 함께 가지도록 배치된다.

- [0027] 도 2를 참조하면, 전자기 밴드갭 구조물(100)은 유전체 기관(140)을 포함한다.
- [0028] 유전체 기관(140)은 비전도성을 갖는 절연부재일 수 있으며, 유전체 기관(140)의 유전을 및 투자율은 원하는 주파수 대역에서 노이즈 저감 성능 향상을 위해서 가변될 수 있다. 본 발명과 관련한 유전체 기관(140)은 자성체 기관으로 대체될 수 있다.
- [0029] 유전체 기관(140)의 일면에는 제1 도전층(110)이 형성된다. 유전체 기관(140)의 타면에는 제2 도전층(150)이 형성된다. 제2 도전층(150)은 도전성 재질로 형성될 수 있다. 제2 도전층(150)은 제1 도전층(110)의 접지면 역할을 하도록 형성된다. 제2 도전층(150)은, 예를 들어 회로패턴에 구비되는 접지단으로 형성될 수 있다.
- [0030] 도 3은 도 1의 전자기 밴드갭 구조물(100)의 단위 패턴(110)을 나타내는 평면도이다.
- [0031] 본 도면을 참조하면, 단위 패턴(110)은 복수의 도전체(120a, 120b, 120c, 120d)로 형성된다.
- [0032] 복수의 도전체(120a, 120b, 120c, 120d) 중 어느 하나, 예를 들어 제1 도전체(120a)는 모서리부(122a)가 직교하는 외각을 이루도록 형성된다. 복수의 도전체(120a, 120b, 120c, 120d) 중 다른 하나, 예를 들어 제2 도전체(120b)는 모서리부(122b)가 직교하는 내각을 이루도록 형성된다.
- [0033] 제1 및 제2 도전체(120a, 120b)는 슬롯(131c)을 형성하도록 각 모서리부(122a, 122b)가 서로에 대해 이격된 채로 마주보게 배치된다.
- [0034] 복수의 도전체(120a, 120b, 120c, 120d)는 주기적으로 배치되는 슬롯(131a, 131b, 131c)에 의한 무너를 형성하도록 서로에 대해 이격되게 배치된다. 본 도면을 참조하면, 제4 도전체(120d)는 사각형으로 형성되고, 제3 내지 제1 도전체(120c, 120b, 120a)는 각각 직교하는 내각과 외각을 함께 구비하는 수직으로 깎여진 띠 형상으로 형성된다. 상기와 같이 배치된 복수의 도전체(120a, 120b, 120c, 120d)에 의하여 양단 사이에서 적어도 일부가 수직으로 깎이는 슬롯(131a, 131b, 131c)이 각각 형성되고, 슬롯(131a, 131b, 131c)은 주기적으로 배치된다.
- [0035] 슬롯(131)에는 도전성 브랜치(160)가 배치될 수 있다. 도전성 브랜치(160)는 양단이 서로 대응하는 복수의 도전체(120a, 120b, 120c, 120d), 예를 들어 제1 및 제2 도전체(120a, 120b), 제2 및 제3 도전체(120b, 120c), 제3 및 제4 도전체(120c, 120d)를 각각 연결시키도록 형성된다. 슬롯(131)의 폭은 도전성 브랜치(160)의 길이에 따라 종속적으로 가변될 수 있다.
- [0036] 도 4a는 도 1의 단위 패턴(110b)의 차단부(121a, 121b, 121c, 121d)를 보여주는 개념도이고, 도 4b는 각 차단부(121a, 121b, 121c, 121d)의 차단주파수를 보여주는 그래프이다.
- [0037] 단위 패턴(110)의 크기는 원하는 노이즈 저감 주파수대역의 차단주파수에 의해서 결정될 수 있다.
- [0038] 복수의 도전체(120a, 120b, 120c, 120d)는 서로 다른 주파수 대역의 전자파 노이즈를 차단하도록 배치된다.
- [0039] 예를 들어, 제1 도전체(120a)는 노이즈 저감 주파수대역의 최저 차단주파수인 제1 차단주파수를 결정하고, 제2 도전체(120b)는 제2 차단주파수를 결정하고, 제3 도전체(120c)는 제3 차단주파수를 결정하고, 제4 도전체(120d)는 제4 차단주파수를 결정한다.
- [0040] 이하 제1 내지 제4 도전체에 의하여 제1 내지 제4 차단주파수가 결정되는 과정을 설명한다.
- [0041] 복수의 도전체(120a, 120b, 120c, 120d)와 슬롯(131a, 131b, 131c)은 각각 사각 형태로 형성되는 차단부(121a, 121b, 121c, 121d)를 형성한다. 제4 차단부(121d)는 제4 도전체(120d)와 같은 크기가 되고, 제3 차단부(121c)는 제3 및 제4 도전체(120c, 120d)와 제1 슬롯(131a)이 합쳐진 크기이 된다. 제2 차단부(121b)는 제3 차단부(121c), 제2 도전체(120b) 및 제2 슬롯(131b)이 합쳐진 크기가 되고, 제1 차단부(121a)은 제2 차단부(121b), 제1 도전체(120a) 및 제3 슬롯(131c)이 합쳐진 영역이 된다.
- [0042] 단위 패턴(110)의 노이즈 저감특성은 슬롯(131)에 의해서 분리된 내부 주기적인 제1 내지 제4 차단부(121a, 121b, 121c, 121d)의 차단주파수 중첩 특성에 의해서 종속적으로 가변될 수 있다.
- [0043] 차단부(121a, 121b, 121c, 121d)는 집중소자(lumped element)인 커패시턴스(capacitance)와 인덕턴스(inductance)의 조합으로 등가모델링 될 수 있다.
- [0044] 도 5a 내지 도 5c는 도 1의 단위 패턴(110b)의 등가회로를 나타내는 회로도이다.
- [0045] 커패시턴스 C는 차단부(121a, 121b, 121c, 121d)의 물리적인 크기에 의해 좌우되며, 인덕턴스 L은 도전성 브랜

치(160)의 길이에 비례하고, 라인의 선폭에 반비례 한다.

[0046] 이를 통하여, 차단부(120a, 120b, 120c, 120d)와 도전성 브랜치(160)는 커패시턴스와 인덕턴스로 이루어진 T 네트워크(network) 등가회로로 모델링 될 수 있다. 도 5c를 참조하며, 슬롯(131)이 삽입된 단위 패턴(110)은 T 네트워크로 이루어진 차단부(120a, 120b, 120c, 120d)와 도전성 브랜치(160)의 조합이 주기적으로 연결된 2포트(port) 네트워크로 등가 모델링 될 수 있다. 따라서 단위 패턴(110)에 슬롯(131a, 131b, 131c)을 삽입하여 내부적인 주기구조를 가지게 함으로서, 광대역에서 밴드-차단(band-stop) 필터링 효과를 향상시키는 것이 가능하다.

[0047] 각 차단부(121a, 121b, 121c, 121d)의 차단주파수는 영상 파라미터 방법(image parameter method)을 이용하여, 다음 수학적식으로 표현될 수 있다.

$$F = \frac{1}{\pi \sqrt{((L_B + L_P) \cdot C_P)}}$$

[0048]

[0049] 여기서 F: 차단주파수,  $L_B$ : 도전성 브랜치(160)의 인덕턴스,  $L_P$ : 차단부의 인덕턴스,  $C_P$ : 차단부의 커패시턴스이다.

[0050] 제1 내지 제4 차단주파수는 각각 다음과 같다.

$$F_1 = \frac{1}{\pi \sqrt{((4L_B + (L_{P1} - L_{S1} - L_{S2} - L_{S3})) \cdot (C_{P1} - C_{S1} - C_{S2} - C_{S3}))}}$$

$$F_2 = \frac{1}{\pi \sqrt{((3L_B + (L_{P2} - L_{S1} - L_{S2})) \cdot (C_{P2} - C_{S1} - C_{S2}))}}$$

$$F_3 = \frac{1}{\pi \sqrt{((2L_B + (L_{P3} - L_{S1})) \cdot (C_{P3} - C_{S1}))}}$$

$$F_4 = \frac{1}{\pi \sqrt{((L_B + L_{P4}) \cdot C_{P4})}}$$

[0051]

[0052] 여기서  $F_1$  내지  $F_4$ : 제1 내지 제4 차단주파수,  $L_B$ : 도전성 브랜치(160)의 인덕턴스,  $L_{P1}$  내지  $L_{P4}$ : 제1 내지 제4 차단부(121a, 121b, 121c, 121d)의 인덕턴스,  $C_{P1}$  내지  $C_{P4}$ : 제1 내지 제4 차단부(121a, 121b, 121c, 121d)의 커패시턴스,  $L_{S1}$  내지  $L_{S3}$ : 각 슬롯(131a, 131b, 131c)의 인덕턴스,  $C_{S1}$  내지  $C_{S3}$ : 각 슬롯(131a, 131b, 131c)의 커패시턴스이다.

[0053] 도 6은 도 1의 전자기 밴드갭 구조물(100)에서 전자파 노이즈 저감 정도를 나타내는 그래프이다.

[0054] 본 그래프는 전자기 밴드갭 구조물(100, 도 1 참조)를 이용하여 전산 모사한 동작 주파수별 전자파 노이즈 저감 정도를 나타낸다. 세로축에 나타낸 삽입손실(insertion loss)은 입력에 대한 출력값을 데시벨(dB) 스케일로 나타낸 값으로서 0에 가까울수록 낮은 전자파 노이즈 저감정도를 나타내고, 절대값이 커질수록 높은 전자파 노이즈 저감정도를 나타낸다. 본 그래프를 참조하면, 초 광대역 영역(3GHz ~ 20GHz)에서 50dB 이상의 전자파 노이즈 저감정도를 보이는 것을 알 수 있다.

[0055] 상기와 같은 전자기 밴드갭 구조물은 위에서 설명된 실시예들의 구성과 방법에 한정되는 것이 아니라, 상기 실시예들은 다양한 변형이 이루어질 수 있도록 각 실시예들의 전부 또는 일부가 선택적으로 조합되어 구성될 수도

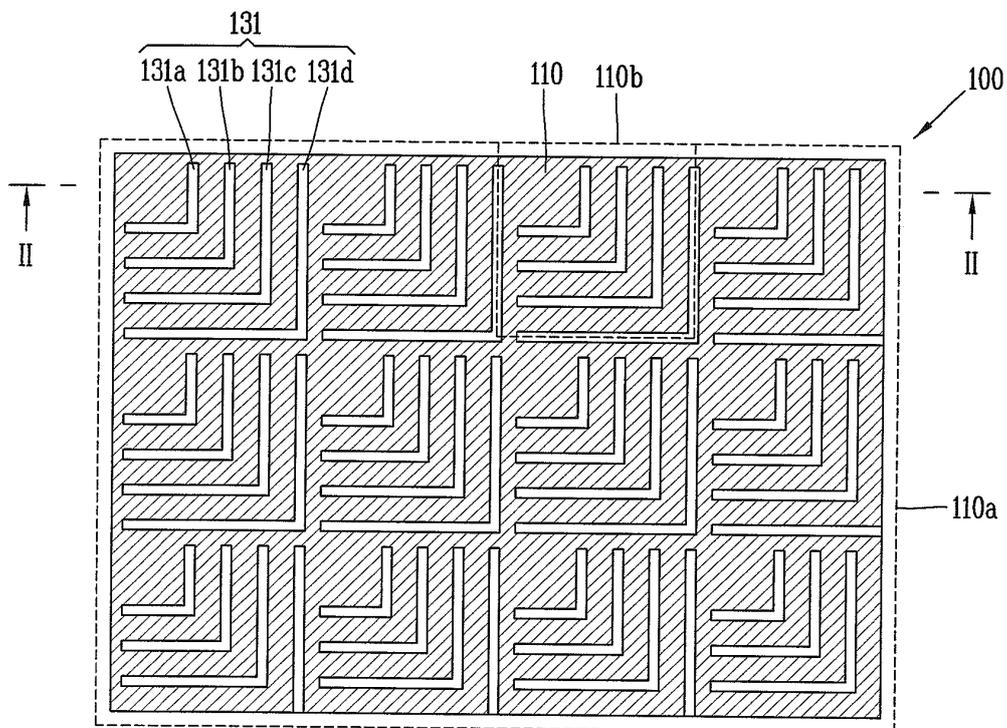
있다.

**도면의 간단한 설명**

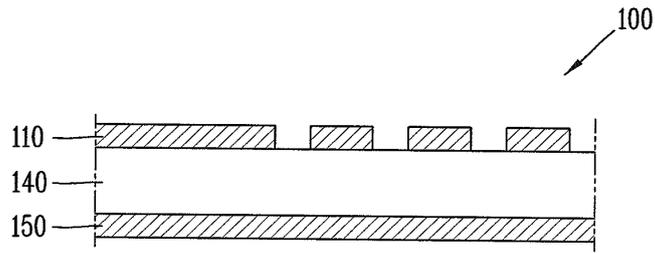
- [0056] 도 1은 본 발명의 일 실시예에 따르는 전자기 밴드갭 구조물을 나타내는 평면도.
- [0057] 도 2는 도 1의 라인(II-II)를 따라 취한 전자기 밴드갭 구조물의 단위 패턴을 나타내는 단면도.
- [0058] 도 3은 도 1의 전자기 밴드갭 구조물의 단위 패턴을 나타내는 평면도.
- [0059] 도 4a는 도 1의 단위 패턴의 차단부를 보여주는 개념도.
- [0060] 도 4b는 각 차단부의 차단주파수를 보여주는 그래프.
- [0061] 도 5a 내지 도 5c는 도 1의 단위 패턴의 등가회로를 나타내는 회로도.
- [0062] 도 6은 도 1의 전자기 밴드갭 구조물에서 전자파 노이즈 저감 정도를 나타내는 그래프.

**도면**

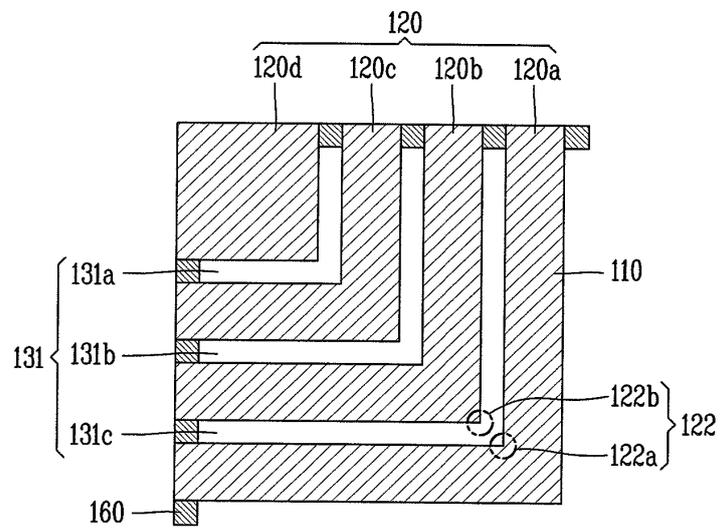
**도면1**



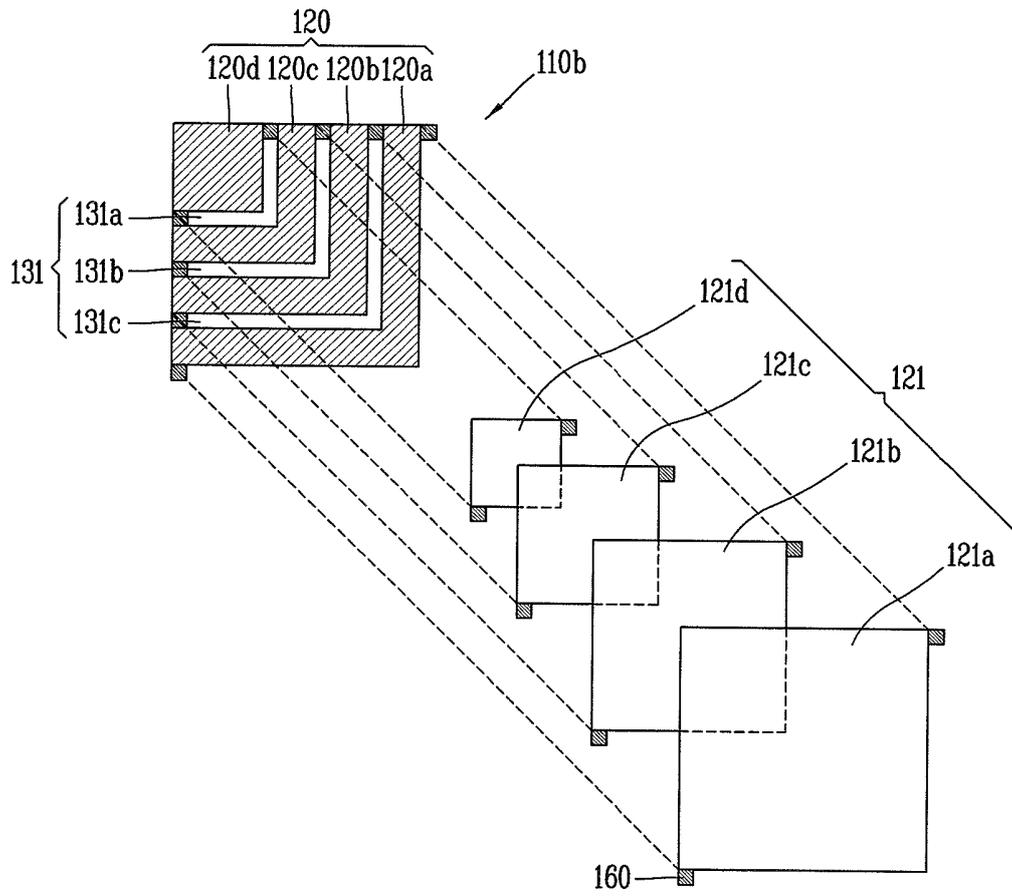
도면2



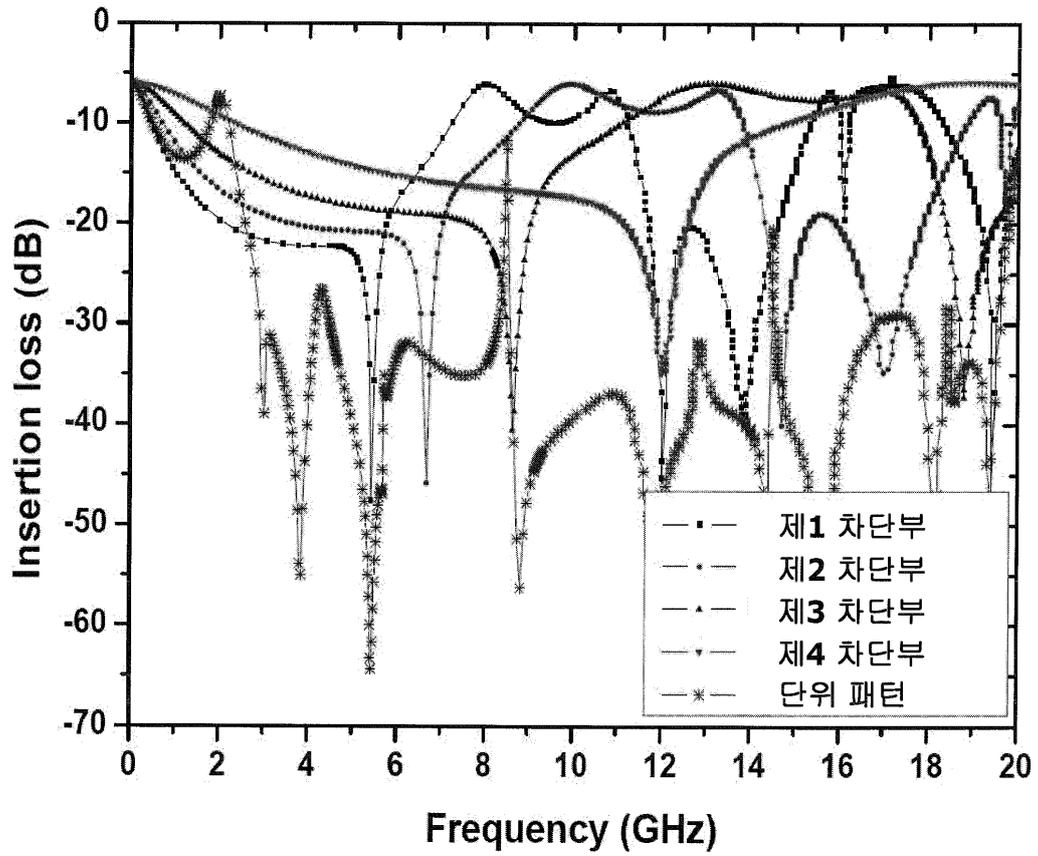
도면3



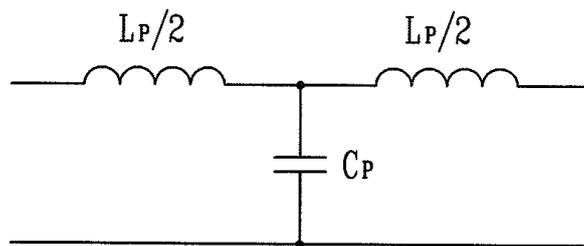
도면4a



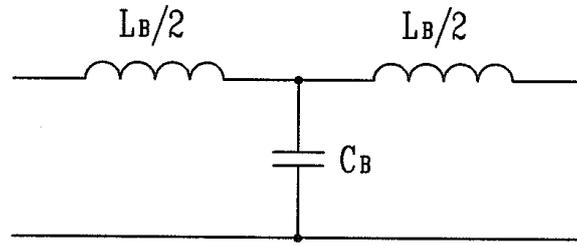
도면4b



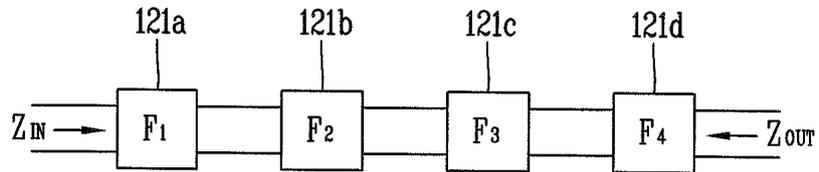
도면5a



도면5b



도면5c



도면6

