



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0055363
(43) 공개일자 2012년05월31일

(51) 국제특허분류(Int. Cl.)

H01L 27/108 (2006.01) H01L 21/8242

(2006.01)

(21) 출원번호 10-2010-0117062

(22) 출원일자 2010년11월23일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

박기연

경기 화성시 석우동 우미린제일풍경채아파트 11
8동 2903호

전인상

서울특별시 동작구 사당로20다길 32 (사당동)

(뒷면에 계속)

(74) 대리인

권혁수, 송윤호, 오세준

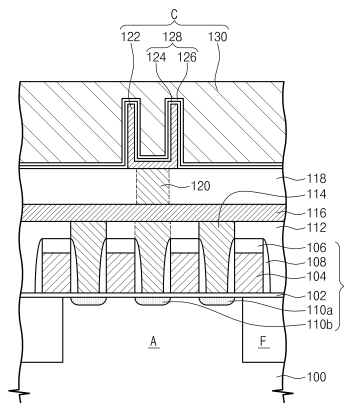
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **커패시터 및 이를 포함하는 반도체 소자**

(57) 요약

커패시터 및 이를 포함하는 반도체 소자를 제공한다. 커패시터는, 제1 전극, 제1 전극 상에 배치되며 정방정계 결정 구조를 가지며 제1 불순물이 도핑된 제1 금속 산화물을 포함하는 제1 유전막, 제1 금속 산화막 상에 배치되며 정방정계 결정 구조를 가지며 제2 불순물이 도핑된 제2 금속 산화물을 포함하는 제2 유전막 및 제2 유전막 상에 배치되는 제2 전극을 포함한다. 이때, 제1 유전막은 제2 유전막보다 낮은 결정화 온도와, 높은 유전 상수를 가질 수 있다.

대표도 - 도1



(72) 발명자

임한진

서울특별시 서초구 서초대로40길 72, 한빛삼성아파트 102-309 (서초동)

이영철

서울특별시 강동구 동남로 858, 5동 301호 (상일동, 벽산빌라)

이준노

경기도 화성시 효행로1040번길 21, 302호 (진안동)

특허청구의 범위

청구항 1

제1 전극;

상기 제1 전극 상에 배치되며, 정방정계(tetragonal) 결정 구조를 가지며 제1 불순물이 도핑된 제1 금속 산화물을 포함하는 제1 유전막;

상기 제1 금속 산화막 상에 배치되며, 정방정계 결정 구조를 가지며 제2 불순물이 도핑된 제2 금속 산화물을 포함하는 제2 유전막; 그리고,

상기 제2 유전막 상에 배치되는 제2 전극을 포함하되,

상기 제1 유전막은 상기 제2 유전막보다 낮은 결정화 온도와, 높은 유전 상수를 갖는 커패시터.

청구항 2

제1항에 있어서,

상기 제1 및 제2 유전막은 실리콘 산화물보다 높은 유전 상수를 갖는 커패시터.

청구항 3

제1항에 있어서,

상기 제1 및 제2 유전막은 각각 하프늄 산화물(HfO₂)을 포함하는 커패시터.

청구항 4

제1항에 있어서,

상기 제1 및 제2 유전막은 각각 지르코늄 산화물(ZrO₂)을 포함하는 커패시터.

청구항 5

제1항에 있어서,

제1 및 제2 유전막은 각각 하프늄 산화물 및 지르코늄 산화물의 혼합물을 포함하는 커패시터.

청구항 6

제1항에 있어서,

상기 제1 및 제2 불순물은 각각 실리콘(Si), 탄소(C), 게르마늄(Ge), 주석(Sn), 티탄(Ti) 및 세슘(Ce)으로 구성된 그룹으로부터 선택된 하나를 포함하는 커패시터.

청구항 7

제1항에 있어서,

상기 제2 유전막은 5Å 내지 25Å의 두께를 갖는 커패시터.

청구항 8

제1항에 있어서,

상기 제1 유전막 및 제2 유전막은 3:1의 두께 비율을 갖는 커패시터.

청구항 9

기관 상에 배치되며, 제1 및 제2 불순물 영역을 포함하는 트랜지스터(transistor);

상기 제1 불순물 영역과 전기적으로 연결되는 비트 라인(bit line); 그리고

상기 제2 불순물 영역과 전기적으로 연결되는 커패시터(capacitor)를 포함하되,

상기 커패시터는, 하부 전극, 상기 하부 전극 상에 배치되며 정방정계 결정 구조를 가지며 제1 불순물이 도핑된 제1 금속 산화물을 포함하는 제1 유전막, 상기 제1 유전막 상에 배치되며 정방정계 결정 구조를 가지며 제2 불순물이 도핑된 제2 금속 산화물을 포함하는 제2 유전막 및 상부 전극을 포함하며, 상기 제1 유전막은 상기 제2 유전막보다 낮은 결정화 온도 및 높은 유전 상수를 갖는 반도체 소자.

청구항 10

제9항에 있어서,

상기 제1 불순물은 게르마늄을 포함하고, 상기 제2 불순물은 실리콘을 포함하며,

상기 제2 유전막은 상기 제1 불순물이 상기 상부 전극 부근으로 확산을 억제하는 반도체 소자.

명세서

기술분야

[0001] 본 발명은 커패시터 및 이를 포함하는 반도체 소자에 관련된 것으로서, 더욱 상세하게는 고 유전상수를 갖는 유전막을 포함하는 커패시터 및 이를 포함하는 반도체 소자에 관련된 것이다.

배경기술

[0002] 반도체 메모리 소자의 집적도가 향상됨에 따라, 크기는 작아지면서, 높은 커패시턴스를 갖는 커패시터가 요구되어지고 있다. 특히, 높은 커패시턴스는 유전막의 유전율에 비례한다. 따라서, 커패시터의 유전막에 관한 연구가 활발히 진행되고 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명이 이루고자 하는 일 기술적 과제는 높은 유전율을 가지며 열적 안정성을 갖는 유전막을 포함하는 커패시터를 제공하는 데 있다.

[0004] 본 발명의 이루고자 하는 일 기술적 과제는 상기 커패시터를 포함하는 반도체 소자를 제공하는 데 있다.

[0005] 본 발명이 해결하고자 하는 과제는 이상에서 언급한 과제에 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0006] 본 발명의 개념에 따른 일 실시예는 커패시터를 제공한다. 상기 커패시터는, 제1 전극, 상기 제1 전극 상에 배치되며, 정방정계 결정 구조를 가지며 제1 불순물이 도핑된 제1 금속 산화물을 포함하는 제1 유전막, 상기 제1 금속 산화막 상에 배치되며, 정방정계 결정 구조를 가지며 제2 불순물이 도핑된 제2 금속 산화물을 포함하는 제2 유전막 및 상기 제2 유전막 상에 배치되는 제2 전극을 포함한다. 이때, 상기 제1 유전막은 상기 제2 유전막보다 낮은 결정화 온도와, 높은 유전 상수를 가질 수 있다.

[0007] 본 발명의 일 실시예에 따르면, 상기 제1 및 제2 유전막은 실리콘 산화물보다 높은 유전 상수를 가질 수 있다.

[0008] 본 발명의 다른 실시예에 따르면, 상기 제1 및 제2 유전막은 각각 하프늄 산화물(HfO₂)을 포함할 수 있다.

[0009] 본 발명의 또 다른 실시예에 따르면, 상기 제1 및 제2 유전막은 각각 지르코늄 산화물(ZrO₂)을 포함할 수 있다.

[0010] 본 발명의 또 다른 실시예에 따르면, 제1 및 제2 유전막은 각각 하프늄 산화물 및 지르코늄 산화물의 혼합물을 포함할 수 있다.

- [0011] 본 발명의 또 다른 실시예에 따르면, 상기 제1 및 제2 불순물은 각각 실리콘(Si), 탄소(C), 게르마늄(Ge), 주석(Sn), 티탄(Ti) 및 세슘(Ce)으로 구성된 그룹으로부터 선택된 하나를 포함할 수 있다.
- [0012] 본 발명의 또 다른 실시예에 따르면, 상기 제2 유전막은 5Å 내지 25Å의 두께를 가질 수 있다.
- [0013] 본 발명의 또 다른 실시예에 따르면, 상기 제1 유전막 및 제2 유전막은 3:1의 두께 비율을 가질 수 있다.
- [0014] 본 발명의 개념에 따른 다른 실시예는 반도체 소자를 제공한다. 상기 반도체 소자는, 기판 상에 배치되며, 제1 및 제2 불순물 영역을 포함하는 트랜지스터, 상기 제1 불순물 영역과 전기적으로 연결되는 비트 라인 및 상기 제2 불순물 영역과 전기적으로 연결되는 커패시터를 포함한다. 이때, 상기 커패시터는, 하부 전극, 상기 하부 전극 상에 배치되며 정방정계 결정 구조를 가지며 제1 불순물이 도핑된 제1 금속 산화물을 포함하는 제1 유전막, 상기 제1 유전막 상에 배치되며 정방정계 결정 구조를 가지며 제2 불순물이 도핑된 제2 금속 산화물을 포함하는 제2 유전막 및 상부 전극을 포함하며, 상기 제1 유전막은 상기 제2 유전막보다 낮은 결정화 온도 및 높은 유전 상수를 가질 수 있다.
- [0015] 본 발명의 일 실시예에 따르면, 상기 제1 불순물은 게르마늄을 포함하고, 상기 제2 불순물은 실리콘을 포함하며, 상기 제2 유전막은 상기 제1 불순물이 상부 전극 부근으로 확산을 억제할 수 있다.

발명의 효과

- [0016] 본 발명의 개념에 따른 실시예들에 따르면, 게르마늄이 도핑된 제1 금속 산화물을 포함하는 제1 유전막 및 실리콘이 도핑된 제2 금속 산화물을 포함하는 제2 유전막을 포함하는 커패시터는 누설 전류 특성이 향상되고, 유전막 내 내열성을 향상시킬 수 있다. 또한, 커패시터의 커패시턴스 값을 향상시킬 수 있다.

도면의 간단한 설명

- [0017] 도 1은 본 발명의 실시예들에 따른 반도체 소자를 설명하기 위한 단면도이다.
- 도 2a 내지 도 2d은 본 발명의 실시예들에 따른 커패시터의 제조 방법을 설명하기 위한 공정 단면도들이다.
- 도 3a 내지 도 3c는 커패시터의 유전막 구조물 내에서 게르마늄의 농도에 따라 게르마늄의 확산되는 정도를 나타내는 그래프들이다.
- 도 4a 및 도 4b는 본 발명에 따른 커패시터와 일반적인 커패시터의 누설 전류를 비교하는 그래프들이다.
- 도 5a는 본 발명의 실시예들에 따른 메모리 장치를 포함하는 시스템을 나타내는 블록도이다.
- 도 5b는 본 발명의 실시예들에 따른 메모리 장치가 적용된 메모리 카드를 나타내는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0018] 이상의 본 발명의 목적들, 다른 목적들, 특징들 및 이점들은 첨부된 도면과 관련된 이하의 바람직한 실시예들을 통해서 쉽게 이해될 것이다. 그러나 본 발명은 여기서 설명되는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다.
- [0019] 본 명세서에서, 어떤 구성 요소가 다른 구성 요소 상에 있다고 언급되는 경우에 그것은 다른 구성요소 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 구성요소가 개재될 수도 있다는 것을 의미한다. 또한, 도면들에 있어서, 구성요소들의 두께는 기술적 내용의 효과적인 설명을 위해 과장된 것이다.
- [0020] 본 명세서에서 기술하는 실시예들은 본 발명의 이상적인 예시도인 단면도 및/또는 평면도들을 참고하여 설명될 것이다. 도면들에 있어서, 막 및 영역들의 두께는 기술적 내용의 효과적인 설명을 위해 과장된 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 예를 들면, 직각으로 도시된 식각 영역은 라운드지거나 소정 곡률을 가지는 형태일 수 있다. 따라서, 도면에서 예시된 영역들은 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이며 발명의 범주를 제한하기 위한 것이 아니다. 본 명세서의 다양한 실시예들에서 제1, 제2 등의 용어가 다양한 구성요소들을 기술하기 위해서 사용되었지만, 이들 구성요소들이 이 같은 용어들에 의해서 한정되어서는 안 된다. 이들 용어들은 단지 어느 구성요소를 다른 구성요소와 구별시키기 위해서 사용되었을 뿐이다. 여기에 설명되고 예시되는 실시예들은 그것의 상보적인 실시예들도 포함한다.

- [0021] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 '포함한다(comprises)' 및/또는 '포함하는(comprising)'은 언급된 구성요소는 하나 이상의 다른 구성요소의 존재 또는 추가를 배제하지 않는다.
- [0022] 이하, 도면들을 참조하여, 본 발명의 실시예들에 대해 상세히 설명하기로 한다.
- [0023] **(반도체 소자)**
- [0024] 도 1은 본 발명의 실시예들에 따른 반도체 소자를 설명하기 위한 단면도이다.
- [0025] 도 1을 참조하면, 반도체 소자는 기판(100), 트랜지스터(T), 비트 라인(116) 및 커패시터(C)를 포함할 수 있다.
- [0026] 기판(100)은 액티브 영역(active area, A) 및 필드 영역(field area, F)을 포함할 수 있다. 필드 영역(F)은 STI(Shallow Trench Isolation) 공정을 통하여 형성될 수 있다. 액티브 영역(A)은 필드 영역(F)에 의해 한정될 수 있다. 액티브 영역(A)은 제1 방향으로 연장될 수 있다.
- [0027] 트랜지스터(T)는 게이트 절연막(102), 게이트 전극(104), 제1 및 제2 불순물 영역들(110a, 110b)을 포함할 수 있다. 게이트 절연막(102)은 실리콘 산화물 또는 금속 산화물을 포함할 수 있다. 게이트 전극(104)은 제1 방향과 다른 제2 방향으로 연장될 수 있다. 게이트 전극(104)은 불순물이 도핑된 실리콘, 금속 또는 금속 화합물을 포함할 수 있다. 게이트 전극(104) 상에는 마스크(106)가 더 배치될 수 있다. 마스크(106)는 실리콘 질화물과 같은 질화물을 포함할 수 있다. 게이트 전극(104) 양측벽에는 스페이서(108)가 더 배치될 수 있다. 스페이서(108)는 실리콘 질화물과 같은 질화물을 포함할 수 있다. 제1 및 제2 불순물 영역들(110a, 110b)은 게이트 전극(104)에 인접한 기판(100) 표면에 형성될 수 있다. 제1 및 제2 불순물 영역들(110a, 110b)은 소스/드레인의 기능을 수행할 수 있다.
- [0028] 본 발명에서, 플레나(planar) 구조의 트랜지스터(T)를 실시예로 설명하고 있으나, 본 발명이 트랜지스터(T)의 구조를 한정하는 것은 아니다. 트랜지스터(T)는 매립된 채널을 갖는 트랜지스터(buried channel array transistor; BCAT) 구조 또는 기둥(pillar) 형상의 액티브 영역(A)에 형성된 수직 채널을 갖는 트랜지스터(vertical channel array transistor; VCAT) 구조 등의 다양한 구조를 가질 수 있다.
- [0029] 비트 라인(116)은 트랜지스터(T)의 제1 불순물 영역(110a)과 전기적으로 연결될 수 있다. 비트 라인(116)과 트랜지스터(T)는 제1 층간 절연막(112)에 의해 전기적으로 공간적으로 분리될 수 있다. 비트 라인(116)은 제1 불순물 영역(110a)과 제1 콘택(114)에 의해 전기적으로 연결될 수 있다. 제1 콘택(114)은 제1 층간 절연막(112)을 관통하여 배치될 수 있다.
- [0030] 비트 라인(116)은 제3 방향으로 연장될 수 있다. 제3 방향은 제2 방향과 수직일 수 있다. 또한, 제1 방향은 제2 및 제3 방향 사이일 수 있다. 비트 라인(116)은 불순물이 도핑된 실리콘, 금속 또는 금속 화합물을 포함할 수 있다. 또한, 비트 라인(116)은 상기 열거된 물질들이 적층된 다층 구조를 가질 수 있다.
- [0031] 커패시터(C)와 제2 불순물 영역(110b)는 전기적으로 연결될 수 있다. 커패시터(C)와 비트 라인(116)은 제2 층간 절연막(118)에 의해 전기적으로 공간적으로 분리될 수 있다. 커패시터(C)와 트랜지스터(T)는 제1 및 제2 층간 절연막(112, 118)에 의해 전기적으로 공간적으로 분리될 수 있다. 커패시터(C)는 제2 불순물 영역(110b)과 제2 콘택(120)에 의해 전기적으로 연결될 수 있다. 제2 콘택(120)은 제1 및 제2 층간 절연막(112, 118)을 관통하여 배치될 수 있다.
- [0032] 커패시터(C)는 하부 전극(122), 유전막 구조물(128) 및 상부 전극(130)을 포함할 수 있다. 하부 전극(122)은 불순물이 도핑된 실리콘, 금속 또는 금속 화합물을 포함할 수 있다. 상부 전극(130)은 불순물이 도핑된 실리콘, 금속 또는 금속 화합물을 포함할 수 있다. 예컨대, 상부 전극(130)은 하부 전극(122)에 포함된 물질과 실질적으로 동일한 물질을 포함할 수 있다. 유전막 구조물(128)은 하부 전극(122) 및 상부 전극(130) 사이에 배치될 수 있다.
- [0033] 본 발명에서, 저면이 패쇄된 실린더(cylinder) 형상의 하부 전극(122)을 포함하는 커패시터(C)를 실시예로 설명하고 있으나, 본 발명이 커패시터(C)의 구조를 한정하는 것은 아니다. 커패시터(C)는 하부 전극(122), 유전막 구조물(128) 및 상부 전극(130)이 적층된 플레나(planar) 구조 또는 콘케이브(concave) 구조 등의 다양한

구조를 가질 수 있다.

- [0034] 유전막 구조물(128)은 하부 전극(122) 상에 배치된 제1 유전막(124)과, 제1 유전막(124) 상에 배치된 제2 유전막(126)을 포함할 수 있다.
- [0035] 제1 유전막(124)은 제1 불순물이 도핑된 제1 금속 산화물을 포함할 수 있다. 본 발명의 실시예들에 따르면, 제1 불순물은 실리콘, 티탄, 게르마늄, 주석, 세슘 및 탄소로 이루어진 그룹으로부터 선택된 적어도 하나를 포함할 수 있다. 제1 금속 산화물은 단사정계(monoclinic) 결정 구조 및 정방정계(tetragonal) 결정 구조를 가질 수 있다. 제1 금속 산화물은 하프늄 산화물(HfO_x), 지르코늄 산화물(ZrO_x) 또는 하프늄 산화물 및 지르코늄 산화물의 혼합물일 수 있다. 예컨대, 제1 불순물이 도핑되지 않은 하프늄 산화물의 경우, 약 1,300℃ 이하에서 단사정계 결정 구조를 가지며, 약 1,300℃ 이상에서 정방정계 결정 구조를 가질 수 있다. 한편, 제1 불순물이 도핑된 하프늄 산화물인 경우, 약 1,300℃ 이하의 온도에서도 정방정계 결정 구조를 가질 수 있다. 따라서, 제1 불순물이 도핑된 제1 금속 산화물은 낮은 온도에서도 안정한 정방정계 결정 구조를 가질 수 있다.
- [0036] 제2 유전막(126)은 제2 불순물이 도핑된 제2 금속 산화물을 포함할 수 있다. 본 발명의 실시예들에 따르면, 제2 불순물은 실리콘, 티탄, 게르마늄, 주석, 세슘 및 탄소로 이루어진 그룹으로부터 선택된 적어도 하나를 포함할 수 있다. 제2 금속 산화물은 단사정계 결정 구조 및 정방정계 결정 구조를 갖는 금속 산화물을 포함할 수 있다. 예컨대, 제2 금속 산화물은 하프늄 산화물, 지르코늄 산화물 또는 하프늄 산화물 및 지르코늄 산화물의 혼합물일 수 있다.
- [0037] 제1 불순물은 제2 불순물보다 실질적으로 낮은 결정화 온도를 가질 수 있다. 예컨대, 제1 유전막(124)에 포함된 제1 불순물은, 도핑된 제1 불순물의 농도에 대하여 약 20% 내지 약 25%가 그 결정 구조를 유지할 수 있다. 또한, 제1 유전막(124)의 유전 상수가 제2 유전막(126)의 유전 상수보다 실질적으로 클 수 있다.
- [0038] 제2 유전막(126)은 하부에 배치된 제1 유전막(124)의 제1 불순물이 상부 전극(130)으로 확산되는 것을 억제할 수 있다. 제2 유전막(126)의 두께는 약 5Å 내지 약 25Å 범위 내일 수 있다. 제2 유전막(126)이 약 5Å보다 작은 두께를 가질 경우, 제1 불순물의 확산을 억제하기에 부족할 수 있다. 반면, 제2 유전막(126)이 약 25Å보다 두꺼운 두께를 가질 경우, 유전막 구조물(128)에서 제1 유전막(124)보다 작은 유전 상수를 갖는 제2 유전막(126)이 차지하는 비율이 커져, 등가 산화막 두께(equivalent oxide thickness: EOT) 감소 성능이 저하될 수 있다. 따라서, 제2 유전막(126)은 약 5Å 내지 약 25Å 범위의 두께를 가질 수 있다.
- [0039] 유전막 구조물(128)에서, 제1 및 제2 유전막(122, 124) 사이의 두께 비율은 약 3:1 정도일 수 있다. 이는 유전막 구조물(128)에서 유전 상수가 보다 큰 제1 유전막(124)의 두께 비율을 높여, 등가 산화막 두께 감소 성능을 향상시키기 위함이다.
- [0040] 이하에서, 제1 및 제2 유전막(122, 124)의 물질을 더욱 한정하여 설명하기로 한다.
- [0041] 제1 유전막(124)은 게르마늄이 도핑된 제1 금속 산화물을 포함할 수 있다. 제1 금속 산화물은 하프늄 산화물 및 지르코늄 산화물의 혼합물일 수 있다. 본 발명의 실시예들에 따르면, 제1 유전막(124)은 하프늄 산화물, 지르코늄 산화물 및 게르마늄 산화물을 포함할 수 있다. 제1 유전막(124)은 정방정계 결정 구조 및 단사정계 결정 구조를 포함하며, 정방정계 결정 구조가 단사정계 결정구조보다 실질적으로 많을 수 있다. 또한, 제1 유전막(124)은 약 400℃의 결정화 온도를 가지며, 약 45의 유전 상수를 가질 수 있다.
- [0042] 제2 유전막(126)은 실리콘이 도핑된 제2 금속 산화물을 포함할 수 있다. 제2 금속 산화물은 하프늄 산화물 및 지르코늄 산화물의 혼합물일 수 있다. 본 발명의 실시예들에 따르면, 제2 유전막(126)은 하프늄 산화물, 지르코늄 산화물 및 실리콘 산화물을 포함할 수 있다. 제2 유전막(126)은 정방정계 결정 구조 및 단사정계 결정 구조를 포함하며, 정방정계 결정 구조가 단사정계 결정 구조보다 실질적으로 많을 수 있다.
- [0043] 실리콘을 제2 금속 산화물에 도핑할 때, 실리콘의 도핑 농도 따라 제2 유전막(126)의 전기적 특성이 매우 달라질 수 있다. 예를 들어, 제2 유전막(126) 내 실리콘의 농도가 너무 낮은 경우, 제2 유전막(126)에 누설 전류가 발생할 수 있다. 제2 유전막(126) 내 실리콘의 농도가 너무 높은 경우, 제2 유전막(126)은 비정질될 수 있다. 비정질화된 제2 유전막(126)의 유전 상수는 약 50%까지 감소하여, 커패시턴스 값의 저하가 유발시킬 수 있다. 이러한 특성을 농도 마진이 협소하다라고 한다.
- [0044] 이에 반하여, 게르마늄을 제1 금속 산화물에 도핑할 때, 게르마늄의 도핑 농도 마진이 넓다. 또한, 제1 유전막(124)이 제2 유전막(126) 보다 약 50℃ 정도 낮은 약 400℃의 결정화 온도를 가질 수 있다. 따라서, 게르마

늄의 도핑 농도에 따라 제1 유전막(124) 내 결정화 정도가 실리콘을 불순물로 사용할 때보다 약 2배 정도 증가될 수 있다.

[0045] 결정화된 후 제1 유전막(124) 내 게르마늄은, 게르마늄 도핑 농도의 약 20% 내지 약 25% 정도가 그 결정 구조를 유지할 수 있다. 이러한 결정화 특성에 의해, 제1 유전막(124)이 실리콘을 포함하는 제2 유전막(126)보다 약 10% 내지 15% 정도 유전율이 향상되어 약 40 내지 약 45의 유전 상수 값을 획득할 수 있다. 따라서, 게르마늄을 포함하는 제1 유전막(124)을 사용하면, 등가 산화막 두께 감소 면에서 우수한 효과를 나타낼 수 있다.

[0046] 그러나, 게르마늄이 도핑된 제2 유전막(126)은 열에 대한 내열성이 취약한 단점이 있다. 상세하게 설명하면, 게르마늄 이산화물은 약 400°C에서 게르마늄 일산화물로 분해되어 탈착이 일어나며, 약 430°C에서 탈착이 완료되어 게르마늄 이산화물은 완전하게 제거되는 것으로 알려져 있다. 분해된 게르마늄 일산화물은 고체상 또는 기체상일 수 있다. 게르마늄 이산화물이 게르마늄 일산화물로 분해되는 것을 하기의 식(1)을 참조한다.



[0048] 더불어, 제1 유전막(124) 내 게르마늄은 물질 자체의 열적 특성에 의해, 게르마늄 성분이 상부 전극(130) 부근으로 확산될 수 있다. 이에 대한 설명은 도 3a 내지 도 3b에서 더욱 상세하게 설명하기로 한다.

[0049] 따라서, 본 발명의 몇몇 실시예들에 따르면, 게르마늄을 포함하는 제1 유전막(124)을 하부 전극(122) 상에 배치하여 결정화 성능 및 캐패시턴스 값을 향상시키며 누설 전류 열화도 방지하며, 실리콘을 포함하는 제2 유전막(126)을 제1 유전막(124) 상에 배치하여 게르마늄의 확산을 억제할 수 있다. 제2 유전막(126)의 두께는 약 5Å 내지 약 25Å일 수 있다. 또한, 제1 유전막(124) 및 제2 유전막(126)의 두께 비율은 약 3:1 정도일 수 있다.

[0050] 본 실시예에서는 제1 유전막(124)이 게르마늄을 포함하며, 제2 유전막(126)이 실리콘을 포함하는 것을 설명하고 있으나, 본 발명에서는 제1 및 제2 불순물로 티탄, 주석, 세슘 또는 탄소 등을 사용할 수 있으며, 제1 및 제2 불순물의 각각의 특성을 이용하여 제1 및 제2 유전막(122, 124)의 단점들을 서로 보완한다면 족하다.

[0051] **(커패시터의 제조 방법)**

[0052] 도 2a 내지 도 2d는 본 발명의 실시예들에 따른 커패시터의 제조 방법을 설명하기 위한 공정 단면도들이다. 도 2a 내지 도 2d에 도시된 커패시터는 도 1의 커패시터를 제조하는 방법을 설명하기 위한 공정 단면도들이다.

[0053] 도 2a를 참조하면, 하부 구조물이 형성된 기판(100)에 하부 전극(122)을 형성할 수 있다.

[0054] 하부 구조물은 트랜지스터(T), 제1 콘택(114), 비트 라인(116) 및 제2 콘택(120)일 수 있다. 트랜지스터(T) 및 비트 라인(116)을 전기적으로 공간적으로 분리하는 제1 층간 절연막(112)과, 비트 라인(116) 및 하부 전극(122)을 전기적으로 공간적으로 분리하는 제2 층간 절연막(118)을 더 포함할 수 있다. 하부 전극(122)은 제2 콘택(120)에 전기적으로 연결되도록 형성될 수 있다. 하부 구조물을 형성하는 방법은 공지된 기술과 유사하거나 동일하여 그 설명을 생략하기로 한다.

[0055] 하부 전극(122)을 형성하는 방법을 설명하기로 한다. 상세하게 도시되어 있지는 않지만, 제2 층간 절연막(118) 상에 제2 콘택(120)을 노출시키는 개구를 갖는 제1 희생막을 형성할 수 있다. 제1 희생막은 포토레지스트 또는 산화물을 포함할 수 있다. 제1 희생막 상에 컨포멀하게 제1 도전막을 형성할 수 있다. 제1 도전막은 개구를 매립하지 않도록 제1 희생막의 표면 프로파일(profile)을 따라 연속적으로 형성될 수 있다. 제1 도전막이 형성된 개구를 매립하는 제2 희생막을 형성할 수 있다. 제2 희생막은 제1 희생막과 실질적으로 동일한 물질을 포함할 수 있다. 예컨대, 제2 희생막은 포토레지스트 또는 산화물을 포함할 수 있다. 제1 희생막의 상부면이 노출되도록 제1 도전막을 식각하여 노드(node) 분리된 하부 전극(122)을 형성할 수 있다. 하부 전극(122)이 형성된 후, 제1 및 제2 희생막을 제거할 수 있다.

[0056] 도 2b를 참조하면, 하부 전극(122) 상에 컨포멀하게 제1 유전막(124)을 형성할 수 있다. 제1 유전막(124)은 하부 전극(122)의 내부를 매립하지 않도록 하부 전극(122)의 표면 프로파일을 따라 연속적으로 형성될 수 있다. 제1 유전막(124)은 게르마늄이 도핑된 제1 금속 산화물을 포함할 수 있다.

[0057] 제1 유전막(124)을 형성하는 방법에 대하여 더욱 상세하게 설명하면, 예비 제1 금속 산화막을 형성할 수 있다. 예비 제1 금속 산화막은 지르코늄 산화물 또는 hafnium 산화물 및 지르코늄 산화물의 혼합물일 수 있다.

예를 들어 예비 제1 금속 산화막이 하프늄 산화물을 포함하는 경우, 예비 제1 금속 산화막은 단사정계 결정 구조를 가질 수 있다. 예비 제1 금속 산화막은 실리콘 산화물보다 실질적으로 큰 유전 상수를 가질 수 있다. 예비 제1 금속 산화막은 원자층 적층 공정에 의해 형성될 수 있다. 예비 제1 금속 산화막에 게르마늄을 도핑하여 제1 유전막(124)을 형성할 수 있다.

[0058] 본 발명의 실시예들에 따르면, 예비 제1 금속 산화막을 형성하는 공정과, 게르마늄을 예비 제1 금속 산화막에 도핑하는 공정은 하나의 공정에서 수행될 수 있다. 예를 들어, 예비 제1 금속 산화막이 원자층 적층 공정으로 형성되는 경우, 하프늄 또는 지르코늄 소스 주입, 퍼지(purge), 산소 소스 주입, 퍼지, 게르마늄 소스 주입, 퍼지의 사이클(cycle)을 조합하여 진행하여 제1 유전막(124)을 형성할 수 있다.

[0059] 도 2c를 참조하면, 제1 유전막(124) 상에 컨포멀하게 제2 유전막(126)을 형성할 수 있다. 제2 유전막(126)은 제1 유전막(124)이 형성된 하부 전극(122)의 내부를 매립하지 않도록 제1 유전막(124)의 표면 프로파일을 따라 연속적으로 형성될 수 있다. 제2 유전막(126)은 실리콘이 도핑된 제2 금속 산화물을 포함할 수 있다.

[0060] 제2 유전막(126)을 형성하는 방법에 대하여 더욱 상세하게 설명하면, 예비 제2 금속 산화막을 형성할 수 있다. 예비 제2 금속 산화막은 지르코늄 산화물 또는 하프늄 산화물 및 지르코늄 산화물의 혼합물일 수 있다. 예를 들어 예비 제1 금속 산화막이 하프늄 산화물을 포함하는 경우, 예비 제1 금속 산화막은 단사정계 결정 구조를 가질 수 있다. 예비 제2 금속 산화막은 실리콘 산화막보다 실질적으로 큰 유전 상수를 가질 수 있다. 예비 제2 금속 산화막은 원자층 적층 공정에 의해 형성될 수 있다. 예비 제2 금속 산화막에 실리콘을 도핑하여 제2 유전막(126)을 형성할 수 있다.

[0061] 본 발명의 실시예들에 따르면, 예비 제2 금속 산화막을 형성하는 공정과, 실리콘을 예비 제2 금속 산화막에 도핑하는 공정은 하나의 공정에서 수행될 수 있다. 예를 들어 예비 제2 금속 산화막이 원자층 적층 공정으로 형성되는 경우, 하프늄 또는 지르코늄 소스 주입, 퍼지, 산소 소스 주입, 퍼지, 실리콘 소스 주입, 퍼지의 사이클을 조합하여 진행하여 제2 유전막(126)을 형성할 수 있다.

[0062] 제1 유전막(124) 및 제2 유전막(126)의 두께 비율은 약 3:1일 수 있으며, 제2 유전막(126)은 약 5Å 내지 약 25Å의 두께를 가질 수 있다.

[0063] 이로써, 하부 전극(122) 상에 제1 및 제2 유전막(122, 124)을 포함하는 유전막 구조물(128)을 형성할 수 있다. 유전막 구조물(128)은 큰 유전 상수를 가지며 낮은 결정화 온도를 갖는 제1 유전막(124)과, 제1 유전막(124)의 게르마늄의 확산을 억제하는 제2 유전막(126)을 포함할 수 있다. 본 발명에 따른 유전막 구조물(128)은 누설 전류 발생이 억제되며, 유전막 구조물(128)을 포함하는 커패시터(C)는 높은 커패시턴스 값을 가질 수 있다.

[0064] 도 2d를 참조하면, 유전막 구조물(128) 상에 상부 전극(130)을 형성할 수 있다.

[0065] 상부 전극(130)은 유전막 구조물(128)이 형성된 하부 전극(122)의 내부를 매립하도록 형성될 수 있다. 상부 전극(130)은 불순물이 도핑된 실리콘, 금속 또는 금속 화합물을 포함할 수 있다. 예컨대, 상부 전극(130)은 하부 전극(122)을 이루는 물질과 실질적으로 동일한 물질을 포함할 수 있다.

[0066] **(실험예)**

[0067] 도 3a 내지 도 3c는 커패시터의 유전막 구조물내에서 게르마늄의 농도에 따라 게르마늄의 확산되는 정도를 나타내는 그래프들이다.

[0068] 도 3a 내지 도 3c에서, X축은 스퍼터(sputter) 시간을 나타내며 단위는 초이고, Y축은 이온들의 정규 세기(normalized intensity)를 나타낸다.

[0069] 상부 전극(130), 제1 유전막(124) 및 하부 전극(122)을 포함하는 커패시터(C)를 준비한다. 상부 전극(130)으로부터 제1 유전막(124) 및 하부 전극(122)으로 스퍼터링 식각(sputtering etching)하면서, 식각 공정 중에 발생하는 이온들의 정규 세기를 알아본다.

[0070] 도 3a 내지 도 3c에서 각각의 점선으로 표기된 그래프는 기준이 되는 그래프이다. 점선으로 표기된 그래프는 상부 전극, 지르코늄 산화물 및 하프늄 산화물이 혼합된 금속 산화물을 포함하는 유전막 및 하부 전극을 포함하는 기준 커패시터에 대한 정규 세기를 나타내는 그래프들이다. 기준 커패시터는 불순물이 도핑되지 않은 금속 산화물로 이루어진 유전막을 갖는다.

- [0071] 도 3a 내지 도 3c에서 각각의 실선으로 표기된 그래프는 상부 전극(130), 게르마늄이 도핑되고 지르코늄 산화물 및 hafnium 산화물이 혼합된 금속 산화물을 포함하는 제1 유전막(124) 및 하부 전극(122)을 포함하는 커패시터(C)에 대한 게르마늄 이온의 정규 세기를 나타내는 그래프들이다. 실선의 커패시터는 게르마늄이 도핑된 금속 산화물로 이루어진 제1 유전막(124)을 갖는다. 도 3a는 제1 유전막(124) 내 게르마늄이 약 4.5%로 도핑되었고, 도 3b는 제1 유전막(124) 내 게르마늄이 약 7.7%로 도핑되었고, 도 3c는 제1 유전막(124) 내 게르마늄이 약 14.5%로 도핑되었다.
- [0072] 도 3a 내지 도 3c를 참조하면, 점선의 그래프의 기울기가 0에서 올라가는 부위가 상부 전극과 유전막 구조물의 경계면이고, 점선의 그래프의 기울기가 내려가 0이 되는 부위가 유전막 구조물과 하부 전극의 경계면이다.
- [0073] 실선을 살펴보면, 게르마늄의 농도가 증가할수록 실선의 그래프의 기울기가 0에서 올라가는 부위가 상부 전극(130) 부근으로 이동하는 것을 볼 수 있다. 따라서, 제1 유전막(124) 내 게르마늄의 농도가 증가할수록 게르마늄이 상부 전극(130)에서 발견되는 양이 증가하며, 이로써, 게르마늄이 상부 전극(130)으로 확산한다는 것을 알 수 있다.
- [0074] 도 4a 및 도 4b는 본 발명에 따른 커패시터와 일반적인 커패시터의 누설 전류를 비교하는 그래프들이다.
- [0075] 도 4a 및 도 4b에서, X축은 커패시터에 인가된 전압을 나타내며 단위는 볼트(V)이며, Y축은 커패시터의 누설 전류의 양을 나타내며 단위는 A/cm^2 이다.
- [0076] 도 4a에서, 점선으로 표시된 그래프는 기준이 되는 그래프이다. 점선으로 표기된 그래프는 하부 전극(122), 게르마늄이 도핑된 지르코늄 산화물 및 hafnium 산화물이 혼합된 제1 금속 산화물을 포함하는 제1 유전막(124) 및 상부 전극(130)을 포함하는 커패시터(C)에 인가된 전압에 따른 누설 전류 양을 나타내는 그래프이다. 점선의 기준 커패시터(C)에는 열처리하지 않았다.
- [0077] 도 4a에서, 실선으로 표시된 그래프는 하부 전극(122), 게르마늄이 도핑된 지르코늄 산화물 및 hafnium 산화물이 혼합된 금속 산화물을 포함하는 제1 유전막(124) 및 상부 전극(130)을 포함하는 커패시터(C)를, 약 550°C에서 급속 열처리(rapid thermal process)한 후, 커패시터(C)에 인가된 전압에 따른 누설 전류 양을 나타내는 그래프이다.
- [0078] 도 4a를 참조하면, 게르마늄이 도핑된 금속 산화물을 포함하는 제1 유전막(124)을 약 550°C에서 열처리한 경우, 음의 전위에서 누설 전류 특성이 열화된 것을 볼 수 있다. 예를 들어, 열처리하지 않은 커패시터(C)의 경우 +1.60V 및 -0.99V에서 약 $10^{-7} A/cm^2$ 의 누설 전류가 발생하였다. 이와 비교하여 열처리한 커패시터(C)의 경우, +1.14V 및 -0.62V에서 약 $10^{-7} A/cm^2$ 의 누설 전류가 발생하였다.
- [0079] 이로써, 게르마늄이 도핑된 금속 산화물을 포함하는 제1 유전막(124)은 내열성에 취약하다는 것을 알 수 있다. 따라서, 본 발명의 실시예들에 따르면, 게르마늄이 도핑된 금속 산화물을 포함하는 제1 유전막(124) 상에 실리콘이 도핑된 금속 산화물을 포함하는 제2 유전막(126)을 얇게 형성함으로써 이를 극복할 수 있다. 이에 대한 설명은 도 4b를 참조하기로 한다.
- [0080] 도 4b에서, 점선으로 표시된 그래프는 기준이 되는 그래프이다. 점선으로 표기된 그래프는 하부 전극(122), 게르마늄이 도핑된 지르코늄 산화물 및 hafnium 산화물이 혼합된 금속 산화물을 포함하는 제1 유전막(124), 실리콘이 도핑된 지르코늄 산화물 및 hafnium 산화물이 혼합된 금속 산화물을 포함하는 제2 유전막(126) 및 상부 전극(130)을 포함하는 커패시터(C)에 인가된 전압에 따른 누설 전류 양을 나타내는 그래프이다. 점선의 커패시터(C)는 본 발명의 실시예들에 따른 유전막 구조물(128)을 가지며, 열처리하지 않는다.
- [0081] 도 4b에서, 실선으로 표시된 그래프는 하부 전극(122), 게르마늄이 도핑된 지르코늄 산화물 및 hafnium 산화물이 혼합된 금속 산화물을 포함하는 제1 유전막(124), 실리콘이 도핑된 지르코늄 산화물 및 hafnium 산화물이 혼합된 금속 산화물을 포함하는 제2 유전막(126) 및 상부 전극(130)을 포함하는 커패시터(C)를 약 550°C에서 급속 열처리한 후, 커패시터(C)에 인가된 전압에 따른 누설 전류 양을 나타내는 그래프이다. 실선의 커패시터(C)는 본 발명의 실시예들에 따른 유전막 구조물(128)을 가지며, 열처리한다.
- [0082] 도 4b에서, 일점쇄선으로 표시된 그래프는 하부 전극(122), 게르마늄이 도핑된 지르코늄 산화물 및 hafnium 산화물이 혼합된 금속 산화물을 포함하는 제1 유전막(124) 및 상부 전극(130)을 포함하는 커패시터(C)를 약 550°C에서 급속 열처리한 후, 커패시터(C)에 인가된 전압에 따른 누설 전류 양을 나타내는 그래프이다. 일점쇄선

의 커패시터(C)는 제1 유전막(124)을 가지며, 열처리한다.

[0083] 도 4b를 참조하면, 제1 유전막(124) 및 제2 유전막(126)을 포함한 커패시터(점선)와 제1 유전막(124) 및 제2 유전막(126)을 포함하고 약 550℃에서 급속 열처리한 커패시터(실선)의 누설 전류 특성은 매우 유사하다는 것을 볼 수 있다. 예를 들어, 제1 및 제2 유전막(122, 124)을 포함하고 열처리하지 않은 커패시터(C)의 경우, +1.43V 및 -1.41V에서 약 10^{-7} A/cm²의 누설 전류가 발생하였다. 제1 및 제2 유전막(122, 124)을 포함하고 열처리한 커패시터의 경우, +1.39V 및 -1.17V에서 약 10^{-7} A/cm²의 누설 전류가 발생하였다.

[0084] 이에 비교하여, 제1 유전막(124)만을 포함하고 약 550℃에서 급속 열처리한 커패시터(일점쇄선)의 경우, 누설 전류 특성이 열화된 것을 볼 수 있다. 특히 음의 전위에서 누설 전류 특성이 크게 열화되었다. 예를 들면, 제1 유전막(124)만 포함하고 약 550℃에서 급속 열처리한 커패시터(일점쇄선)는 +1.14V 및 -0.62V에서 약 10^{-7} A/cm²의 누설 전류가 발생하였다.

[0085] 이로써, 게르마늄이 도핑된 금속 산화물을 포함하는 제1 유전막(124) 및 실리콘이 도핑된 금속 산화물을 포함하는 제2 유전막(126)이 적층된 유전막 구조물(128)을 커패시터(C)에 적용하면, 약 550℃ 정도의 온도에서도 커패시터(C)의 누설 전류 특성 열화를 방지할 수 있다. 또한, 커패시터(C)의 내열성을 향상시킬 수 있다.

[0086] (응용예)

[0087] 도 5a는 본 발명의 실시예에 따른 메모리 장치를 구비한 메모리 카드를 도시한 블록도이다.

[0088] 도 5a를 참조하면, 상술한 본 발명의 실시예에 따른 반도체 소자는 메모리 카드(300)에 응용될 수 있다. 일례로, 메모리 카드(300)는 호스트와 반도체 메모리(310) 간의 제반 데이터 교환을 제거하는 메모리 컨트롤러(320)를 포함할 수 있다. 에스램(322)은 중앙처리장치(324)의 동작 메모리로서 사용될 수 있다. 호스트 인터페이스(326)는 메모리 카드(300)와 접속되는 호스트의 데이터 교환 프로토콜을 구비할 수 있다. 오류 수정 코드(328)는 반도체 메모리(310)로부터 독출된 데이터에 포함되는 오류를 검출 및 정정할 수 있다. 메모리 인터페이스(330)는 반도체 메모리(310)와 인터페이스한다. 중앙처리장치(324)는 메모리 컨트롤러(320)의 데이터 교환을 위한 제반 제어 동작을 수행한다.

[0089] 메모리 카드(300)에 응용된 반도체 메모리(310)가 본 발명의 실시예에 따른 반도체 소자인 경우, 커패시터의 누설 전류 특성을 향상시키고, 유전막의 내열성을 향상시킬 수 있다. 또한, 커패시터의 커패시턴스 값을 향상시킬 수 있다.

[0090] 도 5b는 본 발명의 실시예에 따른 메모리 장치를 응용한 정보 처리 시스템을 도시한 블록도이다.

[0091] 도 5b를 참조하면, 정보 처리 시스템(400)은 본 발명의 실시예에 따른 반도체 메모리 소자, 가령 저항 가변성 메모리를 구비한 메모리 시스템(410)을 포함할 수 있다. 정보 처리 시스템(400)은 모바일 기기나 컴퓨터 등을 포함할 수 있다. 일례로, 정보 처리 시스템(400)은 메모리 시스템(410)과 각각 시스템 버스(460)에 전기적으로 연결된 모뎀(420), 중앙처리장치(430), 램(440), 유저인터페이스(450)를 포함할 수 있다. 메모리 시스템(410)에는 중앙처리장치(430)에 의해서 처리된 데이터 또는 외부에서 입력된 데이터가 저장될 수 있다. 메모리 시스템(410)은 메모리(412)와 메모리 컨트롤러(414)를 포함할 수 있으며, 도 5a를 참조하여 설명한 메모리 카드(300)와 실질적으로 동일하게 구성될 수 있다. 정보 처리 시스템(400)은 메모리 카드, 반도체 디스크 장치(Solid State Disk), 카메라 이미지 프로세서(Camera Image Sensor) 및 그 밖의 응용 칩셋(Application Chipset)으로 제공될 수 있다. 일례로, 메모리 시스템(410)은 반도체 디스크 장치(SSD)로 구성될 수 있으며, 이 경우 정보 처리 시스템(400)은 대용량의 데이터를 메모리 시스템(410)에 안정적으로 그리고 신뢰성 있게 저장할 수 있다.

[0092] 이상, 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징으로 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예에는 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

부호의 설명

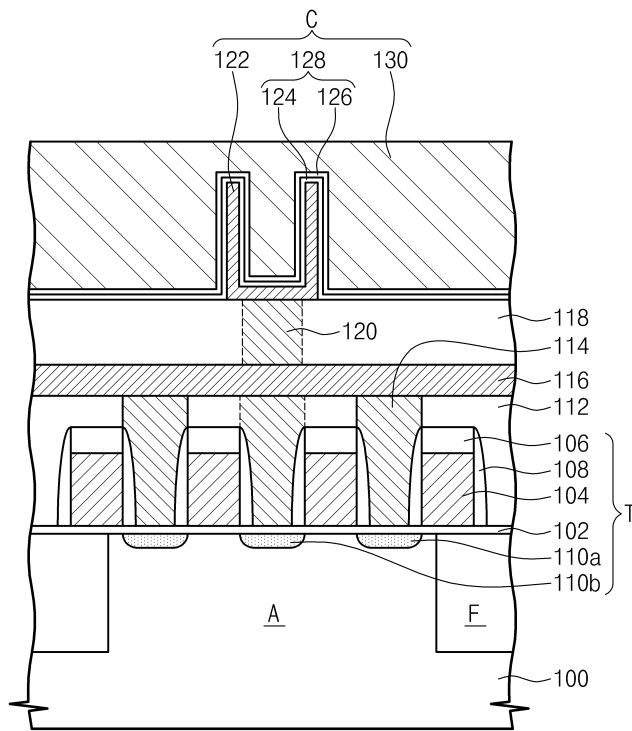
[0093] 100: 기관

110a: 제1 불순물 영역

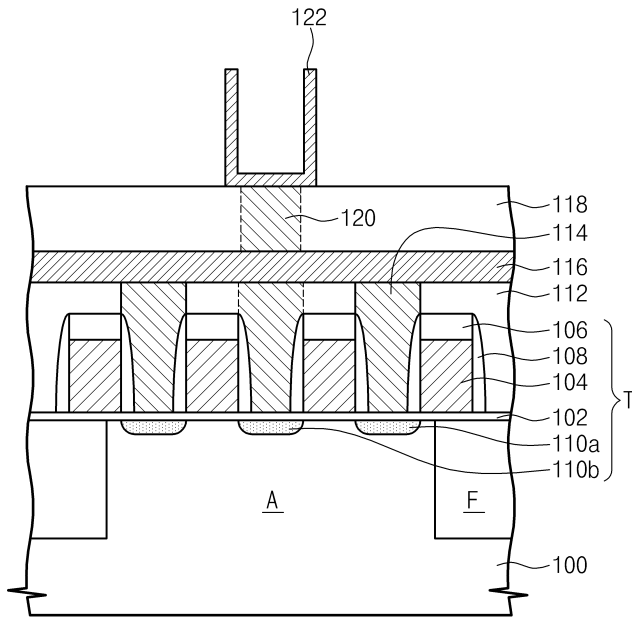
- 110b: 제2 불순물 영역
- 112: 제1 층간 절연막
- 114: 제1 콘택
- 116: 비트 라인
- 118: 제2 층간 절연막
- 120: 제2 콘택
- 122: 하부 전극
- 124: 제1 유전막
- 26: 제2 유전막
- 128: 유전막 구조물
- 130: 상부 전극
- T: 트랜지스터
- C: 커패시터

도면

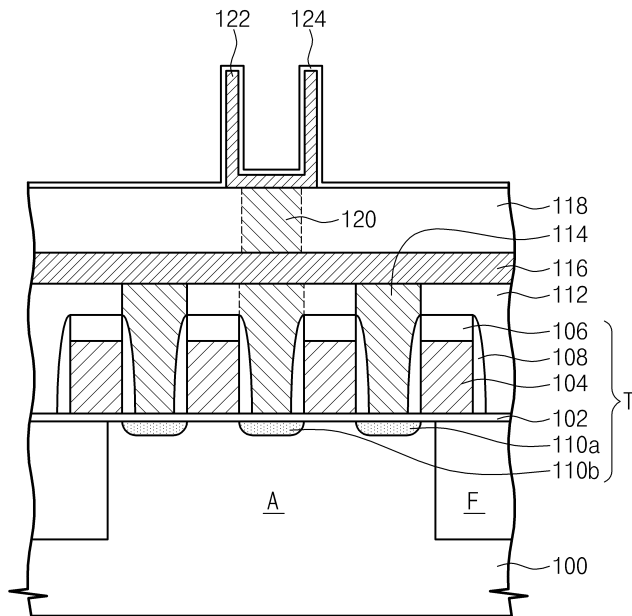
도면1



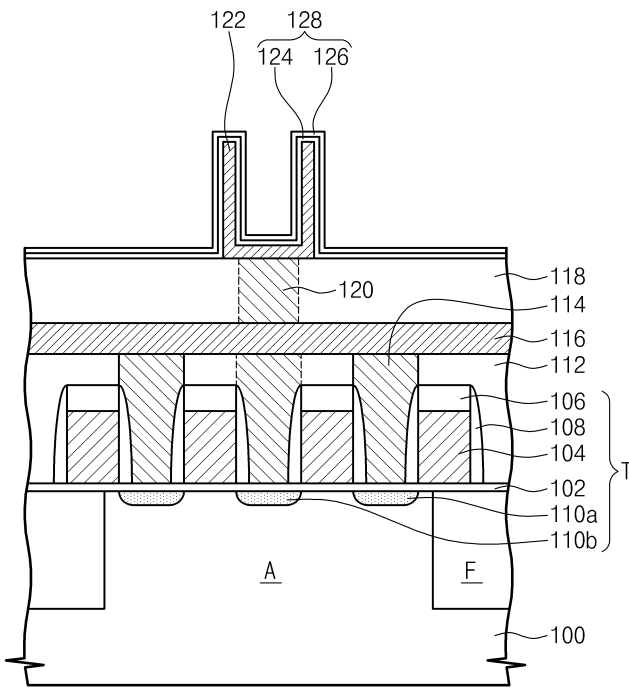
도면2a



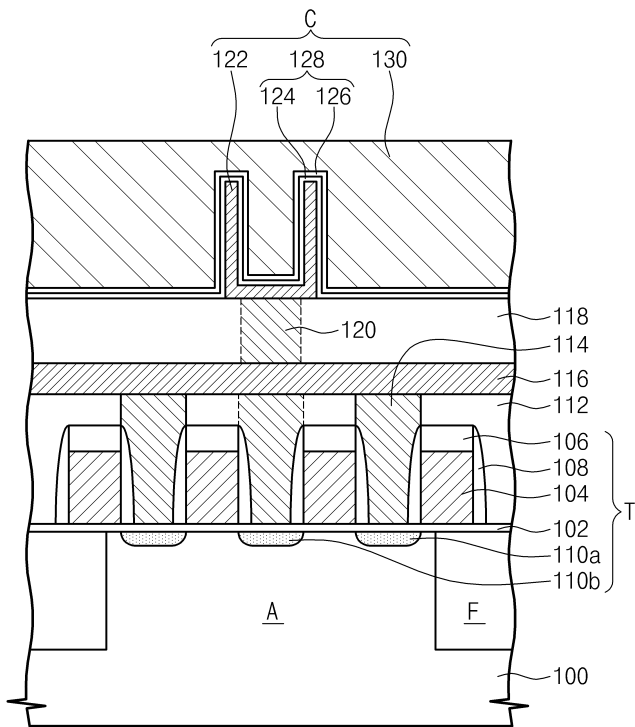
도면2b



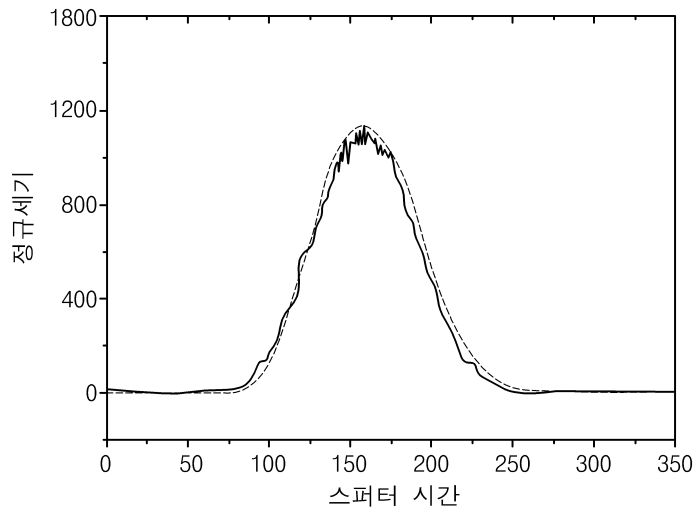
도면2c



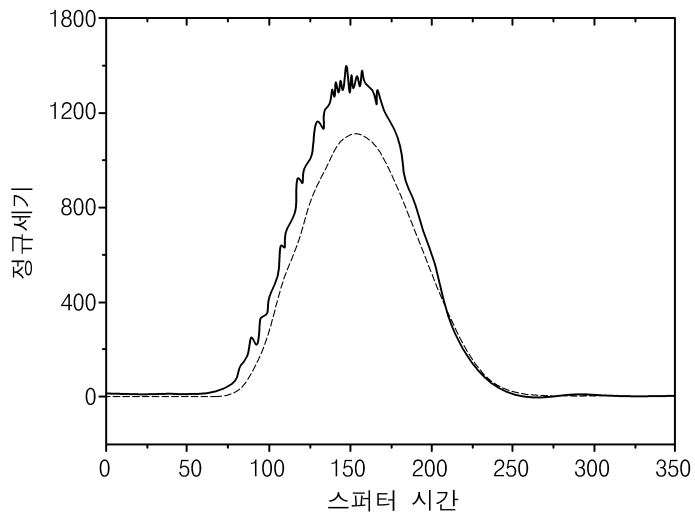
도면2d



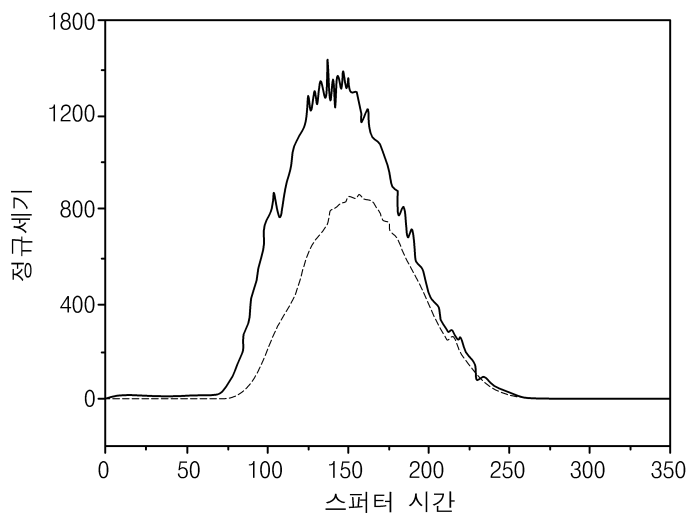
도면3a



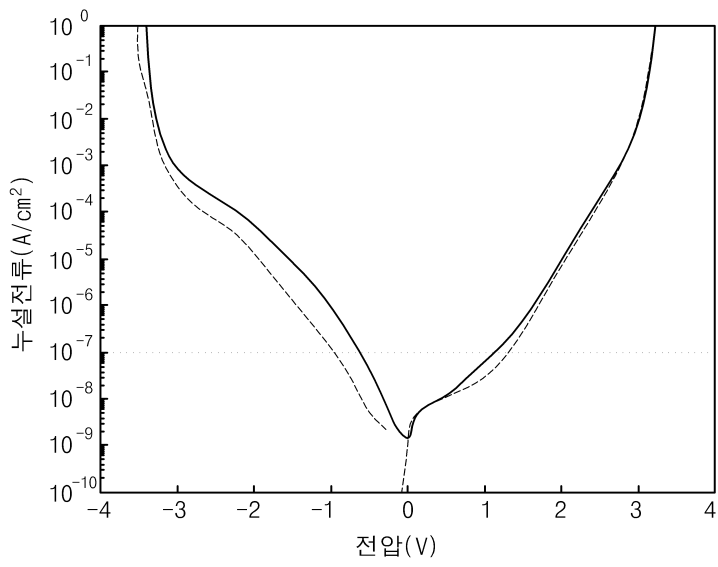
도면3b



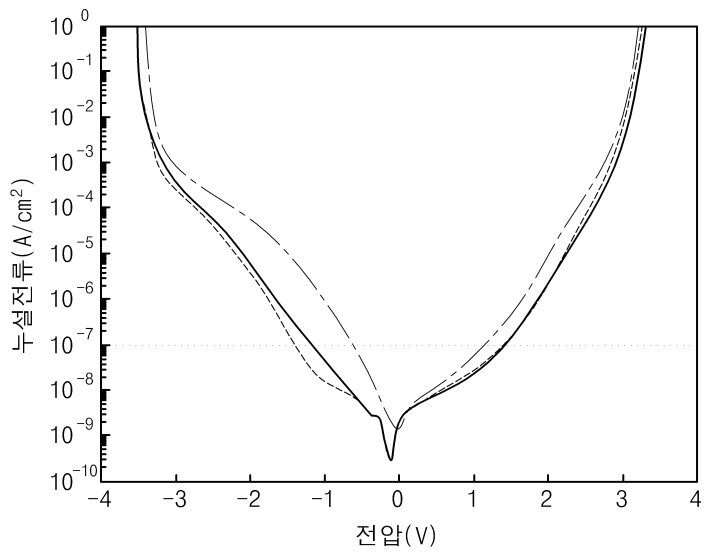
도면3c



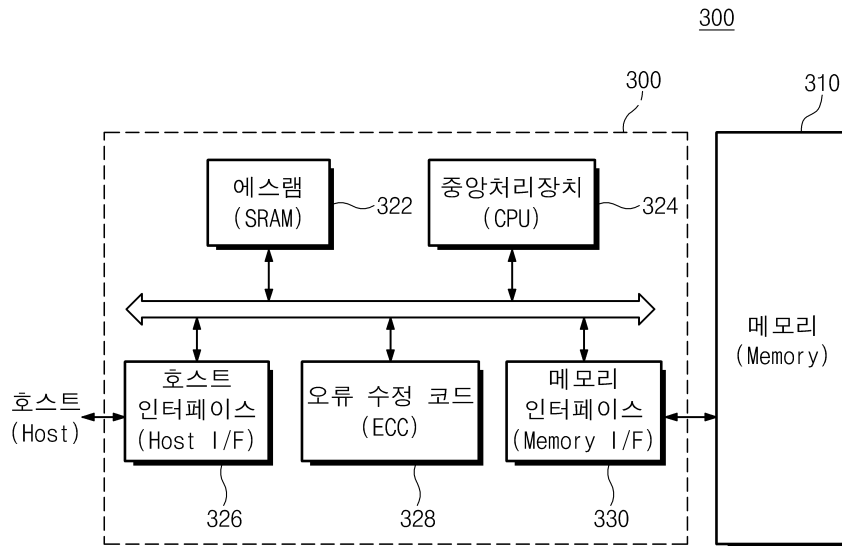
도면4a



도면4b



도면5a



도면5b

