

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
13. September 2001 (13.09.2001)

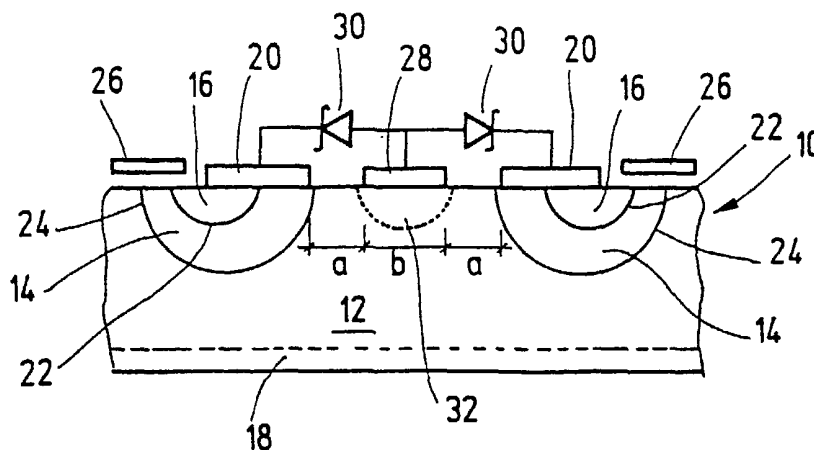
PCT

(10) Internationale Veröffentlichungsnummer
WO 01/67515 A1

- (51) Internationale Patentklassifikation⁷: H01L 27/06, (72) Erfinder; und
29/78, 29/10, 21/336 (75) Erfinder/Anmelder (nur für US): PLIKAT, Robert
[DE/DE]; Leinsbachstrasse 8, 72800 Eningen (DE).
- (21) Internationales Aktenzeichen: PCT/DE01/00708 (81) Bestimmungsstaaten (national): CZ, HU, JP, KR, US.
- (22) Internationales Anmeldedatum: 23. Februar 2001 (23.02.2001) (84) Bestimmungsstaaten (regional): europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).
- (25) Einreichungssprache: Deutsch
- (26) Veröffentlichungssprache: Deutsch
- (30) Angaben zur Priorität: 100 08 545.8 24. Februar 2000 (24.02.2000) DE
- (71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): ROBERT BOSCH GMBH [DE/DE]; Postfach 30 02 20, 70442 Stuttgart (DE).
- Veröffentlicht:**
— mit internationalem Recherchenbericht
— vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen
- Zur Erklärung der Zweibuchstaben-Codes, und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(54) Title: MONOLITHICALLY INTEGRATED SEMICONDUCTOR COMPONENT

(54) Bezeichnung: MONOLITHISCH INTEGRIERTES HALBLEITERBAUELEMENT



(57) **Abstract:** The invention relates to a monolithically integrated semiconductor component, comprising a first charge carrier area (12) corresponding to a first doping, at least two structured second charge carrier areas (14) corresponding to an opposite doping arranged at a distance from each other inside the first charge carrier area (12) and third structured charge carrier areas (16) corresponding to the first doping and arranged within the second charge carrier areas (14). The PN transition (22) between the second charge carrier areas (14) and the third charge carrier areas (16) is short circuited (source contact) by a contact (20), the first charge carrier area (12) is provided with a contact (drain connection) and the second charge carrier areas (14) can be inverted by means of contacting (26) in the area between the first charge carrier area (12) and the third charge carrier area (16), also comprising at least one Schottky diode (30) mounted in a parallel position with respect to charge carrier area (12) and charge carrier area (16). According to the invention, the first charge carrier area (12) has another contact (28). Said contact is doped with another, surface-near charge carrier area (32) which is respectively doped with a higher concentration according to the doping concentration of the first area (12), whereby an ohmic contact arises and is connected to the anode connection of the at least one Schottky diode (30).

[Fortsetzung auf der nächsten Seite]



WO 01/67515 A1



(57) Zusammenfassung: Die Erfindung betrifft ein monolithisch integriertes Halbleiterbauelement, mit einem ersten Ladungsträgergebiet (12) einer ersten Ladungsträgerdotierung, wenigstens zwei innerhalb des ersten Ladungsträgergebietes (12) beabstandet zueinander strukturierten zweiten Ladungsträgergebieten (14) mit entgegengesetzter Ladungsträgerdotierung und innerhalb der zweiten Ladungsträgergebiete (14) strukturierten dritten Ladungsträgergebieten (16) mit der ersten Ladungsträgerdotierung, wobei ein PN-Übergang (22) zwischen den zweiten Ladungsträgergebieten (14) und den dritten Ladungsträgergebieten (16) über eine Kontaktierung (20) kurzgeschlossen ist (Sourceanschluss), das erste Ladungsträgergebiet (12) mit einem Kontakt (18) (Drainanschluss) versehen ist und die zweiten Ladungsträgergebiete (14) mittels einer Kontaktierung (26) im Bereich zwischen dem ersten Ladungsträgergebiet (12) und dem dritten Ladungsträgergebiet (16) invertierbar sind, und mit wenigstens einer parallel zum Ladungsträgergebiet (12) und Ladungsträgergebiet (16) geschalteten Schottky-Diode (30). Es ist vorgesehen, dass das erste Ladungsträgergebiet (12) eine weitere Kontaktierung (28) aufweist, wobei diese Kontaktierung je nach Dotierungskonzentration der ersten Gebietes (12) oberflächennah mit einem weiteren, oberflächennahen Ladungsträgergebiet (32) höherer Konzentration aufdotiert ist, so dass ein Ohm'scher Kontakt entsteht und mit dem Anodenanschluss der wenigstens einen Schottky-Diode (30) verbunden ist.

5

Monolithisch integriertes Halbleiterbauelement

10 Die Erfindung betrifft ein monolithisch integriertes Halbleiterbauelement mit den im Oberbegriff des Anspruchs 1 genannten Merkmalen.

Stand der Technik

15

Monolithisch integrierte Halbleiterbauelemente der gattungsgemäßen Art sind bekannt. Diese umfassen beispielsweise einen vertikalen MOS (Metall-Oxid-Silizium)-Transistor, der ein relativ schwach dotiertes Substratgebiet eines ersten Leitfähigkeitstypes und eine höher dotierte Schicht gleichen Leitfähigkeitstypes zur Kontaktierung (Drainanschluss) umfasst. In das Substratgebiet wird wenigstens ein Leitfähigkeitsgebiet entgegengesetzten Leitfähigkeitstypes eingebracht, das jeweils ein weiteres Leitfähigkeitsgebiet des ersten Leitfähigkeitstypes umschließt.

25

Hierdurch kommt es zur Ausbildung von zwei PN-Übergängen, von denen ein erster PN-Übergang durch einen Sourceanschluss kurzgeschlossen ist. Auf der Substratoberfläche ist eine MOS-Struktur aufgebracht, mittels der das oberflächennahe Gebiet der zweiten

30

Ladungsträgergebiete invertiert werden kann, so dass eine leitfähige Verbindung zwischen Sourceanschluss und Drainanschluss entsteht. Über den Sourceanschluss ist das zweite Ladungsträgergebiet mit dem dritten
5 Ladungsträgergebiet elektrisch leitend verbunden - Kurzschluss des ersten PN-Übergangs - so dass es zur Ausbildung einer parasitären Inversdiode kommt. Diese zwangsläufig ausgebildete, parasitäre Inversdiode kann bei verschiedenen Schaltungsvarianten als
10 Freilaufdiode genutzt werden. Soll mittels des monolithisch integrierten Bauelementes beispielsweise eine induktive Last geschaltet werden, ermöglicht die Freilaufdiode ein Umkommutieren des Stromes. Wird die induktive Last beispielsweise mit einer Brückenschaltung
15 aus wenigstens zwei MOS-Transistoren, die als Pulswechselrichter in Hochsetzstellerschaltung verschaltet sind, angesteuert, wird ein erster MOS-Transistor gepulst angesteuert, so dass die induktive Last sich entweder über die parasitäre Inversdiode
20 des weiteren MOS-Transistors freiläuft oder über den durchgesteuerten zweiten MOS-Transistor nachgeladen wird. Kritisch ist hierbei der Einschaltvorgang des gepulst angesteuerten MOS-Transistors, denn hier tritt der Fall auf, dass die Inversdiode bestromt
25 wird und die Ladung ausgeräumt wird, da der andere MOS-Transistor nicht leitend ist. Hierdurch kommt es zu einem sogenannten Strom-Abrissverhalten, das zu steilen $\Delta I/\Delta t$ -Anstiegen führt. Diese wiederum erzeugen Überspannungen und hochfrequente Oszillationen,
30 die zu unerwünschten Störeinflüssen führen.

Bekannt ist, parallel zu den parasitären Inversdioden Schottky-Dioden zu schalten, die eine geringere Flussspannung aufweisen. Hierdurch bleiben die parasitären Inversdioden inaktiv, so dass keine Speicherladung aus dem Substratgebiet der MOS-Transistoren ausgeräumt werden muss. Aus der EP 0 899 791 A2 ist bekannt, die Schottky-Dioden als parallele Freilaufdioden in das monolithische Bauelement mit zu integrieren, wobei eine zusätzliche Ladungsträgerimplantation zur Barriereneinstellung erforderlich ist. Diese zusätzliche Ladungsträgerimplantation erfordert jedoch einen großen technologischen Aufwand, so dass sich die Prozesskosten erhöhen.

15 Vorteile der Erfindung

Das monolithisch integrierte Halbleiterbauelement mit den im Anspruch 1 genannten Merkmalen bietet dem gegenüber den Vorteil, dass in einfacher Weise eine den parasitären Inversdioden parallel geschaltete Schottky-Diode realisiert werden kann. Dadurch, dass das erste Ladungsträgergebiet eine weitere Kontaktierung umfasst, wobei diese Kontaktierung je nach Dotierungskonzentration des ersten Ladungsträgergebietes oberflächennah mit einem weiteren oberflächennahen Ladungsträgergebiet höherer Konzentration aufdotiert ist, und mit dem Anodenanschluss der wenigstens einen Schottky-Diode verbunden ist, lässt sich innerhalb des ersten Ladungsträgergebietes eine abschirmende Struktur erzeugen, wenn die zusätzliche Kontaktierung auf ein Potential oberhalb des Potentials des zweiten Ladungsträgergebietes gezogen wird. Hierdurch wird

möglich, die sogenannte Schottky-Klammerung bei höher sperrenden MOS-Transistoren zuverlässig auszulegen, wobei ein notwendiger Sicherheitszuschlag der Durchbruchspannung - unter Beachtung der Toleranzen der
5 Flussspannungen - reduziert werden kann und gegebenenfalls außer Acht gelassen werden kann. Durch Reduktion des Sicherheitszuschlages zu der Durchbruchspannung werden aufgrund dieser Sicherheitszuschläge im Durchlassfalle entstehende zusätzliche Spannungs-
10 abfälle vermieden. Die Toleranz der Durchbruchspannung hat somit keinen wesentlichen Einfluss auf die Junction-Spannung der parasitären Inversdioden, die bei höher sperrenden MOS-Transistoren auf jedem Fall unter 650 mV bleiben muss, um den Vorwärtsbetrieb der
15 parasitären Inversdioden zu vermeiden.

Die zur Umsetzung der Erfindung lediglich vorzusehende zusätzliche Kontaktierung des ersten Ladungsträgergebietes lässt sich in einfacher Weise durch
20 eine geringe Prozessmodifikation bei der Herstellung des monolithisch integrierten Halbleiterbauelementes erreichen, indem bei der Abscheidung der Metallisierungen für die Kontaktierungen der Sourceanschlüsse gleichzeitig wenigstens eine zusätzliche Maskenöffnung
25 für die zusätzliche Kontaktierung vorgesehen wird. Somit sind zusätzliche Prozessschritte nicht erforderlich. Lediglich eine Änderung des Layouts der Maskierungsebene für die Herstellung der Metallisierungen ist erforderlich.

30

Durch die über die zusätzliche Kontaktierung in die Schaltungsanordnung einbindbare Schottky-Diode ergibt

sich ferner eine Reduktion der Verlustleistung im Sperrfall beziehungsweise Durchlassfall der Schottky-Diode. Durch die unterhalb der zusätzlichen Kontaktierung im ersten Ladungsträgergebiet entstehende Abschirmstruktur fällt über die Schottky-Diode nur eine verhältnismäßig kleine Sperrspannung ab, so dass die für Schottky-Dioden typischerweise sehr hohen Sperrströme deutlich reduziert oder im Gegenzug eine geringere Flussspannung realisiert werden können.

10

Ferner ist von Vorteil, dass eine einfache Anpassung der Schottky-Dioden an das monolithisch integrierte Halbleiterbauelement erfolgen kann. Die extern an die zusätzliche Kontaktierung angeschlossene Schottky-Diode kann beispielsweise hinsichtlich veränderter Sperrspannungsanforderungen oder thermischer Anforderungen ausgewählt werden. Schließlich kann durch die nunmehr in einfacher Weise mögliche räumliche getrennte Anordnung der Schottky-Diode zu der MOS-Transistorstruktur die zusätzliche Verlustleistung der Schottky-Diode in Bereichen umgesetzt werden, in denen sie nicht zur Aufheizung des monolithisch integrierten Bauelementes beiträgt. Die in einfacher Weise vorgesehene externe Anwendung der Schottky-Dioden bietet darüber hinaus den Vorteil, dass bei Parallelschaltungen von MOS-Transistorstrukturen nicht jeder Transistorstruktur eine eigene Schottky-Diode zugeordnet werden muss, sondern für mehrere Transistorstrukturen eine gemeinsame Schottky-Diode geschaltet werden kann.

30

Weitere bevorzugte Ausgestaltungen der Erfindung ergeben sich aus den übrigen, in den Unteransprüchen genannten Merkmalen.

Zeichnungen

5

Die Erfindung wird nachfolgend in Ausführungsbeispielen anhand der zugehörigen Zeichnungen näher erläutert. Es zeigen:

10 Figuren schematische Schnittansichten erfindungs-
1 bis 3 gemäßer monolithisch integrierter Bauelemente und

Figuren verschiedene Layoutvarianten des erfindungs-
15 4 bis 9 gemäßen Halbleiterbauelementes.

Beschreibung der Ausführungsbeispiele

Figur 1 zeigt ein monolithisch integriertes Halbleiterbauelement 10, das als MOS-Feldeffekttransistor ausgebildet ist. Das Halbleiterbauelement 10 umfasst ein Driftgebiet 12, mit einer ersten Ladungsträgerdotierung (beispielsweise n-dotiert). In das Driftgebiet 12 sind Ladungsträgergebiete 14 mit einer zum ersten Ladungsträgergebiet (Driftgebiet) 12 entgegengesetzten Ladungsträgerdotierung (im Beispiel p-dotiert) eingebracht. In die Ladungsträgergebiete 14 sind weitere Ladungsträgergebiete 16 integriert. Die Ladungsträgergebiete 16 besitzen die gleiche Ladungsträgerdotierung wie das Ladungsträgergebiet 12, sind jedoch höher dotiert (im Beispiel n⁺-dotiert). Das Ladungsträgergebiet 12 ist auf einer Schicht 18 ange-

ordnet, die die gleiche Ladungsträgerdotierung wie das Ladungsträgergebiet 12 besitzt jedoch höher dotiert (im Beispiel n^+ -dotiert) ist. Auf der Oberfläche des Halbleiterbauelementes 10 sind Metallisierungen 20 strukturiert, die die Ladungsträgergebiete 14 und 16 im Bereich von deren PN-Übergang 22 kurzschließen. Oberhalb der PN-Übergänge 24 zwischen den Ladungsträgergebieten 14 und 12 ist über ein nicht dargestelltes Oxid eine weitere Metallisierung (Kontaktierung) 26 angeordnet. Die Metallisierung 26 erstreckt sich hierbei auf das gesamte Kanalgebiet.

Das Ladungsträgergebiet 12 ist mit Hilfe eines hochdotierten Gebietes des ersten Leitfähigkeitstyps (im Beispiel n^+ -dotiert) mit einer weiteren Metallisierung (Kontaktierung) 28 versehen, die sich zwischen benachbarten PN-Übergängen 24 befindet. Ein Abstand a zwischen der Metallisierung 28 und den PN-Übergängen 24 ist hierbei jeweils gleich. Die Metallisierung 28 ist mit den Metallisierungen 20 über externe Schottky-Dioden 30 verbunden, wobei die Metallisierung 28 jeweils mit den Anoden der Schottky-Dioden 30 verbunden ist.

Die Metallisierung 20 bildet den Sourceanschluss, die Schicht 18 den Drainanschluss und die Metallisierung 26 den Gateanschluss des MOS-Transistors aus. Bei anliegender Steuerspannung am Gateanschluss 26 bilden sich in den Ladungsträgergebieten 14 oberflächennahe Leitungskanäle aus, so dass der Sourceanschluss 20 mit dem Drainanschluss 18 elektrisch leitend verbunden ist und der MOS-Transistor durchsteuert.

Durch den Gesamtabstand $a + b + a$ der Ladungsträgergebiete 14 lässt sich definieren, ab welcher Sperrspannung über den PN-Übergang 24 ein oberflächennaher, zur Kontaktierung höher dotierter Bereich 32 des Ladungsträgergebietes 12 auf einem festen Spannungspotential verbleibt, das unabhängig von einem weiteren Anstieg der Drainspannung ist. Das Spannungspotential im Gebiet 32 ist somit auf eine geometrieabhängige Konstante $(a + b + a)$ beschränkt. Somit können die über die Metallisierung 28 kontaktierten Schottky-Dioden 30 für eine relativ geringe Sperrspannung ausgelegt werden, die durch das Spannungspotential im Gebiet 32 bestimmt ist. Das Gebiet 32 bildet somit eine Abschirmstruktur für die elektrische Anwendung der Schottky-Dioden 30 aus, die zu der erwähnten Begrenzung der Sperrspannung führt. Hierdurch kommt es gleichzeitig zu einer Reduktion der Sperrströme und der Verlustleistung der Schottky-Dioden 30. Die Schottky-Dioden 30 können - in an sich bekannter Weise - als Freilaufdioden, beispielsweise bei der eingangs erwähnten Brückenschaltung zum Schalten induktiver Lasten, eingesetzt werden.

Figur 2 zeigt eine abgewandelte Ausführungsform, wobei gleiche Teile wie in Figur 1 mit gleichen Bezugszeichen versehen und nicht nochmals erläutert sind. Im Unterschied zur Ausführungsvariante in Figur 1, bei der ein sourceseitiger Drainkontakt realisiert ist, ist in Figur 2 ein kanalseitiger (Leitungskanal durch Ladungsträgergebiete 14 bei Ansteuerung der Metallisierungen 26) Drainkontakt realisiert. Hinsicht-

lich der Funktion wird auf die Beschreibung zu Figur 1 verwiesen.

Figur 3 zeigt eine Ausführungsvariante, bei der zwischen den Ladungsträgergebieten 14 vergrabene Ladungsträgergebiete 34 angeordnet sind, die die gleiche Ladungsträgerdotierung wie die Ladungsträgergebiete 14 umfassen. Die Ladungsträgergebiete 34 sind in einer Gitterstruktur angeordnet, wodurch es zwischen den Ladungsträgergebieten 14 zu hier angedeuteten leitfähigen Verbindungen 36 kommt. Durch die vergrabenen Strukturen 34 und die leitfähigen Verbindungen 36 kommt es zur Ausbildung einer an sich bekannten JFET-Struktur, die hier eine Abschirmstruktur des Gebietes 32 übernimmt. Somit ist ein Potentialanstieg im Gebiet 32 ebenfalls begrenzt, was zu der erwähnten Reduzierung der notwendigen Sperrspannung der Schottky-Dioden 30 führt.

In den Figuren 4 bis 9 sind verschiedene Layoutvarianten des Bauelementes 10 schematisch in Draufsicht gezeigt. Bei den Figuren 4 bis 6 handelt es sich um ein sogenanntes Streifendesign, während es sich bei den Figuren 7 bis 9 um ein sogenanntes Zellendesign handelt. Die einzelnen Dotierungsgebiete sind mit den in den Figuren 1 bis 3 erläuterten Bezugszeichen versehen, so dass hinsichtlich der Anordnung auf diese Figuren verwiesen wird.

Die Figuren 4 und 7 entsprechen hierbei der Figur 1, die Figuren 5 und 8 der Figur 2 und die Figuren 6 und 9 der Figur 3.

5 Patentansprüche

1. Monolithisch integriertes Halbleiterbauelement, mit einem ersten Ladungsträgergebiet (12) einer ersten Ladungsträgerdotierung, wenigstens zwei innerhalb des ersten Ladungsträgergebietes (12) beabstandet zueinander strukturierten zweiten Ladungsträgergebieten (14) mit entgegengesetzter Ladungsträgerdotierung und innerhalb der zweiten Ladungsträgergebiete (14) strukturierten dritten Ladungsträgergebiete (16) mit der ersten Ladungsträgerdotierung, wobei ein PN-Übergang (22) zwischen den zweiten Ladungsträgergebieten (14) und den dritten Ladungsträgergebieten (16) über eine Kontaktierung (20) kurzgeschlossen ist (Sourceanschluss), das erste Ladungsträgergebiet (12) mit einem Kontakt (18) (Drainanschluss) versehen ist und die zweiten Ladungsträgergebiete (14) mittels einer Kontaktierung (26) im Bereich zwischen dem ersten Ladungsträgergebiet (12) und dem dritten Ladungsträgergebiet (16) invertierbar sind, und mit wenigstens einer parallel zum Ladungsträgergebiet (12) und Ladungsträgergebiet (16) geschalteten Schottky-Diode 30, **dadurch gekennzeichnet**, dass das erste Ladungsträgergebiet (12) eine weitere Kontaktierung (28) aufweist, wobei diese Kontaktierung je nach Dotierungskonzentration des ersten Gebietes (12) oberflächennah mit einem weiteren, oberflächennahen Ladungsträgergebiet (32) höherer Konzen-

tration aufdotiert ist, so dass ein Ohm'scher Kontakt entsteht und mit dem Anodenanschluss der wenigstens einen Schottky-Diode (30) verbunden ist.

- 5 2. Halbleiterbauelement nach Anspruch 1, **dadurch gekennzeichnet**, dass die Kontaktierung (28) im Bereich einer sich bei anliegender Drainspannung einstellenden Abschirmstruktur (32) angeordnet ist.
- 10 3. Halbleiterbauelement nach einem der vorhergehenden Ansprüche, **dadurch gekennzeichnet**, dass die Abschirmstruktur (32) durch einen Abstand ($a + b + a$) von PN-Übergängen (24) benachbarter zweiter Ladungsträgergebiete (14) definiert ist.
- 15 4. Halbleiterbauelement nach einem der vorhergehenden Ansprüche, **dadurch gekennzeichnet**, dass das Halbleiterbauelement (10) eine sourceseitigen Drainkontakt (18) aufweist.
- 20 5. Halbleiterbauelement nach einem der Ansprüche 1 bis 3, **dadurch gekennzeichnet**, dass das Halbleiterbauelement (10) eine kanalseitigen Drainkontakt (18) aufweist.
- 25 6. Halbleiterbauelement nach einem der vorhergehenden Ansprüche, **dadurch gekennzeichnet**, dass die Abschirmstruktur (32) durch eine vergrabene JFET-Struktur (34, 36) definiert ist.

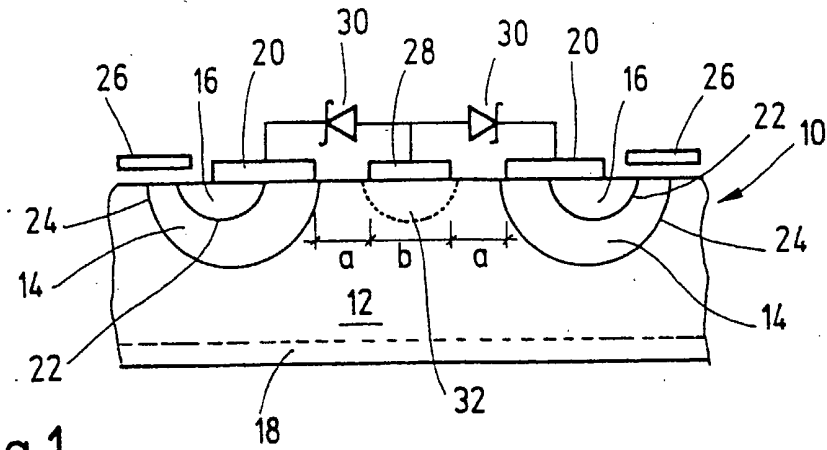


Fig.1

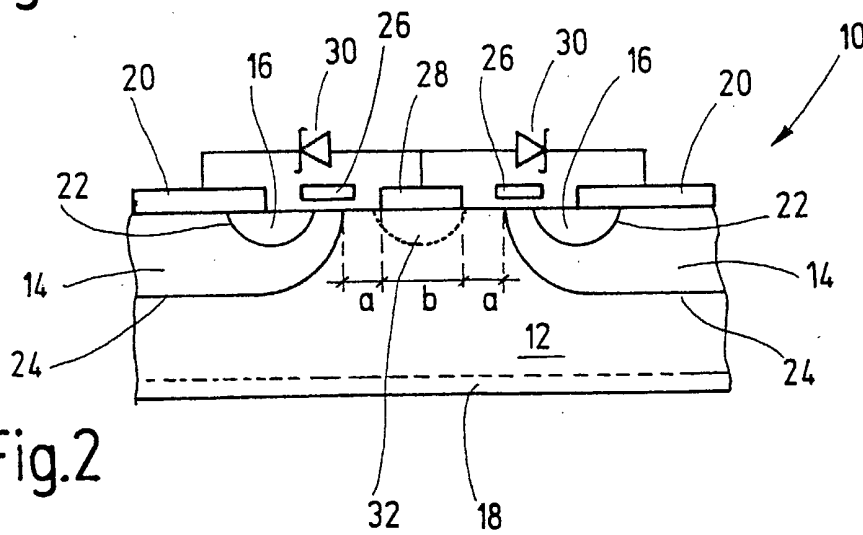


Fig.2

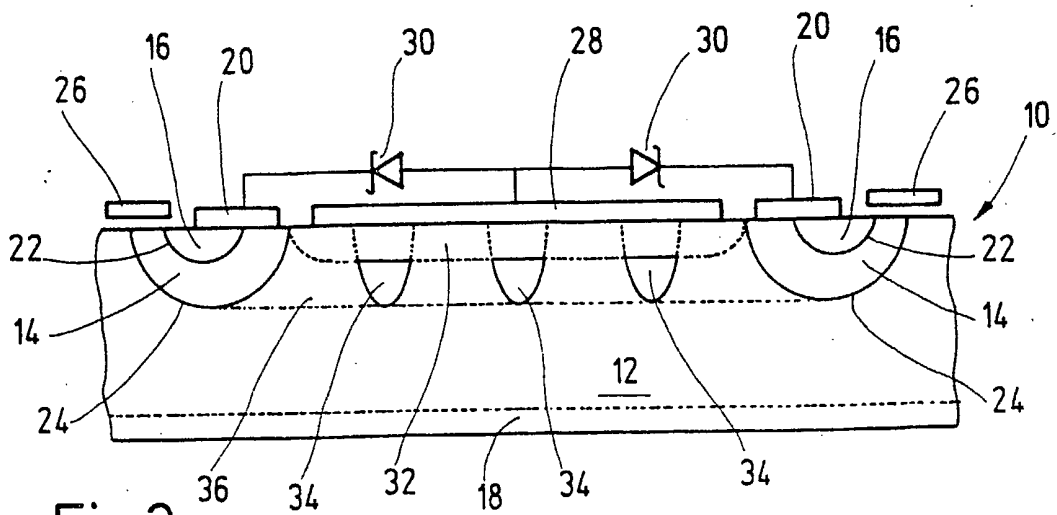
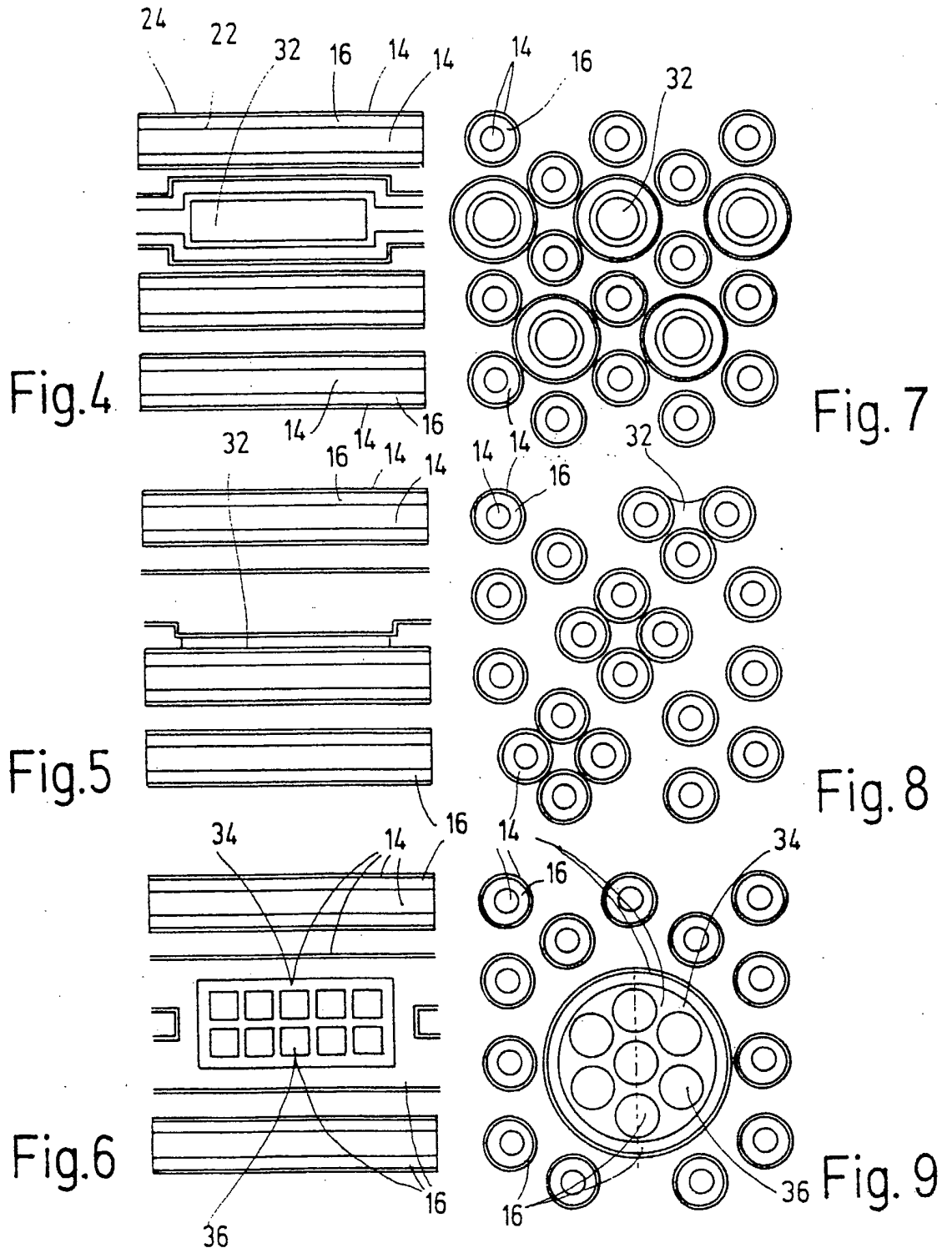


Fig.3



INTERNATIONAL SEARCH REPORT

International Application No
PCT/DE 01/00708

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H01L27/06 H01L29/78 H01L29/10 H01L21/336

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)
EPO-Internal, WPI Data, PAJ, INSPEC, IBM-TDB

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 4 811 065 A (COGAN ADRIAN I) 7 March 1989 (1989-03-07) abstract; claims; figures 6,7 column 2, line 56 - line 66 ---	1,4,5
Y	US 5 744 994 A (WILLIAMS RICHARD K) 28 April 1998 (1998-04-28) abstract; figure 9 column 3, line 41 -column 4, line 7 column 12, line 3 - line 17 ---	1,4,5
A	DE 35 07 181 A (IC HAUS GMBH) 4 September 1986 (1986-09-04) abstract; figure 4 page 4, paragraph 3 --- -/--	1

Further documents are listed in the continuation of box C. Patent family members are listed in annex.

° Special categories of cited documents :

A document defining the general state of the art which is not considered to be of particular relevance	*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
E earlier document but published on or after the international filing date	*X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	*Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
O document referring to an oral disclosure, use, exhibition or other means	*G* document member of the same patent family
P document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 16 August 2001	Date of mailing of the international search report 23/08/2001
---	--

Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Authorized officer Wirner, C
--	-------------------------------------

INTERNATIONAL SEARCH REPORT

International Application No
PCT/DE 01/00708

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	PATENT ABSTRACTS OF JAPAN vol. 018, no. 080 (E-1505), 9 February 1994 (1994-02-09) -& JP 05 291507 A (FUJITSU LTD), 5 November 1993 (1993-11-05) abstract; figures ---	1
A	US 5 973 367 A (WILLIAMS RICHARD K) 26 October 1999 (1999-10-26) abstract; claims; figure 18 -----	1-5

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No
PCT/DE 01/00708

Patent document cited in search report	A	Publication date	Patent family member(s)	Publication date
US 4811065	A	07-03-1989	NONE	
<hr style="border-top: 1px dashed black;"/>				
US 5744994	A	28-04-1998	AU 2931297 A	05-12-1997
			EP 0898808 A	03-03-1999
			JP 2000512805 T	26-09-2000
			WO 9743823 A	20-11-1997
			US 5929690 A	27-07-1999
<hr style="border-top: 1px dashed black;"/>				
DE 3507181	A	04-09-1986	NONE	
<hr style="border-top: 1px dashed black;"/>				
JP 05291507	A	05-11-1993	NONE	
<hr style="border-top: 1px dashed black;"/>				
US 5973367	A	26-10-1999	US 5616945 A	01-04-1997
			AU 6441198 A	22-10-1998
			EP 1012882 A	28-06-2000
			WO 9844560 A	08-10-1998
			EP 0768761 A	16-04-1997
			JP 3131569 B	05-02-2001
			JP 9223799 A	26-08-1997
<hr style="border-top: 1px dashed black;"/>				

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen
PCT/DE 01/00708

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
 IPK 7 H01L27/06 H01L29/78 H01L29/10 H01L21/336

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
 IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)
 EPO-Internal, WPI Data, PAJ, INSPEC, IBM-TDB

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
Y	US 4 811 065 A (COGAN ADRIAN I) 7. März 1989 (1989-03-07) Zusammenfassung; Ansprüche; Abbildungen 6,7 Spalte 2, Zeile 56 - Zeile 66 ---	1,4,5
Y	US 5 744 994 A (WILLIAMS RICHARD K) 28. April 1998 (1998-04-28) Zusammenfassung; Abbildung 9 Spalte 3, Zeile 41 - Spalte 4, Zeile 7 Spalte 12, Zeile 3 - Zeile 17 ---	1,4,5
A	DE 35 07 181 A (IC HAUS GMBH) 4. September 1986 (1986-09-04) Zusammenfassung; Abbildung 4 Seite 4, Absatz 3 --- -/--	1

Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen Siehe Anhang Patentfamilie

° Besondere Kategorien von angegebenen Veröffentlichungen :

- *A* Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist
- *E* älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist
- *L* Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)
- *O* Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht
- *P* Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist
- *T* Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist
- *X* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden
- *Y* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann nahelegend ist
- *Z* Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche	Absendedatum des internationalen Recherchenberichts
16. August 2001	23/08/2001

Name und Postanschrift der Internationalen Recherchenbehörde Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Bevollmächtigter Bediensteter Wirner, C
---	--

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie°	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	PATENT ABSTRACTS OF JAPAN vol. 018, no. 080 (E-1505), 9. Februar 1994 (1994-02-09) -& JP 05 291507 A (FUJITSU LTD), 5. November 1993 (1993-11-05) Zusammenfassung; Abbildungen ----	1
A	US 5 973 367 A (WILLIAMS RICHARD K) 26. Oktober 1999 (1999-10-26) Zusammenfassung; Ansprüche; Abbildung 18 -----	1-5

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE 01/00708

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 4811065 A	07-03-1989	KEINE	
US 5744994 A	28-04-1998	AU 2931297 A EP 0898808 A JP 2000512805 T WO 9743823 A US 5929690 A	05-12-1997 03-03-1999 26-09-2000 20-11-1997 27-07-1999
DE 3507181 A	04-09-1986	KEINE	
JP 05291507 A	05-11-1993	KEINE	
US 5973367 A	26-10-1999	US 5616945 A AU 6441198 A EP 1012882 A WO 9844560 A EP 0768761 A JP 3131569 B JP 9223799 A	01-04-1997 22-10-1998 28-06-2000 08-10-1998 16-04-1997 05-02-2001 26-08-1997