

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5095865号
(P5095865)

(45) 発行日 平成24年12月12日(2012.12.12)

(24) 登録日 平成24年9月28日(2012.9.28)

(51) Int.Cl.	F I	
HO 1 L 29/786 (2006.01)	HO 1 L 29/78	6 1 7 T
HO 1 L 21/336 (2006.01)	HO 1 L 29/78	6 1 8 B
HO 1 L 29/423 (2006.01)	HO 1 L 29/78	6 1 7 U
HO 1 L 29/49 (2006.01)	HO 1 L 29/78	6 1 7 M
HO 1 L 21/28 (2006.01)	HO 1 L 29/78	6 1 7 V
請求項の数 6 (全 19 頁) 最終頁に続く		

(21) 出願番号	特願2011-547236 (P2011-547236)	(73) 特許権者	000005049
(86) (22) 出願日	平成22年8月23日 (2010.8.23)		シャープ株式会社
(86) 国際出願番号	PCT/JP2010/005179		大阪府大阪市阿倍野区長池町22番22号
(87) 国際公開番号	W02011/077607	(74) 代理人	110001427
(87) 国際公開日	平成23年6月30日 (2011.6.30)		特許業務法人前田特許事務所
審査請求日	平成24年6月18日 (2012.6.18)	(72) 発明者	近間 義雅
(31) 優先権主張番号	特願2009-289116 (P2009-289116)		大阪府大阪市阿倍野区長池町22番22号
(32) 優先日	平成21年12月21日 (2009.12.21)		シャープ株式会社内
(33) 優先権主張国	日本国(JP)	(72) 発明者	勝井 宏充
早期審査対象出願			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
		(72) 発明者	錦 博彦
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
			最終頁に続く

(54) 【発明の名称】 アクティブマトリクス基板及びそれを備えた表示パネル、並びにアクティブマトリクス基板の製造方法

(57) 【特許請求の範囲】

【請求項1】

マトリクス状に設けられた複数の画素電極と、
 上記各画素電極にそれぞれ接続された複数の薄膜トランジスタとを備え、
 上記各薄膜トランジスタが、絶縁基板に設けられたゲート電極と、該ゲート電極を覆うように設けられたゲート絶縁膜と、該ゲート絶縁膜上に上記ゲート電極に重なるように設けられた酸化物半導体層と、互いに対峙するように設けられ、該酸化物半導体層にそれぞれ接続されたソース電極及びドレイン電極とを備えたアクティブマトリクス基板を製造する方法であって、

絶縁基板上に上記ゲート電極を形成するゲート電極形成工程と、
 上記ゲート電極を覆うように上記ゲート絶縁膜を形成した後に、該ゲート絶縁膜上に上記酸化物半導体層を形成する半導体層形成工程と、

上記酸化物半導体層を覆うように、絶縁材料膜を成膜した後に、該絶縁材料膜をパターンニングして、上記酸化物半導体層の上記ソース電極及びドレイン電極との接続部分が開口した保護絶縁膜を形成する保護絶縁膜形成工程と、

上記保護絶縁膜を覆うように、透明導電膜を成膜した後に、該透明導電膜をパターンニングして、上記各画素電極、ソース電極及びドレイン電極を形成する画素電極形成工程とを備え、

上記保護絶縁膜形成工程では、上記絶縁材料膜を覆うように金属膜を成膜し、該金属膜をパターンニングして、上記ソース電極に接続するソース線を形成した後に、上記絶縁材料

膜をパターンニングして、上記保護絶縁膜を形成することを特徴とするアクティブマトリクス基板の製造方法。

【請求項 2】

請求項 1 に記載されたアクティブマトリクス基板の製造方法において、

上記保護絶縁膜形成工程では、上記絶縁材料膜を覆うように他の絶縁材料膜を成膜し、該絶縁材料膜及び他の絶縁材料膜の積層膜をパターンニングして、該絶縁材料膜により保護絶縁膜を形成すると共に、該他の絶縁材料膜により上記各画素電極、ソース電極及びドレイン電極の下層となる層間絶縁膜を形成することを特徴とするアクティブマトリクス基板の製造方法。

【請求項 3】

請求項 1 に記載されたアクティブマトリクス基板の製造方法において、

上記保護絶縁膜形成工程では、上記金属膜上に感光性樹脂膜を成膜した後に、該感光性樹脂膜をハーフ露光で露光して、上記ソース線を形成する部分が相対的に厚く、上記酸化物半導体層の上記ソース電極及びドレイン電極との接続部分が開口したレジストパターンを形成し、続いて、該レジストパターンから露出する金属膜及び該金属膜の下層の絶縁材料膜をエッチングして、上記保護絶縁膜を形成し、さらに、該レジストパターンを薄膜化することにより相対的に薄い部分を除去して露出させた金属膜をエッチングして、上記ソース線を形成することを特徴とするアクティブマトリクス基板の製造方法。

【請求項 4】

請求項 3 に記載されたアクティブマトリクス基板の製造方法において、

上記保護絶縁膜形成工程では、上記ソース線を覆うように、他の絶縁材料膜を成膜した後に、該他の絶縁材料膜をパターンニングして、上記各画素電極、ソース電極及びドレイン電極の下層となる層間絶縁膜を形成することを特徴とするアクティブマトリクス基板の製造方法。

【請求項 5】

請求項 1 乃至 4 の何れか 1 つに記載されたアクティブマトリクス基板の製造方法において、

上記絶縁材料膜は、無機絶縁膜であることを特徴とするアクティブマトリクス基板の製造方法。

【請求項 6】

請求項 1 乃至 5 の何れか 1 つに記載されたアクティブマトリクス基板の製造方法において、

上記酸化物半導体層は、In-Ga-Zn-O系であることを特徴とするアクティブマトリクス基板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アクティブマトリクス基板及びそれを備えた表示パネル、並びにアクティブマトリクス基板の製造方法に関し、特に、酸化物半導体を用いた薄膜トランジスタを備えたアクティブマトリクス基板及びそれを備えた表示パネル、並びにアクティブマトリクス基板の製造方法に関するものである。

【背景技術】

【0002】

アクティブマトリクス基板では、画像の最小単位である各画素毎に、スイッチング素子として、例えば、薄膜トランジスタ (Thin Film Transistor、以下、「TFT」とも称する) が設けられている。

【0003】

一般的なTFTは、例えば、絶縁基板上に設けられたゲート電極と、ゲート電極を覆うように設けられたゲート絶縁膜と、ゲート絶縁膜上にゲート電極に重なるように島状に設けられた半導体層と、半導体層上に互いに対峙するように設けられたソース電極及びドレ

10

20

30

40

50

イン電極とを備えている。ここで、アモルファスシリコンを用いたTFTでは、半導体層が、チャンネル領域を有する真性アモルファスシリコン層と、チャンネル領域が露出するように真性アモルファスシリコン層に積層されたN⁺アモルファスシリコン層とを備えている。そして、アモルファスシリコンを用いたTFTでは、真性アモルファスシリコン層を薄膜化するために、真性アモルファスシリコン層上にチャンネル保護層が積層されたエッチストップ型のTFTが実用化されている。

【0004】

例えば、特許文献1には、真性アモルファスシリコンからなる半導体薄膜の上面の所定の箇所に窒化シリコンからなるチャンネル保護膜(チャンネル保護層)が設けられたTFTが開示されている。

10

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2002-148658号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

図12は、エッチストップ型のTFT105を備えた従来のアクティブマトリクス基板120の断面図である。

【0007】

20

このアクティブマトリクス基板120は、以下に説明するように、5枚のフォトマスクを用いて製造することができる。

【0008】

まず、絶縁基板110上に金属膜を成膜した後に、その金属膜を第1のフォトマスクを用いてパターンニングして、ゲート電極111を形成する。

【0009】

続いて、ゲート電極111を覆うように、ゲート絶縁膜112、真性アモルファスシリコン層113aとなる真性アモルファスシリコン膜、及びチャンネル保護層114となる無機絶縁膜を順に成膜した後に、その無機絶縁膜を第2のフォトマスクを用いてパターンニングして、チャンネル保護層114を形成する。

30

【0010】

そして、チャンネル保護層114を覆うように、N⁺アモルファスシリコン層113bとなるN⁺アモルファスシリコン膜、並びにソース電極115a及びドレイン電極115bとなる金属膜を順に成膜した後に、その金属膜、その下層のN⁺アモルファスシリコン膜、及びその下層の真性アモルファスシリコン膜を第3のフォトマスクを用いてパターンニングして、真性アモルファスシリコン層113a、N⁺アモルファスシリコン層113b、ソース電極115a及びドレイン電極115bを形成する。

【0011】

さらに、ソース電極115a及びドレイン電極115bを覆うように、層間絶縁膜116となる無機絶縁膜を成膜した後に、その無機絶縁膜を第4のフォトマスクを用いてパターンニングして、コンタクトホールを有する層間絶縁膜116を形成する。

40

【0012】

最後に、層間絶縁膜116を覆うように、画素電極117となる透明導電膜を成膜した後に、その透明導電膜を第5のフォトマスクを用いてパターンニングして、画素電極117を形成する。

【0013】

このアクティブマトリクス基板120では、製造コストを抑制する観点から、フォトマスクの枚数を5枚に削減しているために、チャンネル保護層114、ソース電極115a及びドレイン電極115bをマスクとして、N⁺アモルファスシリコン膜及び真性アモルファスシリコン膜をエッチングするので、真性アモルファスシリコン層113aの周端の側

50

面がソース電極 115 a 及びドレイン電極 115 b から露出している。

【0014】

ところで、アモルファスシリコンの半導体層を用いた従来の T F T に代わって、近年、酸化物半導体の半導体層を用いた T F T が提案されている。

【0015】

そして、上述した 5 枚のフォトマスクを用いた製造方法に基づいて、酸化物半導体の半導体層を用いた (T F T を備えた) アクティブマトリクス基板を製造する場合には、酸素欠陥によりキャリア電子が多く発生し易い酸化物半導体の半導体層の周端の側面が、アモルファスシリコンの半導体層を用いたアクティブマトリクス基板 120 と同様に、ソース電極及びドレイン電極から露出してしまうので、ソース電極及びドレイン電極を形成する際のエッチングや層間絶縁膜を形成する際の C V D (Chemical Vapor Deposition) において半導体層がダメージを受けたりして、 T F T の特性が低下するおそれがある。

10

【0016】

本発明は、かかる点に鑑みてなされたものであり、その目的とするところは、フォトマスクの枚数を増やすことなく、酸化物半導体の半導体層を用いた薄膜トランジスタの特性の低下を抑制することにある。

【課題を解決するための手段】

【0017】

上記目的を達成するために、本発明は、ソース電極及びドレイン電極と酸化物半導体層との間に酸化物半導体層を覆うように保護絶縁膜を設けるようにしたものである。

20

【0018】

具体的に本発明に係るアクティブマトリクス基板は、マトリクス状に設けられた複数の画素電極と、上記各画素電極にそれぞれ接続された複数の薄膜トランジスタと、互いに平行に延びるように設けられた複数のソース線とを備え、上記各薄膜トランジスタが、絶縁基板に設けられたゲート電極と、該ゲート電極を覆うように設けられたゲート絶縁膜と、該ゲート絶縁膜上に上記ゲート電極に重なるように設けられた酸化物半導体層と、互いに対峙するように設けられ、該酸化物半導体層にそれぞれ接続されたソース電極及びドレイン電極とを備えたアクティブマトリクス基板であって、上記ソース電極及びドレイン電極と上記酸化物半導体層との間には、該酸化物半導体層を覆うように保護絶縁膜が設けられ、上記各ソース線は、金属材料により形成され、上記ソース電極及びドレイン電極は、上記各画素電極と同一材料により形成されていることを特徴とする。

30

【0019】

上記の構成によれば、各薄膜トランジスタにおいて、ソース電極及びドレイン電極と酸化物半導体層との間に酸化物半導体層を覆うように保護絶縁膜が設けられているので、例えば、ソース電極 (、ソース電極に接続するソース線) 及びドレイン電極を形成するために、導電膜をエッチングによりパターニングする際に、並びに各画素電極の下層となる層間絶縁膜を形成するために、無機絶縁膜を C V D により成膜する際に、酸化物半導体層が表面に露出しないことになる。そのため、酸化物半導体層がエッチングや C V D でダメージを受け難くなるので、薄膜トランジスタの特性の低下が抑制される。また、上記構成のアクティブマトリクス基板は、第 1 のフォトマスクを用いてゲート電極を形成し、第 2 のフォトマスクを用いて酸化物半導体層を形成し、(場合によっては第 3 のフォトマスクを用いて、ソース電極に接続するソース線を形成し、) 第 3 (又は第 4) のフォトマスクを用いて保護絶縁膜を形成し、第 4 (又は第 5) のフォトマスクを用いて画素電極、ソース電極及びドレイン電極を形成するので、計 4 枚 (又は 5 枚) のフォトマスクを用いて製造される。したがって、フォトマスクの枚数を増やすことなく、酸化物半導体の半導体層を用いた薄膜トランジスタの特性の低下が抑制される。

40

【0020】

上記ドレイン電極は、上記各画素電極と一体に形成され、上記ソース電極は、上記各画素電極と同一層に形成されていてもよい。

【0021】

50

上記の構成によれば、ドレイン電極が各画素電極と一体に形成され、ソース電極が各画素電極と同一層に同一材料により形成されているので、各画素電極、ソース電極及びドレイン電極が、透明導電膜などの導電膜をパターンニングして形成される。

【0022】

上記各ソース線と交差する方向に互いに平行に延びるように設けられた複数のゲート線を備え、上記各ゲート線と上記各ソース線との交差部分には、上記ゲート絶縁膜及び保護絶縁膜が配置されていてもよい。

【0023】

上記の構成によれば、各ゲート線と各ソース線との交差部分にゲート絶縁膜及び保護絶縁膜が配置されているので、各ゲート線と各ソース線との交差部分に配置される絶縁膜が厚膜化され、ソース-ゲート間の容量が低減されると共に、ソース-ゲート間の短絡が抑制される。

【0024】

上記保護絶縁膜は、塗布型の絶縁膜であってもよい。

【0025】

上記の構成によれば、保護絶縁膜が比較的厚く形成され易い塗布型の絶縁膜であるので、ソース-ゲート間の容量がいっそう低減されると共に、ソース-ゲート間の短絡がいっそう抑制される。

【0026】

上記各画素電極と上記保護絶縁膜との間には、層間絶縁膜が設けられていてもよい。

【0027】

上記構成によれば、各画素電極と保護絶縁膜との間に層間絶縁膜が設けられているので、例えば、ソース線を層間絶縁膜で被覆して保護することが可能になる。

【0028】

また、本発明に係る表示パネルは、互いに対向するように設けられたアクティブマトリクス基板及び対向基板と、上記アクティブマトリクス基板及び対向基板の間に設けられた表示媒体層とを備えた表示パネルであって、上記アクティブマトリクス基板は、マトリクス状に設けられた複数の画素電極と、上記各画素電極にそれぞれ接続された複数の薄膜トランジスタと、互いに平行に延びるように設けられた複数のソース線とを備え、上記各薄膜トランジスタが、絶縁基板に設けられたゲート電極と、該ゲート電極を覆うように設けられたゲート絶縁膜と、該ゲート絶縁膜上に上記ゲート電極に重なるように設けられた酸化半導体層と、互いに対峙するように設けられ、該酸化半導体層にそれぞれ接続されたソース電極及びドレイン電極とを備え、上記ソース電極及びドレイン電極と上記酸化半導体層との間には、該酸化半導体層を覆うように保護絶縁膜が設けられ、上記各ソース線は、金属材料により形成され、上記ソース電極及びドレイン電極は、上記各画素電極と同一材料により形成されていることを特徴とする。

【0029】

上記の構成によれば、各薄膜トランジスタにおいて、ソース電極及びドレイン電極と酸化半導体層との間に酸化半導体層を覆うように保護絶縁膜が設けられているので、例えば、ソース電極（、ソース電極に接続するソース線）及びドレイン電極を形成するために、導電膜をエッチングによりパターンニングする際に、並びに各画素電極の下層となる層間絶縁膜を形成するために、無機絶縁膜をCVDにより成膜する際に、酸化半導体層が表面に露出しないことになる。そのため、酸化半導体層がエッチングやCVDでダメージを受け難くなるので、薄膜トランジスタの特性の低下が抑制される。また、上記構成のアクティブマトリクス基板は、第1のフォトリソを用いてゲート電極を形成し、第2のフォトリソを用いて酸化半導体層を形成し、（場合によっては第3のフォトリソを用いて、ソース電極に接続するソース線を形成し、）第3（又は第4）のフォトリソを用いて保護絶縁膜を形成し、第4（又は第5）のフォトリソを用いて画素電極、ソース電極及びドレイン電極を形成するので、計4枚（又は5枚）のフォトリソを用いて製造される。したがって、互いに対向するように設けられたアクティブマトリクス基板及び対

10

20

30

40

50

向基板と、それらの両基板の間に設けられた表示媒体層とを備えた表示パネルにおいて、フォトマスクの枚数を増やすことなく、酸化物半導体の半導体層を用いた薄膜トランジスタの特性の低下が抑制される。

【0030】

また、本発明に係るアクティブマトリクス基板の製造方法は、マトリクス状に設けられた複数の画素電極と、上記各画素電極にそれぞれ接続された複数の薄膜トランジスタとを備え、上記各薄膜トランジスタが、絶縁基板に設けられたゲート電極と、該ゲート電極を覆うように設けられたゲート絶縁膜と、該ゲート絶縁膜上に上記ゲート電極に重なるように設けられた酸化物半導体層と、互いに対峙するように設けられ、該酸化物半導体層にそれぞれ接続されたソース電極及びドレイン電極とを備えたアクティブマトリクス基板を製造する方法であって、絶縁基板上に上記ゲート電極を形成するゲート電極形成工程と、上記ゲート電極を覆うように上記ゲート絶縁膜を形成した後に、該ゲート絶縁膜上に上記酸化物半導体層を形成する半導体層形成工程と、上記酸化物半導体層を覆うように、絶縁材料膜を成膜した後に、該絶縁材料膜をパターニングして、上記酸化物半導体層の上記ソース電極及びドレイン電極との接続部分が開口した保護絶縁膜を形成する保護絶縁膜形成工程と、上記保護絶縁膜を覆うように、透明導電膜を成膜した後に、該透明導電膜をパターニングして、上記各画素電極、ソース電極及びドレイン電極を形成する画素電極形成工程とを備え、上記保護絶縁膜形成工程では、上記絶縁材料膜を覆うように金属膜を成膜し、該金属膜をパターニングして、上記ソース電極に接続するソース線を形成した後に、上記絶縁材料膜をパターニングして、上記保護絶縁膜を形成することを特徴とする。

10

20

【0031】

上記の方法によれば、保護絶縁膜形成工程において、半導体層形成工程で形成された酸化物半導体層を覆うように、絶縁材料膜を成膜した後に、その絶縁材料膜をパターニングして、酸化物半導体層のソース電極及びドレイン電極との接続部分が開口した保護絶縁膜を形成するので、画素電極形成工程において、各画素電極、ソース電極及びドレイン電極を形成するために、透明導電膜をエッチングによりパターニングする際に、酸化物半導体層が表面に露出しないことになる。そのため、酸化物半導体層がエッチングでダメージを受け難くなるので、TFTの特性の低下が抑制される。また、アクティブマトリクス基板は、ゲート電極形成工程で第1のフォトマスクを用い、半導体層形成工程で第2のフォトマスクを用い、保護絶縁膜形成工程で第3のフォトマスクを用い、画素電極形成工程で第4のフォトマスクを用いるので、計4枚のフォトマスクを用いて製造される。したがって、フォトマスクの枚数を増やすことなく、酸化物半導体の半導体層を用いた薄膜トランジスタの特性の低下が抑制される。また、上記の方法によれば、保護絶縁膜形成工程において、絶縁材料膜を覆うように金属膜を成膜し、その金属膜をパターニングして、ソース線を形成した後に、絶縁材料膜をパターニングして、保護絶縁膜を形成するので、金属膜をエッチングによりパターニングして、ソース線を形成する際に、酸化物半導体層が絶縁材料膜で覆われていることになり、酸化物半導体層が金属膜のエッチングでダメージを受け難くなる。

30

【0032】

上記保護絶縁膜形成工程では、上記絶縁材料膜を覆うように他の絶縁材料膜を成膜し、該絶縁材料膜及び他の絶縁材料膜の積層膜をパターニングして、該絶縁材料膜により保護絶縁膜を形成すると共に、該他の絶縁材料膜により上記各画素電極、ソース電極及びドレイン電極の下層となる層間絶縁膜を形成してもよい。

40

【0033】

上記の方法によれば、保護絶縁膜形成工程において、(第1の)絶縁材料膜を覆うように他の(第2の)絶縁材料膜を成膜し、(第1の)絶縁材料膜及び他の(第2の)絶縁材料膜の積層膜をパターニングして、(第1の)絶縁材料膜により保護絶縁膜を形成すると共に、他の(第2の)絶縁材料膜により層間絶縁膜を形成するので、他の(第2の)絶縁材料膜をCVDにより成膜する際に、酸化物半導体層が(第1の)絶縁材料膜で覆われていることになり、酸化物半導体層が他の(第2の)絶縁材料膜のCVDでダメージを受け

50

難くなる。

【0034】

上記保護絶縁膜形成工程では、上記金属膜上に感光性樹脂膜を成膜した後に、該感光性樹脂膜をハーフ露光で露光して、上記ソース線を形成する部分が相対的に厚く、上記酸化物半導体層の上記ソース電極及びドレイン電極との接続部分が開口したレジストパターンを形成し、続いて、該レジストパターンから露出する金属膜及び該金属膜の下層の絶縁材料膜をエッチングして、上記保護絶縁膜を形成し、さらに、該レジストパターンを薄膜化することにより相対的に薄い部分を除去して露出させた金属膜をエッチングして、上記ソース線を形成してもよい。

【0035】

上記の方法によれば、例えば、透過部、遮光部及び半透過部を備えたハーフトーン又はグレイトーンのハーフ露光が可能な1枚のフォトマスクを用いて、ソース線を形成する部分が相対的に厚く、酸化物半導体層のソース電極及びドレイン電極との接続部分が開口したレジストパターンを形成し、そのレジストパターンを用いて保護絶縁膜を形成し、そのレジストパターンを薄膜化したレジストパターンを用いてソース線を形成するので、アクティブマトリクス基板の製造コストが低減される。

【0036】

上記保護絶縁膜形成工程では、上記ソース線を覆うように、他の絶縁材料膜を成膜した後に、該他の絶縁材料膜をパターニングして、上記各画素電極、ソース電極及びドレイン電極の下層となる層間絶縁膜を形成してもよい。

【0037】

上記の方法によれば、保護絶縁膜形成工程において、保護絶縁膜上に形成されたソース線を覆うように、他の(第2の)絶縁材料膜を成膜した後に、他の(第2の)絶縁材料膜をパターニングして、層間絶縁膜を形成するので、例えば、画素電極形成工程の前にドライエッチングにより形成するコンタクトホールが深さが浅くなり、ドライエッチングに要する時間が短くなると共に、層間絶縁膜の表面がダメージを受け難くなる。なお、層間絶縁膜を構成する(第2の)絶縁材料膜が有機絶縁膜である場合には、その層間絶縁膜の表面のダメージが抑えられるので、画素電極の下層の表面荒れによるコントラスト低下が抑制される。

【0038】

上記絶縁材料膜は、無機絶縁膜であってもよい。

【0039】

上記の方法によれば、絶縁材料膜が無機絶縁膜であるので、例えば、CVDにより絶縁材料膜が成膜され、無機絶縁膜(絶縁材料膜)をパターニングして保護絶縁膜が具体的に形成される。

【発明の効果】

【0040】

本発明によれば、ソース電極及びドレイン電極と酸化物半導体層との間に酸化物半導体層を覆うように保護絶縁膜が設けられているので、フォトマスクの枚数を増やすことなく、酸化物半導体の半導体層を用いた薄膜トランジスタの特性の低下を抑制することができる。

【図面の簡単な説明】

【0041】

【図1】図1は、実施形態1に係る液晶表示パネル50の断面図である。

【図2】図2は、液晶表示パネル50を構成するアクティブマトリクス20aの各画素を示す平面図である。

【図3】図3は、アクティブマトリクス基板20aのゲート端子17caが形成された部分の平面図である。

【図4】図4は、アクティブマトリクス基板20aのソース端子17cbが形成された部分の平面図である。

10

20

30

40

50

【図5】図5は、アクティブマトリクス基板20aのゲートソース接続部17dが形成された部分の平面図である。

【図6】図6は、アクティブマトリクス基板20aの画素部の断面図である。

【図7】図7は、アクティブマトリクス基板20aのゲート端子17ca及びソース端子17cbが形成された部分の断面図である。

【図8】図8は、アクティブマトリクス基板20aのゲートソース接続部17dが形成された部分の断面図である。

【図9】図9は、アクティブマトリクス基板20aの製造工程を示す説明図である。

【図10】図10は、実施形態2に係る液晶表示パネルを構成するアクティブマトリクス基板20bの製造工程を示す説明図である。

【図11】図11は、実施形態3に係る液晶表示パネルを構成するアクティブマトリクス基板20c及びその製造工程を示す断面図である。

【図12】図12は、エッチストップ型のTFT105を備えた従来のアクティブマトリクス基板120の断面図である。

【発明を実施するための形態】

【0042】

以下、本発明の実施形態を図面に基づいて詳細に説明する。なお、本発明は、以下の各実施形態に限定されるものではない。

【0043】

《発明の実施形態1》

図1～図9は、本発明に係るアクティブマトリクス基板及びそれを備えた表示パネル、並びにアクティブマトリクス基板の製造方法の実施形態1を示している。具体的に図1は、本実施形態の液晶表示パネル50の断面図である。また、図2は、液晶表示パネル50を構成するアクティブマトリクス20aの各画素を示す平面図であり、図3は、そのゲート端子17caが形成された部分の平面図であり、図4は、そのソース端子17cbが形成された部分の平面図であり、図5は、そのゲートソース接続部17dが形成された部分の平面図である。さらに、図6は、図2中のVI-VI線に沿ったアクティブマトリクス基板20aの画素部の断面図であり、図7は、図3及び図4のVII-VII線に沿ったアクティブマトリクス基板20aのゲート端子17ca及びソース端子17cbが形成された部分の断面図であり、図8は、図5中のVIII-VIII線に沿ったアクティブマトリクス20aのゲートソース接続部17dが形成された部分の断面図である。

【0044】

液晶表示パネル50は、図1に示すように、互いに対向するように設けられたアクティブマトリクス基板20a及び対向基板30と、アクティブマトリクス基板20a及び対向基板30の間に表示媒体層として設けられた液晶層40と、アクティブマトリクス基板20a及び対向基板30を互いに接着すると共にアクティブマトリクス基板20a及び対向基板30の間に液晶層40を封入するために枠状に設けられたシール材35とを備えている。

【0045】

アクティブマトリクス基板20aは、図2及び図6に示すように、絶縁基板10上に互いに平行に延びるように設けられた複数のゲート線11aと、各ゲート線11aの間にそれぞれ設けられ、互いに平行に延びる複数の容量線11bと、各ゲート線11aと直交する方向に互いに平行に延びるように設けられた複数のソース線15aと、各ゲート線11a及び各ソース線15aの交差部分毎、すなわち、各画素毎にそれぞれ設けられた複数のTFT5と、マトリクス状に設けられ、各TFT5にそれぞれ接続された複数の画素電極Pと、各画素電極Pを覆うように設けられた配向膜(不図示)とを備え、Cs on Co m m o n構造になっている。

【0046】

ゲート線11aは、画像表示を行う表示領域D(図1参照)の外側の端子領域T(図1参照)に引き出され、その端子領域Tにおいて、図3及び図7に示すように、ゲート絶縁

10

20

30

40

50

膜 1 2 a、保護絶縁膜 1 4 a 及び層間絶縁膜 1 6 a の積層膜に形成されたコンタクトホール C d a を介してゲート端子 1 7 c a に接続されている。

【 0 0 4 7 】

ソース線 1 5 a は、表示領域 D (図 1 参照) の外側に引き出され、図 5 及び図 8 に示すように、層間絶縁膜 1 6 a に形成されたコンタクトホール C g を介してゲートソース接続部 1 7 d に接続され、そのゲートソース接続部 1 7 d がゲート絶縁膜 1 2 a、保護絶縁膜 1 4 a 及び層間絶縁膜 1 6 a の積層膜に形成されたコンタクトホール C e を介して中継配線 1 1 c に接続され、図 4 及び図 7 に示すように、その中継配線 1 1 c が端子領域 T においてゲート絶縁膜 1 2 a、保護絶縁膜 1 4 a 及び層間絶縁膜 1 6 a の積層膜に形成されたコンタクトホール C d b を介してソース端子 1 7 c b に接続されている。

10

【 0 0 4 8 】

T F T 5 は、図 2 及び図 6 に示すように、絶縁基板 1 0 上に設けられたゲート電極 (1 1 a) と、ゲート電極 (1 1 a) を覆うように設けられたゲート絶縁膜 1 2 a と、ゲート絶縁膜 1 2 a 上でゲート電極 (1 1 a) に対応する位置に島状に設けられた酸化物半導体層 1 3 a と、酸化物半導体層 1 3 a の上層側で互いに対峙するように設けられ、酸化物半導体層 1 3 a に接続されたソース電極 1 7 a 及びドレイン電極 1 7 b とを備えている。ここで、ソース電極 1 7 a 及びドレイン電極 1 7 b と酸化物半導体層 1 3 a との間には、図 6 に示すように、酸化物半導体層 1 3 a のソース電極 1 7 a 及びドレイン電極 1 7 b との接続部分以外を覆うように設けられた保護絶縁膜 1 4 a が設けられている。そして、ゲート電極 (1 1 a) は、図 2 に示すように、ゲート線 1 1 a の一部である。また、ソース電極 1 7 a は、図 2 及び図 6 に示すように、保護絶縁膜 1 4 a 及び層間絶縁膜 1 6 a の積層膜に形成されたコンタクトホール C a を介して酸化物半導体層 1 3 a に接続されていると共に、層間絶縁膜 1 6 a に形成されたコンタクトホール C f を介してソース線 1 5 a に接続されている。また、ドレイン電極 1 7 b は、図 2 及び図 5 に示すように、保護絶縁膜 1 4 a 及び層間絶縁膜 1 6 a の積層膜に形成されたコンタクトホール C b を介して酸化物半導体層 1 3 a に接続されていると共に、隣り合う一対のゲート線 1 1 a 及び隣り合う一対のソース線 1 5 a に囲まれた画素領域に延設されて画素電極 P を構成している。さらに、ドレイン電極 1 7 b は、図 2 及び図 6 に示すように、保護絶縁膜 1 4 a 及び層間絶縁膜 1 6 a の積層膜に形成されたコンタクトホール C c を介して容量電極 1 3 b に接続され、その容量電極 1 3 b がゲート絶縁膜 1 2 a を介して容量線 1 1 b に重なることにより、補助容量を構成している。また、酸化物半導体層 1 3 a は、例えば、I G Z O (I n - G a - Z n - O) 系、I S i Z O (I n - S i - Z n - O) 系、I A l Z O (I n - A l - Z n - O) 系などの酸化物半導体膜により形成されている。

20

30

【 0 0 4 9 】

対向基板 3 0 は、絶縁基板上に格子状に設けられたブラックマトリクス (不図示) 並びにそのブラックマトリクスの各格子間にそれぞれ設けられた赤色層、緑色層及び青色層などの着色層 (不図示) を有するカラーフィルター層 (不図示) と、そのカラーフィルター層を覆うように設けられた共通電極 (不図示) と、その共通電極上に設けられたフォトスペーサ (不図示) と、その共通電極を覆うように設けられた配向膜 (不図示) とを備えている。

40

【 0 0 5 0 】

液晶層 4 0 は、電気光学特性を有するネマチックの液晶材料などにより構成されている。

【 0 0 5 1 】

上記構成の液晶表示パネル 5 0 では、各画素において、ゲートドライバ (不図示) からゲート信号がゲート線 1 1 a を介してゲート電極 (1 1 a) に送られて、T F T 5 がオン状態になったときに、ソースドライバ (不図示) からソース信号がソース線 1 5 a を介してソース電極 1 7 a に送られて、酸化物半導体層 1 3 a 及びドレイン電極 1 7 b を介して、画素電極 P に所定の電荷が書き込まれる。このとき、アクティブマトリクス基板 2 0 a の各画素電極 P と対向基板 3 0 の共通電極との間において電位差が生じ、液晶層 4 0、す

50

なわち、各画素の液晶容量及びその液晶容量に並列に接続された補助容量に所定の電圧が印加される。そして、液晶表示パネル50では、各画素において、液晶層40に印加する電圧の大きさによって液晶層40の配向状態を変えることにより、液晶層40の光透過率を調整して画像が表示される。

【0052】

次に、本実施形態の液晶表示パネル50の製造方法の一例について図9を用いて説明する。ここで、図9は、アクティブマトリクス基板20aの製造工程を示す断面図である。なお、本実施形態の製造方法は、アクティブマトリクス基板作製工程、対向基板作製工程及び液晶注入工程を備える。

【0053】

<アクティブマトリクス基板作製工程>

まず、ガラス基板などの絶縁基板10の基板全体に、スパッタリング法により、例えば、チタン膜（厚さ50nm程度）、アルミニウム膜（厚さ200nm程度）及びチタン膜（厚さ100nm程度）などを順に積層した第1の金属膜を成膜し、その後、第1のフォトリソグラフィ、第1の金属膜のドライエッチング、レジストの剥離、及び洗浄を行うことにより、図9(a)に示すように、ゲート線（ゲート電極）11a、容量線11b及び中継配線11cを形成する（ゲート電極形成工程）。

【0054】

続いて、ゲート線（ゲート電極）11a、容量線11b及び中継配線11cが形成された基板全体に、CVD（Chemical Vapor Deposition）法により、例えば、酸化シリコン膜（厚さ200nm～500nm程度）などの無機絶縁膜12を成膜した後に、スパッタリング法により、例えば、IGZO系の酸化物半導体膜（厚さ30nm～300nm程度）を成膜し、その後、第2のフォトリソグラフィ、酸化物半導体膜のウエットエッチング、レジストの剥離、及び洗浄を行うことにより、図9(b)に示すように、酸化物半導体層13a及び容量電極13bを形成する（半導体層形成工程）。なお、本実施形態では、単層の無機絶縁膜12を例示したが、例えば、下層が窒化シリコン膜（厚さ200nm～500nm程度）により構成され、上層が酸化シリコン膜（例えば、20nm～150nm程度）により構成された複層の無機絶縁膜12であってもよい。

【0055】

さらに、酸化物半導体層13a及び容量電極13bが形成された基板全体に、CVD法により、図9(c)に示すように、例えば、酸化シリコン膜（厚さ50nm～200nm程度）などの第1の無機絶縁膜（絶縁材料膜）14を成膜した後に、スパッタリング法により、例えば、チタン膜（厚さ50nm程度）、アルミニウム膜（厚さ200nm程度）及びチタン膜（厚さ100nm程度）などを順に積層した第2の金属膜15を成膜する。その後、第3のフォトリソグラフィ、第2の金属膜15のドライエッチング、レジストの剥離、及び洗浄を行うことにより、図9(d)に示すように、ソース線15aを形成する。なお、本実施形態では、単層の第1の無機絶縁膜14を例示したが、例えば、下層が酸化シリコン膜により構成され、上層が窒化シリコン膜により構成された複層の第1の無機絶縁膜14であってもよい。

【0056】

そして、ソース線15aが形成された基板全体に、CVD法により、例えば、酸化シリコン膜（厚さ50nm～300nm程度）などの第2の無機絶縁膜（他の絶縁材料膜）16を成膜した後に、第4のフォトリソグラフィ、第2の無機絶縁膜16のウエットエッチング、第1の無機絶縁膜14及び第2の無機絶縁膜16の積層膜のウエットエッチング、並びに無機絶縁膜12、第1の無機絶縁膜14及び第2の無機絶縁膜16の積層膜のウエットエッチング、レジストの剥離、及び洗浄を行うことにより、図9(e)に示すように、コンタクトホールCa、Cb、Cc、Cda、Cdb、Ce（図8参照）、Cf及びCg（図8参照）を形成して、ゲート絶縁膜12a、保護絶縁膜14a及び層間絶縁膜16aを形成する（保護絶縁膜形成工程）。なお、本実施形態では、単

10

20

30

40

50

層の第2の無機絶縁膜16を例示したが、例えば、下層が酸化シリコン膜により構成され、上層が窒化シリコン膜により構成された複層の第2の無機絶縁膜16であってもよい。

【0057】

さらに、ゲート絶縁膜12a、保護絶縁膜14a及び層間絶縁膜16aが形成された基板全体に、スパッタリング法により、例えば、ITO (Indium Tin Oxide、厚さ100nm程度)などの透明導電膜17を成膜し、その後、第5のフォトマスクを用いたフォトリソグラフィ、透明導電膜17のドライエッチング、レジストの剥離、及び洗浄を行うことにより、図9(f)に示すように、ソース電極17a、ドレイン電極17b(画素電極P)、ゲート端子17ca、ソース端子17cb及びゲートソース接続部17d(図8参照)を形成する(画素電極形成工程)。

10

【0058】

最後に、ソース電極17a、ドレイン電極17b(画素電極P)、ゲート端子17ca、ソース端子17cb及びゲートソース接続部17dが形成された基板全体に、印刷法によりポリイミド樹脂を塗布し、その後、ラビング処理を行うことにより、配向膜を厚さ100nm程度に形成する。

【0059】

以上のようにして、アクティブマトリクス基板20aを作製することができる。

【0060】

<対向基板作製工程>

まず、ガラス基板などの絶縁基板の基板全体に、スピコート法により、例えば、カーボンなどの微粒子が分散されたアクリル系の感光性樹脂を塗布し、その塗布された感光性樹脂をフォトマスクを介して露光した後に、現像することにより、ブラックマトリクスを厚さ1.5µm程度に形成する。

20

【0061】

続いて、上記ブラックマトリクスが形成された基板全体に、スピコート法により、例えば、赤、緑又は青に着色されたアクリル系の感光性樹脂を塗布し、その塗布された感光性樹脂をフォトマスクを介して露光した後に、現像することによりパターンニングして、選択した色の着色層(例えば、赤色層)を厚さ2.0µm程度に形成する。さらに、他の2色についても同様な工程を繰り返して、他の2色の着色層(例えば、緑色層及び青色層)を厚さ2.0µm程度に形成して、カラーフィルター層を形成する。

30

【0062】

さらに、上記カラーフィルター層が形成された基板上に、スパッタリング法により、例えば、ITOなどの透明導電膜を成膜して、共通電極を厚さ100nm程度に形成する。

【0063】

その後、上記共通電極が形成された基板全体に、スピコート法により、感光性樹脂を塗布し、その塗布された感光性樹脂をフォトマスクを介して露光した後に、現像することにより、フォトスペーサを厚さ4µm程度に形成する。

【0064】

最後に、上記フォトスペーサが形成された基板全体に、印刷法によりポリイミド系樹脂を塗布し、その後、ラビング処理を行うことにより、配向膜を厚さ100nm程度に形成する。

40

【0065】

以上のようにして、対向基板30を作製することができる。

【0066】

<液晶注入工程>

まず、例えば、ディスペンサを用いて、上記対向基板作製工程で作製された対向基板30に、紫外線硬化及び熱硬化併用型樹脂などにより構成されたシール材35を枠状に描画する。

【0067】

続いて、上記シール材が描画された対向基板30におけるシール材35の内側の領域に

50

液晶材料を滴下する。

【0068】

さらに、上記液晶材料が滴下された対向基板30と、上記アクティブマトリクス基板作製工程で作製されたアクティブマトリクス基板20aとを、減圧下で貼り合わせた後に、その貼り合わせた貼合体を大気圧に開放することにより、その貼合体の表面及び裏面を加圧する。

【0069】

最後に、上記貼合体に挟持されたシール材35にUV光を照射した後に、その貼合体を加熱することによりシール材35を硬化させる。

【0070】

以上のようにして、本実施形態の液晶表示パネル50を製造することができる。

【0071】

以上説明したように、本実施形態のアクティブマトリクス基板20a及びそれを備えた液晶表示パネル50、並びにアクティブマトリクス基板20aの製造方法によれば、保護絶縁膜形成工程において、半導体層形成工程で形成された酸化物半導体層13aを覆うように、第1の無機絶縁膜14を成膜した後に、その第1の無機絶縁膜14をパターンングして、酸化物半導体層13aのソース電極17a及びドレイン電極17bとの接続部分が開口した保護絶縁膜14aを形成するので、画素電極形成工程において、各画素電極P、ソース電極17a及びドレイン電極17bを形成するために、透明導電膜17をエッチングによりパターンングする際に、酸化物半導体層13aが表面に露出しないことになる。そのため、酸化物半導体層13aがエッチングでダメージを受け難くなるので、TF T5の特性の低下を抑制することができる。また、保護絶縁膜形成工程において、第1の無機絶縁膜14を覆うように第2の金属膜15を成膜し、その第2の金属膜15をパターンングして、ソース線15aを形成した後に、第1の無機絶縁膜14をパターンングして、保護絶縁膜14aを形成するので、第2の金属膜15をエッチングによりパターンングして、ソース線15aを形成する際に、酸化物半導体層13aが第1の無機絶縁膜14で覆われていることになり、酸化物半導体層13aが第2の金属膜15のエッチングでダメージを受け難くなる。さらに、保護絶縁膜形成工程において、第1の無機絶縁膜14を覆うように第2の無機絶縁膜16を成膜し、第1の無機絶縁膜14及び第2の無機絶縁膜16の積層膜をパターンングして、第1の無機絶縁膜14により保護絶縁膜14aを形成すると共に、第2の無機絶縁膜16により層間絶縁膜16aを形成するので、第2の無機絶縁膜16をCVDにより成膜する際に、酸化物半導体層13aが第1の無機絶縁膜14で覆われていることになり、酸化物半導体層13aが第2の無機絶縁膜16のCVDでダメージを受け難くなる。また、アクティブマトリクス基板20aは、ゲート電極形成工程で第1のフォトマスクを用い、半導体層形成工程で第2のフォトマスクを用い、保護絶縁膜形成工程で第3及び第4のフォトマスクを用い、画素電極形成工程で第5のフォトマスクを用いるので、計5枚のフォトマスクを用いて製造される。したがって、アクティブマトリクス基板20a及びそれを備えた液晶表示パネル50において、フォトマスクの枚数を増やすことなく、酸化物半導体の半導体層を用いたTF Tの特性の低下を抑制することができる。

【0072】

また、本実施形態のアクティブマトリクス基板20aによれば、ドレイン電極17bが各画素電極Pと一体に形成され、ソース電極17aが各画素電極Pと同一層に同一材料により形成されているので、各画素電極P、ソース電極17a及びドレイン電極17bを、透明導電膜17などの導電膜をパターンングして形成することができる。

【0073】

また、本実施形態のアクティブマトリクス基板20aによれば、各ゲート線11aと各ソース線15aとの交差部分にゲート絶縁膜12a及び保護絶縁膜14aが配置されているので、各ゲート線11aと各ソース線15aとの交差部分に配置される絶縁膜が厚膜化され、ソース-ゲート間の容量を低減することができると共に、ソース-ゲート間の短絡

10

20

30

40

50

を抑制することができる。

【0074】

なお、本実施形態では、5枚のフォトマスクを用いるアクティブマトリクス基板20aの製造方法を例示したが、第2の金属膜15の成膜及びそのパターンニングを省略して、金属膜15に形成されていたソース線(15a)を、各画素電極Pと同一層に同一材料(透明導電膜17)により形成することにより、4枚のフォトマスクを用いてアクティブマトリクス基板を製造することができる。

【0075】

《発明の実施形態2》

図10は、本実施形態の液晶表示パネルを構成するアクティブマトリクス基板20bの製造工程を示す説明図である。なお、以下の各実施形態において、図1～図9と同じ部分については同じ符号を付して、その詳細な説明を省略する。

【0076】

本実施形態の液晶表示パネルは、互いに対向するように設けられたアクティブマトリクス基板20b及び対向基板30(図1参照)と、アクティブマトリクス基板20b及び対向基板30の間に設けられた液晶層40(図1参照)とを備えている。

【0077】

アクティブマトリクス基板20bでは、TFT5が、図10(e)に示すように、絶縁基板10上に設けられたゲート電極(11a)と、ゲート電極(11a)を覆うように設けられたゲート絶縁膜12bと、ゲート絶縁膜12b上でゲート電極(11a)に対応する位置に島状に設けられた酸化物半導体層13aと、酸化物半導体層13aの上層側で互いに対峙するように設けられ、酸化物半導体層13aに接続されたソース電極17a及びドレイン電極17bとを備えている。ここで、ソース電極17a及びドレイン電極17bと酸化物半導体層13aとの間には、図10(e)に示すように、酸化物半導体層13aのソース電極17a及びドレイン電極17bとの接続部分以外を覆うように設けられた保護絶縁膜14bが設けられている。また、ソース電極17aは、図10(e)に示すように、(保護絶縁膜14b及び)層間絶縁膜16bに形成されたコンタクトホールCaを介して酸化物半導体層13aに接続されていると共に、層間絶縁膜16bに形成されたコンタクトホールCfを介してソース線15aに接続されている。また、ドレイン電極17bは、図10(e)に示すように、(保護絶縁膜14b及び)層間絶縁膜16bに形成されたコンタクトホールCbを介して酸化物半導体層13aに接続されていると共に、画素領域に延設されて画素電極Pを構成している。

【0078】

次に、本実施形態のアクティブマトリクス基板20bの製造方法の一例について図10を用いて説明する。なお、本実施形態の製造方法は、上記実施形態1のアクティブマトリクス基板作製工程における保護絶縁膜形成工程を変更するだけであるので、保護膜形成工程を中心に説明する。

【0079】

まず、上記実施形態1のアクティブマトリクス基板作製工程における半導体層形成工程を行って酸化物半導体層13a及び容量電極13bが形成された基板全体に、CVD法により、図10(a)に示すように、例えば、酸化シリコン膜(厚さ50nm～200nm程度)などの第1の無機絶縁膜(絶縁材料膜)14を成膜した後に、スパッタリング法により、例えば、チタン膜(厚さ50nm程度)、アルミニウム膜(厚さ200nm程度)及びチタン膜(厚さ100nm程度)などを順に積層した第2の金属膜15を成膜し、さらに、スピンコート法により、感光性樹脂膜Rを塗布し、その塗布された感光性樹脂膜Rをハーフトーンの第3フォトマスクを介して露光した後に、現像することにより、図10(a)に示すように、ソース線15aとなる部分が相対的に厚く、コンタクトホールCa、Cb、Cc、Cda及びCdbなどを形成する部分が開口したレジストパターンRaを形成する。

【0080】

10

20

30

40

50

続いて、レジストパターン R a から露出する第 2 の金属膜 1 5、及びその下層の第 1 の無機絶縁膜 1 4、並びにその下層の無機絶縁膜 1 2 のドライエッチングを行うことにより、図 1 0 (b) に示すように、ゲート絶縁膜 1 2 b、保護絶縁膜 1 4 b 及び金属層 1 5 b を形成する。

【 0 0 8 1 】

さらに、レジストパターン R a をアッシングで薄肉化することにより、図 1 0 (b) に示すように、レジストパターン R a の相対的に薄い部分を除去して、レジストパターン R b を形成した後に、レジストパターン R b から露出する金属層 1 5 b のドライエッチング、レジストの剥離、及び洗浄を行うことにより、図 1 0 (c) に示すように、ソース線 1 5 a を形成する。

10

【 0 0 8 2 】

そして、ソース線 1 5 a が形成された基板全体に、C V D 法により、例えば、酸化シリコン膜 (厚さ 5 0 n m ~ 3 0 0 n m 程度) などの第 2 の無機絶縁膜 (他の絶縁材料膜) 1 6 を成膜した後に、第 4 のフォトマスクを用いたフォトリソグラフィ、第 2 の無機絶縁膜 1 6 のウエットエッチング、レジストの剥離、及び洗浄を行うことにより、図 1 0 (d) に示すように、層間絶縁膜 1 6 b を形成する (保護絶縁膜形成工程) 。

【 0 0 8 3 】

さらに、層間絶縁膜 1 6 b が形成された基板全体に、スパッタリング法により、例えば、I T O (厚さ 1 0 0 n m 程度) などの透明導電膜 1 7 を成膜し、その後、第 5 のフォトマスクを用いたフォトリソグラフィ、透明導電膜 1 7 のドライエッチング、レジストの剥離、及び洗浄を行うことにより、図 1 0 (e) に示すように、ソース電極 1 7 a、ドレイン電極 1 7 b (画素電極 P)、ゲート端子 1 7 c a 及びソース端子 1 7 c b などを形成する (画素電極形成工程) 。

20

【 0 0 8 4 】

最後に、ソース電極 1 7 a、ドレイン電極 1 7 b (画素電極 P)、ゲート端子 1 7 c a 及びソース端子 1 7 c b などが形成された基板全体に、印刷法によりポリイミド樹脂を塗布し、その後、ラビング処理を行うことにより、配向膜を厚さ 1 0 0 n m 程度に形成する。

【 0 0 8 5 】

以上のようにして、アクティブマトリクス基板 2 0 b を製造することができる。

30

【 0 0 8 6 】

以上説明したように、本実施形態のアクティブマトリクス基板 2 0 b 及びそれを備えた液晶表示パネル、並びにアクティブマトリクス基板 2 0 a の製造方法によれば、上記実施形態 1 と同様に、ソース電極 1 7 a 及びドレイン電極 1 7 b と酸化物半導体層 1 3 a との間に酸化物半導体層 1 3 a を覆うように保護絶縁膜 1 4 b が設けられているので、フォトマスクの枚数を増やすことなく、酸化物半導体の半導体層を用いた T F T の特性の低下を抑制することができる。

【 0 0 8 7 】

また、本実施形態のアクティブマトリクス基板 2 0 b の製造方法によれば、例えば、透過部、遮光部及び半透過部を備えたハーフトーン (又はグレイトーン) のハーフ露光が可能な 1 枚のフォトマスクを用いて、ソース線 1 5 a を形成する部分が相対的に厚く、酸化物半導体層 1 3 a のソース電極 1 7 a 及びドレイン電極 1 7 b との接続部分が開口したレジストパターン R a を形成し、そのレジストパターン R a を用いて保護絶縁膜 1 4 b を形成し、そのレジストパターン R a を薄膜化したレジストパターン R b を用いてソース線 1 5 a を形成するので、アクティブマトリクス基板 2 0 b の製造コストを低減することができる。

40

【 0 0 8 8 】

また、本実施形態のアクティブマトリクス基板 2 0 b の製造方法によれば、保護絶縁膜形成工程において、保護絶縁膜 1 4 b 上に形成されたソース線 1 5 a を覆うように、第 2 の無機絶縁膜 1 6 を成膜した後に、第 2 の無機絶縁膜 1 6 をパターンニングして、層間絶縁

50

膜 16b を形成するので、例えば、画素電極形成工程の前にドライエッチングにより形成するコンタクトホール16bの深さが浅くなり、ドライエッチングに要する時間が短くなると共に、層間絶縁膜16bの表面がダメージを受け難くなる。なお、本実施形態では、層間絶縁膜16aが無機絶縁膜により形成されていたが、層間絶縁膜が有機絶縁膜により形成されている場合には、その層間絶縁膜の表面のダメージをいっそう抑制することができるので、画素電極の下層の表面荒れによるコントラスト低下を抑制することができる。

【0089】

また、本実施形態のアクティブマトリクス基板20bによれば、各ゲート線11aと各ソース線15aとの交差部分にゲート絶縁膜12b及び保護絶縁膜14bが配置されているので、各ゲート線11aと各ソース線15aとの交差部分に配置される絶縁膜が厚膜化され、ソース-ゲート間の容量を低減することができると共に、ソース-ゲート間の短絡を抑制することができる。

10

【0090】

《発明の実施形態3》

図11(a)は、本実施形態の液晶表示パネルを構成するアクティブマトリクス基板20cの断面図であり、図11(b)は、アクティブマトリクス基板20cの製造工程の一部を示す断面図である。

【0091】

上記実施形態1及び2では、保護絶縁膜14a及び14bを構成する絶縁材料膜をCVD法により成膜する方法を例示したが、本実施形態では、保護絶縁膜14cを構成する絶縁材料膜を有機樹脂の塗布及び焼成により成膜する方法を例示する。

20

【0092】

本実施形態の液晶表示パネルは、互いに対向するように設けられたアクティブマトリクス基板20c及び対向基板30(図1参照)と、アクティブマトリクス基板20c及び対向基板30の間に設けられた液晶層40(図1参照)とを備えている。

【0093】

アクティブマトリクス基板20cでは、TFT5のソース電極17a及びドレイン電極17bと酸化半導体層13aとの間には、図11(a)に示すように、酸化半導体層13aのソース電極17a及びドレイン電極17bとの接続部分以外を覆うように設けられた保護絶縁膜14cが設けられている。また、ソース電極17aは、図11(a)に示すように、(保護絶縁膜14c及び)層間絶縁膜16bに形成されたコンタクトホールCaを介して酸化半導体層13aに接続されていると共に、層間絶縁膜16bに形成されたコンタクトホールCfを介してソース線15aに接続されている。また、ドレイン電極17bは、図11(a)に示すように、(保護絶縁膜14c及び)層間絶縁膜16bに形成されたコンタクトホールCbを介して酸化半導体層13aに接続されていると共に、画素領域に延設されて画素電極Pを構成している。さらに、保護絶縁膜14cは、その厚さが1.5µm程度であり、上記実施形態1及び2の保護絶縁膜14a及び14bよりも厚い塗布型の絶縁膜である。

30

【0094】

本実施形態のアクティブマトリクス基板20cは、上記実施形態2の保護絶縁膜形成工程における第1の無機絶縁膜14の成膜方法を、図11(b)に示すように、酸化半導体層13a及び容量電極13bが形成された基板全体に、スピコート法により、アクリル樹脂を厚さ1.5µm程度に塗布した後に、150で5分間程度のプリベーク、及び200で1時間程度のポストベークを行うことにより、有機絶縁膜14sを成膜する方法に変更することにより、製造することができる。

40

【0095】

以上説明したように、本実施形態のアクティブマトリクス基板20c及びそれを備えた液晶表示パネル、並びにアクティブマトリクス基板20cの製造方法によれば、上記実施形態1及び2と同様に、ソース電極17a及びドレイン電極17bと酸化半導体層13aとの間に酸化半導体層13aを覆うように保護絶縁膜14cが設けられているので、

50

フォトマスクの枚数を増やすことなく、酸化物半導体の半導体層を用いたTFTの特性の低下を抑制することができる。

【0096】

また、本実施形態のアクティブマトリクス基板20cによれば、各ゲート線11aと各ソース線15aとの交差部分にゲート絶縁膜12b及び保護絶縁膜14cが配置されると共に、保護絶縁膜14cが比較的厚く形成され易い塗布型の絶縁膜であるので、各ゲート線11aと各ソース線15aとの交差部分に配置される絶縁膜が厚膜化され、ソース-ゲート間の容量をいっそう低減することができると共に、ソース-ゲート間の短絡をいっそう抑制することができる。

【0097】

なお、上記各実施形態では、保護絶縁膜14a、14b及び14c上に層間絶縁膜16a及び16bが設けられた構成を例示したが、本発明では、保護絶縁膜14a、14b及び14c上の層間絶縁膜16a及び16bを省略してもよい。

【0098】

また、上記各実施形態では、Cs on Common構造のアクティブマトリクス基板を例示したが、本発明は、Cs on Gate構造のアクティブマトリクス基板にも適用することができる。

【0099】

また、上記各実施形態では、画素電極に接続されたTFTの電極をドレイン電極としたアクティブマトリクス基板を例示したが、本発明は、画素電極に接続されたTFTの電極をソース電極と呼ぶアクティブマトリクス基板にも適用することができる。

【産業上の利用可能性】

【0100】

以上説明したように、本発明は、フォトマスクの枚数を増やすことなく、酸化物半導体の半導体層を用いたTFTの特性の低下を抑制することができるので、TFTを備えたアクティブマトリクス駆動方式の液晶表示パネルについて有用である。

【符号の説明】

【0101】

P	画素電極	
R	感光性樹脂膜	30
R a , R b	レジストパターン	
5	TFT	
10	絶縁基板	
11 a	ゲート線(ゲート電極)	
12 a	ゲート絶縁膜	
13 a	酸化物半導体層	
14	第1の無機絶縁膜(絶縁材料膜)	
14 a , 14 b , 14 c	保護絶縁膜	
15	金属膜	
15 a	ソース線	40
16	第2の無機絶縁膜(他の絶縁材料膜)	
16 a	層間絶縁膜	
17	透明導電膜	
17 a	ソース電極	
17 b	ドレイン電極	
20 a , 20 b , 20 c	アクティブマトリクス基板	
30	対向基板	
40	液晶層(表示媒体層)	
50	液晶表示パネル	

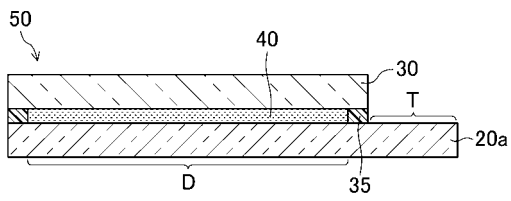
10

20

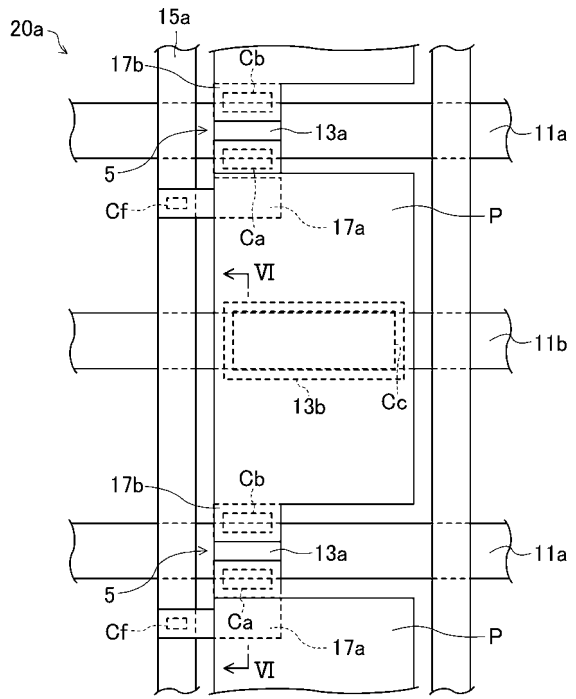
30

40

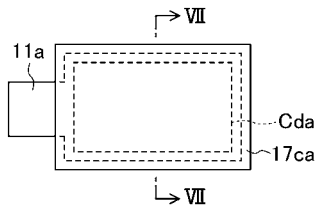
【図1】



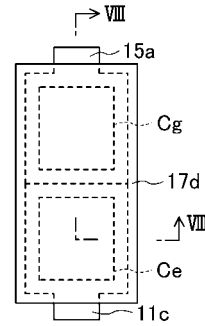
【図2】



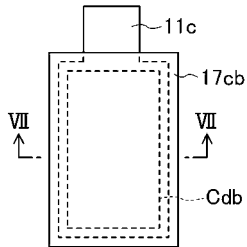
【図3】



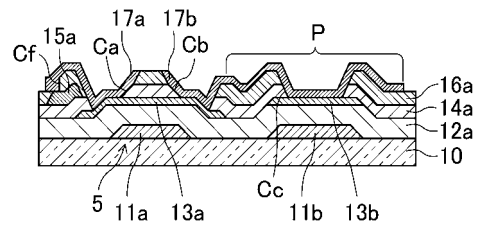
【図5】



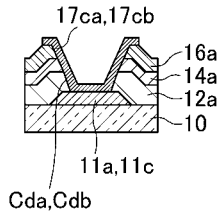
【図4】



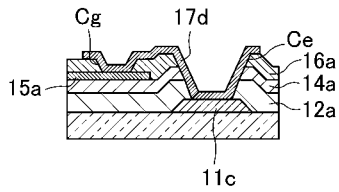
【図6】



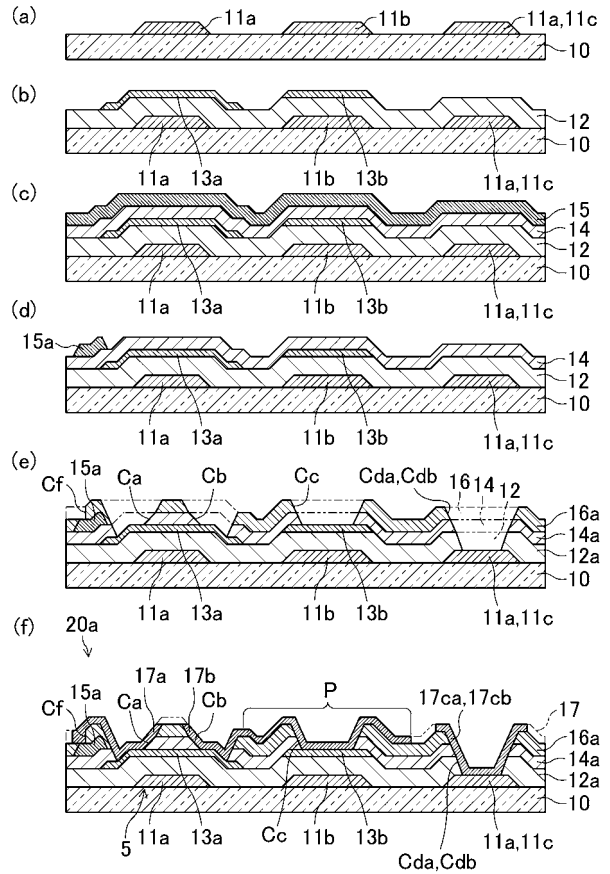
【図7】



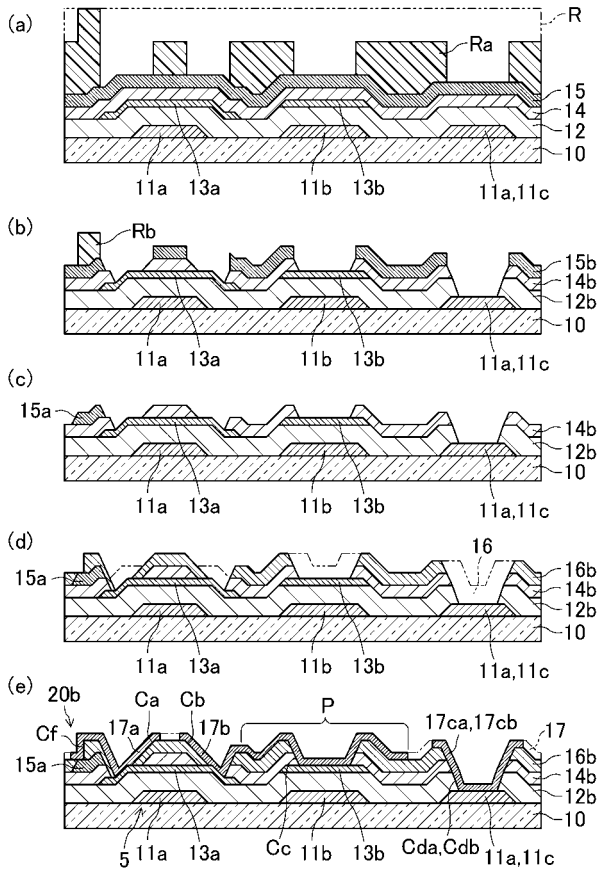
【図8】



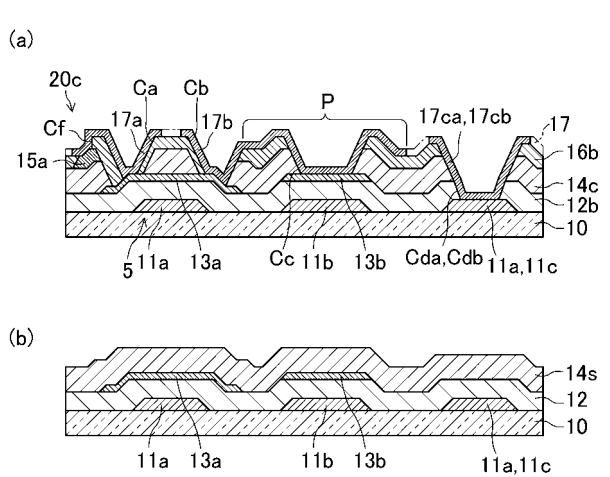
【図9】



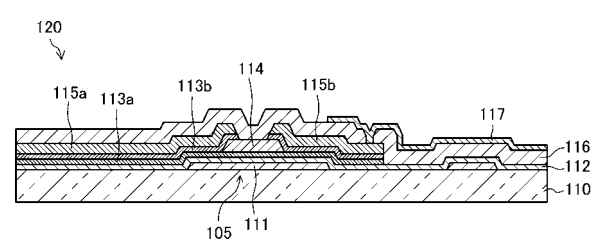
【図10】



【図11】



【図12】



フロントページの続き

(51)Int.Cl.		F I
H 0 1 L 21/283 (2006.01)	H 0 1 L 29/58	G
H 0 1 L 51/05 (2006.01)	H 0 1 L 21/28	3 0 1 B
H 0 1 L 51/30 (2006.01)	H 0 1 L 21/283	C
H 0 1 L 21/312 (2006.01)	H 0 1 L 29/28	1 0 0 A
H 0 1 L 21/423 (2006.01)	H 0 1 L 29/28	2 8 0
	H 0 1 L 21/312	A
	H 0 1 L 21/423	

- (72)発明者 太田 純史
大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内
- (72)発明者 水野 裕二
大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内
- (72)発明者 原 猛
大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内
- (72)発明者 会田 哲也
大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内
- (72)発明者 鈴木 正彦
大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内
- (72)発明者 竹井 美智子
大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内
- (72)発明者 中川 興史
大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内
- (72)発明者 春本 祥征
大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内

審査官 西出 隆二

- (56)参考文献 特開2007-073559(JP,A)
特開2007-235102(JP,A)
特開平04-130312(JP,A)
特開平08-050308(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/786
H01L 21/28
H01L 21/283
H01L 21/312
H01L 21/336
H01L 21/423
H01L 29/423
H01L 29/49
H01L 51/05
H01L 51/30