

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-84529
(P2008-84529A)

(43) 公開日 平成20年4月10日(2008.4.10)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 11/4091 (2006.01)	G 1 1 C 11/34 3 5 3 A	5M024
G 1 1 C 11/4096 (2006.01)	G 1 1 C 11/34 3 5 3 D	
	G 1 1 C 11/34 3 5 4 R	

審査請求 有 請求項の数 4 O L (全 29 頁)

(21) 出願番号 特願2007-287140 (P2007-287140)
 (22) 出願日 平成19年11月5日 (2007.11.5)
 (62) 分割の表示 特願2001-557042 (P2001-557042) の分割
 原出願日 平成12年2月4日 (2000.2.4)

(71) 出願人 503121103
 株式会社ルネサステクノロジ
 東京都千代田区大手町二丁目6番2号
 (74) 代理人 110000350
 ポレール特許業務法人
 (72) 発明者 水野 弘之
 東京都国分寺市東恋ヶ窪一丁目280番地
 株式会社日立製作所中央研究所内
 (72) 発明者 阪田 健
 東京都国分寺市東恋ヶ窪一丁目280番地
 株式会社日立製作所中央研究所内
 (72) 発明者 大平 信裕
 東京都小平市上水本町5丁目22番1号株
 式会社日立超エル・エス・アイ・システム
 ズ内

最終頁に続く

(54) 【発明の名称】 半導体装置

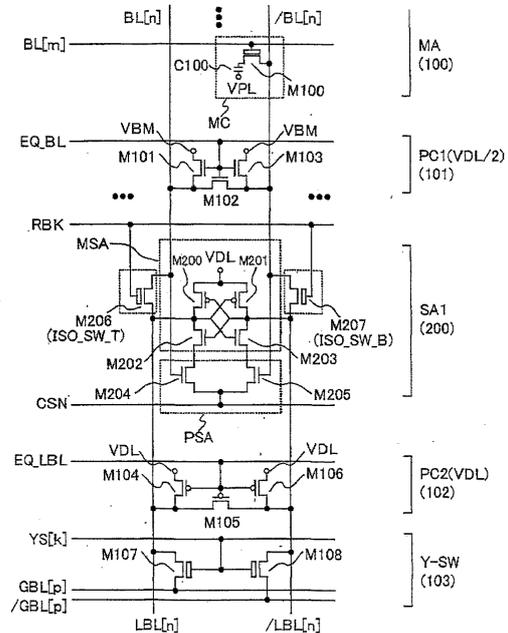
(57) 【要約】

【課題】本願発明の課題は、電源電圧が低電圧化されるに従いセンス時間が著しく遅くなる、低電圧でのセンス時間が高温で高速になり、さらにプロセスばらつきに対してセンス時間が大きく変化してしまうこと等に対応したDRAMメモリセル用のセンス回路を提供することにある。

【解決手段】本発明の代表的な解決手段は、以下の通りである。メモリセルの接続されるビット線BLとローカルビット線LBLの間にはスイッチ手段を設け分離結合できるようにし、BLをVDL/2プリチャージとし、LBLをVDLプリチャージとする。VDLはビット線BLの最大振幅電圧である。SAにはBLに結合されたゲート受けの差動MOS対を含む第1回路とLBLに結合されフル振幅増幅及びデータ保持のための第2回路を含むようにする。BLとLBLをキャパシタを介して容量結合させた際にはSAはLBLに接続したラッチ形SAを用いると良い。

【選択図】 図1

図1



【特許請求の範囲】

【請求項 1】

ワード線と、第 1 ビット線と第 2 ビット線とからなる第 1 ビット線対と、前記ワード線と前記第 1 ビット線の交点に設けられたメモリセルと、第 3 ビット線と第 4 ビット線とからなる第 2 ビット線対と、前記第 1 ビット線と前記第 3 ビット線を結合するための第 1 スイッチ回路と、前記第 2 ビット線と前記第 4 ビット線を結合するための第 2 スイッチ回路と、前記第 2 ビット線対に接続されたセンスアンプとを具備し、

前記センスアンプは、前記メモリセルに記憶された情報を、前記第 3 ビット線上で第 1 電位に前記第 4 ビット線上で第 2 電位に増幅するための回路であり、

前記第 1 及び第 2 メモリセルの読み出し時に、第 1 期間において前記第 1 および第 2 スイッチ回路はオフ状態であり、

その後の第 2 期間において、前記第 1 メモリセルから記憶情報が読み出された場合には、前記第 1 スイッチ回路はオン状態となり前記第 1 ビット線と前記第 3 ビット線を接続するとともに前記第 2 スイッチ回路はオフ状態で前記センスアンプは前記第 1 電位を前記第 1 ビット線に書き込み、第 2 メモリセルから記憶情報が読み出された場合には、前記第 2 スイッチ回路はオン状態となり前記第 2 ビット線と前記第 4 ビット線を接続するとともに前記第 1 スイッチ回路はオフ状態で前記センスアンプは前記第 2 電位を前記第 2 ビット線に書き込むことを特徴とする半導体装置。

【請求項 2】

請求項 1 において、

前記半導体装置は、前記メモリセルの読み出し時に、前記第 2 期間に続く第 3 期間において、前記第 2 スイッチ回路は前記第 2 ビット線と前記第 4 ビット線を接続して、前記センスアンプは前記第 2 電位を前記第 2 ビット線に書き込むことを特徴とする半導体装置。

【請求項 3】

請求項 1 または請求項 2 において、

前記半導体装置には前記第 2 ビット線対が入力された論理ゲートがさらに具備されており、前記論理ゲートは、前記第 1 期間に前記センスアンプが前記第 2 ビット線対のうちの一方を前記第 1 あるいは第 2 電位に駆動したことを検出し、第 2 期間を開始することを特徴とする半導体装置。

【請求項 4】

ビット線対の一方と他方を異なるタイミングでライトバックする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置に係わり、特に低電圧動作特性の優れた半導体集積回路装置に関する。

【背景技術】

【0002】

非特許文献 1 の図 26 . 1 には、標準的な DRAM (ダイナミックランダムアクセスメモリ) のセンス系の回路図が記載されている。この図はいわゆるシェアードセンス方式 (1 つのセンスアンプ列を左右のメモリマツトで共有する構成) のものであるが、その点を省略した回路図を図 18 に示す。C100 と M100 でメモリセルを構成し、C100 はメモリセル内の情報を記憶するキャパシタ、M100 はその電荷の転送 NMOS トランジスタ、VPL はプレート電圧を示している。BL[n]、/BL[n] はビット線、WL[m] はワード線で、適切な交点にメモリセルが配置されてメモリアレイ 100 を構成している。M101、M102、M103 は NMOS トランジスタで、VBM はデータ線電圧 VDL の半分の電圧の電源で、M101 から M103 をオンさせることでビット線を VBM 電位にプリチャージする、いわゆるハーフ VDD プリチャージ方式のプリチャージ回路 101 を構成している。M200、M201 は PMOS トランジスタ、M202、M2

10

20

30

40

50

03はNMOSトランジスタで、CMOSラッチ型センスアンプ201を構成している。また、M109およびM110はNMOSトランジスタで、Yスイッチ103aを構成しており、M109とM110をオンさせることでビット線BL[n]、/BL[n]をグローバルビット線GBL[p]、/GBL[p]に選択接続する。

【0003】

図19にこのメモリの読み出し動作の波形図を示す。ここでは説明を簡単にするために、アレイ電圧VDLを電源電圧VDDと同じ電圧に設定し、1.0Vに仮定した。また、VBMをその半分の電圧の0.5Vに、ワード線の昇圧電圧を2.5Vに仮定した。

時刻T0でプリチャージ信号EQをネゲートし、時刻T1でワード線WL[m]をアサートしている。これによりそのワード線によって選択されたメモリセル内の転送MOSトランジスタM100がオンし、メモリセル内のキャパシタC100に溜まっている電荷と、ビット線BL[n]、/BL[n]に付加している寄生容量とのチャージシェアが起これ、ビット線BL[n]、/BL[n]にメモリセル内の情報を反映する電位差Vsが生じる。

時刻T2でセンスアンプ起動信号CSPおよびCSNをそれぞれ1.0Vおよび0Vに駆動することで、ビット線電位BL[n]、/BL[n]を1.0Vおよび0Vまで増幅している。この図ではYS[k]をアサートしているため、Yスイッチはオンしており、ビット線BL[n]、/BL[n]が増幅されると同時にグローバルビット線GBL[p]、/GBL[p]も増幅されている。

【0004】

上記した記号で、/BL[n]のようにBL[n]の前にスラッシュ記号'/'が添付されているものは、一般的に用いられている表記方法であるが、それぞれの信号がそれぞれの相補信号であることを意味する。また、ブラケット'[]'は、一般的に用いられている表記方法であるが、例えばBL[n]ではBL[0]、BL[1]、BL[2]のように、一本以上の信号線からなるバス構造の信号を代表的に記述していることを意味する。以下、本願ではこの表記を用いることにする。

【0005】

【特許文献1】特開平2-24898号公報(対応米国特許公報No.4973864)

【特許文献2】特開平10-3971号公報(対応米国特許公報No.5854562)

【非特許文献1】伊藤清男著、「超LSIメモリ」、培風館、p.162

【非特許文献2】“1996 Symposium on VLSI Circuits Digests of Technical Papers”、pp.104-105

【発明の開示】

【発明が解決しようとする課題】

【0006】

図20(A)に、図8のDRAMのセンス系回路のセンス速度(t_{SENSE})の本願発明者等によってなされたシミュレーション結果を示す。センス速度(t_{SENSE})は、図20(B)に示すようにセンスアンプの起動からビット線BL、/BLの電位差が電源電圧VDDの60%まで増幅されるまでの時間と定義した。温度はジャンクション温度 T_j で-40度と125度の2種類を仮定した。この解析から本願発明者より以下のことが明らかとなった。

(A1)電源電圧が低電圧化されるに従い、センス時間(t_{SENSE})が著しく遅くなる。

(A2)電源電圧が約1.2V以下では高温の場合の方が低温の場合と比較してセンス時間が速い。これはセンスアンプの駆動電流がMOSトランジスタのドレイン電流のうち、ドリフト電流ではなくて拡散電流が支配的になっているからである。一般に拡散電流は温度やMOSトランジスタのしきい値に対して非常に敏感に変化する。したがって、このようにドリフト電流ではなくて拡散電流が支配的な領域でセンスアンプを使用すると、LSIの製造プロセスばらつきやLSIの動作環境ばらつきに対してセンス時間が大きく変化することになる。これはLSIの回路的な歩留り低下をもたらすという問題に発展し、結

10

20

30

40

50

果的にこのような構成の回路の D R A M を使用した L S I のコストを高くすることになる。

また、図 20 (C) は一般的な C M O S ロジック回路の遅延時間特性 (t D L A Y) の例として、C M O S インバータの遅延時間の電源電圧依存性を示したものである。温度は図 20 (A) と同様に、ジャンクション温度 T j で - 40 度と 125 度の 2 種類を仮定した。

【 0007 】

この解析から本願発明者より以下のことが明らかとなった。

(B 1) 電源電圧が低電圧化した場合の動作速度劣化が、図 18 に示した従来の D R A M のセンス系の場合よりも著しく小さい。

(B 2) 低電圧時の温度特性が、C M O S インバータと図 18 に示した従来の D R A M のセンス系の特性とで異なる。

【 0008 】

以上のことから、図 18 で示した従来のセンス系を持つ D R A M 回路と、図 20 (C) の遅延特性を持つロジック回路とでは、それらの低電圧特性でお互いに整合が取れないことがわかる。ここで、複数の回路の整合とは電源電圧や温度に対する遅延特性の依存性が似ている状態をいう。例えば、電源電圧が低電圧化されれば全ての回路の動作速度が同じような程度で遅くなり、温度が下がれば全ての回路の動作速度が同じような程度で速くなるということである。

【 0009 】

整合がとれていない図 18 で示したような従来のセンス系を持つ D R A M と、ロジック回路を、一つの L S I 上に混載した場合、その D R A M 混載ロジック L S I の低電圧動作時の動作速度は D R A M の低温で遅いという特性で律則されてしまうことになる。たとえば、レーシング (R a c i n g) によって L S I 全体の動作速度が律則されてしまう。また、その D R A M 混載ロジック L S I を、電源電圧と動作周波数が異なる複数の動作モードで使用する場合、低電圧動作モードでの動作周波数が D R A M を混載することで著しく遅くなってしまうことにもなる。

そこで本願発明の目的は、低電圧でも安定に動作するセンスアンプを提供することにある。

【 課題を解決するための手段 】

【 0010 】

本願発明の代表的な構成を示せば以下の通りである。即ち、ワード線 (W L) と、第 1 ビット線対 (B L , / B L) と、前記ワード線と前記第 1 ビット線対の交点に設けられたメモリセル (M C) と、第 2 ビット線対 (L B L , / L B L) と、前記第 1 ビット線対と前記第 2 ビット線対を結合するためのスイッチ回路 (I S O _ S W _ T , I S O _ S W _ B) と、前記第 1 ビット線対に接続された第 1 回路 (P S A) 及び前記第 2 ビット線対に接続された第 2 回路 (M S A) を含むセンスアンプと、前記第 1 ビット線対を第 1 プリチャージ電位にプリチャージするための第 1 プリチャージ回路 (P C 1) と、前記第 2 ビット線対を第 2 プリチャージ電位にプリチャージするための第 2 プリチャージ回路 (P C 2) とを具備し、前記第 2 回路は、前記メモリセルの記憶信号から前記第 1 及び第 2 ビット線対の一方を第 1 電位 (V S S) に他方を第 2 電位 (V D L) に増幅する回路であり、前記第 1 プリチャージ電位は前記第 1 電位と第 2 電位の間の電位 (V B M) であり、前記第 2 プリチャージ電位は前記第 2 電位であるよう半導体装置を構成する。

【 0011 】

更に別の態様の発明によれば、ワード線 (W L) と、第 1 ビット線対 (B L , / B L) と、前記ワード線と前記第 1 ビット線対の交点に設けられたメモリセル (M C) と、第 2 ビット線対 (L B L , / L B L) と、前記第 1 ビット線対の一方に接続された第 1 電極と前記第 2 ビット線対の一方に接続された第 2 電極とを持つ第 1 キャパシタ (C 2 5 0) と、前記第 1 ビット線対の他方に接続された第 3 電極と前記第 2 ビット線対の他方に接続された第 4 電極とを持つ第 2 キャパシタ (C 2 5 1) とを含むキャパシタ対と、前記第 1 ビ

10

20

30

40

50

ット線対の一方と前記第2ビット線対の一方を接続するための第1スイッチ(M206)と前記第1ビット線対の他方と前記第2ビット線対の他方を接続するための第2スイッチ(M207)とを含むスイッチ回路と、前記第2ビット線対に接続されたセンスアンプ(SA)と、前記第1ビット線対を第1プリチャージ電位にプリチャージするための第1プリチャージ回路(PC1)と、前記第2ビット線対を第2プリチャージ電位にプリチャージするための第2プリチャージ回路(PC2)とを含むよう半導体装置を構成する。

【発明の効果】

【0012】

本発明によって得られる主な効果は以下の通りである。

(1)本発明のセンス系回路を用いることで、センス時間、再書き込み時間、書き込み時間のそれぞれの電源電圧依存性を図21で示したVDDプリチャージ方式のセンス時間特性とほぼ同じ特性にすることができる。すなわち、低電圧でも低温の場合の方が高温の場合と比較してセンス時間が速く、低電圧でのセンス速度劣化が、図20(B)で示したCMOSインバータの遅延時間劣化と同じ程度に押さえられる。この特徴により、ロジック回路の低電圧特性と本発明のセンス系回路を用いたDRAMマクロが整合の取れた特性を持つことになる。これにより、どちらかが大きく低電圧特性を律則することがなく、DRAMマクロと最終的なLSIの特性を大きく劣化させることなくロジックLSIとを混載できる。

10

【0013】

(2)温度特性がロジック回路と同じであることは、本発明のセンスアンプの駆動電流がMOSトランジスタのドレイン電流のうち、拡散電流ではなくドリフト電流が支配的になっているからである。一般に拡散電流は温度やMOSトランジスタのしきい値に対して非常に敏感に変化する。したがって、従来のセンス系回路のようにドリフト電流ではなくて拡散電流が支配的な領域でセンスアンプを使用するとLSIの製造プロセスばらつきやLSIの動作環境ばらつきに対してセンス時間が大きく変化することになる。これはLSIの回路的な歩留り低下をもたらすという問題に発展し、結果的にこのような構成の回路のDRAMを使用したLSIのコストを高くすることになる。したがって、本発明のセンス系は従来のセンス系よりも回路的にLSIの製造プロセスばらつきやLSIの動作環境ばらつきに対して強いという特長を持つ。さらに、回路的に歩留りの高い回路構成であるとも言える。

20

30

【0014】

(3)上記したVDDプリチャージ方式の特長を持ちながら、従来のVDDプリチャージ方式の場合には必要であったダミーセル等の特別なセルが必要でない。これにより、製造プロセスや回路を大幅に単純化でき、歩留りを向上させることができ、LSIの低コスト化の効果がある。

【0015】

(4)センスアンプのローカルビット線の増幅が完了したことを検出するのに、ローカルビット線対の一本が0Vに駆動されればセンスアンプの増幅が完了したと判断できることから、センス完了検出回路を2入力NANDゲートで簡単に実現でき、リード動作の完全タイミングレス化が実現できる。

40

【0016】

(5)ワード線アサート後にメモリセルからビット線に読み出されるビット線電位差Vsについて、センスアンプの正確な動作のために必要な最小値を、従来のセンス系回路の場合と比較して小さい値にできる。

【発明を実施するための最良の形態】

【0017】

以下、本発明の実施例について図面を用いて詳細に説明する。実施例の各機能ブロックを構成する回路素子は、特に制限されないが、公知のCMOS(相補型MOSトランジスタ)等の集積回路技術によって、単結晶シリコンのような1個の半導体基板上に形成される。P形MOSトランジスタ(MOSFET)にはゲートに丸印の記号を付すことで、N

50

形MOSトランジスタ(MOSFET)と区別することとする。

<実施例1>

図1に本発明の代表的なセンス系回路の実施例を示す。C100とM100でメモリセル(MC)を構成し、C100はメモリセル内の情報を記憶するキャパシタ、M100はその電荷の転送NMOSトランジスタ、VPLはプレート電圧を示している。BL[n]と/BL[n]はビット線、WL[m]はワード線で、適切な交点にメモリセルが配置されてメモリアレイ100を構成している。ここでは、折り返しビット線構造を前提とした実施例を示したが開放形ビット線構造としても良い。この図でM107およびM108はNMOSトランジスタで、YスイッチY-SWを構成しており、M107とM108をオンさせることでローカルビット線LBL[n]、/LBL[n]をグローバルビット線GBL[p]、/GBL[p]に選択接続する。

10

【0018】

本願発明に採用されるセンスアンプSA1は、以下の点に特徴を持つ。即ちSA1は、ビット線対BL[n]、/BL[n](以下これらを省略してBLとする記載も用いる)に接続されたプリセンスアンプPSAと、ローカルビット線LBL[n]、/LBL[n](以下省略形はLBL)をふくむ。さらにBLとLBLの接続と分離を制御するスイッチ回路(Iso_SW_T、Iso_SW_B)が設けられる。PSAはBLにゲートが接続されソースが共通接続されたN形MOSFET対(M204とM205)を含み、ゲート受けの差動MOSFET対として動作する。また、メインセンスアンプMSAは、CMOSラッチ型センスアンプを基本構成とする回路である。MSAにおいてP形MOSFET対M200とM201はゲートとドレインが交差結合されソースが共通接続されている。またN形MOSFET対M202とM203はゲートとドレインが交差結合されソースがPSAのN形MOSFET対のドレインに接続される。

20

【0019】

なお、特許文献1の第9図には、回路形式のみに着目すれば上記のPSAとMSAを含むセンスアンプが示されている。また特許文献1の第16図にその回路動作が示されている。しかしながら、特許文献1に記載のセンスアンプはSRAMに関する技術であり、本願発明のようなDRAMに対する適用の示唆は無く、そのため以下に示すようなスイッチ回路(Iso_SW_T、Iso_SW_B)について考慮されていない。

【0020】

本願発明の第2の特徴は、BLとLBLの接続と分離を制御するスイッチ回路(Iso_SW_T、Iso_SW_B)が設けられる。これにより、BLとLBLのプリチャージ電位が異なることに対応する。M206とM207はNMOSトランジスタである。このスイッチ回路で、BLとLBLを電氣的に接続し、MSAで増幅したデータをLBLからBLに伝達させることでメモリセルへの再書き込みする。

30

【0021】

本願発明の第3の特徴は、BLをV_{DL}/2プリチャージとし、LBLをV_{DL}プリチャージとすることである。M101、M102、M103はNMOSトランジスタ、VBMはデータ線電圧V_{DL}の半分の電圧の電源で、M101からM103をオンさせることでビット線BL[n]、/BL[n](第1ビット線対)をVBM電位(第1プリチャージ電圧)にプリチャージする、いわゆるハーフV_{DD}プリチャージ方式のプリチャージ回路101を構成している。一方、M104、M105、M106はPMOSトランジスタで、それらのMOSトランジスタをオンさせることで、LBL(第2ビット線対)をV_{DL}電位(第2プリチャージ電圧)にプリチャージする、いわゆるV_{DD}プリチャージ方式のプリチャージ回路102を構成している。

40

【0022】

図2に図1のメモリの読み出し動作波形図の一例を示す。ここでは説明を簡単にするために、アレイ電圧V_{DL}をチップの電源電圧V_{DD}と同じ電圧に設定して、1.0Vに仮定した。また、VBMをその半分の電圧の0.5Vに、ワード線の昇圧電圧を2.5Vに仮定した。

50

時刻 T 0 でプリチャージ信号 E Q _ B L と E Q _ L B L をネゲートし、時刻 T 1 でワード線 W L [m] をアサートしている。これによりそのワード線によって選択されたメモリセル内の転送 M O S トランジスタ M 1 0 0 がオンし、メモリセル内のキャパシタ C 1 0 0 に溜まっている電荷と、ビット線 B L [n]、/ B L [n] に付加している寄生容量とのチャージシェアが起こり、ビット線 B L [n]、/ B L [n] にメモリセル内の情報を反映する電位差 V s が生じる。

【 0 0 2 3 】

時刻 T 2 でセンスアンプ起動信号 C S N を 0 V に駆動することでセンスアンプを活性化し、ビット線電位 B L [n]、/ B L [n] の電位差を 1 . 0 V および 0 V まで増幅して、ローカルビット線 L B L [n]、/ L B L [n] に出力している。この図では Y S [k] をアサートしているため、Y スイッチはオンしており、ビット線 B L [n]、/ B L [n] が増幅されると同時にグローバルビット線 G B L [p]、/ G B L [p] も増幅されている。

さらに、時刻 T 2 ' でライトバック信号 R B K をアサートし、ローカルビット線 L B L [n]、/ L B L [n] に増幅された信号を、ビット線 B L [n]、/ B L [n] に転送し、メモリセルへの再書き込みを実行している。

時刻 T 3 ではライトバック信号 R B K とワード線 W L [m] をネゲートし、時刻 T 4 ではプリチャージ信号 E Q _ B L と E Q _ L B L をアサートし、ビット線 B L [n]、/ B L [n] を 0 . 5 V に、ローカルビット線 L B L [n]、/ L B L [n] を 1 . 0 V にプリチャージしている。

【 0 0 2 4 】

図 3 に、図 1 で示したセンス系回路を用いた D R A M マクロの実施例を示す。5 0 0 が D R A M マクロである。5 0 1 はコマンドデコーダ 5 0 2 とリード・ライトアンプ 5 0 3 および電源回路 5 0 4 からなる間接周辺回路を示している。また、B A 0 から B A 7 はメモリバンクを示す。各バンクは、タイミング制御回路 T G とカラム選択回路 Y - D E C とロウ・デコーダ X - D E C と複数のセンスアンプ 5 0 6 a、5 0 6 b からなっている。図 1 で示したセンス系回路は、図 3 の 5 0 6 a あるいは 5 0 6 b に相当し、各バンク内で二つずつ向き合うように配置されている。図 1 のワード線 W L [m] 等の制御信号は、ロウ・デコーダやタイミング制御回路とカラム選択回路等から制御される。G B L 0、/ G B L 0 で示したのはグローバルビット線の一对のペアで、ビット線 B L 0、/ B L 0 と平行して配線されており、各バンクで 5 0 6 a や 5 0 6 b で示されたセンス系回路 8 つのセンスアンプが一对のグローバルビット線 G B L に接続されている（縮退度が 8 ということ）。G B L は、メモリバンクを横断して設けられたおり、それぞれに対応して設けられた読み出し / 書込アンプ R W - A M P を含むブロック 5 0 3 に接続される。R W - A M P は必要に応じて更にセクタを介したまたはそのまま外部の入出力データ信号線 D Q と接続される。D R A M マクロの制御信号 C N T やアドレス信号 A D D は、コマンドデコーダ C - D E C に入力され、C - D E C は所定の読み出しや書込の動作が実行するよう T G 等に制御信号を送る。

【 0 0 2 5 】

図 3 の実施例では、各バンク毎に独立してセンス系回路が構成されており、さらに各バンク内にタイミング制御回路 5 0 7 を備えているために、コマンドデコーダ 5 0 2 からの制御で各バンクが独立して動作できるという特徴がある。各バンクを独立して動作させることにより、いわゆるインターリーブ方式によって D R A M マクロのスループットを高くすることができる。

【 0 0 2 6 】

図 4 は図 3 で示した D R A M マクロ 5 0 0 を搭載した D R A M 混載ロジック L S I (4 0 0) の全体を示す図である。V D D、V S S はコア電源およびその接地であり、V D D Q、V S S Q は I / O 電源およびその接地を示している。例えばコア電源電圧は 1 . 0 V であり、I / O 電源電圧は 3 . 3 V である。O U T 0 ~ O U T x は出力信号を、I N 0 ~ I N y は入力信号を、I / O 0 ~ I / O z は入出力信号をそれぞれ示している。また、4

10

20

30

40

50

01はチップ内部の信号とチップ外部とのインターフェースを取るためのI/O回路を、402はインバータやNANDゲート等で構成されたロジック回路を、403は図3で示したDRAMマクロを示している。402の例としては特に限定しないが、マイクロプロセッサ(CPU)やDSP、あるいはSRAM等を挙げることができる。

【0027】

図21に、図1で示した本発明のセンス系回路の特性を評価するために行ったシミュレーション結果を以下に示す。このシミュレーションは、図18で示したDRAMのセンス系回路において、ビット線BL[n]、/BL[n]をVDDにプリチャージした場合の計算結果である。回路構成はプリチャージ系が異なるだけで図20の(A)と同一回路構成で構成した。シミュレーション条件もセンスアンプ起動信号の駆動方法がCSPをVDD電位に固定し、CSNをVDD電位からVSS電位に駆動することを除いて、図19のシミュレーション条件と同じである。この解析から本願発明者によって以下のことが明らかとなった。

10

(C1)電源電圧が低電圧化されるに従いセンス時間(t_{SENSE})は遅くなるが、その度合いは図20(A)と比較して非常になだらかであり、CMOSインバータの特性(図20(C))とよく一致する。

(C2)少なくとも電源電圧が0.8V以上の範囲では低温の場合の方が高温の場合よりもセンス時間が速い。これはセンスアンプの駆動電流がMOSトランジスタのドレイン電流のうち、拡散電流ではなくドリフト電流が支配的になっているからであり、CMOSインバータの特性(図20(C))と一致している。

20

このようにハーフVDDプリチャージ方式の場合よりも、VDDプリチャージ方式の場合の方がDRAMのセンス系回路の低電圧動作特性が格段に優れており、VDDプリチャージ方式のDRAMのセンス回路はCMOSインバータと整合が取れることがわかる。ここでは簡単のために単純なVDDプリチャージ方式の結果を示したが、図1で示した本発明のセンス系回路でもローカルビット線の増幅に関してはセンスアンプ起動前にはVDDプリチャージされており、本質的に同じであるために図21で示した特性が得られ、上記した特長が得られる。

【0028】

さらに、一般にVDDプリチャージ方式の場合にはリファレンス電圧の発生にダミーセル等の特別なセルが必要である等の問題点があるが、本発明では、メモリセルが接続されているビット線BL[n]、/BL[n]とセンスアンプが接続されているローカルビット線LBL[n]、/LBL[n]をDC的に分離し、ビット線BL[n]、/BL[n]はハーフVDDプリチャージ方式を使用し、ローカルビット線LBL[n]、/LBL[n]はVDDプリチャージ方式を使用することにより、リファレンス電圧のためのダミーセルを不要としている。

30

【0029】

以上で示したように、図1で示した本発明のセンス系回路は下記の特徴を持つ。(D1)低電圧でも低温の場合の方が高温の場合と比較してセンス時間が速い。(D2)低電圧でのセンス速度劣化が、図20(B)で示したCMOSインバータの遅延時間劣化と同じ程度に押さえられる。

40

【0030】

上記(D1)の特性は、本発明のセンスアンプの駆動電流がMOSトランジスタのドレイン電流のうち、拡散電流ではなくドリフト電流が支配的になっているからである。一般に拡散電流は温度やMOSトランジスタのしきい値に対して非常に敏感に変化する。したがって、図18で示したセンス系回路のように、ドリフト電流ではなくて拡散電流が支配的な領域でセンスアンプを使用すると、LSIの製造プロセスばらつきやLSIの動作環境ばらつきに対してセンス時間が大きく変化することになる。これはLSIの回路的な歩留り低下をもたらすという問題に発展し、結果的にこのような構成の回路のDRAMを使用したLSIのコストを高くすることになる。したがって、本発明のセンス系は回路的にLSIの製造プロセスばらつきやLSIの動作環境ばらつきに対して強いという特長を持

50

つ。さらに、回路的に歩留りの高い回路構成であるとも言える。

【0031】

また、上記(D1)(D2)の特性により、図4中のロジック回路402の低電圧特性とDRAMマクロ403が整合の取れた特性を持つことになる。これにより、どちらかが大きく低電圧特性を律則することなくなり、DRAMマクロ402を最終的なLSIの特性を大きく劣化させることなくロジックLSIに混載できる。

【0032】

また、図1で示した本発明のセンス系回路では、上記(D1)や(D2)で示したVDDプリチャージ方式の特徴を持ちながら、従来のVDDプリチャージ方式の場合には必要であったダミーセル等の特別なセルが必要でないという特長がある。これにより、製造プロセスや回路を大幅に単純化でき、歩留りを向上させることができ、LSIの低コスト化の効果がある。

【0033】

なお、図1のMOSの記号で、M206のようにゲート電極を白抜きのボックスで示しているものは厚いゲート酸化膜で構成された高耐圧MOSトランジスタであることを示し、M202のようにゲート電極をラインで示しているものは薄いゲート酸化膜で構成されたMOSトランジスタであることを示している。2種類のゲート酸化膜厚のMOSの使用方法は特に限定しないが、本実施例のようにすることでゲート電極に適切な電圧を印加できるという利点がある。なお、先に述べた薄酸化膜MOSの酸化膜耐圧に対しては基本的に電源電圧VDDまでであれば十分で、高速MOSトランジスタを使用できる。後に述べた厚酸化膜MOSはLSIのI/O回路の出力段MOSと同じものを用いることができ、その酸化膜耐圧は基本的にI/O電圧VDDQまでであればよい。以下の図面では基本的に図1と同様にMOSトランジスタの使い分けをした例を示すことにする。さらに、MOSトランジスタのしきい値電圧についても、特に限定しない。なお、本発明のセンス系回路を用いたDRAMマクロやそれを用いたDRAM混載ロジックLSIの構成は特に図3や図4の構成に限定しない。

【0034】

また、上記の実施例ではビット線の電位がVSS(0V)とVDL(1V)に振幅を持つものとして説明したが、VDLが1.8V以下、更には1.8V~0.5Vの場合に特にその利点が生かされる。このことは以下の実施例でも共通である。

<実施例2>

以下、図5に本発明のDRAMのセンス系回路の別の実施例を示す。図1では、ビット線BL[n]、LBL[n]が接続しているセンスアンプ内のMOSトランジスタM204とM205を、M202とM203にそれぞれ直列に接続していた。これに対し図5のセンスアンプSA2ではM204とM205に相当するM208とM209を、M202とM203に並列に接続し、M208とM209でプリセンスアンプPSAを構成している。またメインセンスアンプMSA部分はM200~M203を含み、M202とM203のソースが共通結合され、CMOSインバータが交差結合したラッチ形回路とされる。MSAとPSAはそれぞれ駆動線CSNとPRECSNに分離され独立に制御できるようにされる。

【0035】

なお、特許文献2の第1図には回路形式のみをみると類似のセンスアンプが記載されている。しかしながら特許文献2の回路では、本願のようにビット線BLとローカルビット線LBLのプリチャージレベルを異なったものとする事及びBLとLBLの分離・結合のためのスイッチ回路(M206, M207)については配慮されていない。

【0036】

図6に、図5の実施例のセンス系の読み出し動作波形図の一例を示す。ここでは重複を避けるため、図2で示した読み出し動作と異なる部分のみを説明する。時刻T1でワード線WL[m]をアサートすると同時に図5のプリセンスアンプ202bの駆動信号PRECSN(M208とM209のソース電位)を-0.5Vに駆動する。これにより、M2

10

20

30

40

50

08とM209のゲート電極にはビット線BL[n]、/BL[n]が接続されているため、1.0Vにプリチャージされていたローカルビット線LBL[n]、/LBL[n]はビット線BL[n]、/BL[n]の電位にしたがって図に示されたように放電される。時刻T2でメインセンスアンプ202aをCSNを0Vに駆動することで起動して、放電された発生したローカルビット線LBL[n]、/LBL[n]の電位差を増幅している。

【0037】

図1の実施例の方式では、M204とM205がローカルビット線LBL[n]、/LBL[n]の駆動MOSトランジスタの一部になっているが、センスアンプ起動後にもM204とM205には0.5V付近の電圧しか印加されないために、ローカルビット線LBL[n]、/LBL[n]の駆動力がM204とM205の弱い駆動力に律則されてしまう。このため、電源電圧の半分程度の電圧しかゲート電極に印加されていても大きな駆動力が得られるように、より低電圧で動作させるためには低しきい値のMOSトランジスタをM204とM205に使用する必要がある。一方、図5の実施例ではセンスアンプ起動時のローカルビット線LBL[n]、/LBL[n]の駆動MOSトランジスタはあくまでM202とM203だけにし、M208とM209はプリセンス期間（図6の時刻T1から時刻T2までの間）に使用する。これにより、M208とM209に低しきい値MOSトランジスタを使用しなくても、高速なメインアンプ202aの動作が可能になる。

10

【0038】

図6の実施例では、プリセンスアンプ202bの駆動信号PRECSNを-0.5Vまで駆動して、M208とM209からなるプリセンスアンプを駆動したが、特にPRECSNの駆動電圧は限定しない。しかし、M208とM209のゲート電極には時刻T1では0.5V程度しか印加されないため、負電圧までPRECSNを駆動した方がM208とM209がローカルビット線LBL[n]、/LBL[n]を高速に駆動できる。また、負電圧までPRECSNを駆動した方が、M208とM209のソース・ゲート電位差が大きくなるためにローカルビット線LBL[n]、/LBL[n]をドリフト電流起因のドレイン電流で駆動でき、時刻T1から時刻T2までのプリセンス時間特性とロジック回路の遅延特性の整合を取ることができる。

20

【0039】

負電圧までPRECSNを駆動した場合、M208とM209の駆動力が大きくなりすぎて、ローカルビット線LBL[n]、/LBL[n]にメインセンスアンプ202aを駆動するのに十分な100mV程度の電位差が生じたころには、ローカルビット線LBL[n]、/LBL[n]の電位が両方0.5V付近に駆動されてしまう可能性がある。この状態では、メインセンスアンプに接続されたローカルビット線LBL[n]、/LBL[n]をVDDプリチャージした効果が無くなってしまふ。負電圧にPRECSNを駆動しながらこれを防ぐためには、M208とM209のゲート長Lgを太くするかゲート幅Wを小さくして、M208とM206がローカルビット線LBL[n]、/LBL[n]を駆動する電流を調整すればよい。

30

<実施例3>

図7に本発明のセンスアンプの別の実施例を示す。本実施例では、図1や図5と異なり、ビット線BL[n]、/BL[n]とローカルビット線LBL[n]、/LBL[n]のそれぞれ間にMOSトランジスタで構成されたコンデンサC250とC251が接続されている。図1と図5の実施例では、メモリセルの接続されているビット線BL[n]、/BL[n]の電位差を、ビット線BL[n]、/BL[n]をセンスアンプ内のプリセンスアンプPSAのMOSトランジスタのゲート電極に接続し、そのゲート電圧に対応して流れるドレイン電流差を検出している。それに対して本実施例では、メモリセルの接続されているビット線BL[n]、/BL[n]の電位差を、C250とC251のコンデンサの容量結合（いわゆる交流結合）でローカルビット線LBL[n]、/LBL[n]に伝達している。

40

【0040】

50

図8に図7の実施例のセンス系の読み出し動作波形図の一例を示す。

ここでは重複を避けるため、図2や図6で示した読み出し動作と異なる部分のみを説明する。時刻T1でワード線WL[m]をアサートするとメモリセルの接続されたビット線BL[n]、/BL[n]にメモリセル内の情報に対応した電位差Vs1が発生する。この電位差は図7のコンデンサC250、C251によって容量結合でローカルビット線LBL[n]、/LBL[n]に伝達され、ローカルビット線LBL[n]、/LBL[n]に電位差Vs2が発生する。その後、時刻T2でセンスアンプ起動信号CSNをアサートしてセンスアンプを起動して、Vs2を増幅している。

【0041】

ここで、コンデンサC250とC251の構造は特に限定しないが、NMOSトランジスタによるMOSキャパシタで構成するのが好適である。MOSトランジスタのゲート容量を利用したコンデンサは、ゲートとソース・ドレイン間の電位差によって容量が異なるという性質をもっている。すなわち、ゲートとソース・ドレイン間電位差が大きい場合にはMOSトランジスタにチャンネルが形成されて大きな容量にみえ、ゲートとソース・ドレイン間電位差が小さい場合にはチャンネルが消えて小さな容量になる。以下、これを容量変調効果と呼ぶ。

【0042】

図8で、時刻T2でセンスアンプを起動することでローカルビット線LBL[n]、/LBL[n]の電位差Vs2を増幅するが、ローカルビット線LBL[n]、/LBL[n]からC250とC251による容量結合を介してビット線BL[n]、/BL[n]の大きな容量が見えてしまう。したがって、ローカルビット線LBL[n]、/LBL[n]をセンスアンプで高速に駆動するためには、以下の点を考慮すべきである。(E1)ローカルビット線LBL[n]と/LBL[n]のうち、ロー側に駆動される方(図8では/LBL[n])は、それを駆動する際に、ビット線/BL[n]に付加している寄生容量を小さくみせて高速にロー側に駆動する必要がある。そのために、ローカルビット線/LBL[n]とそれに対応するビット線/BL[n]との間に接続されたコンデンサC251の容量は小さい方がよい。

(E2)ローカルビット線LBL[n]と/LBL[n]のうち、ハイ側に駆動される方(図8ではLBL[n])は、それを駆動する際に、ビット線BL[n]に付加している寄生容量を大きくみせてセンスアンプが駆動されたときにローカルビット線/LBL[n]が寄生容量によってロー側に駆動されることなくハイ側になるべくとどまっていた方がよい。そのために、ローカルビット線LBL[n]とそれに対応するビット線BL[n]との間に接続されたコンデンサC250の容量は大きい方がよい。

【0043】

コンデンサC250とC251にNMOSトランジスタを用いたキャパシタを用いることで、上記した容量変調効果で自動的に上記(E1)と(E2)を同時に実現できる。コンデンサC250とC251にMOSトランジスタを使用する場合の接続方法(図7ではローカルビット線の方にゲート電極が接続されている)や基板電位の取り方も特に限定しない。ただし、図8のVs1とVs2の関係は、コンデンサC250やC251の容量Caとローカルビット線LBL[n]や/LBL[n]に付加している寄生容量Cpとのチャージシェアリングによって決定される。すなわち、 $Vs2 = Vs1 * Ca / (Cp + Ca)$ となる。したがって、Caを一定だとするとなるべくCpを小さくした方がよい。図7のC250やC251のようにローカルビット線の方にゲート電極を接続することで、C250やC251を構成するMOSトランジスタの拡散層の接合容量分だけCpを小さくできる。

<実施例4>

図1、図5、図7に本発明のセンス系回路の実施例を示したが、要はメモリセルが接続されているビット線BL[n]、/BL[n]とセンスアンプが接続されているローカルビット線LBL[n]、/LBL[n]を電氣的に分離し、ビット線BL[n]、/BL[n]はハーフVDDプリチャージして、ローカルビット線LBL[n]、/LBL[n]

10

20

30

40

50

〕はVDDプリチャージし、リード時にワード線WL[m]をアサートしたときに発生するビット線BL[n]、/BL[n]の電位差に対応して、ローカルビット線LBL[n]、/LBL[n]に電位差を発生させればよい。そのためのビット線BL[n]、/BL[n]とローカルビット線LBL[n]、/LBL[n]間に接続されたセンスアンプの構造は図1、図5、図7で示したものに限定しない。例えば図9で示したようなものでもよい。

【0044】

図9は図5の実施例に、M290～M293までのMOSトランジスタからなる。CMOSラッチ形のサブセンスアンプSSAを付けたものである。メインセンスアンプMSAはM200～M203を含み図5のMSAと同じであるが、プリセンスアンプPSA(M208, 209)は、図5ではソースを共通接続していたものをサブセンスアンプSSAの入出力ノードに接続するようにしている。サブセンスアンプの起動信号CSP2およびCSN2は、図9の波形図のように、起動前はVBM電位にレベルにプリチャージされており、センスアンプ起動信号CSNと同じタイミングで時刻T2にそれぞれ1.0Vと0Vに駆動する。

10

【0045】

サブセンスアンプ290の起動により、ハーフVDDプリチャージされたビット線BL[n]、/BL[n]が増幅されると同時に、M208およびM209に流れる電流がM200～M203からなるメインセンスアンプ202aの増幅動作を加速させる。その結果、VDDプリチャージされているローカルビット線LBL[n]、/LBL[n]は、高速に1.0Vと0Vまで増幅されることになる。またさらに、サブセンスアンプは同時にビット線BL[n]、/BL[n]を増幅しているため、時刻T2'でライトバック信号RBKを活性化させたときのビット線BL[n]、/BL[n]の充電時間を短くすることができる。

20

再書き込み速度をそれほど気にしない場合には、M206およびM207を削除して再書き込みはサブセンスアンプ290だけで行うこともできる。

【0046】

なお、図9のM290からM293からなるサブセンスアンプ290を、図1、図5、図7等の本発明のセンス系回路のビット線BL[n]、/BL[n]に付加すれば、上記再書き込み時間の短縮効果を同じように得ることができ、さらには再書き込み用のNMOSトランジスタM206およびM207を削除できることはいうまでもない。このように特にトランジスタの数の制限や面積の制限付けないのであれば、センスアンプの構造は種々のものが考えられるが、その構造は特に限定しない。

30

<実施例5>

さらに別の実施形態として、ハーフVDDプリチャージしているメモリセルが接続されているビット線BL[n]、/BL[n]と、センスアンプが接続されているローカルビット線LBL[n]、/LBL[n]を、センスアンプ起動直前に電氣的に分離すると同時にローカルビット線LBL[n]、/LBL[n]を容量結合で駆動し、センスアンプ起動時にはローカルビット線LBL[n]、/LBL[n]がVDDプリチャージされているのに近い状態にしてもよい。図10にこれを実現する実施例を示す。

40

【0047】

図10の本発明のセンス系回路は、図18に示したセンス系回路と比較するとPMOSトランジスタM260とM261を図18のビット線BL[n]と/BL[n]に挿入し、ビット線分離信号/SHによって制御している。

【0048】

図11は図10の実施例のセンス系の読み出し動作波形図の一例を示す。ここでは重複を避けるため、図19で示した読み出し動作と異なる部分のみを説明する。時刻T1でワード線WL[m]をアサートした後、時刻T1'でビット線分離信号/SHを-0.8Vから2.5Vまで駆動している。これにより、ビット線BL[n]、/BL[n]とローカルビット線LBL[n]、/LBL[n]が電氣的に分離され、さらにM260および

50

M261のゲート・ドレイン間あるいはゲート・ソース間容量の容量結合によって、ローカルビット線LBL[n]、/LBL[n]が同時にハイ側に駆動される。その後、時刻T2でセンスアンプ201を駆動してローカルビット線LBL[n]、/LBL[n]にメモリセル情報を増幅している。時刻T2'では、ビット線分離信号/SHを2.5Vから-0.8Vまで駆動し、ビット線BL[n]、/BL[n]とローカルビット線LBL[n]、/LBL[n]が電氣的に接続され、ビット線BL[n]、/BL[n]が1.0Vと0Vに駆動されてメモリセルへの再書き込みが行われる。

【0049】

時刻T2でセンスアンプを駆動する時点で、センスアンプの接続されているローカルビット線LBL[n]、/LBL[n]が0.5V付近から電源電圧付近まで駆動されているために、図18のセンス系回路をVDDプリチャージした場合と同じ程度の低電圧特性を得ることができる。

10

【0050】

図10ではM260およびM261にPMOSトランジスタを用いたが、NMOSトランジスタを用いてもよい。その場合、/SHは時刻T1'で正電圧から負電圧に駆動することになり、ローカルビット線LBL[n]、/LBL[n]が同時に容量結合でロウ側に駆動される。結果的には図18で示したセンス系回路をVSSプリチャージした特性と同じような特性が得られる。一般にセンスアンプでビット線を駆動する際、VDDプリチャージ方式の方がNMOSトランジスタがビット線の駆動に主に用いられるために、VSSプリチャージ方式よりも低電圧特性等がよい。しかし、VSSプリチャージ方式でもハーフVDDプリチャージ方式よりは格段によい低電圧特性が得られる。

20

【0051】

図10の本発明の実施例と類似する技術として、非特許文献2に記載されるセンス系回路を挙げることができる。この非特許文献2では、メモリセルの接続されているビット線を、センスアンプ起動前にセンスアンプから電氣的に分離し(センス動作1)、その後一定時間後にセンスアンプの接続されている側のビット線を付加しているキャパシタによって容量結合でハイ側に駆動し(センス動作2)、その後、センスアンプを起動している(センス動作3)。

【0052】

本発明の実施例と非特許文献2記載の技術とのとの相違点の代表的なものは、以下の2点である。(F1)この非特許文献2の方法では、センスアンプの接続されている側のビット線を容量結合で駆動するためにキャパシタを付加する必要がある。本発明の方法では、/SHを十分に大きくして、さらにM260とM261の寄生容量でローカルビット線を駆動しているため、特にこのキャパシタンスを付加する必要がある。(F2)この非特許文献2の方法では、センスアンプ起動までに上記したようにセンス動作1～センス動作3までのタイミングを要する。本発明では上記センス動作1とセンス動作2を同時に行うことができる。

30

【0053】

なお、/SHを起動した時の/SHとローカルビット線LBL[n]、/LBL[n]の容量結合を強くするために、M260のゲート電極とローカルビット線LBL[n]の間および、M261のゲート電極とローカルビット線/LBL[n]との間にそれぞれキャパシタンスを付加してもよい。その場合、そのキャパシタはNMOSトランジスタで構成できる。この場合、非特許文献2と同様にキャパシタを付加する必要があるが、本発明の方法ではあくまで補助的なものでよいため小さい容量のキャパシタで十分であるという利点があり、さらに非特許文献2で必要であったセンス動作1とセンス動作2を同時に行えるという利点は損なわれない。

40

<実施例6>

以上の実施例で示したセンス系回路は、いわゆるシェアドセンスアンプ方式を取っていない形式の回路図で示したが、これに限定するものではない。図12にシェアドセンスアンプ方式を使用した場合の実施例を示す。ここでは図11まで示した実施例では特に限定

50

していなかった階層化ワード線駆動方式を使用している。SWD611がサブワードデコーダで、Y-DEC605がYデコーダ、X-DEC&MWD608がXデコーダおよびメインワードドライバを示している。BL0と/BL0およびBL1と/BL1はそれぞれビット線のペアを表し、一つのセンス系回路606aに接続されている。グローバルビット線GBL0、/GBL0はビット線と直交する方向(ワード線と平行する方向)に配線されている。このDRAM回路600の制御信号やデータ線は省略している。

【0054】

シェアドセンスアンプ方式を用いることでセンス系回路の多くの部品を二対のビット線で共有できるために、メモリセル占有率を高くできる。本発明のセンス系回路をロジックLSIに混載するDRAMマクロに用いるのではなく、いわゆる汎用DRAMと呼ばれるマイクロプロセッサのメインメモリ等に用いられる高集積なDRAMに用いる場合、メモリセル占有率を大きくすることが重要である。このような用途ではシェアドセンスアンプ方式で本発明のセンス系回路を用いればよい。以下、図1、図5、図7、図10のセンス系回路をシェアドセンスアンプ方式にした場合の実施例を示す。

10

【0055】

図13は図1のセンス系回路をシェアドセンスアンプ方式に変更した場合の実施例でありメモリアレイMAは省略している。シェアドセンス方式では左右のメモリマット(図13では上下)となるが、M200~M203を含むメインセンスアンプMSAは左右のマットで共用する。これに対して、プリセンスアンプは、第1マット用にM204とM205を含む第1プリセンスアンプPSA_UPが設けられ、第2マット用にM232とM233を含む第2プリセンスアンプPSA_DNが設けられる。またVBM(VDL/2)用のプリチャージ回路(PC1a, PC1b)は、左右マットのそれぞれに設けられる。図13の回路は、図1にM230からM233までのNMOSトランジスタと、M101bからM103bからなるハーフVDDプリチャージ回路101bを追加し、メモリセルをビット線BL_UP[n]、/BL_UP[n]とBL_DN[n]、/BL_DN[n]に接続している。図13の実施例の読み出し動作については、図1および図2の実施例から容易に類推できるためここでは説明を省略するが、ビット線BL_UP[n]、/BL_UP[n]に接続されたメモリセルか、ビット線BL_DN[n]、/BL_DN[n]に接続されたメモリセルの両方を同時にリードあるいはライトできないが、どちらか一方のメモリセルに共有したセンスアンプでアクセスできる。

20

30

【0056】

図14は図5のセンス系回路をシェアドセンスアンプ方式に変更した場合の実施例である。図14の実施例ではシェアドセンスアンプ方式にすると同時にビット線を階層化している。SUBA_UP-1からSUBA_UP-jがそれぞれサブビット線BL[n]-1、/BL[n]-1とM222とM223を含むプリセンスアンプPSA2(203b)およびハーフVDDプリチャージ回路101からなるサブメモリアレイである。SUBA_DN-1からSUBA_DN-jも同様のサブメモリアレイで、物理的なレイアウトとしては、SUBA_UP-1からSUBA_UP-jまでとはセンスアンプ203a、VDDプリチャージ回路102、Yスイッチ103とは反対側に配置されている。メインセンスアンプMSA2(203a)、及びVDL用プリチャージ回路PC2は複数のサブメモリアレイに対して共通に設けられている。図14の実施例の読み出し動作については図5および図6の動作から容易に類推できることから、ここでは説明を省略する。

40

【0057】

低電圧動作時に、DRAMのセンス系回路では、ワード線アサート後にメモリセルからビット線に読み出されるビット線電位差Vsがある程度の電圧差になるように、メモリセル内のキャパシタC100の容量を大きくする必要があった。これによってプロセス的な難易度が高くなるという課題があった。図14の本発明の実施例ではビット線が階層化されているため、ビット線BL[n]-1、/BL[n]-1の長さを短くでき、またそれらに接続されているメモリセル数を少なくできる。これによりメモリセル内のキャパシタC100の容量を小さくでき、低電圧動作時の上記課題を解決できる。

50

【 0 0 5 8 】

図 1 5 は、図 7 のセンス系回路をシェアドセンスアンプ方式に変更した場合の実施例である。メモリセルは省略している。図 7 の実施例と比較すると、M 3 0 0 a および M 3 0 1 a をローカルビット線を電氣的に分離するために設置し、コンデンサ C 2 5 0 b、C 2 5 1 b および、N M O S トランジスタ M 2 0 6 b、M 2 0 7 b、M 3 0 0 b、M 3 0 1 b および、M 1 0 1 b、M 1 0 2 b、M 1 0 3 b からなるハーフ V D D プリチャージ回路 1 0 1 b を追加している。

【 0 0 5 9 】

図 1 5 の実施例の読み出し動作については、図 7 および図 8 の実施例から容易に類推することができるため省略するが、ビット線 B L _ U P [n]、/ B L _ U P [n] に接続されたメモリセルが、ビット線 B L _ D N [n]、/ B L _ D N [n] に接続されたメモリセルの両方を同時にリードあるいはライトできないが、どちらか一方のメモリセルを、S H _ U P あるいは S H _ D N のどちらか一方を 2 . 5 V 程度に駆動することでアクセスできる。

10

【 0 0 6 0 】

図 1 6 は、図 1 0 のセンス系回路をシェアドセンスアンプ方式に変更した場合の実施例である。メモリセルは省略している。図 1 0 の実施例と比較すると、M 2 6 2 と M 2 0 3 を新たに設置し、ビット線分離信号 / S H _ D N で制御している。

図 1 6 の実施例の読み出し動作については図 1 0 および図 1 1 の実施例から容易に類推することができるため省略するが、ビット線 B L _ U P [n]、/ B L _ U P [n] に接続されたメモリセルが、ビット線 B L _ D N [n]、/ B L _ D N [n] に接続されたメモリセルの両方を同時にリードあるいはライトできないが、どちらか一方のメモリセルを、/ S H _ U P あるいは / S H _ D N のどちらか一方を 2 . 5 V 程度に駆動することでアクセスできる。

20

【 0 0 6 1 】

以下の実施例では、簡単化のために、センス系回路をいわゆるシェアドセンスアンプ方式を取っていない形式の回路図で示すが、上記したようにすればシェアドセンスアンプ方式にできることは明らかである。

< 実施例 7 >

以上で示した本発明のセンス系回路の特徴の一つは、センスアンプに接続されているローカルビット線 L B L [n]、/ L B L [n] が V D D プリチャージされていることである。V D D プリチャージであることにより、センスアンプのセンス時間の低電圧特性をロジック回路と整合がとれることであるが、他にも多くの利点がある。その一つは、センスアンプによる増幅が完了したことを検出しやすいという特徴である。図 1 7 にその特徴を用いたセンス系回路と周辺回路の実施例を示す。

30

【 0 0 6 2 】

図 1 7 で、m 1 a ~ m 2 5 5 d は図 1 等で示したセンス系回路を示している。4 つのセンス系回路が一对のグローバルビット線 G B L []、/ G B L [] に接続されている。たとえば、m 1 a ~ m 1 d は G B L [0] および / G B L [1] に接続されている。(縮退度が 4 という事。) 1 0 0 1 はワードデコーダであり、1 0 0 2 は R B K 等の信号線の制御回路、1 0 0 3 はワード線電位検出回路を示している。

40

【 0 0 6 3 】

1 0 0 1 によってワード線 W L [0] ~ W L [2 5 5] のうち一本が駆動される。同時にダミーワード線 W L _ D が駆動され、検出回路 1 0 0 3 a でダミーワード線がアサートされたことを検出する。検出回路 1 0 0 3 a の構成は特に限定しないが、一般的なインバータの論理しきい値を調整したものでよい。ワード線がアサートされたことを検出し、C S N をアサートする。これによりセンスアンプが起動され、V D D プリチャージされたローカルビット線 L B L [0]、/ L B L [0] のどちらか一方が 0 V に駆動される。この一对のローカルビット線の電位変化を制御回路内のセンス完了検出回路 1 0 0 2 a で検出している。その後、R B K をアサートしてメモリセルへの再書き込みを実行する。

50

【 0 0 6 4 】

例えば、再書き込みの R B K のアサートと同時にグローバルビット線 G B L []、 / G B L [] 電位を図 1 7 には図示していない回路で増幅すれば、図 1 7 に示した実施例によって、ワード線のアサートからのメモリのリード動作を完全にタイミングレスで実行できる。

センスアンプのローカルビット線の増幅が完了したことを検出するのに、従来のハーフ V D D プリチャージ方式の場合はビット線対の電位差を検出する必要があり、単純な N A N D ゲート等の論理ゲートで検出ことが困難なために回路が複雑化する。これに対して本発明では、ローカルビット線対の一本が 1 V から 0 V に駆動されればセンスアンプの増幅が完了したと判断できることから、センス完了検出回路 1 0 0 2 a を 2 入力 N A N D ゲート

10

【 0 0 6 5 】

さらにもう一つ本発明の効果として、ワード線アサート後にメモリセルからビット線に読み出されるビット線電位差 V_s について、センスアンプの正確な動作のために必要な最小値 $V_{s\min}$ を、従来の D R A M のセンス系回路の場合と比較して小さい値にできることがあげられる。これにより、低電圧化が容易になると共に、メモリセル内のキャパシタの構造を単純化でき、製造プロセスを単純化できる。

【 0 0 6 6 】

通常はセンスアンプ内の M O S トランジスタの特性ばらつきや、お互いに相補な関係にあるビット線対の容量アンバランス等により、センスアンプを起動して正確にメモリセル

20

情報を読み出すためにはある程度の V_s 確保が必要である。例えば 1 5 0 m V 程度である。
センスアンプを V D D プリチャージすることで、従来ではセンスアンプ起動直後のセンスアンプの起動電流が M O S トランジスタの拡散電流であったのを、ドリフト電流起因の駆動電流にすることができる。一般に拡散電流はしきい値電圧に大きく依存し、製造プロセスばらつきで大きく変化する。これに対してドリフト電流のばらつきは小さい。これによって V D D プリチャージ方式では、センスアンプ内の M O S トランジスタの特性ばらつきに鈍感な増幅動作ができる。

【 0 0 6 7 】

さらにまた、本発明のセンス系回路では、センスアンプに接続されているローカルビット線の長さは短かく、そのローカルビット線に付加している寄生容量も小さい。よって、ローカルビット線対に付加する容量のアンバランスが小さく、また、センスアンプの動作に影響を与え難い。

30

以上のことから、本発明のセンス系回路は従来 of センス系回路で必要であった最小 V_s ($V_{s\min}$) よりも小さい V_s で十分に正確な読み出し動作を行える。

< 実施例 8 >

次に図 2 2 から図 2 6 に使って再書き込み手法についての本発明の実施例を示す。図 2 2 は、上記の図 1、図 5、図 7、図 1 0、図 1 3、図 1 4、図 1 5、図 1 6 で示した実施例を一般化して図示したもので、S A M P a や S A M P b で示したセンスアンプ回路とメモリアレイとの関係を示した図面である。なお、ここでは図面の簡単化のために、プリチャージ回路は省略して図示している。W 1 [1] から W L [m] がワード線で、図示されたような接続形態でビット線との交点にメモリセル M C が接続されている。センスアンプ回路等のセンス系回路は図示されたように千鳥にビット線の一端に接続されている。なお言うまでもないが、図 1 0 の / S H や、図 1 6 の / S H _ U P および / S H _ D W は、図 2 2 では R B K に相当する。また、図 1 0 の C S P は図 2 2 には無いが、図 2 2 では C S N で代表して図示している。

40

【 0 0 6 8 】

図 2 3 は、図 2 2 の再書き込み手法をタイミングチャートで図示したものである。図 2 1 までで説明した再書き込み手法と同じものである。ただし、説明の重複を防ぐため、ここではワード線をアサートした後にセンスアンプの起動信号をアサートしたあと、さらに

50

しばらくした状態からの波形だけを示している。(図23の時刻T2'はたとえば図2の時刻T2'に相当する)また、図1、図5、図7、図10、図13、図14、図15、図16の実施例の各動作説明では、YS[k]はセンスアンプ起動時にはすでにアサートされていると想定していたが、ここでは時刻T2'のRBKのアサートによる再書き込み(センスアンプにいるBL[n]、/BL[n]の駆動)後の、時刻T2aでYS[k]をアサートしている。時刻T2aでYS[k]をアサートすることで、グローバルビット線GBL[p]、/GBL[p]にYスイッチによって選択されたローカルビット線LBL[n]、/LBL[n]が接続され、VDD電位にプリチャージされていたグローバルビット線GBL[p]、/GBL[p]のうち一本が0Vに駆動されている。

【0069】

10

図23の再書き込みの手法では、RBKのアサートと同時にM206aとM207aが同時にオンされる。そのため、チャージシェアによって図23で示したように、ローカルビット線LBL[n]と/LBL[n]がそれぞれV1およびV2で示されるような電位にまで充放電され、その後、センスアンプによる駆動で、それぞれが1.0Vおよび0Vまで充放電されることになる。例えば図1を見れば分かるように、センスアンプ回路の中で、ローカルビット線LBL[n]を駆動するインバータ回路(図1の実施例ではM200とM202からなる)の入力電圧は/LBL[n]で、ローカルビット線/LBL[n]を駆動するインバータ回路(図1の実施例ではM201とM203からなる)の入力電圧はLBL[n]である。したがって、上記のように駆動するインバータの入力電圧が中間電圧(V1、V2)となってしまうために、ローカルビット線LBL[n]、/LBL[n]を駆動するインバータの駆動電流が小さくなってしまい、ローカルビット線LBL[n]、/LBL[n]をそれぞれ1.0Vおよび0V充放電するまでに必要な時間(tRBK)が長くなってしまふ。

20

【0070】

図24は上記課題を解決するための実施例を示す図面である。ここでも図面の簡単化のために、プリチャージ回路は省略して図示している。図22と比較すると、一对のビット線と一对のローカルビット線の間接続されている一对の再書き込み用のMOSトランジスタのゲート端子を、別々のライトバック信号RBK1、RBK2で制御している。また、グローバルビット線を読み出し用グローバルビット線GBLR[p]、/GBLR[p](第3ビット線対)と、書き込み用グローバルビット線GBLW[p]、/GBLW[p](第4ビット線対)に分離しており、読み出し用グローバルビット線GBLR[p]、/GBLR[p]はM150a、M151a、M150b、M150bで示されたPMOSトランジスタでローカルビット線LBL[n]、/LBL[n]と接続されている。一方、書き込み用グローバルビット線GBLW[p]、/GBLW[p]は、M107a、M108a、M107b、M108bで示されたNMOSトランジスタでローカルビット線LBL[n]、/LBL[n]と接続されている。図面では図示されていないが、読み出し用グローバルビット線GBLR[p]、/GBLR[p]はプリチャージ回路によってVDD電圧(第2プリチャージ電圧)にプリチャージされている。

30

【0071】

なお、上記グローバルビット線の構成は、以下で記述する本発明の再書き込み手法とはそれぞれ独立して用いることができることはいうまでもない。同時に使用すれば効果が大きくなるために、以下では合わせて使用した場合の実施例のみを記述する。

40

【0072】

図25は、図24で示した実施例による本発明の再書き込み手法の動作波形を示す図である。図23と同様に、ここではワード線をアサートしたのちにセンスアンプの起動信号をアサートしたあと、さらにしばらくした状態からの波形を示している。(図23の時刻T2'はたとえば図2の時刻T2'に相当する)図25では、時刻T2'の再書き込み動作時に、2つのライトバック信号RBK1とRBK2のうち一本のみをアサートしている。すなわち、M206とM207で示される2つの再書き込み用のMOSトランジスタのうち、アサートしたワード線とメモリセルを介して接続されているビット線に接続されてい

50

る再書き込み用のM O Sトランジスタだけをオンさせている。(図25の例では図24のM206aとM206b)なお、アサートするワード線が決まれば、そのワード線に接続されているメモリセルが、ビット線対BL[n]、/BL[n]のうちのどちらに接続されているかは一意に決定する。したがって、それから上記オンさせるべき再書き込み用のM O Sトランジスタが決定できることは言うまでもない。たとえば、図24では、ワード線WL[2]、WL[3]、WL[M-1]、WL[m]をアサートした場合にはM206a、M206bを、ワード線WL[0]、WL[1]、WL[M-3]、WL[M-2]をアサートした場合にはM207a、M207bを、オン(導通状態)にすればよい。

【0073】

これにより、再書き込み時に、メモリセルが接続されたビット線(図25の例ではBL[n])だけが対応するローカルビット線(図25の例ではLBL[n])に接続され、それと相補なビット線(図25の例では/BL[n])は対応するローカルビット線(図25の例では/LBL[n])に接続されない。そのため、上記した再書き込み時のチャージシェアは、一方のビット線(図25の例ではBL[n])とローカルビット線(図25の例ではLBL[n])にしか発生しない。そのため、再書き込み時にそのビット線(図25の例ではBL[n])とローカルビット線(図25の例ではLBL[n])を駆動するセンスアンプ内のインバータ回路の入力電圧は、そのインバータに供給されている電源電圧電位が接地電位のままになる。

【0074】

これにより、再書き込み時のビット線(図25の例ではBL[n])とローカルビット線(図25の例ではLBL[n])の駆動電流は、図22や図23の方法の場合と比較して大きくなる。結果的に、再書き込みに必要な時間 t_{RBK} を短くすることができる。また、再書き込み時間は、インバータの遅延時間と同等の遅延特性を持つようになるため、ロジック回路の遅延時間との整合性がよいという特長もある。

【0075】

さらに、図23のようにYS[k]のアサートを再書き込み後に行う場合、再書き込みに必要な時間 t_{RBK} が短くなれば、YS[k]をアサートするまでの時間(時刻T2aから時刻T2'までの時間)を短くすることもできる。さらにまた、ビット線BL[n]、/BL[n]には大きな負荷がついており、それらの充放電には多くの電力を消費する。本方式により一方のビット線のみを駆動によって再書き込みが実現できるため、ビット線の充放電に関する消費電力を小さくすることができる。

【0076】

図26は、図25とは別の再書き込み手法の実施例を示す図である。図25と同様に、ここではワード線をアサートしたのちにセンスアンプの起動信号をアサートしたあと、さらにしばらくした状態からの波形を示している。(図23の時刻T2'はたとえば図2の時刻T2'に相当する)図25と同様に、時刻T2'の再書き込み動作時に、2つのライトバック信号RBK1とRBK2のうち一本のみをアサートしている。その後、時刻T2bで2つのライトバック信号RBK1とRBK2のうち残った一方をアサートしている。再書き込みは時刻T2'の t_{RBK} 後に完了し、図25の場合と同様に高速に再書き込みを行うことができる。

【0077】

図25の実施例の方法では、ビット線BL[n]、/BL[n]のプリチャージの際に、ビット線BL[n]の電位とビット線/BL[n]の電位の和がアレイ電圧の半分の電圧(VBM)にならないために、VBM電位を供給する電源回路に負担が生じるという欠点がある。一方、図26の実施例の方法では、ビット線BL[n]、/BL[n]のプリチャージの際に、ビット線BL[n]の電位とビット線/BL[n]の電位の和がアレイ電圧の半分の電圧(VBM)になるため、上記問題がないという特長がある。VBM電源の容量や本発明のダイナミックメモリの用途に応じて、図25による再書き込み手法と図26による再書き込み手法を選択すればよい。

【0078】

10

20

30

40

50

なお、図 2 5 および図 2 6 で示した本発明の再書き込み手法は、特に図 2 2 で示したセンス系回路にのみ適用が限定されるわけではない。例えば、センスアンプ回路の出力端子対（図 2 2 では SAMP a の n_3 、 n_4 ）とメモリセルが接続されているビット線対（図 2 2 では $BL[n]$ 、 $\overline{BL}[n]$ ）が一对の MOS トランジスタ（図 2 2 では M206 a、M207 a）のソース・ドレイン経路で接続されていればよい。また例えば、非特許文献 1 に記載されているような一般的な DRAM のセンス系回路にも適用できることは言うまでもない。

< 実施例 9 >

以上の実施例では、アドレスの供給方式は特に限定していないが、図 2 4 で示した本発明の実施例を、アドレスがマルチプレクスされずに供給される（ロウアドレスとコラムアドレス、バンクアドレス等が同時に供給される）ダイナミックメモリに用いた場合の実施例を示す。

10

【0079】

まず始めに、読み出し動作のタイミングチャートの実施例を図 2 7 に示す。ここでは説明を明確にするために、図 2 4 の SAMP a および SAMP b で示されたセンスアンプ回路として、図 7 で示したものを前提に動作例を記述する。なお、重複を避けるため図 8 と同じところは説明を省略する。

【0080】

図 2 4 では、グローバルビット線は、読み出し用グローバルビット線 $GBLR[p]$ 、 $\overline{GBLR}[p]$ と書き込み用グローバルビット線 $GBLW[p]$ 、 $\overline{GBLW}[p]$ に分離されている。このために、読み出し時には $YS[k]$ はネゲートしたままである。時刻 T2 でセンスアンプが起動され、ローカルビット線 $LBL[n]$ 、 $\overline{LBL}[n]$ が 1.0V と 0V に駆動されると、0V に駆動されたローカルビット線（図 2 7 の例では $\overline{LBL}[n]$ ）によって PMOS トランジスタ M150 a と M151 a のどちらか一方（図 2 7 の例では M151 a）がオンする。これによって、VDD にプリチャージされている読み出し用グローバルビット線 $GBLR[p]$ 、 $\overline{GBLR}[p]$ のうち、一方（図 2 7 の例では $\overline{GBLR}[p]$ ）の電位が放電される。また、再書き込み手法は図 2 5 で示した方法を用いており、時刻 T2' では、2 つのライトバック信号 RBK1 と RBK2 のうち一本のみをアサートしている。すなわち、M206 と M207 で示される 2 つの再書き込み用の MOS トランジスタのうち、アサートしたワード線とメモリセルを介して接続されているビット線に接続されている再書き込み用の MOS トランジスタだけをオンさせている。（図 2 7 の例では図 2 4 の M206 a と M206 b）。

20

30

【0081】

以上の制御方法により、

(G1) ローカルビット線 $LBL[n]$ 、 $\overline{LBL}[n]$ の増幅が、本発明のプリチャージ方式によって高速に増幅されると、タイミングレスで連続して読み出し用グローバルビット線 $GBLR[p]$ 、 $\overline{GBLR}[p]$ が増幅され、高速なメモリセル情報の読み出しが可能になる。

(G2) 再書き込みが高速に完了するために、ワード線のアサートからネゲートまでの時間を短くすることができる。これにより、本センス系回路を用いたダイナミックメモリをパイプライン化した場合、そのパイプライン周波数を高速にできる。

40

なお、ローカルビット線 $LBL[n]$ 、 $\overline{LBL}[n]$ と、読み出し用グローバルビット線 $GBLR[p]$ 、 $\overline{GBLR}[p]$ を接続している回路構成は、特に図 2 4 の PMOS トランジスタ M150 と M151 による回路構成に限定するものではない。たとえば、PMOS トランジスタを、NMOS トランジスタに置き換えてもよい。ただし、この場合にはローカルビット線 $LBL[n]$ 、 $\overline{LBL}[n]$ を直接その NMOS トランジスタのゲート端子に接続するのではなく、ローカルビット線 $LBL[n]$ 、 $\overline{LBL}[n]$ からインバータ回路を介してゲート端子に接続すればよい。図 2 4 の実施例の場合と比較して、インバータ 2 個分だけトランジスタが多く必要になるが、 V_{th} ドロップがなくなるために、より高速に読み出し用グローバルビット線 $GBLR[p]$ 、 $\overline{GBLR}[p]$ を駆動

50

できる。

<実施例 10>

次に、書き込み動作のタイミングチャート（反転ライトの例）の実施例を図 28 に示す。ここでも、説明を明確にするために、図 24 の SAMP a および SAMP b で示されたセンスアンプ回路として、図 7 で示したものを前提に動作例を記述する。なお、重複を避けるため図 8 と同じところは説明を省略する。

【0082】

アドレスがマルチプレクスされていないということにより、ライトデータはアドレスと共に供給されることになる。そのため、時刻 T0 でライトデータを用いて書き込み用グローバルビット線 GBLW [p]、/GBLW [p] を駆動している。その後、書き込み動作を行うビット線を選択し、その選択動作に応じてワード線のアサートと同じタイミングの時刻 T1 で、YS [k] をアサートしている。その YS [k] はセンスアンプの起動と同時に（時刻 T2）ネゲートしている。書き込み動作を行うビット線に対応するローカルビット線 LBL [n]、/LBL [n] には上記ライトデータに対応したデータが現れ、センスアンプ駆動時（時刻 T2）では、上記ライトデータに対応した電位差 Vs3 が現れている。センスアンプ回路はこの電位差 Vs3 を増幅し、ローカルビット線 LBL [n]、/LBL [n] を充放電する。

【0083】

YS [k] のタイミング以外は、読み出し時のタイミングと同じであるという特徴がある。そのため、書き込み時に YS [k] のアサートによって選択されないビット線については、読み出し時と同様の時間で再書き込み動作が行われることになる。また、従来の一般的な DRAM の書き込み方式では、読み出し動作に伴う再書き込み動作後にメモリセルへの書き込みが行われている。しかし、上記の本発明の方法では、書き込み動作と再書き込み動作が並列して行われる。これにより、ワード線のアサートからネゲートまでの時間を短くすることができる。本センス系回路を用いたダイナミックメモリをパイプライン化した場合、そのパイプライン周波数を高速にできる。また、上記実施例では書き込み用グローバルビット線 GBLW [p]、/GBLW [p] に入力された書き込みデータが、VDD プリチャージされているセンスアンプによって増幅され、その増幅されたデータが本発明の再書き込み手法でメモリセルへと書きこまれる。したがって、書き込み時間に関しても、ロジック回路の遅延時間との整合性がよいという特長もある。

【0084】

なお、図 28 の実施例では、YS [k] のアサートのタイミングはワード線のアサートと同時に、YS [k] のネゲートはセンスアンプの起動タイミングと同時に行っているが、特にこのタイミングに限定するものではない。YS [k] のアサートタイミングについては、センスアンプ起動時にライトデータに応じた電位差 Vs3 がローカルビット線 LBL [n]、/LBL [n] に現れるようにすればよい。また、YS [k] のネゲートタイミングについては、ローカルビット線 LBL [n]、/LBL [n] のプリチャージに支障が出ないようなタイミングで行えばよい。

【0085】

なお、図 25 から図 28 で示した再書き込み手法におけるライトバック信号のアサートタイミングの生成に、図 17 で示したセンス完了検出回路を用いることができることは言うまでもない。

【0086】

なお、図 27 および図 28 で示した本発明のグローバルビット線を用いた読み出しおよび書き込み手法は、特に図 24 で示したセンス系回路にのみ適用が限定されるわけではない。例えば、非特許文献 1 に記載されているような一般的な DRAM のセンス系回路でも、センスアンプを VDD プリチャージ方式で使用すれば、グローバルビット線を読み出し用と書き込み用に分離し、読み出し用グローバルビット線には図 24 の PMOST トランジスタ M150 a、M151 a に相当する読み出しアンプ回路を付加すれば、同じように適用でき、同様の効果を得ることができることは言うまでもない。

10

20

30

40

50

【 0 0 8 7 】

以上、図 1 から図 2 8 で示した実施例の図面には M O S トランジスタの基板電位の接続は特に明記していないが、その接続方法は特に限定しない。またさらに、図 1 から図 2 8 で示した実施例では、再書き込みが必要な破壊読出しセル（トランジスタ一つにコンデンサー一つのいわゆる 1 T 1 C タイプの D R A M セル）を仮定したが、例えば N M O S トランジスタ 3 個からなる非破壊読出しセルを有するメモリアレイのセンス系回路にも、上記本発明の手法が適用できることは言うまでもない。特にメモリセル構造は限定しない。なお、以上の本発明の実施例では、ビット線振幅が 1 . 0 V で、ワード線の昇圧電圧が 2 . 5 V である等、電源電位をある値に仮定して説明を記述したが、本発明はこれに限定するものではないことはもちろんである。

10

【 産業上の利用可能性 】

【 0 0 8 8 】

本願発明は、信号検出及び保持のためのセンスアンプとして利用でき特に 1 個の M O S F E T と 1 個のキャパシタからなるメモリセルに記憶される情報の検出に好適である。D R A M としては単体の S D R A M や D D R - S D R M の他、混載 D R A M にも適用できる。

【 図面の簡単な説明 】

【 0 0 8 9 】

【 図 1 】 本発明のセンス系回路の実施例を示す図である。

【 図 2 】 図 1 の読み出し動作の実施例を示す図である。

20

【 図 3 】 本発明のセンス系回路を用いたロジック混載用 D R A M マクロを示す図である。

【 図 4 】 本発明のロジック混載 D R A M マクロを用いたシステム L S I の実施例を示す図である。

【 図 5 】 本発明のセンス系回路の他の実施例を示す図である。

【 図 6 】 図 5 の読み出し動作の実施例を示す図である。

【 図 7 】 キャパシタを用いた本発明のセンス系回路の更に他の実施例を示す図である。

【 図 8 】 図 7 の読み出し動作の実施例を示す図である。

【 図 9 】 本発明のセンスアンプの更に他の実施例を示す図である。

【 図 1 0 】 本発明のセンス系回路の更に他の実施例を示す図である。

【 図 1 1 】 図 1 0 の読み出し動作の実施例を示す図である。

30

【 図 1 2 】 シェアドセンスアンプ方式を用いた D R A M マクロの実施例を示す図である。

【 図 1 3 】 図 1 のセンス系回路をシェアドセンスアンプ方式に変更した場合の実施例を示す図である。

【 図 1 4 】 図 5 のセンス系回路をシェアドセンスアンプ方式に変更した場合の実施例を示す図である。

【 図 1 5 】 図 7 のセンス系回路をシェアドセンスアンプ方式に変更した場合の実施例を示す図である。

【 図 1 6 】 図 1 0 のセンス系回路をシェアドセンスアンプ方式に変更した場合の実施例を示す図である。

【 図 1 7 】 センスアンプの動作終了を検出する回路を搭載した本発明の D R A M の制御系を示す図である。

40

【 図 1 8 】 従来 of センス系回路を示す図である。

【 図 1 9 】 本願発明者等が検討した図 1 8 の読み出し動作の検討例を示す図である。

【 図 2 0 】 図 1 8 で示したセンス系回路の低電圧特性と、C M O S インバータの低電圧特性の本願発明者等によるシミュレーション結果を示す図である。

【 図 2 1 】 図 1 8 で示したセンス系回路を V D D プリチャージ方式で動作させたときの低電圧特性の本願発明者等によるシミュレーション結果を示す図である。

【 図 2 2 】 図 1、図 5、図 7、図 1 0、図 1 3、図 1 4、図 1 5、図 1 6 で示した本発明のセンス系回路を用いてメモリアレイを構成した場合の実施例を示す図である。

【 図 2 3 】 本発明の再書き込み手法に関する実施例を示す図である。

50

【図24】図22とは別の本発明の再書き込み手法を実現するための回路図を示す図である。

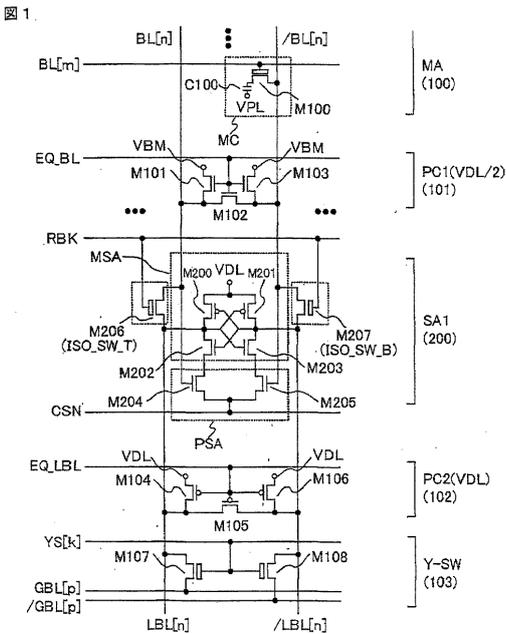
【図25】図24の実施例を用いた本発明の再書き込み動作を示す図である。

【図26】図25とは別の、図24の実施例を用いた本発明の再書き込み動作を示す図である。

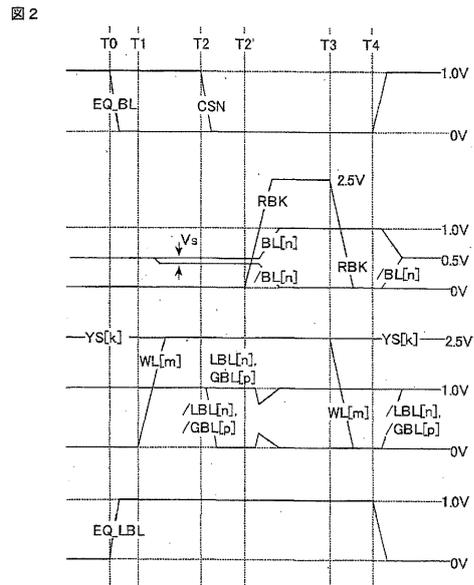
【図27】図24の実施例を用いた、本発明の読み出し動作を示す図である。

【図28】図24の実施例を用いた、本発明の書き込み動作を示す図である。

【図1】

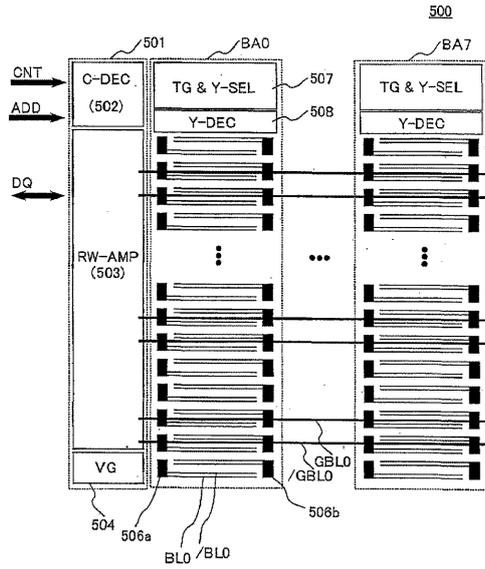


【図2】



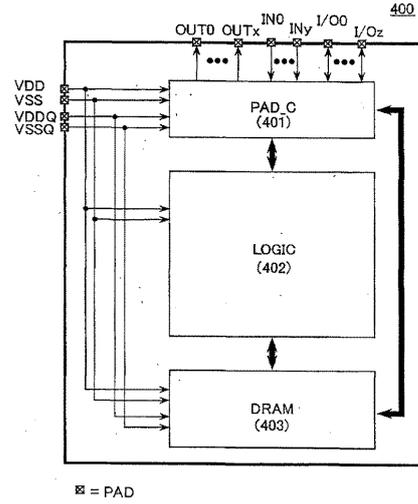
【 図 3 】

図 3



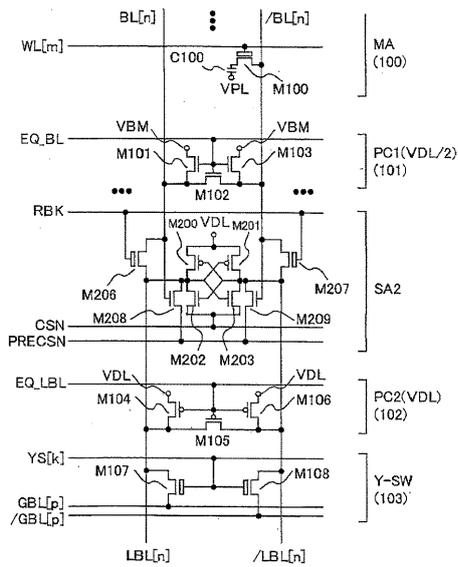
【 図 4 】

図 4



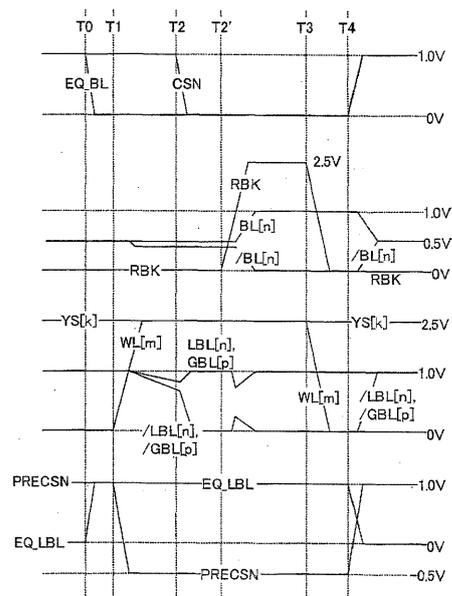
【 図 5 】

図 5



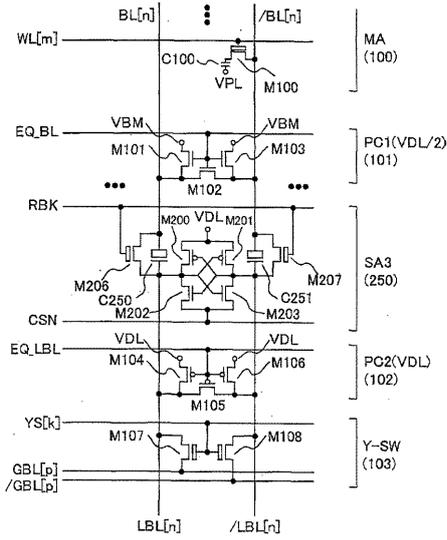
【 図 6 】

図 6



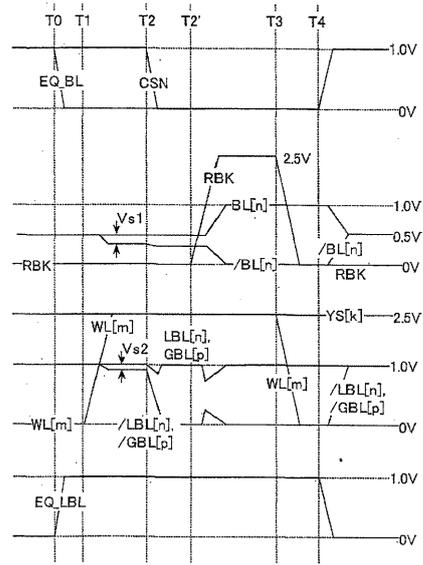
【 図 7 】

図 7



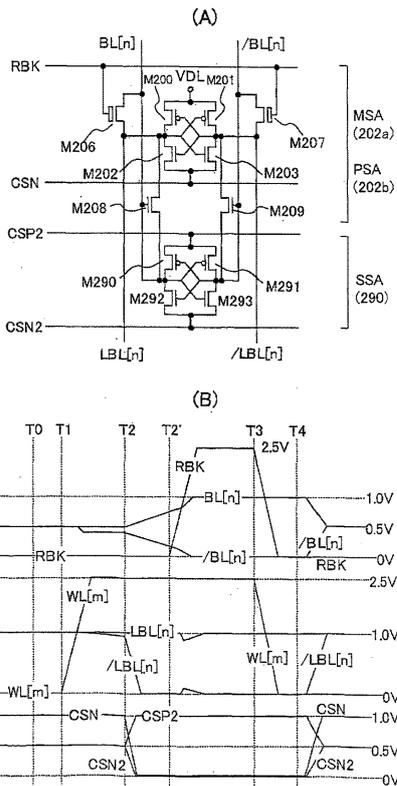
【 図 8 】

図 8



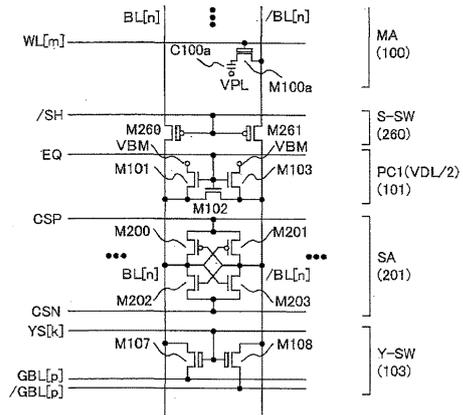
【 図 9 】

図 9



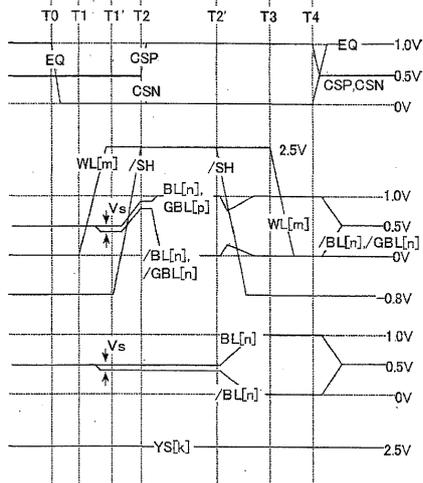
【 図 10 】

図 10



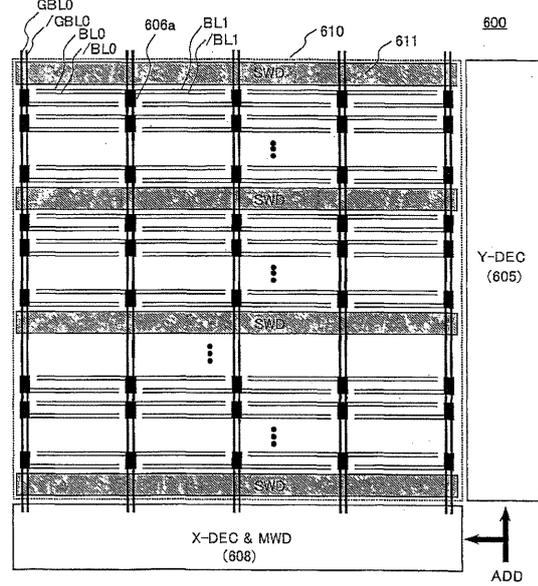
【図 1 1】

図 1 1



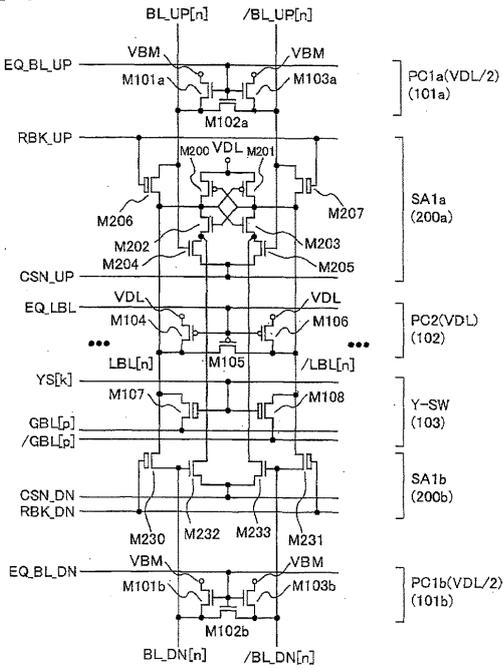
【図 1 2】

図 1 2



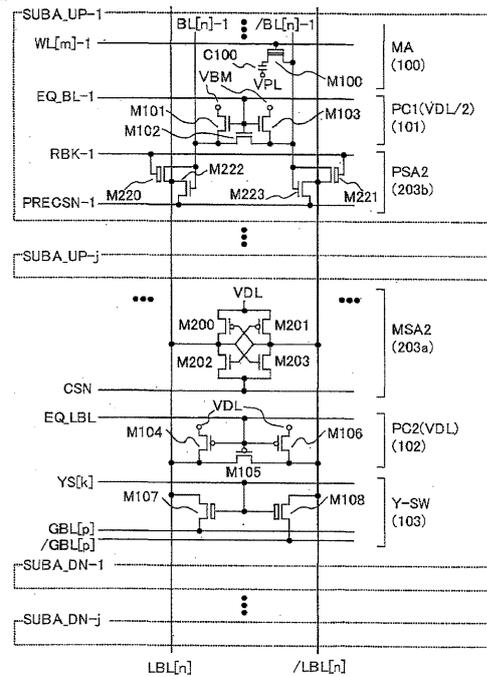
【図 1 3】

図 1 3



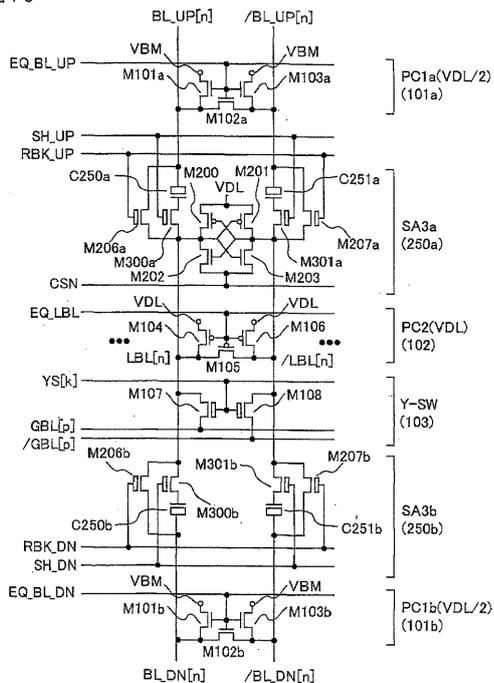
【図 1 4】

図 1 4



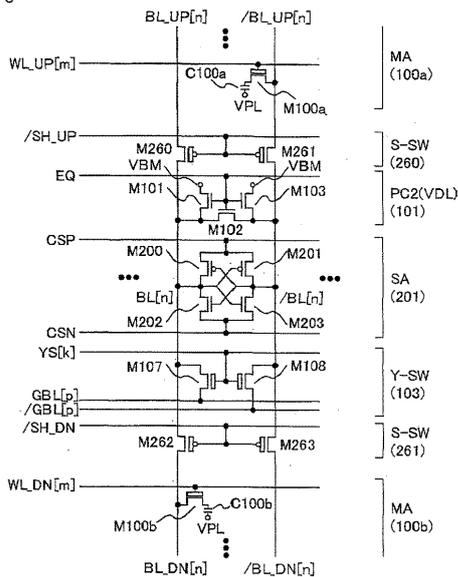
【 図 1 5 】

図 1 5



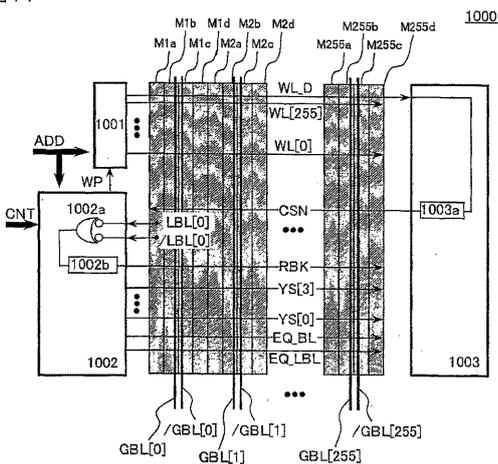
【 図 1 6 】

図 1 6



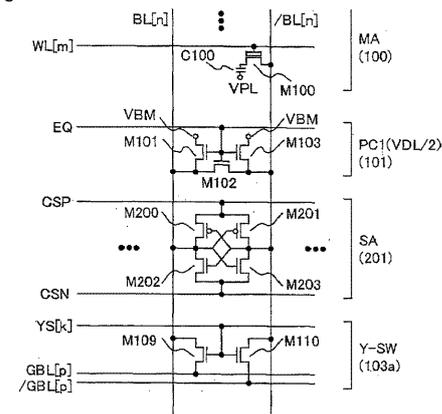
【 図 1 7 】

図 1 7



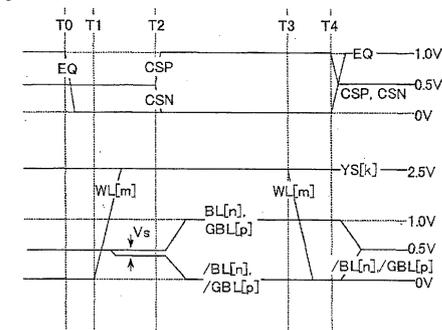
【 図 1 8 】

図 1 8



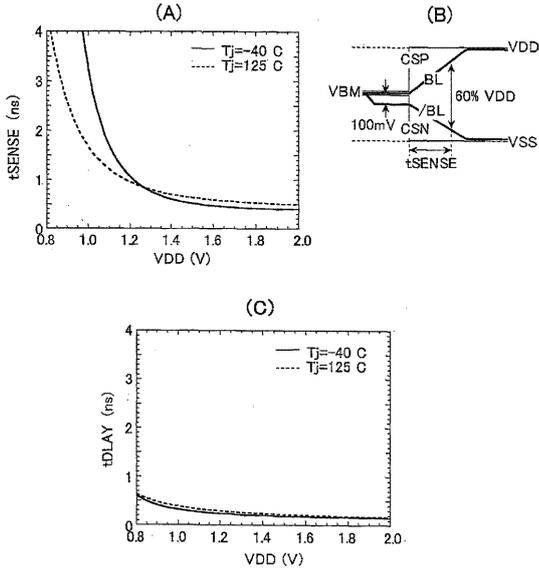
【 図 1 9 】

図 1 9



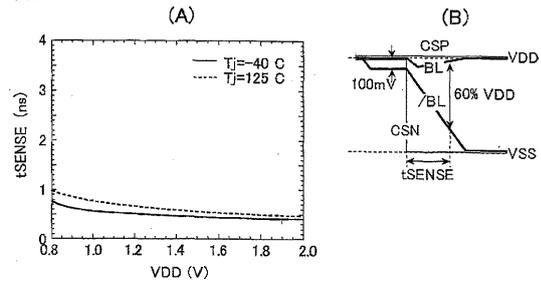
【 20 】

20



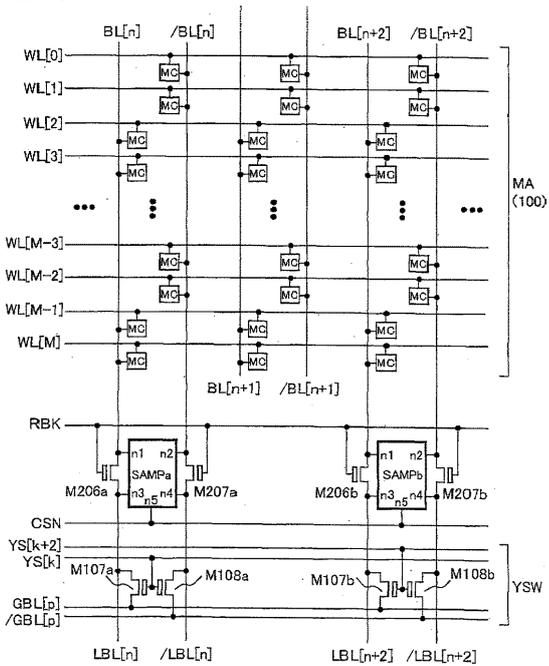
【 21 】

21



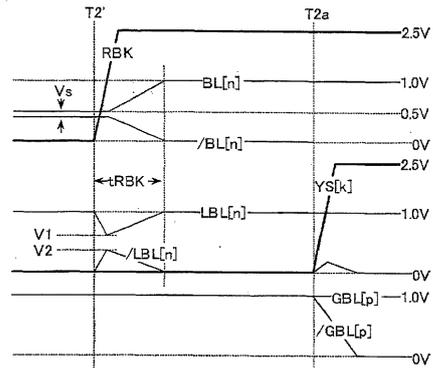
【 22 】

22



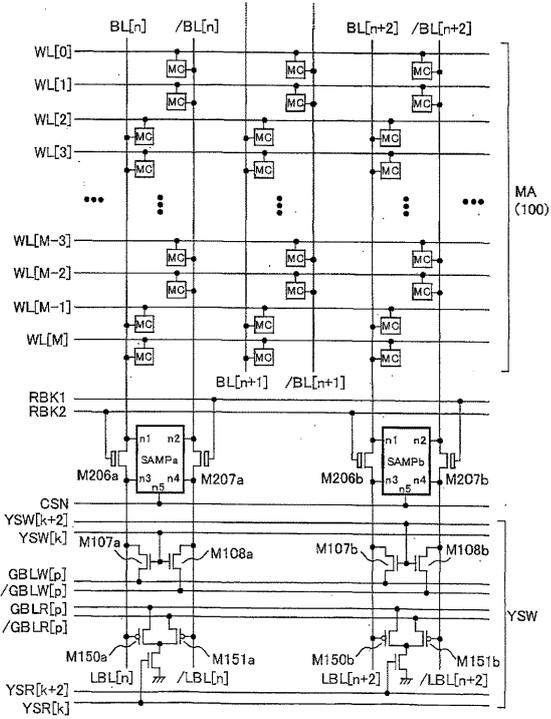
【 23 】

23



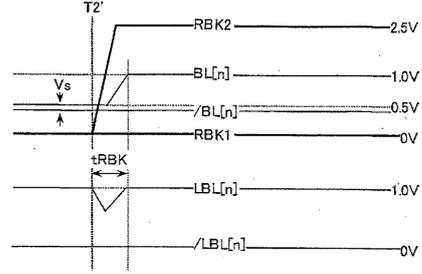
【 図 2 4 】

図 2 4



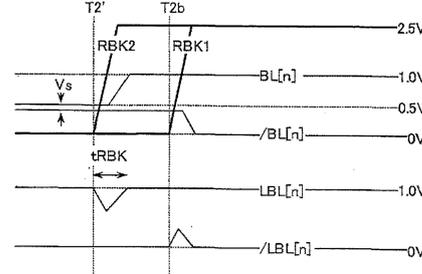
【 図 2 5 】

図 2 5



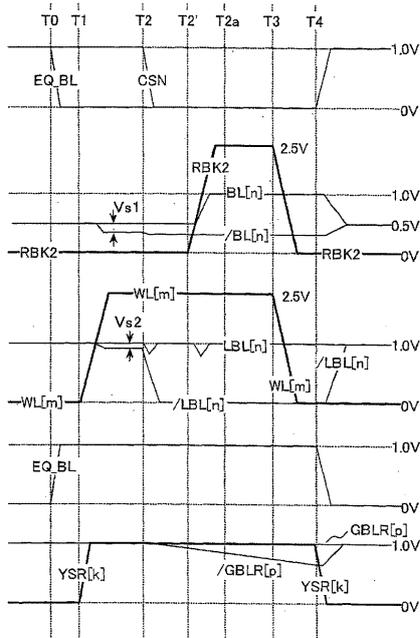
【 図 2 6 】

図 2 6



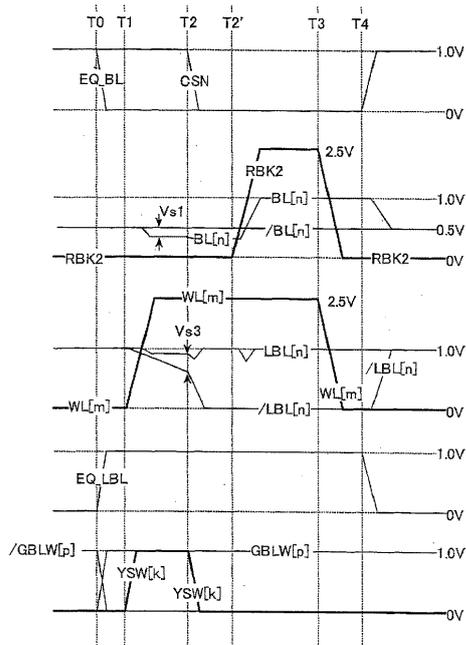
【 図 2 7 】

図 2 7



【 図 2 8 】

図 2 8



フロントページの続き

(72)発明者 渡部 隆夫

東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内

(72)発明者 菅野 雄介

東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内

Fターム(参考) 5M024 AA02 BB14 BB15 BB35 CC53 CC72 CC90 HH05 JJ59 KK35

PP01 PP02 PP03 PP07