

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4008651号
(P4008651)

(45) 発行日 平成19年11月14日(2007.11.14)

(24) 登録日 平成19年9月7日(2007.9.7)

(51) Int. Cl.	F I		
HO 1 L 21/822 (2006.01)	HO 1 L 27/04		C
HO 1 L 27/04 (2006.01)	HO 1 L 21/90		A
HO 1 L 21/768 (2006.01)	HO 1 L 27/10	4 3 4	
HO 1 L 21/8247 (2006.01)	HO 1 L 29/78	3 7 1	
HO 1 L 27/115 (2006.01)	HO 1 L 27/10	4 8 1	

請求項の数 6 (全 18 頁) 最終頁に続く

(21) 出願番号	特願2000-333732 (P2000-333732)	(73) 特許権者	000003078
(22) 出願日	平成12年10月31日(2000.10.31)		株式会社東芝
(65) 公開番号	特開2002-141469 (P2002-141469A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成14年5月17日(2002.5.17)	(74) 代理人	100083806
審査請求日	平成16年8月20日(2004.8.20)		弁理士 三好 秀和
		(74) 代理人	100100712
			弁理士 岩▲崎▼ 幸邦
		(74) 代理人	100100929
			弁理士 川又 澄雄
		(74) 代理人	100108707
			弁理士 中村 友之
		(74) 代理人	100095500
			弁理士 伊藤 正和
		(74) 代理人	100101247
			弁理士 高橋 俊一

最終頁に続く

(54) 【発明の名称】 半導体装置とその製造方法

(57) 【特許請求の範囲】

【請求項1】

不揮発性メモリのメモリセルを備える主要回路領域と、該主要回路領域の周辺に設けられた周辺回路領域とを有する半導体基板と、

前記主要回路領域の前記半導体基板に形成された第1の素子分離領域と、

前記第1の素子分離領域で画定される素子領域の前記半導体基板表面に形成された前記不揮発性メモリの浮遊ゲート電極層、該浮遊ゲート電極層上に形成された電極間絶縁膜、及び該電極間絶縁膜上に形成された前記不揮発性メモリの制御ゲート電極層を有する積層構造と、

前記周辺回路領域の前記半導体基板に形成された第2の素子分離領域と、

該第2の素子分離領域で画定される素子領域の前記半導体基板表面に形成され、前記浮遊ゲート電極層と同一工程で同時に形成された層からなり、上面の高さが前記浮遊ゲート電極層の上面と同一に形成された下部電極と、前記第2の素子分離領域及び前記下部電極の表面を覆うように形成され、前記電極間絶縁膜と同一工程で同時に形成された層からなり、底部に前記下部電極の一部が露出する開口部を有する電荷蓄積層と、前記第2の素子分離領域の上方の領域から前記開口部及び前記開口部の周囲の前記電荷蓄積層上に形成され、前記開口部を介して前記下部電極と電氣的に接続され、前記制御ゲート電極層と同一工程で同時に形成された層で、上面の高さが前記制御ゲート電極層の上面と同一に形成された第1領域と、前記開口部に関して前記第1領域とは反対側の前記下部電極の上方及び前記第2の素子分離領域の上方の前記電荷蓄積層上に形成され、前記制御ゲート電極層と

10

20

同一工程で同時に形成された層からなり、前記第1領域と電氣的に分離され、上面の高さが前記制御ゲート電極層の上面と同一に形成された上部電極とを有するキャパシタ素子と

、
前記積層構造及び前記キャパシタ素子を覆って形成された層間絶縁膜と、
前記第2の素子分離領域の上方の前記層間絶縁膜に形成され、前記第1領域と電氣的に接続された第1コンタクトホールと、
前記第2の素子分離領域の上方の前記層間絶縁膜に形成され、前記上部電極と電氣的に接続された第2コンタクトホール
とを備えることを特徴とする半導体装置。

【請求項2】

前記浮遊ゲート電極層は、前記半導体基板上に形成された絶縁膜上に設けられることを特徴とする請求項1に記載の半導体装置。

【請求項3】

前記第1及び第2の素子分離領域はそれぞれ、前記半導体基板に設けられた溝に埋め込まれた絶縁層であり、前記第1及び第2の素子分離領域のそれぞれの上面は、前記半導体基板の表面より上方に位置することを特徴とする請求項1又は2に記載の半導体装置。

【請求項4】

前記浮遊ゲート電極層の側面が前記第1の素子分離領域の側面で定められ、前記下部電極の側面が前記第1の素子分離領域の側面で定められることを特徴とする請求項1～3のいずれか1項に記載の半導体装置。

【請求項5】

半導体基板上の不揮発性メモリのメモリセルを備える主要回路領域に前記不揮発性メモリの浮遊ゲート電極層を形成し、同時に、前記主要回路領域の周辺の周辺回路領域に前記浮遊ゲート電極層と同一層で、上面の高さが前記浮遊ゲート電極層の上面と同一のキャパシタ素子の下部電極を形成する工程と、

前記主要回路領域及び前記周辺回路領域のそれぞれに前記浮遊ゲート電極層及び前記下部電極より前記半導体基板に至る溝を形成する工程と、

前記溝を絶縁膜で埋め込み前記浮遊ゲート電極層及び前記下部電極の表面が露出するまで前記絶縁膜の表面を平坦化して前記主要回路領域及び前記周辺回路領域のそれぞれに第1の素子分離領域及び第2の素子分離領域をそれぞれ形成する工程と、

前記浮遊ゲート電極層上に電極間絶縁膜を形成し、同時に、前記電極間絶縁膜と同一層で前記キャパシタ素子の電荷蓄積層を前記第2の素子分離領域及び前記下部電極の表面を覆うように形成する工程と、

前記電荷蓄積層に前記下部電極の一部が露出する開口部を形成する工程と、

前記電極間絶縁膜上に前記不揮発性メモリの制御ゲート電極層を形成し、同時に、前記電荷蓄積層と前記開口部を前記制御ゲート電極層で被覆する工程と、

前記周辺回路領域内の前記制御ゲート電極層をパターンングして、前記第2の素子分離領域の上方の領域から前記開口部及び前記開口部の周囲の前記電荷蓄積層上で前記開口部を介して前記下部電極と電氣的に接続された、上面の高さが前記制御ゲート電極層の上面と同一の第1領域と、前記開口部に関して前記第1領域とは反対側の前記下部電極の上方及び前記第2の素子分離領域の上方の前記電荷蓄積層上に前記第1領域と電氣的に分離された、上面の高さが前記制御ゲート電極層の上面と同一の前記キャパシタ素子の上部電極とを形成する工程と、

前記制御ゲート電極層、前記第1領域、及び前記上部電極を覆うように層間絶縁層を形成する工程と、

前記第2の素子分離領域の上方の前記層間絶縁膜に、前記第1領域及び前記上部電極のそれぞれにコンタクト部を持つ第1コンタクトホール及び第2コンタクトホールを形成する工程と

を含むことを特徴とする半導体装置の製造方法。

【請求項6】

10

20

30

40

50

不揮発性メモリのメモリセルを備える主要回路領域及び該主要回路領域の周辺の周辺回路領域のそれぞれの半導体基板に溝を形成する工程と、

前記溝を絶縁膜で埋め込み前記半導体基板表面が露出するまで前記絶縁膜の表面を平坦化して前記主要回路領域及び前記周辺回路領域のそれぞれに第1の素子分離領域及び第2の素子分離領域をそれぞれ形成する工程と、

前記主要回路領域の前記半導体基板上に選択的に前記不揮発性メモリの浮遊ゲート電極層を形成し、同時に、前記周辺回路領域の前記半導体基板上に選択的に前記浮遊ゲート電極層と同一層で、上面の高さが前記浮遊ゲート電極層の上面と同一のキャパシタ素子の下部電極を形成する工程と、

前記浮遊ゲート電極層上に電極間絶縁膜を形成し、同時に、前記電極間絶縁膜と同一層で前記キャパシタ素子の電荷蓄積層を前記第2の素子分離領域及び前記下部電極の表面を覆うように形成する工程と、

前記電荷蓄積層に前記下部電極の一部が露出する開口部を形成する工程と、

前記電極間絶縁膜上に前記不揮発性メモリの制御ゲート電極層を形成し、同時に、前記電荷蓄積層と前記開口部を前記制御ゲート電極層で被覆する工程と、

前記周辺回路領域内の前記制御ゲート電極層をパターンニングして、前記第2の素子分離領域の上方の領域から前記開口部及び前記開口部の周囲の前記電荷蓄積層上に前記開口部を介して前記下部電極と電氣的に接続された、上面の高さが前記制御ゲート電極層の上面と同一の第1領域と、前記開口部に関して前記第1領域とは反対側の前記下部電極の上方及び前記第2の素子分離領域の上方の前記電荷蓄積層上に前記第1領域と電氣的に分離された、上面の高さが前記制御ゲート電極層の上面と同一の前記キャパシタ素子の上部電極とを形成する工程と、

前記制御ゲート電極層、前記第1領域、及び前記上部電極を覆うように層間絶縁層を形成する工程と、

前記第2の素子分離領域の上方の前記層間絶縁膜に、前記第1領域及び前記上部電極のそれぞれにコンタクト部を持つ第1コンタクトホール及び第2コンタクトホールを形成する工程と

を含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置とその製造方法に係り、特に不揮発性メモリ素子等のスタックドゲート構造や多層電極構造等を有する半導体装置の周辺回路用キャパシタ素子に関する。

【0002】

【従来の技術】

EPROM (Electrically Programmable ROM)、EEPROM (Electrically Erasable and Programmable ROM)、およびフラッシュメモリ等の不揮発性メモリセルを備えた半導体装置(半導体チップ)では、メモリセル形成領域に、浮遊ゲート電極層および制御ゲート電極層を持つスタックドゲート構造を有している。また、これらの半導体装置の同一基板には、メモリセルとともに、メモリセルを駆動するために必要な制御回路等の周辺回路も形成される。

【0003】

周辺回路領域には、それぞれの回路に必要なトランジスタ素子、抵抗素子、キャパシタ素子等の薄膜素子を有しており、これらの素子は、プロセスの負担を減らすため、メモリセル部と一括加工により形成されることが望まれる。

【0004】

例えば、周辺回路に用いるキャパシタ素子の構造に注目すると、フラッシュメモリを有する半導体装置では、以前は、浮遊ゲート電極層の下層に形成されるトンネル酸化膜(第1ゲート絶縁膜)を電荷蓄積層とするキャパシタ素子が形成されていた。この場合は浮遊ゲート電極層と半導体基板をキャパシタ電極として電極の引き出しを行っていた。

10

20

30

40

50

【0005】

しかし、最近では、浮遊ゲート電極層と制御ゲート電極層の間に形成されるゲート間絶縁膜（第2ゲート絶縁膜）をキャパシタ素子の電荷蓄積層として用いるキャパシタ構造が望まれている。一般にゲート間絶縁膜の方がトンネル酸化膜より高誘電材料が使用されており、ゲート間絶縁膜をキャパシタ素子の電荷蓄積層として利用する方がよりキャパシタ素子面積の縮小化を図ることができるからである。

【0006】

図9は、ゲート間絶縁膜を周辺回路のキャパシタ素子に利用した従来の不揮発性メモリセルアレイを有する半導体装置の一例を示す装置断面図である。同図中左側にメモリセルアレイ領域、右側に周辺回路領域を示している。

10

【0007】

ここに示すメモリセルアレイの各メモリセルは素子分離領域により分離されているが、ここでは特に、自己整合型STI（Shallow Trench Isolation）構造を有するものを示している。

【0008】

この自己整合型STI構造は、メモリセルアレイの作製に際して、まず、半導体基板層501上に薄いトンネル酸化膜502と浮遊ゲート電極層503aを積層形成し、この後、素子分離領域のための溝（トレンチ）を形成し、この溝を埋めるように、表面に絶縁膜を形成し、この後、浮遊ゲート電極層503aが露出するまでCMP（Chemical Mechanical Polishing）を行い、STI層504を得ていた。このような、自己整合型STI構造では、STI層504を形成する前に、予めトンネル酸化膜502と浮遊ゲート電極層503aを先に基板表面に形成するため、STI層504を形成した際には、このSTI層504により活性領域（素子領域）が画定されるとともに、同時にトンネル酸化膜502と浮遊ゲート電極層503の平面パターン枠がSTI層504の側壁位置で画定される。

20

【0009】

この後、表面にゲート間絶縁膜505、制御ゲート電極層506を形成し、必要なパターニングを行った後、さらに層間絶縁層507で表面を覆う。層間絶縁層507に必要なコンタクトホール518a～518cを開口し、これを導電膜で埋め、層間絶縁層507上に形成される配線に接続される。

30

【0010】

上述する完全自己整合型STI構造は、構造上微細化が可能である。即ち最小加工寸法単位Fに対し、単位メモリセルを $4F^2$ とできる。周辺回路領域において、ゲート間絶縁膜を電荷蓄積層に用いたキャパシタ素子を形成する場合は、キャパシタを構成する浮遊ゲート電極層503aが、活性領域内に自己整合的に形成されることになる。

【0011】

【発明が解決しようとする課題】

図10(a)および図10(b)は、図9に示すフラッシュメモリの周辺回路領域における従来のキャパシタ素子構造のみを示した装置平面図および、この平面図上のA-A'切断線における装置断面図である。また、図11(a)～図11(e)は、このキャパシタ素子の製造方法を示した工程図である。これらの図を参照して、従来の周辺回路領域に形成されるキャパシタ素子について説明する。

40

【0012】

周辺回路領域に、浮遊ゲート電極層、ゲート間絶縁膜および制御ゲート電極層を用いたキャパシタ素子構造を形成するためには、層間絶縁層にコンタクトホールを開け、各電極を配線に接続するための引き出し電極を形成する必要がある。しかし、コンタクトホールの形成に必要なドライエッチング工程は、コンタクトホール下層に大きなダメージを与える虞れがある。よって、素子領域（活性領域）内にコンタクトホールの形成を行うと、半導体基板層やゲート絶縁膜にダメージを与え、このダメージが種々の回路素子に電流リーク等の特性劣化を及ぼすことがある。そこで、この問題を避けるため、一般に、コンタクト

50

ホールは活性領域上には形成されず、素子分離領域上に形成される。

【0013】

従来の完全自己整合型STI構造のフラッシュメモリでは、図10(a)、図10(b)に示すように、構造上浮遊ゲート電極層503Aが活性領域内に形成されるため、直接コンタクトホールを浮遊ゲート電極層503A上に形成することができない。そこで、浮遊ゲート電極層503A上に、同じ導電材料で電極層503Bを積層形成し、これを素子分離領域であるSTI層504上に引き出し、この引き出し部分にコンタクトホール508aを形成し、電極の引き出しを行っていた。

【0014】

この従来のキャパシタ素子は、図11(a)~図11(e)に示す工程によって作製されている。即ち、図11(a)に示すようにSTI層504とともに自己整合的に形成される浮遊ゲート電極層503A上にさらに図11(b)に示すように、浮遊ゲート電極層と同じ材料からなる電極層503Bを積層し、STI層上に電極が引き出せるようにパターンニングを行う。次に、ゲート間絶縁膜505と制御ゲート電極層506を積層し(図11(c))、図11(d)に示すように、STI層504上の電極層503Bが一部露出するようにパターンニングする。この後、図11(e)に示すように、層間絶縁層507を表面に形成し、STI層504上の電極層503B上およびSTI層504上の制御ゲート電極層506上にコンタクトホールを形成し、各コンタクトホール508a、508bを導電性材料で埋め込みそれぞれの電極層からの引き出し線としていた。

10

【0015】

上述するように、自己整合型STI構造を備えた従来の半導体装置では、その周辺回路にメモリセルのスタックドゲート構造を利用したキャパシタ素子を形成する場合において、キャパシタ素子の下部電極の取り出しのために電極層の積み上げプロセスを追加する必要があり、実質的に自己整合的に形成される浮遊ゲート電極層503Aの有効利用ができていなかった。

20

【0016】

なお、上述した従来例は、自己整合型STI構造を備えた半導体装置の例であるが、自己整合型STI構造を使用しない半導体装置であっても、スタックドゲート構造を構成する浮遊ゲート電極層と制御ゲート電極層を一括してエッチングを行い同一平面パターンを得る場合等には、周辺回路領域において同じ構造を利用したキャパシタ素子を作製しようとするれば、キャパシタ素子の下部電極からの引き出しに関して、同様な問題がある。

30

【0017】

また、不揮発性メモリ領域を有する半導体装置以外にも、主要回路領域にゲート層や配線層による多層電極層を有する構造を持ち、周辺回路領域にこの多層電極構造を利用したキャパシタ素子を形成しようとする場合は、上述と同様な問題が生じる。

【0018】

そこで、上述する従来の課題に鑑み、本発明の第1の目的は、主要回路領域にスタックドゲート構造もしくはこれに相当する多層電極構造等を有する半導体装置において、その周辺回路領域に、プロセス上の負担が少なく主要回路構造との整合性が良好なキャパシタ素子構造を有する半導体装置とその製造方法を提供することである。

40

【0019】

また、本発明の第2の目的は、特にスタックドゲート構造を持つ不揮発性メモリセルを有する半導体装置において、周辺回路領域にプロセス上の負担が少なく、メモリセル構造との整合性が良好なキャパシタ素子構造を有する半導体装置とその製造方法を提供することである。

【0020】

【課題を解決するための手段】

本発明の半導体装置の第1の特徴は、不揮発性メモリのメモリセルを備える主要回路領域と、主要回路領域の周辺に設けられた周辺回路領域とを有する半導体基板と、主要回路領域の半導体基板に形成された第1の素子分離領域と、第1の素子分離領域で画定される

50

素子領域の半導体基板表面に形成された不揮発性メモリの浮遊ゲート電極層、浮遊ゲート電極層上に形成された電極間絶縁膜、及び電極間絶縁膜上に形成された不揮発性メモリの制御ゲート電極層を有する積層構造と、周辺回路領域の半導体基板に形成された第2の素子分離領域と、第2の素子分離領域で画定される素子領域の半導体基板表面に形成され、浮遊ゲート電極層と同一工程で同時に形成された層からなり、上面の高さが浮遊ゲート電極層の上面と同一に形成された下部電極と、第2の素子分離領域及び下部電極の表面を覆うように形成され、電極間絶縁膜と同一工程で同時に形成された層からなり、底部に下部電極の一部が露出する開口部を有する電荷蓄積層と、第2の素子分離領域の上方の領域から開口部及び開口部の周囲の電荷蓄積層上に形成され、開口部を介して下部電極と電氣的に接続され、制御ゲート電極層と同一工程で同時に形成された層で、上面の高さが制御ゲート電極層の上面と同一に形成された第1領域と、開口部に関して第1領域とは反対側の下部電極の上方及び第2の素子分離領域の上方の電荷蓄積層上に形成され、制御ゲート電極層と同一工程で同時に形成された層からなり、第1領域と電氣的に分離され、上面の高さが制御ゲート電極層の上面と同一に形成された上部電極とを有するキャパシタ素子と、積層構造及びキャパシタ素子を覆って形成された層間絶縁膜と、第2の素子分離領域の上方の層間絶縁膜に形成され、第1領域と電氣的に接続された第1コンタクトホールと、第2の素子分離領域の上方の層間絶縁膜に形成され、上部電極と電氣的に接続された第2コンタクトホールとを備えることである。

10

【0021】

上記本発明の半導体装置の第1の特徴によれば、主要回路領域上に、浮遊ゲート電極層、電極間絶縁膜、制御ゲート電極層の順に積層された、スタックドゲート構造あるいは多層電極構造を有する場合において、周辺回路領域に上記浮遊ゲート電極層を下部電極、電極間絶縁膜を電荷蓄積層、上記制御ゲート電極層を上部電極とするキャパシタ素子を形成できる。下部電極は、電極間絶縁膜に形成した開口を介して制御ゲート電極層の第1領域から、上部電極は制御ゲート電極層の第2領域からそれぞれ電極の引き出しを行うことができる。この構造によれば、下部電極層から直接電極の引き出しを行わないので、下部電極層の形状によらず、電極の引き出しが可能であり、引き出し電極を確保するためのプロセス上の負担も少ない。

20

【0024】

上述するように、素子分離領域の上方まで第2電極の第1領域と第2領域が広がっていれば、素子分離領域上方にコンタクトホールを形成し、電極引き出しのためのコンタクト部を形成でき、これによりコンタクトホール形成プロセスによるダメージが素子分離領域の介在により素子領域及びゲート絶縁膜に直接影響しない。

30

【0025】

なお、素子分離領域は、浮遊ゲート電極層から前記半導体基板に至る深さの溝に埋め込まれた絶縁層であり、浮遊ゲート電極層の平面パターンが素子分離領域の平面パターンにより自己整合的に画定されているものであってもよい。

【0026】

あるいは、素子分離領域は、半導体基板に設けられた溝に埋め込まれた絶縁層であり、浮遊ゲート電極層の平面パターンと素子分離領域の平面パターンとが独立に形成されたものであってもよい。

40

【0036】

本発明の半導体装置の製造方法の第1の特徴は、半導体基板層上の不揮発性メモリのメモリセルを備える主要回路領域に不揮発性メモリの浮遊ゲート電極層を形成し、同時に周辺回路領域に浮遊ゲート電極層と同一層でキャパシタ素子の下部電極を形成する工程と、主要回路領域の浮遊ゲート電極層上に電極間絶縁膜を形成し、同時に周辺回路領域に、電極間絶縁膜と同一層でキャパシタ素子の電荷蓄積層を下部電極上に形成する工程と、周辺回路領域内の電荷蓄積層に下部電極が露出する開口部を形成する工程と、主要回路領域の電極間絶縁膜上に不揮発性メモリの制御ゲート電極層を形成し、同時に周辺回路領域に電荷蓄積層と開口部を制御ゲート電極層で被覆する工程と、周辺回路領域内の制御ゲート電

50

極層をパターンニングして、開口部を介して下部電極と電氣的に短絡された第1領域と、第1領域と電氣的に分離された、キャパシタ素子の上部電極とを形成する工程とを有することである。

【0037】

上記本発明の半導体装置の製造方法の第1の特徴によれば、主要回路領域上に、浮遊ゲート電極層、電極間絶縁膜、制御ゲート電極層の順に積層された、スタックドゲート構造あるいは多層配線構造を形成するとともに、周辺回路領域に浮遊ゲート電極層を下部電極、電極間絶縁膜を電荷蓄積層、制御ゲート電極層を上部電極とするキャパシタ素子を形成できる。下部電極は、電極間絶縁膜に形成した開口を介して制御ゲート電極層の第1領域から、上部電極は制御ゲート電極層の第2領域からそれぞれ電極の引き出しを行うことができる。この製造方法によれば、下部電極層から直接電極の引き出しを行わないので、下部電極層の形状によらず、電極の引き出しが可能であり、引き出し電極を確保するためのプロセス上の負担も少ない。

10

【0038】

上記第1の特徴の半導体装置の製造方法において、浮遊ゲート電極を形成する工程後、電極間絶縁膜を形成する工程前に、浮遊ゲート電極層より半導体基板層に至る層に溝を形成する工程と、溝を素子分離絶縁膜で埋め込む工程と、浮遊ゲート電極層が露出するまで表面を平坦化する工程とを有してもよい。この場合、浮遊ゲート電極層は、素子分離領域形成工程で自己整合的にパターンニングされる。

【0039】

20

また、上記第1の特徴の半導体装置の製造方法において、浮遊ゲート電極を形成する工程前に、半導体基板層に溝を形成する工程と、溝を素子分離絶縁膜で埋め込む工程と、半導体基板層が露出するまで表面を平坦化し、素子分離領域を形成する工程とを有してもよい。なお、第1領域および第2領域をパターンニングする工程後に、表面上に層間絶縁層を形成する工程と、層間絶縁層に第1領域および第2領域のそれぞれの素子分離領域の上方部分にコンタクト部を持つ第1コンタクトホールと第2コンタクトホールとを形成する工程とを有していてもよい。

【0040】

この場合は、コンタクトホールは、第1領域と第2領域がそれぞれ素子分離領域の上方に形成されるので、これによりコンタクトホール形成プロセスによるダメージを素子分離領域の介在により素子領域に直接影響させないですむ。

30

【0041】

なお、素子分離領域は、上述するような溝に絶縁層を埋め込んだトレンチ型構造のものばかりでなく、半導体基板表面に形成した絶縁層であってもよい。

【0048】

【発明の実施の形態】

以下、本発明の半導体装置の実施の形態について図面を参照しながら、説明する。

【0049】

(第1の実施の形態)

図1(a)は、第1の実施の形態に係る半導体装置の周辺回路領域の一部に形成されるキャパシタ素子の平面図である。図1(b)は、図1(a)中A1-A1線における装置断面図である。

40

【0050】

第1の実施の形態に係る半導体装置は、半導体基板上の主要回路領域に形成された第1の素子分離領域の間に、第1電極層、電極間絶縁膜、第2電極層の順に積層された構造を有し、周辺回路領域に形成された第2の素子分離領域の間にこの積層構造を用いたキャパシタ素子を持つ。

【0051】

ここでは、主要回路領域に形成する回路の種類は、特に限定しない。後に述べるように、スタックドゲート構造を有する不揮発性メモリであってもよいし、多層配線構造を有する

50

ロジック回路等であってもよい。

【0052】

図1(a)、図1(b)に示すように、第1の実施の形態に係る半導体装置は、半導体基板11の各素子領域(活性領域)が、トレンチ(溝)型素子分離領域であるSTI層14で画定されるとともに、各素子領域に第1電極層13のパターンがSTI層14と自己整合的に形成されている。

【0053】

キャパシタ素子は、第1電極層13を下部電極、その上に形成された電極間絶縁膜15を電荷蓄積層、第2電極層16を上部電極として構成されている。なお、第1電極層13と半導体基板層11の間に第1絶縁膜が12が残されていても良いが、キャパシタ素子には特に必要なものではない。

10

【0054】

電極間絶縁膜15は、第1電極層13および素子分離領域(STI層)14表面を覆って広く形成されており、第1電極層13表面が露出する開口部15Hを有している。第2電極層16は、第1領域16Aと第2領域16Bにパターン分離されており、開口部15Hは、第2電極層16で埋め込まれ、開口部15Hを介して第1領域16Aと第1電極層13とが電氣的に接続されている。

【0055】

第2電極層16上には層間絶縁層17が形成されており、キャパシタ素子の上部電極および下部電極からの電極の引き出しを行うために、第2電極層16の第1領域16A上および第2領域16B上にそれぞれコンタクトホール(第1コンタクトホール)18a、コンタクトホール(第2コンタクトホール)18bが形成される。ここで、各コンタクトホール18a、18bの形成位置は、素子分離領域14の上方におかれている。

20

【0056】

図2(a)~図2(e)は、図1(a)に示した第1の実施の形態に係るキャパシタ素子の形成方法を示す工程図である。これらの工程は、主要回路領域内での素子形成と同時に進行するものとする。

【0057】

まず、図2(a)に示すように、素子分離領域を形成する前に、半導体基板層11表面上にSiO₂膜等の第1絶縁膜12を介して多結晶Si等の第1電極層13を形成する。図2(b)に示すように、表面に、素子分離領域のための溝を形成する。この溝は、第1電極層13からその下の半導体基板層11に達する深さとする。さらにこの溝を埋めるように、表面に例えばシリコン酸化膜やシリコン窒化膜等の絶縁膜14aをCVD(Chemical Vapor Deposition)法を用いて形成する。

30

【0058】

続いて、図2(c)に示すように、第1電極層13が基板表面に露出するように、CMPを行い、表面を平坦化する。こうして、トレンチ型の素子分離領域であるSTI層14が形成される。STI層14は、素子形成領域を画定し、各素子形成領域を電氣的に分離する。また、このとき同時に第1電極層13の平面パターンを自己整合的に画定する。即ち、第1電極層13の平面パターン枠はSTI層の側面で定まる。

40

【0059】

平坦化した表面に電極間絶縁膜15を形成する。なお、この絶縁膜14aはシリコン酸化膜、シリコン窒化膜、またはその積層膜を用いてよいが、キャパシタ素子の電荷蓄積層として用いるため、好ましくは誘電率の高い膜を用いる。続けて、素子形成領域上の電極間絶縁膜15上に第1電極層13が露出する開口部15Hをエッチング形成する。なお、このエッチングはコンタクトホールを形成するような深いエッチングではないため、第1電極層13を介して半導体基板やゲート絶縁膜にダメージを与えることはない。

【0060】

図2(d)に示すように、この開口部15Hを含めた電極間絶縁膜15上に、第2電極層16を形成し、さらに、第2電極層16をフォトリソグラフィ工程を用いて、開口部15

50

Hを介して素子領域内の第1電極層13に電氣的に接続された第1領域16Aとそれ以外の第2領域16Bとに分離する。

【0061】

この後、図2(e)に示すように、表面上に層間絶縁層17を形成し、さらに、第2電極層の第1領域16Aと第2領域16B上に、それぞれの面が底部に露出するコンタクトホール18a、18bを形成する。こうしてキャパシタ素子の上部電極は第2電極層の第2領域16Bで構成され、コンタクトホール18bを介して外部配線に接続され、下部電極は第1電極層13で構成され、開口部15H、第2電極層の第1領域16Aおよびコンタクトホール18aを介して外部配線に接続される。

【0062】

このように、第1の実施の形態に係るキャパシタ素子構造とその製造方法は、開口部15Hや領域分離のための第2電極層のパターニング工程を必要とするが、これらの工程は、周辺回路領域に形成する各種配線や抵抗形成のために必要とするパターニング工程と共通する工程であるので、半導体装置を作製する上での製造工程の増加が少なくすむ。第1の実施の形態に示す構造および製造方法によれば、素子分離領域とともに自己整合的に形成された第1電極層を有効に利用し、プロセスの負担なく周辺回路領域にキャパシタ素子を形成できる。

【0063】

(第2の実施の形態)

図3(a)は、第2の実施の形態に係る半導体装置の周辺回路領域に形成されるキャパシタ素子の平面図、図3(b)は、図3(b)中のA2-A2線における装置断面図である。

【0064】

これらの図に示すように、第2の実施の形態に係る半導体装置は、第1の実施の形態の変形例である。基本的なキャパシタ素子構造は、第1の実施の形態に係る半導体装置と共通するが、第1電極層13が、素子分離領域の形成とは独立に形成されている点で異なる。

【0065】

同図に示すように、STI層14は、半導体基板に埋め込み形成されたトレンチ型素子分離領域であり、第1絶縁膜12、第1電極層13、電極間絶縁膜15、第2電極層16は、STI層14が露出する半導体基板表面上に積層されている。電極間絶縁膜15には、開口部15Hが形成され、これらの上に第2電極層16が被覆されている。第2電極層16は、開口部15Hを介して第1電極層に電氣的に接続される第1領域16Aとキャパシタ素子を構成する第2領域16Bに分離形成されている。

【0066】

なお、同図に示すように、キャパシタ素子を構成する第1電極層13、電極間絶縁膜15、第2電極層16は、外枠が共通する平面パターンに加工されている。

【0067】

キャパシタ素子上には層間絶縁層17が形成され、第2電極層の第1領域16Aと第2領域16Bそれぞれの素子分離領域14上方に配線接続のためのコンタクトホール18a、18bが設けられている。

【0068】

図4(a)~図4(e)は、上述する第2の実施の形態に係るキャパシタ素子の製造方法を示す工程図である。図4(a)に示すように、ダミー(犠牲)酸化膜10が形成された半導体基板11に、素子分離領域のための溝を形成し、この溝を埋めるように絶縁膜14aを被覆し、続いて、半導体基板11が露出するように基板表面をCMP工程或いはエッチバック工程で平坦化する(図4(b))。第1絶縁膜12、第1電極層13、電極間絶縁膜(第2絶縁膜)15を積層形成し、その後、電極間絶縁膜15にエッチングにより開口部15Hを形成する。さらに、図4(c)に示すように、電極間絶縁膜15上に第2電極層16を形成する。

【0069】

10

20

30

40

50

この後、図4(d)に示すように、第1電極層13、第2絶縁膜15、第2電極層16を個別に、または一緒にフォトリソグラフィ工程を用いてパターニングを行う。また、続けて第2電極層16を第1領域16Aと第2領域16Bに分離するパターニングを行う。

【0070】

図4(e)に示すように、表面を層間絶縁層17で覆い、第1領域16Aと第2領域16Bそれぞれ素子分離領域上方にあたる部分にコンタクトホール18a、18bを形成する。

【0071】

STI層14により自己整合的に第1電極層13を形成するものではなくても、第2の実施の形態に示すように、第1電極層13、第2絶縁膜15、第2電極層16からなる積層膜を同時に共通する平面形状にパターニングするような場合には、電極間絶縁膜15中の開口部15Hを介して第2電極層16Aから電極を引き出す構造を形成することで、製造工程数の大幅な増加を伴わずに、下部電極からの電極引き出しを可能にできる。なお、第1電極層13、電極間絶縁膜15、第2電極層16の平面パターンは必ずしも共通するパターンである必要はない。

【0072】

(第3の実施の形態)

図5(a)は、第3の実施の形態に係る半導体装置の周辺回路領域に形成されるキャパシタ素子の平面図、図5(b)は、図5(a)中のA3-A3線における装置断面図である。

【0073】

第1の実施の形態、第2の実施の形態は、ともにキャパシタ素子の大部分を素子領域上に形成したものであったが、第3の実施の形態に係る半導体装置は、キャパシタ素子全体をSTI層14上に形成した半導体装置例である。

【0074】

キャパシタ素子は素子領域内に形成する必要は必ずしもなく、この第3の実施の形態に示すように、キャパシタ素子全体を素子分離領域上に形成することも可能である。STI層14上に形成されるキャパシタ素子自体の構造は、第2の実施の形態に示す構造と共通する。

【0075】

STI層14上にキャパシタ素子全体を形成する場合においても、第3の実施の形態のような構造を形成することにより、プロセスの負担なく、周辺回路領域に、主回路領域の構造を利用してキャパシタ素子を形成することができる。

【0076】

特に、第1電極層13、電極間絶縁膜15、第2電極層16からなる積層膜を同時に共通する平面形状にパターニングするような場合には、キャパシタの下部電極上に直接コンタクトホールを形成できないが、第2の実施の形態に示すように、電極間絶縁膜15中の開口部15Hを介して第2電極層16Aから電極を引き出す構造を形成することで、プロセス上の負担なく、下部電極からの電極引き出しが可能になる。

【0077】

以上、第1～第3の実施の形態ではいずれも素子分離領域としてトレンチ型を用いているが、素子分離領域の構造はトレンチ型に限らず基板表面上にLOCOS(Local Oxidation of Silicon)等の方法で形成される厚い酸化層であってもよい。

【0078】

(第4の実施の形態)

第4の実施の形態では、上述する第1の実施の形態の半導体装置を不揮発性メモリに応用したより具体的な例を説明する。主回路形成領域にスタックドゲート構造を有する不揮発性メモリを備え、その周辺回路にこのスタックドゲート構造を利用したキャパシタ素子を備えたものである。

【0079】

10

20

30

40

50

図6に第4の実施の形態にかかる半導体装置の断面図を示す。ここでは、不揮発性メモリの一例として、NAND型フラッシュメモリを示す。図中左側にメモリセル領域、右側に周辺回路領域を示す。

【0080】

NAND型フラッシュメモリは、平面的には、複数のストライプ状の制御ゲート電極26Eと複数のストライプ状のSTI層24が交差するように配置され、マトリクス状にメモリセルが設けられている。ここでは、メモリセル領域を画定する複数のSTI層24を制御ゲート電極26Eのストライプに平行な方向で切断する断面を示している。なお、同じメモリセル領域内には、選択ゲートトランジスタも形成されるが、ここでは図示を省略する。

10

【0081】

図6に示すように、第4の実施の形態に係る半導体装置は、自己整合型STI構造を有するものであり、各メモリセルには、素子分離領域であるSTI層24により自己整合的にトンネル酸化膜である第1ゲート絶縁膜22および浮遊ゲート電極層23がパターンニングされている。STI層24と浮遊ゲート電極23E上には、第2ゲート絶縁膜(ゲート間絶縁膜)25が形成され、さらにこの第2ゲート絶縁膜25上に制御ゲート電極層26が形成され、ストライプ状の制御ゲート電極26Eにパターンニングされている。さらに、メモリセル領域は層間絶縁層26で被覆されており、制御ゲート電極26Eは電極端部に設けられたコンタクトホール28cを介して外部配線への引き出しがなされている。

【0082】

一方、周辺回路領域には、第1の実施の形態と同様な構造を持つキャパシタ素子が形成されている。即ち、STI層24と自己整合的に第1ゲート絶縁膜22、浮遊ゲート電極層23のパターンが形成されており、浮遊ゲート電極層23がキャパシタ素子の下部電極を構成する。また、STI層24と浮遊ゲート電極層23上には、第2ゲート絶縁膜25が形成されており、この層がキャパシタ素子の電荷蓄積層に相当する。第2ゲート絶縁膜25上には制御ゲート電極層26により電氣的に分離された第1領域26Aと第2領域26Bが形成されており、第1領域26Aは、ゲート間絶縁膜25に形成された開口部25Hを介してキャパシタ素子の下部電極に短絡されている。一方、第2領域26Bは、キャパシタ素子の上部電極を構成する。また、STI層24の上方にあたる第1領域26A、第2領域26B上に引き出し電極のためのコンタクトホール28a、28bが形成されている。

20

30

【0083】

次に、上述する第4の実施の形態に係る半導体装置の製造方法を図7(a)~図7(f)を参照しながら説明する。図中左側に示すメモリセル領域と右側の周辺回路領域が共通工程を用いながら作製されていく。

【0084】

まず、図7(a)に示すように、半導体基板層21上にトンネル酸化膜(薄いゲート絶縁膜)となる第1ゲート絶縁膜22と浮遊ゲート電極層23を積層形成する。ここで、半導体基板層21には例えばSi基板が用いられる。第1ゲート絶縁膜22は、例えば膜厚10nm程度の薄いシリコン酸化膜であり、CVD法もしくは熱酸化法等を用いて形成できる。浮遊ゲート電極層23は、膜厚50nm~100nm程度の例えば多結晶シリコンあるいはアモルファスシリコン等であり、スパッタ法あるいはCVD法等を用いて形成できる。

40

【0085】

続けて、図7(b)に示すように、浮遊ゲート電極層23からその下の半導体基板層に至る深さの溝を、ドライエッチング法等を用いて形成する。溝の深さは、第1ゲート絶縁膜22および浮遊ゲート電極層23をあわせた厚さより十分深くなるよう、半導体基板層21表面位置からの深さを例えば200~250nmとする。

【0086】

次に、図7(c)に示すように、表面をTEOS(Tetra-Ethoxy-Silane)膜、あるいは

50

はHDP (High Density Plasma) CVDオキサイド等の埋め込み性の良い絶縁膜で溝を埋め込み、さらに浮遊ゲート電極層23が露出するまで、表面をCMP法を用いて平坦化し、STI層24を形成する。STI層24の形成により、自己整合的に浮遊ゲート電極層23から各メモリセルを構成する浮遊ゲート電極23Eが形成される。

【0087】

図7(d)に示すように、平坦化された表面上にCVD法等を用いて第2ゲート絶縁膜25を形成する。この第2ゲート絶縁膜25は、例えばシリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜、あるいはその積層膜であるONO膜(オキサイド/ナイトライド/オキサイド)で形成する。この後、周辺回路領域では、エッチングで浮遊ゲート電極層23を露出する開口部25Hを形成する。

10

【0088】

続いて、図7(e)に示すように、表面上にスパッタ法やCVD法等を用いて制御ゲート電極層26を形成する。制御ゲート電極層26は、例えば多結晶シリコン膜、もしくは多結晶シリコンとメタルシリサイドの積層膜としてもよい。また、このメタルシリサイドとしては、WSi、TiSi、CoSi等の種々の材料が挙げられる。またこれ以外にも、制御ゲートを金属材料のみのメタルゲートやポリメタルゲートとしてもよい。

【0089】

次に、制御ゲート電極層26のパターニングを行う。メモリセル領域では、ストライプ状の制御ゲート電極26Eが形成され、これと同時に周辺回路領域でも、制御ゲート電極層26を第1領域26Aと第2領域26Bに分離するためのパターニングを行う。

20

【0090】

さらに、図7(f)に示すように、表面を例えばBPSG(ボロンフォスフォシリケートガラス)等の層間絶縁層27で覆い、配線に必要なコンタクトホール28a~28cをメモリセル領域、周辺回路領域それぞれにRIE(Reactive Ion Etching)法等を用いて形成する。この後、各コンタクトホールは、例えばW(タングステン)等の導電材料で埋め込み、表面を平坦化する。この後、層間絶縁層27上には、必要な配線層を形成するが、各コンタクトホールを介して電極と配線層が接続される。

【0091】

なお、上述した製造方法における膜厚、膜材料等の各条件は、デザインルールの変更や製造方法の改良により変更されることが当然に予想されるものである。

30

【0092】

以上に説明するように、第4の実施の形態に係る半導体装置では、周辺回路領域に形成するキャパシタ素子は、メモリセル領域内のスタックドゲート構造の作製プロセスに負担をほとんどかけることなく、作製することができる。従来のキャパシタ素子のように、引き出し電極形成のために浮遊ゲート層を積層する必要もなく、周辺回路領域に自己整合的に形成される浮遊ゲート電極層のパターンを有効にキャパシタ素子の下部電極として利用することができる。

【0093】

(第5の実施の形態)

図8は第5の実施の形態に係る半導体装置の断面図を示す。第5の実施の形態は、第4の実施の形態の変形例である。第4の実施の形態と同様に、主回路形成領域には、素子分離領域の形成と自己整合的に浮遊ゲート電極を形成する不揮発性メモリを備え、その周辺回路領域にこの不揮発性メモリのスタックドゲート構造を利用したキャパシタ素子を備えている。

40

【0094】

ここでは、メモリセル領域に形成するメモリセルのゲート構造において、浮遊ゲート電極層23の表面位置よりSTI層24の表面位置が低くなっており、この両者の高低により、これらの表面上に形成されるゲート間絶縁膜25の断面が凹凸を形成している。この結果、各メモリセルのゲート間絶縁膜25の有効面積が広がるため、メモリセルをより縮小化することが可能になる。なお、このゲート構造を形成するためには、第4の実施の形態

50

における製造方法において、STI層を形成し表面の平坦化を図った後に、STI層の上層のみを選択的にエッチングする工程を付加すればよい。

【0095】

この場合においても、周辺回路領域に形成するキャパシタ素子構造は第4の実施の形態と共通する構造にできる。

【0096】

以上、第4、第5の実施の形態では、自己整合型STI構造の不揮発性メモリを有する半導体装置に第1の実施の形態を適用した例を示したが、自己整合型ではないSTI構造、あるいはトレンチ型STI構造以外の例えばLOCOS等の方法で形成した素子分離領域を利用した不揮発性メモリを有する半導体装置に対しても、本発明に第2、第3の実施の形態に示したキャパシタ素子構造を適用することが可能である。

10

【0097】

以上、実施の形態に沿って本発明の半導体装置について説明したが、本発明の半導体装置は、これらの実施の形態の説明に限定されるものではない。種々の改変や材料の置換が可能なことは当業者に明らかである。

【0098】

【発明の効果】

以上に説明するように、本発明の第1の特徴を有する半導体装置および半導体装置の製造方法によれば、半導体基板上の主要回路領域に有する、第1電極層、電極間絶縁膜、第2電極層の順に形成された積層構造を用いて、周辺回路領域に第1電極層を下部電極、電極間絶縁膜を電荷蓄積層、上記第2電極層を上部電極とするキャパシタ素子を形成できる。下部電極層の形状によらず、電極の引き出しが可能であるため、第1電極層が素子分離領域と自己整合的に形成されている場合でも第1電極層を下部電極層として有効に活用できる。

20

【0099】

また、本発明の第2の特徴を有する半導体装置及び半導体装置の製造方法によれば、スタックドゲート構造を有する不揮発性メモリを有する半導体装置において、周辺回路領域に浮遊ゲート電極層と同一の層を下部電極、第2ゲート絶縁膜を電荷蓄積層、制御ゲート電極層と同一の層を上部電極とするキャパシタ素子を形成できる。不揮発性メモリの第2ゲート絶縁膜は一般に高誘電率層であるため、キャパシタ素子の面積の縮小化を図ることができる。また、第1電極層が素子分離領域と自己整合的にパターニングされる場合にも、プロセス上の負担なく、自己整合的にパターニングされた第1電極層をキャパシタ素子の下部電極として有効に活用できる。

30

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る半導体装置の周辺回路領域におけるキャパシタ素子構造を示す平面図と断面図である。

【図2】本発明の第1の実施の形態に係る半導体装置の製造方法を示す工程図である。

【図3】本発明の第2の実施の形態に係る半導体装置の周辺回路領域におけるキャパシタ素子構造を示す平面図と断面図である。

【図4】本発明の第1の実施の形態に係る半導体装置の製造方法を示す工程図である。

40

【図5】本発明の第3の実施の形態に係る半導体装置の周辺回路領域におけるキャパシタ素子構造を示す平面図と断面図である。

【図6】本発明の第4の実施の形態に係る不揮発性メモリセルを有する半導体装置のメモリセル領域および周辺回路領域におけるキャパシタ素子構造を示す断面図である。

【図7】本発明の第4の実施の形態に係る不揮発性メモリを有する半導体装置の製造方法を示す工程図である。

【図8】本発明の第5の実施の形態に係る不揮発性メモリセルを有する半導体装置のメモリセル領域および周辺回路領域におけるキャパシタ素子構造を示す断面図である。

【図9】従来の不揮発性メモリセルを有する半導体装置のメモリセル領域および周辺回路領域におけるキャパシタ素子構造を示す断面図である。

50

【図10】従来の不揮発性メモリセルを有する半導体装置の周辺回路領域におけるキャパシタ素子構造を示す平面図と断面図である。

【図11】従来の不揮発性メモリセルを有する半導体装置の周辺回路領域におけるキャパシタ素子の製造方法を示す工程図である。

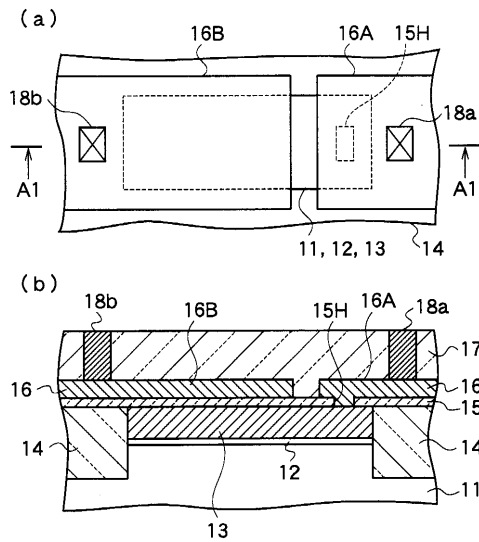
【符号の説明】

- 1 1 半導体基板層
- 1 2 第1絶縁膜
- 1 3 第1電極層
- 1 4 素子分離領域
- 1 5 電極間絶縁膜
- 1 5 H 開口部
- 1 6 第2電極層
- 1 6 A 第1領域
- 1 6 B 第2領域
- 1 7 層間絶縁層
- 1 8 a、1 8 b コンタクトホール
- 2 1 半導体基板層
- 2 2 第1ゲート絶縁膜
- 2 3 浮遊ゲート電極層
- 2 4 S T I 層
- 2 5 第2ゲート絶縁膜
- 2 5 H 開口部
- 2 6 制御ゲート電極層
- 2 7 層間絶縁層
- 2 8 a ~ 1 8 c コンタクトホール

10

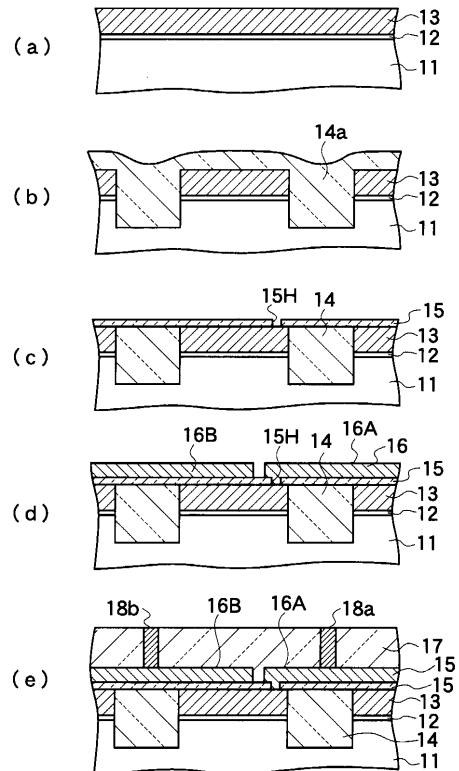
20

【図1】

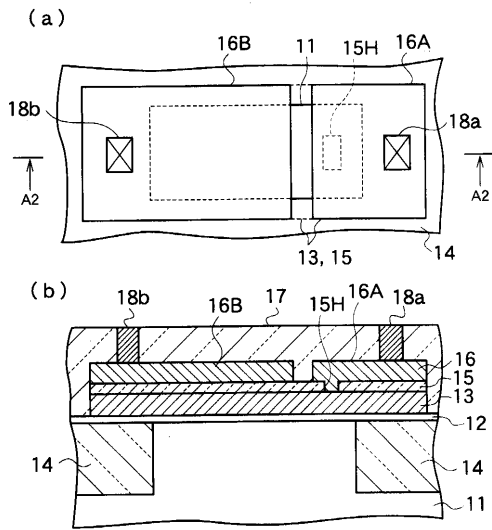


- 11: 半導体基板層
- 12: 第1絶縁膜
- 13: 第1電極層
- 14: STI層(素子分離領域)
- 15: 電極間絶縁膜
- 15H: 開口部
- 16: 第2電極層
- 16A: 第1領域
- 16B: 第2領域
- 17: 層間絶縁膜
- 18a, 18b: コンタクトホール

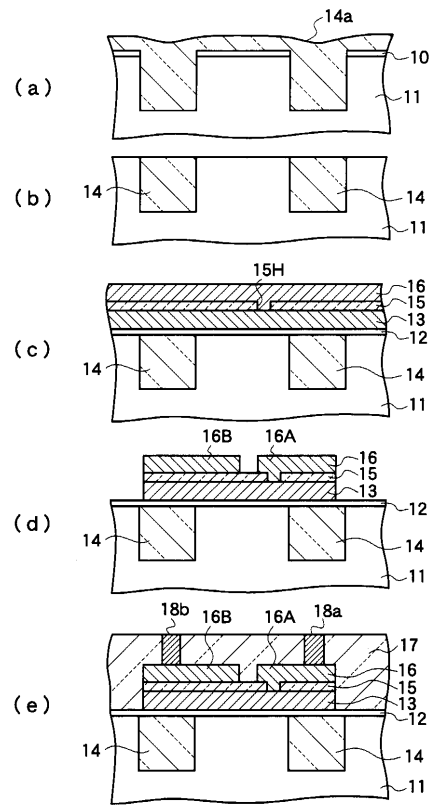
【図2】



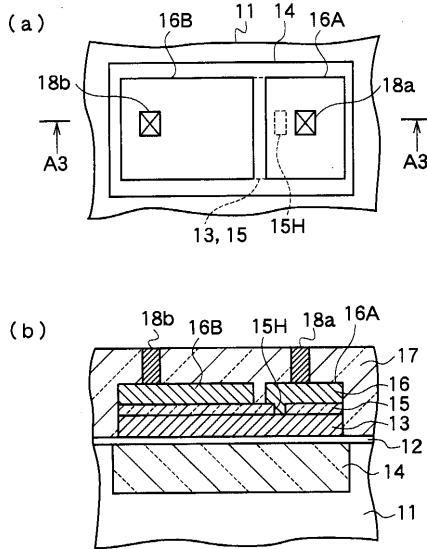
【 図 3 】



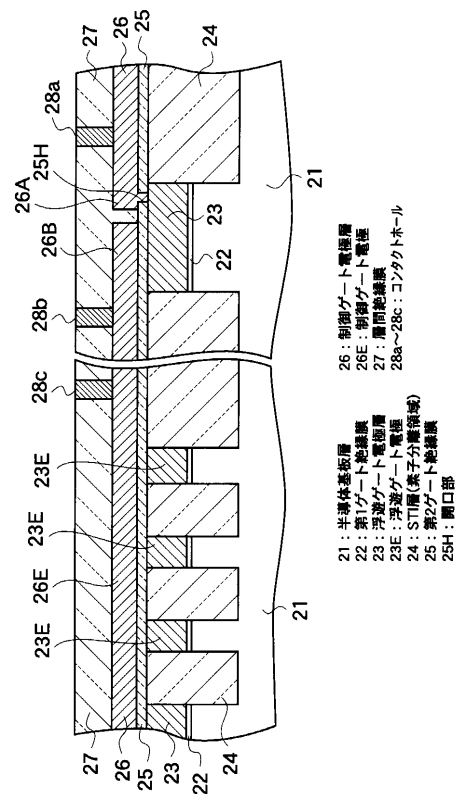
【 図 4 】



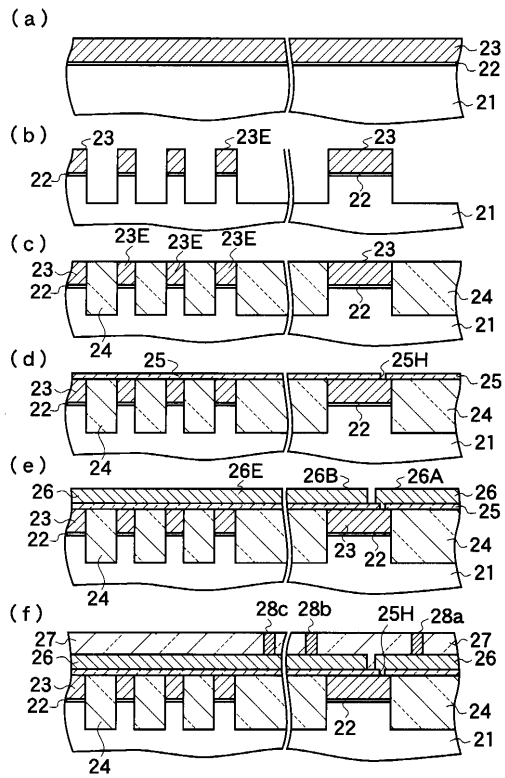
【 図 5 】



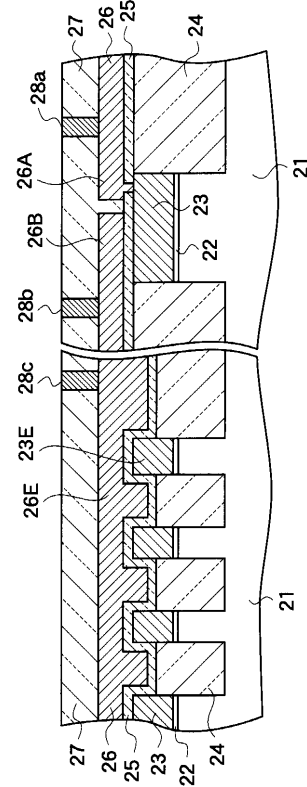
【 図 6 】



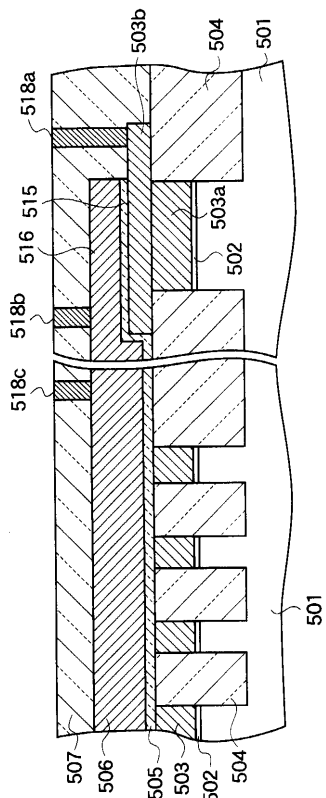
【 図 7 】



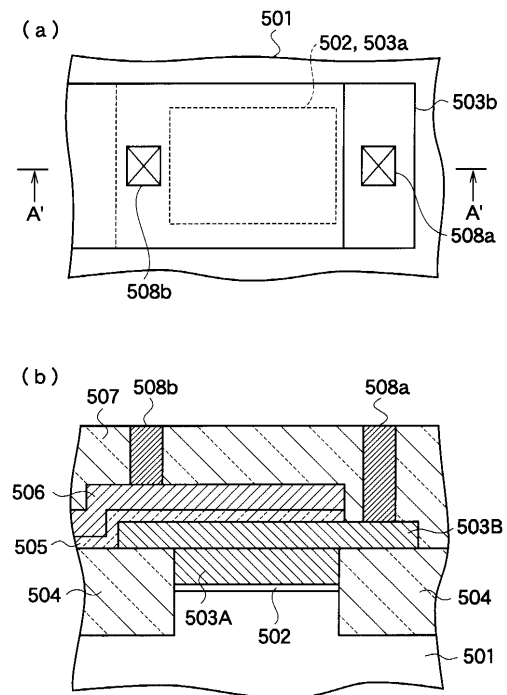
【 図 8 】



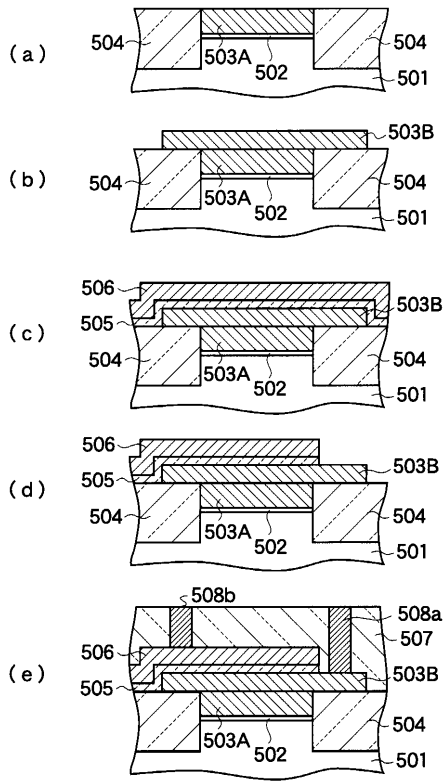
【 図 9 】



【 図 10 】



【 図 1 1 】



フロントページの続き

(51) Int.Cl. F I

H 0 1 L 29/788 (2006.01)**H 0 1 L 29/792 (2006.01)****H 0 1 L 27/10 (2006.01)**

(74)代理人 100098327

弁理士 高松 俊雄

(72)発明者 市毛 正之

神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝 横浜事業所内

(72)発明者 白田 理一郎

神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝 横浜事業所内

(72)発明者 杉前 紀久子

神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝 横浜事業所内

(72)発明者 佐藤 敦祥

神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝 横浜事業所内

(72)発明者 竹内 祐司

神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝 横浜事業所内

審査官 棚田 一也

(56)参考文献 特開平 1 0 - 0 5 0 9 4 1 (J P , A)

特開平 0 9 - 0 8 2 8 9 6 (J P , A)

特開平 1 1 - 1 6 3 2 7 2 (J P , A)

(58)調査した分野(Int.Cl. , D B名)

H01L 21/822

H01L 21/768

H01L 21/8247

H01L 27/04

H01L 27/10

H01L 27/115

H01L 29/788

H01L 29/792