

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.  
G06F 13/40 (2006.01)  
G06F 13/00 (2006.01)



# [12] 发明专利说明书

专利号 ZL 200510063556.6

[45] 授权公告日 2008年6月18日

[11] 授权公告号 CN 100395744C

[22] 申请日 2005.4.12

[21] 申请号 200510063556.6

[73] 专利权人 华为技术有限公司

地址 518129 广东省深圳市龙岗区坂田华为总部办公楼

[72] 发明人 肖长贵 季魁文 辛桂珍

[56] 参考文献

US4683530 1987.7.28

CN1549141A 2004.11.24

US6128311A 2000.10.3

US4827477 1989.5.2

审查员 庄锦军

[74] 专利代理机构 北京凯特来知识产权代理有限公司  
代理人 郑立明

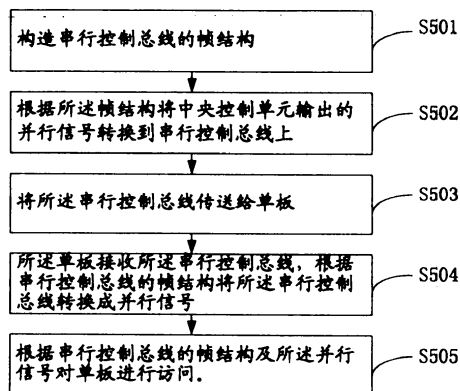
权利要求书 3 页 说明书 12 页 附图 3 页

## [54] 发明名称

实现中央控制单元对单板集中控制的方法和系统

## [57] 摘要

本发明涉及一种实现中央控制单元对单板集中控制的方法，其核心是：首先将并行信号转换到串行控制总线上；然后基于所述串行控制总线实现中央控制单元对单板的集中控制。通过本发明，能够使用较少的控制总线实现中央控制单元对单板的集中控制，能够在母板上采用一对一的驱动，从而增强系统可靠性；解决了现有技术中必须使用很多控制总线才能实现对单板的集中控制而导致高成本和多维护，以及只能采用一驱多的方式对驱动能力要求很高，信号质量很难控制的问题；解决了现有技术中由于需要在每块单板上放置有 CPU 以及必须通过板间通讯才能访问单板而导致的成本高、配置下发/数据上报速度慢、维护困难等问题。



1、一种实现中央控制单元对单板集中控制的方法，基于包括中央控制单元、单板和控制总线的系统，其特征在于，包括：

A、构造串行控制总线的帧结构，根据所述帧结构将中央控制单元输出的读写、地址、数据并行信号转换到串行控制总线上，并根据所述串行控制总线的帧结构产生读/写帧头，或者包括读/写帧头的时钟信号；

B、基于所述串行控制总线实现中央控制单元对单板的集中控制。

2、根据权利要求1所述的方法，其特征在于，所述步骤A具体包括：

A23、根据所述帧结构将读写、地址信号转换到串行控制总线上，并根据所述串行控制总线的帧结构产生所述读/写帧头；

A24、将所述串行控制总线、读/写帧头、时钟信号送到被控制单板上进行处理；

或，

A25、根据所述帧结构将读写、地址信号转换到串行控制总线上，并根据所述串行控制总线的帧结构产生所述包括读/写帧头的时钟信号；

A26、将所述串行控制总线、所述包括读/写帧头的时钟信号送到被控制单板上进行处理。

3、根据权利要求1所述的方法，其特征在于，所述步骤B具体包括：

B1、将所述串行控制总线、所述包括读/写帧头的时钟信号传送给单板；

B2、所述单板接收所述串行控制总线，利用所述包括读/写帧头的时钟信号，根据帧结构将所述串行控制总线转换成并行信号；

B3、所述单板采用所述并行信号对单板上的芯片进行访问。

4、根据权利要求3所述的方法，其特征在于，当控制单板芯片进行写信

息时，

所述步骤B1具体包括：

B11、将所述串行控制总线、包括写帧头的时钟信号传送给单板；

B12、根据所述串行控制总线帧结构中的地址信息确定访问的单板；

所述步骤B3具体包括：

B31、将所述并行信号写入单板芯片，实现对单板的集中控制。

5、根据权利要求3所述的方法，其特征在于，当控制单板进行读信息时，所述步骤B1具体包括：

B14、将所述串行控制总线、所述包括读/写帧头的时钟信号传送给单板；

B15、根据所述串行控制总线帧结构的地址信息将串行控制总线切换到对应的单板接收；

B16、将所述串行控制总线发送给对应的单板。

6、根据权利要求5所述的方法，其特征在于，所述步骤B15具体包括：

B151、根据所述串行控制总线帧结构的地址信息确定访问的板位；

B152、根据所述板位信息将串行总线切换到对应的单板。

7、根据权利要求3所述的方法，其特征在于，当控制单板进行读信息时，所述步骤B3具体包括：

B35、所述单板根据所述串行控制总线帧结构中的地址信息判断是否访问本单板芯片，若是，则根据读帧头读出单板芯片中的数据，然后执行步骤B36；否则，不作处理；

B36、根据所述串行控制总线的帧结构将所述读出的数据放入串行控制总线并将所述串行控制总线的方向切换为单板发送；

B37、将串行控制总线上的数据转换成并行信号并发送给中央控制单元，实现对单板的集中读控制。

8、一种实现中央控制单元对单板集中控制的系统，包括单板和中央控制单元，其特征在于：

系统将中央控制单元发送的并行信号转换到串行控制总线上，并基于所述串行控制总线实现中央控制单元对单板的集中控制；

且所述的系统还包括第一控制总线串并处理单元和串并总线分配单元：

所述第一控制总线串并处理单元将中央控制单元传送的并行信号转换到串行总线上，并根据所述串行控制总线的帧结构产生读/写帧头，或产生包括读/写帧头的时钟信号，然后通过所述串并总线分配单元将所述串行控制总线发送给单板。

9、根据权利要求8所述的系统，其特征在于：

还包括第二控制总线串并处理单元；

通过所述第二控制总线串并处理单元将单板接收到的所述串行控制总线转换成并行信号，并根据所述读/写帧头控制单板芯片进行读写。

10、根据权利要求8至9任意一项所述的系统，其特征在于，所述中央控制单元包括：CPU或单片机。

## 实现中央控制单元对单板集中控制的方法和系统

### 技术领域

本发明涉及电子通讯领域，尤其涉及一种实现中央控制单元对单板集中控制的方法和系统。

### 背景技术

通常设备由不同功能的单板组成，而单板则主要是由一些芯片组成，这些芯片必须依赖于中央处理单元，如CPU或者单片机的控制才能正常工作。大部分芯片由中央处理单元直接通过数据、地址、读写总线进行控制，也有一些芯片由中央处理单元通过同步物理接口（Synchronous Physical Interface; SPI）、双线双向同步串行总线（Inter-Integrated Circuit; IIC）等类型的总线来控制。通常将数据、地址、读写总线统称为控制总线，SPI、IIC等总线是由控制总线根据相关协议实现的。一般情况下，控制较复杂的单板采用CPU进行控制，控制较简单的单板采用单片机进行控制，其原理类似。

以光网络通讯设备为例，在光网络设备中有交叉板、时钟板、线路板、支路板、数据板、公务板等单板，每种单板都需要由中央处理单元，如CPU控制。目前使用的CPU控制方式主要有两种，一种是分散控制，另外一种为并行集中控制。下面详细讲述目前使用的这两种现有技术。

与本发明相关的现有技术一采用分散控制的技术方案。如图1所示，该方案的核心是：首先在设备的主控板101上配置CPU系统，并且在所有需要主控板控制的单板102上也配置CPU系统，单板上的芯片103由此CPU系统104

控制，然后通过板间通讯105与主控板101进行通讯，实现配置下发和数据上报。

通过上述现有技术一即分散控制的方案可以看出，现有技术一需要在每块单板上都放置有CPU系统，也就是说需要在每块单板上设置有一套BIOS、单板软件和板间通讯系统。有的设备为了避免板间通讯系统失效造成的重大影响，还增加了备用通讯通道和通道切换控制。因此现有技术一的技术方案存在如下缺点：

1、成本高。从硬件上来说，每块单板都需要一个中央处理单元和板间通讯系统；从软件上来说，每块单板都需要一套单板软件、驱动软件等。

2、配置下发/数据上报速度慢。主控板必须通过板间通讯才能访问单板，导致配置下发和数据收集依赖于板间通讯才能完成。

3、维护困难，需要维护多个单板软件与主机软件的版本配套关系。

与本发明相关的现有技术二采用并行集中控制的技术方案，该方案主要应用在一些小型的设备上，如图2所示，其核心是：将主控板201上的CPU数据线、地址线、片选读写等所有控制总线通过CPU并行控制总线分配母板202走线全部送到需要控制的单板203上。每块单板至少需要连接40根以上的控制总线。主控板201通过直接读写控制单板203上的芯片204。

由上述方案可以看出，采用并行集中控制的方案只需要在主控板上配置一套BIOS和主机软件。但是采用这种方案存在另外问题：

1、因为CPU控制总线数量非常多，数据线、地址线、片选读写线一共有四十多根，需要占用单板非常多的母板连接器资源，采用并行集中控制的方案只能用于板位较少的系统，因此可扩展性差。

2、控制总线在母板上走线一般只能采用一驱多的方式，信号则受到驱动能力的限制，信号质量难控制。

通过上述分析可以看出，目前所用的两种主要控制方式都各有利弊，如

果采用分散控制方式，则每块单板上都需要设置CPU小系统和板间通讯系统，除了增加许多物料成本之外，还要投入很多软件开发/维护成本。并且主控板通过板间通讯访问单板，导致配置下发和数据上报受到板间通讯系统的限制。但是如果采用并行集中控制，母板走线比较困难，每个板位都需要四十多根控制总线，需要大量的单板连接器，可扩展性差，并且控制总线在母板上走线一般只能采用一驱多的方式对驱动能力要求很高，信号质量很难控制。

## 发明内容

本发明的目的是提供一种实现中央控制单元对单板集中控制的方法，通过本发明，解决了现有技术二中必须使用很多控制总线才能实现对单板的集中控制而导致必须投入很多成本和维护，解决了现有技术二中一驱多的方式对驱动能力要求很高，信号质量也很难控制的问题；另外通过本发明解决了现有技术一由于需要在每块单板上都放置有CPU系统以及必须通过板间通讯才能访问单板而导致的成本高、配置下发/数据上报速度慢、维护困难等问题。

本发明的目的是通过以下技术方案实现的：

本发明提供一种实现中央控制单元对单板集中控制的方法，包括：

A、构造串行控制总线的帧结构，根据所述帧结构将中央控制单元输出的读写、地址、数据并行信号转换到串行控制总线上，并根据所述串行控制总线的帧结构产生读/写帧头，或者包括读/写帧头的时钟信号；

B、基于所述串行控制总线实现中央控制单元对单板的集中控制。

其中，所述步骤A具体包括：

A23、根据所述帧结构将读写、地址信号转换到串行控制总线上，并根

据所述串行控制总线的帧结构产生读/写帧头；

A24、将所述的串行控制总线、读/写帧头、时钟信号送到被控制单板上进行处理；

或，

A25、根据所述帧结构将读写、地址信号转换到串行控制总线上，并根据所述串行控制总线的帧结构产生包括读/写帧头的时钟信号；

A26、将所述的串行控制总线、带读/写帧头的时钟信号送到被控制单板上进行处理。

其中，所述步骤B具体包括：

B1、将所述串行控制总线、带读/写帧头的时钟信号传送给单板；

B2、所述单板接收所述串行控制总线，利用带读/写帧头的时钟信号，根据串行控制总线的帧结构将所述串行控制总线转换成并行信号；

B3、所述单板用所述并行信号对单板上的芯片进行访问。

其中，当控制单板芯片进行写信息时：

所述步骤B1具体包括：

B11、将所述串行控制总线、带有写帧头的时钟信号传送给单板；

B12、根据所述串行控制总线帧结构中的地址信息确定访问的单板；

所述步骤B3具体包括：

B31、所述并行信号写入单板芯片，实现对单板的集中控制。

当控制单板进行读信息时，所述步骤B1具体包括：

B14、将所述串行控制总线、带读/写帧头的时钟信号传送给单板；

B15、根据所述串行控制总线帧结构的地址信息将串行控制总线切换到



对应的单板接收;

**B16**、将所述串行控制总线发送给对应的单板。

所述步骤**B15**具体包括:

**B151**、根据所述串行控制总线帧结构的地址信息确定访问的板位;

**B152**、根据所述板位信息将串行总线切换到对应的单板。

当控制单板进行读信息时, 所述步骤**B3**具体包括:

**B35**、所述单板根据所述串行控制总线帧结构中的地址信息判断是否访问本单板芯片, 若是, 则根据读帧头读出单板芯片中的数据, 然后执行步骤**B36**; 否则, 不作处理;

**B36**、根据所述串行控制总线的帧结构将所述读出的数据放入串行控制总线并将所述串行控制总线的方向切换为单板发送;

**B37**、将串行控制总线上的数据转换成并行信号并发送给中央控制单元, 实现对单板的集中读控制。

本发明提供的一种实现中央控制单元对单板集中控制的系统, 包括中央控制单和单板, 系统将中央控制单元发送的并行信号转换到串行控制总线上, 基于所述串行控制总线实现中央控制单元对单板的集中控制;

且所述系统还包括: 第一控制总线串并处理单元和串并总线分配单元:

所述第一控制总线串并处理单元将中央控制单元传送的并行信号转换到串行总线上, 并根据所述串行控制总线的帧结构产生读/写帧头, 或产生包括读/写帧头的时钟信号, 然后通过所述串并总线分配单元将所述串行控制总线发送给单板。

其中, 所述系统还包括第二控制总线串并处理单元;

所述第二控制总线串并处理单元将单板接收到的所述串行控制总线转换成并行信号，并根据读/写帧头控制单板芯片进行读写。

其中，所述中央控制单元包括：CPU或单片机。

由上述本发明提供的技术方案可以看出，由于本发明首先将并行信号按照一定的帧格式转换到串行控制总线上，然后基于所述串行控制总线实现中央控制单元对单板的集中控制，所以通过本发明，能够使用较少的控制总线实现中央控制单元对单板的集中控制，可扩展性好，并且能够在母板上采用一对一的驱动，从而增强系统可靠性；当板位不多时，也可以在母板上采用一驱多走线，信号质量容易控制，解决了现有技术二中必须使用很多控制总线才能实现对单板的集中控制而导致的必须投入很多成本和维护，解决了现有技术二中只能采用一驱多的方式对驱动能力要求很高，信号质量也很难控制的问题；并且通过本发明可以很好的实现CPU集中控制，无需在每块单板上都放置有CPU系统，无需通过板间通讯也能访问单板，解决了现有技术一中由于需要在每块单板上都放置有CPU系统以及必须通过板间通讯才能访问单板而导致的成本高、配置下发/数据上报速度慢、维护困难等问题。

## 附图说明

图1为现有技术一中分散控制的示意图；

图2为现有技术二中并行集中控制的示意图；

图3为本发明所述方法的流程图；

图4为本发明中串行集中控制的示意图；

图5为本发明串行集中控制的原理框图。

## 具体实施方式

本发明提供了一种实现中央控制单元对单板集中控制的方法，其核心是

将数量非常多的并行信号按照特定的帧结构串并转换到高速串行总线上用来实现CPU读写被控单板芯片，从而实现中央控制单元对单板的集中控制。另外，本发明通过基于串行控制总线实现中央控制单元对单板的集中控制的方法，能够在母板走线上采用一对一的方式，从而能够采用较少的控制总线实现中央控制单元对单板的集中控制，解决了上述成本、连接器、板间通讯、驱动能力、信号质量等一系列问题。

本发明所述方法提供的实施例，首先将并行信号转换到串行控制总线上；然后基于所述串行控制总线实现中央控制单元对单板的集中控制。

例如，如果单板的控制地址范围设为64Mbytes，那么控制线有26根地址线、16根数据线、2根读写线、至少1根片选线，一共45根控制总线。在主控板与单板之间，通过采用高速的串行总线，将45根控制总线根据约定的帧格式转换到串行总线上传输，再由主控板输出读/写帧头和高速时钟信号作为单板接收串行控制总线的同步时钟和帧头，单板接收到所述串行控制总线上的信息后，再将串行控制总线上的信息转换成并行信号，并根据所述帧头以及所述并行信号对单板芯片进行读写操作，进而实现中央处理单元对单板的集中控制。因为主控控制存在读和写两个操作，所以串行总线采用双向控制。

本发明实施例的具体实现过程如图3所示，包括：

步骤S501，构造串行控制总线的帧结构。

本发明通过一种约定的串行控制总线的帧结构将中央处理单元传送的并行信号转换到串行控制总线上，所述帧结构中包括读/写标志位和地址信息位。举例如下：

如果采用一根串行总线的话，则可以约定串行控制总线帧结构为表一所示，在帧结构的开头部分是读写标志，后面分别是地址和数据。

/写标志位	/读标志位	地址0、1、2、3.....	数据0、1、2、3.....
-------	-------	----------------	----------------

表一

为了保证可靠性，帧格式中也可以插入校验位，如表二所示：

/写标志位	/读标志位	地址0、1、2、 3.....	校验位 0	数据0、1、2、 3.....	校验位1
-------	-------	--------------------	----------	--------------------	------

表二

如果采用两根串行总线的话，即需要将读写、数据、

地址等并行信号分配到两根串行控制总线上，则可以约定所述串行控制总线的帧结构如表三所示，在帧结构的开头部分为读写标志，后面分别为地址信息和数据信息，并根据需要可选地加入校验位。

/写标志位	地址0、2、4、6.....	校验位0	数据0、2、4、6.....	校验位2
/读标志位	地址1、3、5、7.....	校验位1	数据1、3、5、7.....	校验位3

表三

串行总线数量越多访问单板的速度越快，串行总线的数量还可以是三根、四根或者更多，随着串行控制总线的增加，所述帧结构的格式作相应的变化。但是因为中央处理单元，如CPU的读写速度相对固定，即使串行总线再多，也不可能超过CPU固有的读写速度，而且还有可能导致串并处理的过程相对复杂些。因此通常不设置较多的串行控制总线。

步骤S502，根据所述帧结构将中央控制单元输出的并行信号转换到串行控制总线上。通常对单板的访问包括两个过程：其一是将中央处理单元传送的数据信息写入单板芯片中；其二是读取单板芯片上的数据，并将所读取的数据传送给中央处理单元。

在将数据写入单板芯片的过程中，所述步骤S502具体包括：根据所述帧结构将中央控制单元输出的读写、地址和数据信息等并行信号转换到串行控制总线上。

在读取单板芯片上的数据，并将所读取的数据传送给中央控制单元的过程中，所述步骤S502具体包括：根据所述帧结构将中央控制单元输出的读写、地址信号转换到串行控制总线上并产生读帧头；然后将所述串行控制总线的方向切换为中央控制单元收并转入等待周期。

经过上述将所述并行信号转换到串行控制总线上后，本发明就能够基于

所述串行控制总线实现中央控制单元对单板的集中控制。具体实现过程包括：

步骤S503，将所述串行控制总线传送给单板；

步骤S504，所述单板接收所述串行控制总线，根据串行控制总线的帧结构的信息将所述串行控制总线转换成并行信号；

步骤S505，根据串行控制总线的帧结构及所述并行信号对单板进行访问。

在将数据写入单板芯片的过程中：

所述步骤S503具体包括：

首先将所述串行控制总线传送给单板；然后根据所述帧结构中的地址信息确定访问的单板。

所述步骤S505具体包括：

根据所述并行信号将所述并行信号中的数据信息写入所述单板芯片中；根据帧结构中的写标志和地址信息将所述并行信号写入单板芯片，实现对单板的集中控制。

在读取单板芯片上的数据，并将所读取的数据传送给中央控制单元的过程中：

步骤S503具体包括：

步骤一，基于所述串行控制总线将所述信号群发给单板；

步骤二，根据所述帧结构的地址信息确定访问的板位，根据所述板位将串行控制总线切换到对应的单板接收；

步骤三，基于所述串行控制总线将所述信号发送给对应的单板。

所述步骤S505具体包括：

步骤一，所述单板根据所述帧结构中的地址信息判断是否访问本单板芯

片，若是，则根据帧结构中的读标志读出单板芯片中的数据，然后执行步骤二；否则，不作处理；

步骤二，将所述读出的数据根据所述帧结构放入串行控制总线并将所述串行控制总线的方向切换为单板发送；

步骤三，将所述串行控制总线上的数据转换成并行信号发送给中央控制单元，实现对单板的集中控制。

本发明提供一种实现中央控制单元对单板集中控制的系统，如图4所示，该系统包括主控板310、单板320，在所述主控板310上设置中央处理单元311，如CPU系统或单片机、控制总线串并处理单元312和串行总线分配单元313；在所述单板320上设置控制总线串并处理单元321和被控芯片322。主控板上的控制总线串并处理单元312和串行总线分配单元313、单板上的控制总线串并处理单元321均可以采用逻辑芯片（如现场可编程门阵列（FPGA）或者复杂可编程逻辑器件（CPLD）等）实现。

本发明在主控板310和单板320上各采用串并转换处理单元进行收发数据。所述主控板310将中央处理单元311传送的数据信号、地址信号和读写控制信号等并行信号首先转换到串行控制总线上，并且产生读写帧头和时钟；所述单板320接收到主控板的串行总线后，根据帧结构转换成并行的控制总线（并行信号），进而读写被控芯片322。

下面结合本发明所述系统的原理框图对本发明所述的系统作详细的描述。如图5所示：

在对单板进行写操作时，主控板的控制总线串并处理单元根据串行控制总线的帧结构将中央处理单元传送的读写、地址、数据等并行信号转换到串行控制总线上并产生写帧头和时钟，或利用缺口时钟产生时钟（所述时钟包括帧头），然后通过串行总线分配单元将信号群发给所有单板，并监控帧结构中的读写标志和地址，根据所述帧结构中的地址访问的板位信息（即访问哪

个单板);单板的控制总线串并处理单元收到帧头和串行控制总线后,根据所述串行控制总线的帧结构和时钟把串行控制总线转换成并行信号,并根据所述并行信号中的写标志和地址将并行信号中的数据信息写入所选中的单板芯片寄存器。

当控制单板进行读信息时,在读时,要分为两个阶段来操作,第一个阶段是主控板向单板送读写标志和地址,第二个阶段是主控板接收单板送来的数据。具体包括:

首先主控板的控制总线串并处理单元将读写、地址信号根据帧结构转换到串行总线上并产生读帧头和时钟,或利用缺口时钟产生时钟(所述时钟包括帧头),送给串行总线分配单元,然后通过切换单元一(如图5中①)将串行总线的方向改为主控板接收,并进入等待周期;由串行总线分配单元将信号群发给所有单板,并监控帧结构中的读写标志和地址,判断出访问哪个板位,并根据板位信息,通过切换单元二(如图5中②)将串行控制总线改为从该板位选收;单板的控制总线串并处理单元收到帧头和串行控制总线后,根据串行控制总线的帧结构和时钟进行串并转换,根据解下来的读写标志和地址判断是否是访问本板芯片,如果不是则不处理,如果是读本板芯片则根据地址读出数据,并把数据根据串行控制总线的帧结果放入串行控制总线上,然后通过切换单元三(如图5中③)将串行控制总线的方向改为单板发送;这时串行控制总线就完全变成从单板到主控板的方向了,本发明的主控板的等待周期结束在单板更改串行控制总线方向之后,因此主控板等待周期结束后,根据帧结构和时钟将单板送来的数据接收下来,然后通过控制总线串并处理单元将接收到的数据等信息送给中央处理单元,如CPU或单片机。

另外,本发明也可以通过串行总线访问单板复杂可编程逻辑器件(Complex Programmable Logical Device; CPLD)来模拟中央处理单元的输入/输出(I/O)管脚,用于实现现场可编程门阵列(Field Programmable

Gate Array ; FPGA) 加载、SPI、IIC等接口。

通过本发明所提供的系统，能够采用较少的控制总线实现中央控制单元对单板的集中控制，解决了现有技术中成本、连接器、板间通讯、驱动能力、信号质量等一系列问题。

以上所述，仅为本发明较佳的具体实施方式，但本发明的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本发明揭露的技术范围内，可轻易想到的变化或替换，如，不局限于将串行控制总线串并处理单元和串行总线分配单元设置在主控板内、不局限于将串行控制总线串并处理单元设置在单板内等，都应涵盖在本发明的保护范围之内。因此，本发明的保护范围应该以权利要求的保护范围为准。



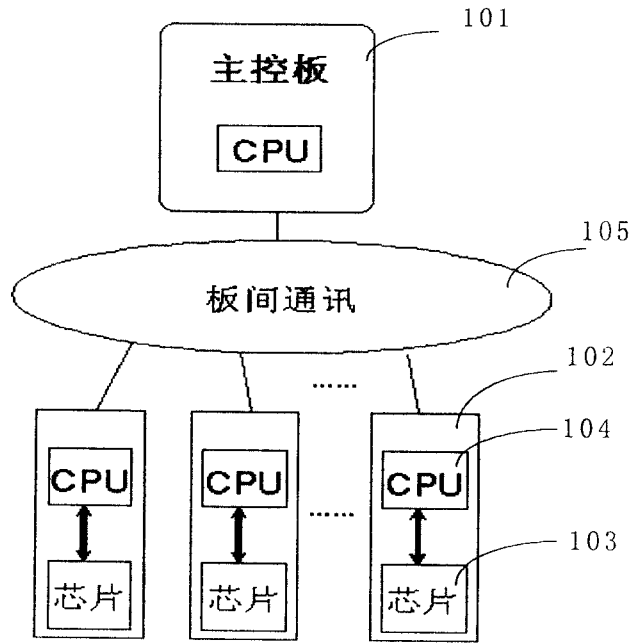


图1

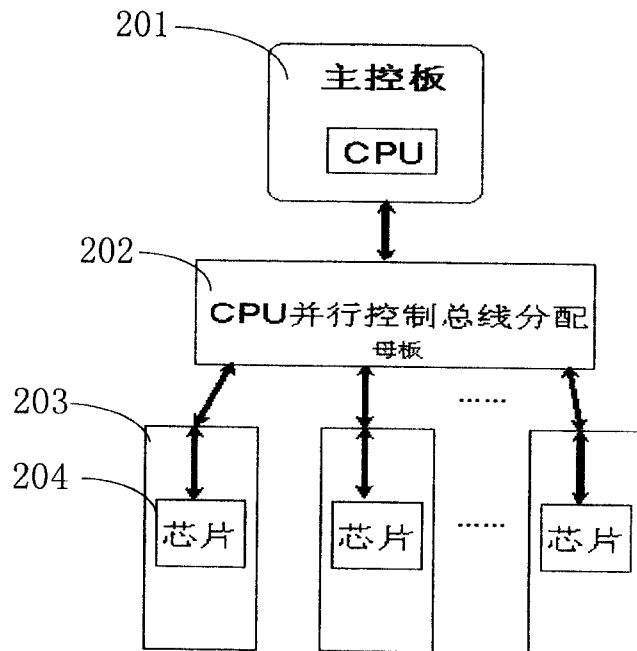


图2

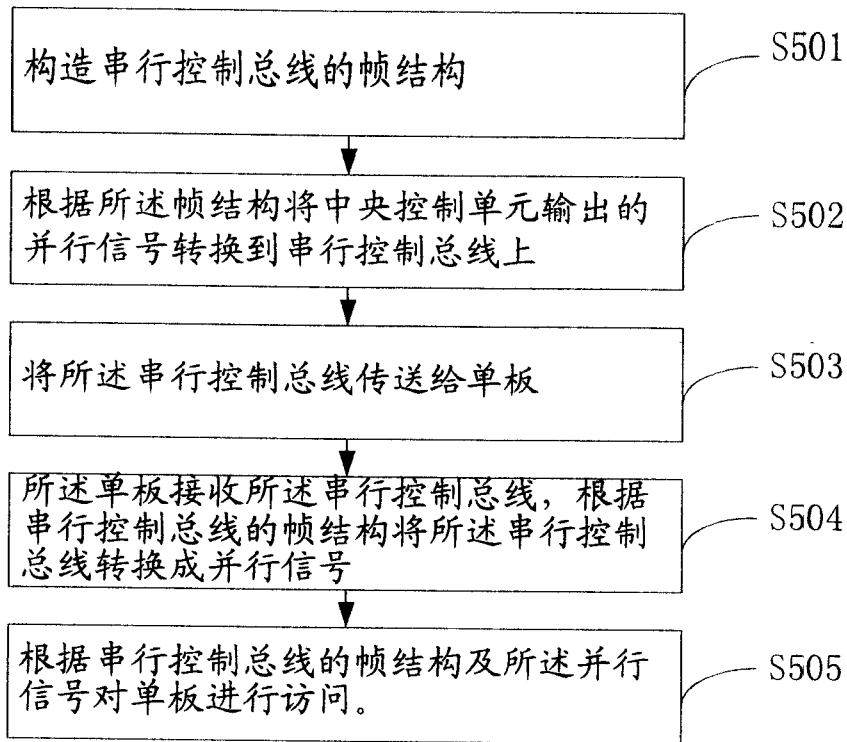


图3

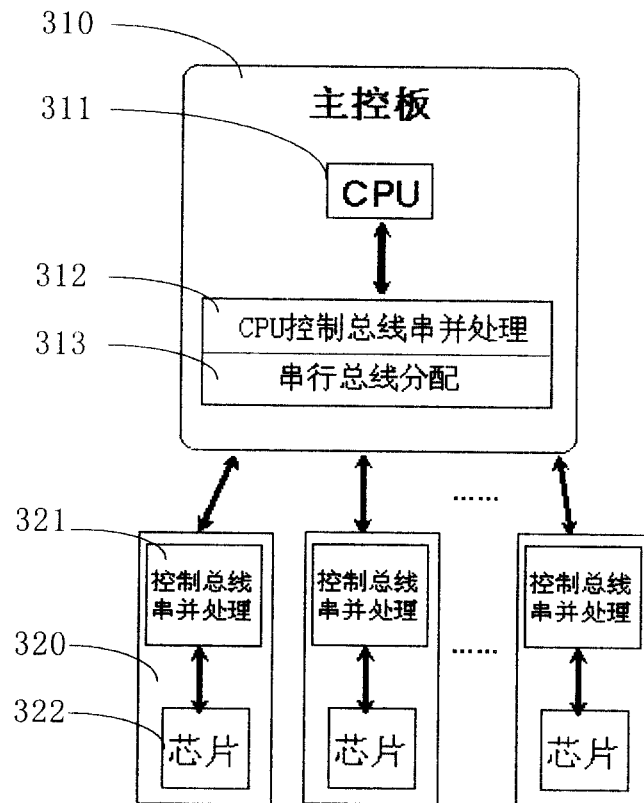


图4

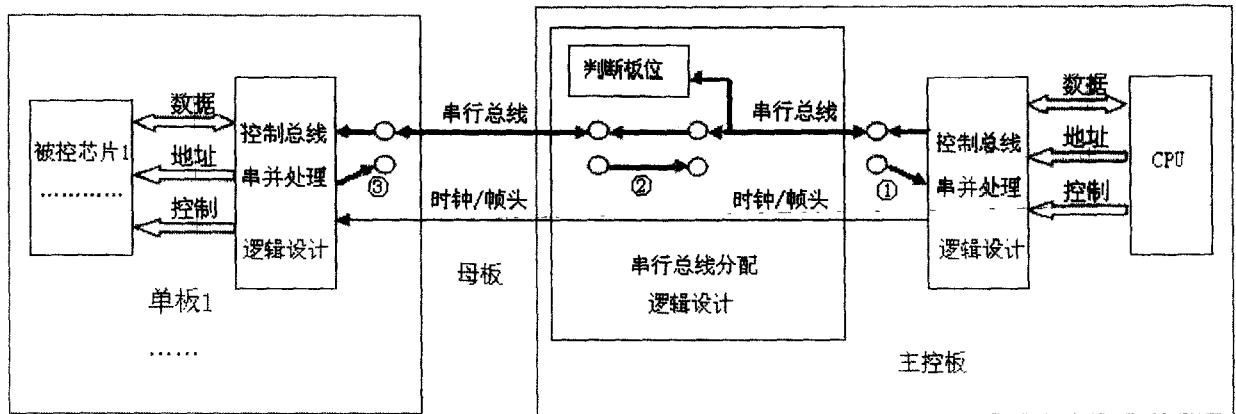


图5