



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0099555
(43) 공개일자 2011년09월08일

(51) Int. Cl.

H01L 23/12 (2006.01)

(21) 출원번호 10-2010-0018644

(22) 출원일자 2010년03월02일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

임충빈

충청남도 천안시 서북구 두정동 한성3차필하우스
아파트 101동 605호

목승곤

경기도 수원시 영통구 영통동 삼익아파트 323동
1601호

(뒷면에 계속)

(74) 대리인

박상수

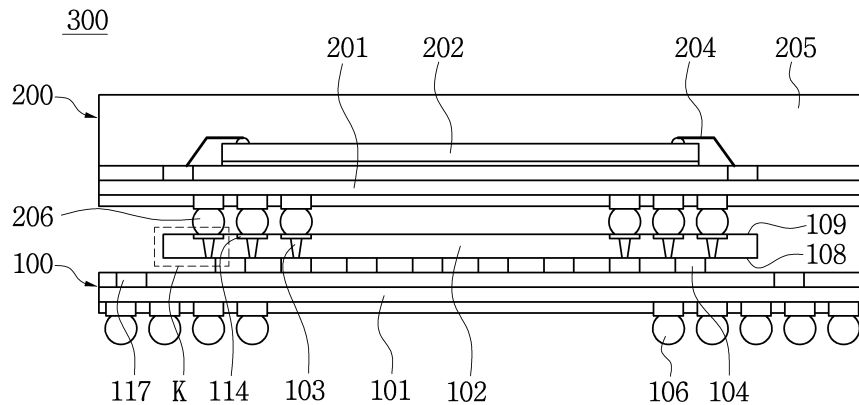
전체 청구항 수 : 총 10 항

(54) 적층형 반도체 패키지

(57) 요약

적층형 반도체 패키지 및 그 제조방법을 제공한다. 제 1 인쇄 회로 기판과 상기 제 1 인쇄 회로 기판에 실장되는 제 1 반도체 소자를 구비하는 제 1 반도체 패키지와, 상기 제 1 반도체 패키지에 적층되고, 제 2 인쇄 회로 기판과 상기 제 2 인쇄 회로 기판에 실장되는 제 2 반도체 소자를 구비하는 제 2 반도체 패키지를 제공한다. 상기 제 1 반도체 소자를 관통하여 상기 제 2 반도체 패키지와 상기 제 1 인쇄 회로 기판을 전기적으로 연결하는 적어도 하나의 제 1 관통전극을 제공한다.

대표도 - 도1



(72) 발명자

박진우

서울특별시 구로구 개봉동 142-16

최대영

전라남도 여수시 문수동 원앙아파트 803동 1301호

김미연

충청남도 아산시 배방읍 삼성전자(주)온양사업장

723번지 소망동 607호

특허청구의 범위

청구항 1

제 1 인쇄 회로 기판과 상기 제 1 인쇄 회로 기판에 실장되는 적어도 하나의 제 1 반도체 소자를 포함하는 제 1 반도체 패키지와; 그리고

상기 제 1 반도체 패키지에 적층되고, 제 2 인쇄 회로 기판과 상기 제 2 인쇄 회로 기판에 실장되는 적어도 하나의 제 2 반도체 소자를 포함하는 제 2 반도체 패키지를 포함하고,

상기 제 1 반도체 소자를 관통하여 상기 제 2 반도체 패키지와 상기 제 1 인쇄 회로 기판을 전기적으로 연결하는 적어도 하나의 제 1 관통전극을 포함하는 적층형 반도체 패키지.

청구항 2

제 1항에 있어서,

상기 제 1 반도체 패키지는 상기 제 1 반도체 소자와 상기 제 1 인쇄 회로 기판 사이에 형성되며, 상기 제 1 관통전극과 상기 제 1 인쇄 회로 기판을 전기적으로 연결하는 제 1 접속 수단을 더 포함하는 적층형 반도체 패키지.

청구항 3

제 1항에 있어서,

상기 제 1 반도체 패키지는 상기 제 1 반도체 소자 및 상기 제 1 인쇄 회로 기판의 적어도 일부를 덮는 제 1 몰딩 구조를 더 포함하고,

상기 몰딩 구조를 관통하여 상기 제 2 반도체 패키지와 상기 제 1 인쇄 회로 기판을 전기적으로 연결하는 적어도 하나의 제 1 도전성 패턴을 더 포함하는 적층형 반도체 패키지.

청구항 4

제 1항에 있어서,

상기 제 2 반도체 패키지는 상기 제 1 반도체 패키지와 마주하는 면에 상기 제 1 관통 전극과 전기적으로 접속하는 적어도 하나의 제 2 외부 접속 수단을 더 포함하는 적층형 반도체 패키지.

청구항 5

제 4항에 있어서,

상기 제 1 반도체 패키지와 상기 제 1 반도체 패키지 사이에 개재되어 상기 제 2 외부 접속 수단을 덮는 제2 몰딩 구조를 더 포함하는 적층형 반도체 패키지.

청구항 6

제 1항에 있어서,

상기 제 1 반도체 소자는 상기 제 1 인쇄 회로 기판과 마주하는 제 1면 및 상기 제 2 반도체 패키지와 마주하는 제 2면을 가지고,

상기 제 1면과 상기 제 2면 중 어느 한 면에 재배선(Re-Distribution layer; RDL)이 형성된 적층형 반도체 패키지.

청구항 7

제 6항에 있어서,

상기 제 1 반도체 소자는 제 2 면에 적어도 하나의 접속 랜드 및 본드 패드를 가지고,

상기 재배선은 상기 제 2 면에 형성되어 상기 접속 랜드 및 상기 본드 패드를 연결하며,

상기 제 1 반도체 패키지는 상기 본드 패드와 상기 제 1 인쇄 회로 기판을 전기적으로 연결하는 본딩 와이어를 더 포함하는 적층형 반도체 패키지.

청구항 8

제 1항에 있어서,

상기 제 1 반도체 소자는 제 1 면에 적어도 하나의 접속 패드를 가지며,

상기 제 1 반도체 소자는 상기 제 1면에 형성되며 상기 관통 전극과 상기 접속패드를 연결하는 재배선을 더 포함하는 적층형 반도체 패키지.

청구항 9

제 1항에 있어서,

상기 제 1 반도체 패키지는 상기 제 1 반도체 소자에 적층되는 적어도 하나 이상의 제 3 반도체 소자를 더 포함하고,

상기 제 3 반도체 소자는 상기 제 3 반도체 소자를 관통하여 상기 제 2 반도체 패키지와 상기 제 1 반도체 소자를 전기적으로 연결하는 적어도 하나의 제 2 관통전극을 포함하는 적층형 반도체 패키지.

청구항 10

제 1항에 있어서,

상기 제 1 반도체 소자는 로직 칩이고, 상기 제 2 반도체 소자는 메모리 칩인 것을 특징으로 하는 적층형 반도체 패키지.

명세서

기술분야

[0001] 본 발명은 반도체에 관한 것으로, 보다 구체적으로는 여러 개의 반도체 패키지들을 접속한 적층형 반도체 패키지에 관한 것이다.

배경기술

[0002] 최근 전자 산업의 발전이 급속히 이루어지고 있으며, 사용자의 요구에 따라 전자 제품은 더욱더 소형화, 경량화 및 다기능화가 요구되고 있다. 이러한 요구에 따라 개발된 전자 제품 조립 기술의 하나로서, 동종 또는 이종의 반도체 패키지들을 하나의 단위 모듈로 구현하는 기술이 개발되고 있다. 이러한 추세에 따라 개발된 새로운 패키지 기술의 하나가 패키지-온-패키지(PoP) 기술이다.

[0003] 패키지-온-패키지(PoP)는 동종 또는 이종의 복수의 반도체 패키지를 수직 적층 하여 수평적 실장 면적을 줄임으로써 집적도를 높인 패키지를 말한다. 따라서 패키지-온-패키지(PoP)를 통해 전자 제품의 소형화가 가능하게 되므로 패키지-온-패키지(PoP)를 구현하는데 채택될 수 있고, 구조적 및/또는 전기적 특성을 개선할 수 있는 반도체 패키지의 필요성이 대두된다.

발명의 내용

해결하려는 과제

[0004] 본 발명은 종래 기술에서 요구되는 필요성에 부응하기 위하여 안출된 것으로, 본 발명의 목적은 상 하부 패키지 연결에 필요한 면적을 줄여 구조적 및/또는 전기적 특성을 개선할 수 있는 적층형 반도체 패키지를 제공함에 있다.

[0005] 본 발명의 다른 목적은 상기 적층형 반도체 패키지 제조 방법을 제공함에 있다.

과제의 해결 수단

- [0006] 상기 목적을 달성하기 위한 본 발명의 실시 예에 따른 반도체 패키지는 관통전극을 이용하여 적층된 상 하부 패키지가 전기적으로 연결된다.
- [0007] 또한, 본 발명의 실시 예에 따른 반도체 패키지는, 제 1 인쇄 회로 기판 및 상기 제 1 인쇄 회로 기판에 실장되는 제 1 반도체 소자와; 상기 제 1 반도체 패키지에 적층되고, 제 2 인쇄 회로 기판과 상기 제 2 인쇄 회로 기판에 실장되는 제 2 반도체 소자를 포함하는 제 2 반도체 패키지를 포함하고, 상기 제 1 반도체 소자를 관통하여 상기 제 2 반도체 패키지와 상기 제 1 인쇄 회로 기판을 전기적으로 연결하는 적어도 하나의 제 1 관통전극을 포함한다.
- [0008] 본 실시예에 있어서, 상기 제1 반도체 패키지는 상기 제 1 반도체 소자와 상기 제 1 인쇄 회로 기판 사이에 형성되며, 상기 제 1 관통전극과 상기 제 1 인쇄 회로 기판을 전기적으로 연결하는 제 1 접속 수단을 더 포함할 수 있다.
- [0009] 본 실시예에 있어서, 상기 제1 반도체 패키지는 상기 제 1 반도체 소자 및 상기 제 1 인쇄 회로 기판을 덮는 제 1 몰딩 구조를 더 포함할 수 있다.
- [0010] 본 실시예에 있어서, 상기 제 1 몰딩 구조는 상기 제 1 반도체 소자를 완전히 덮을 수도 있고, 적어도 한 면을 노출할 수도 있다.
- [0011] 본 실시예에 있어서, 상기 제1 반도체 패키지는 상기 제 1 몰딩 구조를 관통하여 상기 제 2 반도체 패키지와 상기 제 1 인쇄 회로 기판을 전기적으로 연결하는 제 1 관통홀을 더 포함할 수 있다.
- [0012] 본 실시예에 있어서, 상기 제 2 반도체 패키지는 상기 제 1 반도체 패키지와 마주하는 면에 상기 제 1 반도체 패키지와 전기적으로 접속하는 제 2 외부 접속수단을 더 포함할 수 있다.
- [0013] 본 실시예에 있어서, 상기 제 2 외부 접속 수단은 상기 제 1 관통전극 또는 상기 제 1 관통홀과 상기 제 2 반도체 패키지 사이에 형성될 수 있다.
- [0014] 본 실시예에 있어서, 상기 제1 반도체 패키지와 상기 제 2 반도체 패키지 사이에 개재되어 상기 제 2 외부 접속 수단을 덮는 제 2 몰딩 구조를 더 포함할 수 있다.
- [0015] 본 실시예에 있어서, 상기 제1 반도체 소자는 상기 제 2 반도체 패키지와 마주하는 제 1 면 및 상기 제 1 인쇄 회로 기판과 마주하는 제 2 면을 가지고, 상기 제 1 면과 상기 제 2면 중 어느 한 면에 형성된 재배선을 더 포함할 수 있다.
- [0016] 본 실시예에 있어서, 상기 제 1 반도체 패키지는 상기 제 1 반도체 소자와 상기 제 1 인쇄 회로 기판을 전기적으로 연결하는 본딩 와이어를 더 포함할 수 있다.
- [0017] 본 실시예에 있어서, 상기 제 1 반도체 패키지 또는 상기 제 2 반도체 패키지는 상기 제 1 반도체 소자 또는 상기 제 2 반도체 소자에 적층되는 적어도 하나 이상의 제 3 반도체 소자를 더 포함할 수 있다.
- [0018] 본 실시예에 있어서, 상기 제 1 반도체 소자는 로직 칩이고, 상기 제 2 반도체 소자는 메모리 칩일 수 있다.
- [0019] 본 실시예에 있어서, 상기 제 1 반도체 패키지 및 상기 제 1 반도체 패키지는 개별적으로 제조되어 적층될 수 있다.
- [0020] 본 실시예에 있어서, 상기 제 2 몰딩 구조는 상기 제 1 반도체 패키지 및 상기 제 2 반도체 패키지를 적층한 후 형성될 수 있다.
- [0021] 또한, 본 발명의 실시 예들은 관통전극을 갖는 반도체 패키지를 제공한다. 상기 반도체 패키지는 하부패키지, 상기 하부패키지에 부착된 상부기판, 및 상기 하부패키지 및 상기 상부기판 사이에 형성된 다수의 도전성 패턴들을 구비한다. 상기 하부패키지는 하부기판, 상기 하부기판에 장착된 제 1 반도체 칩, 및 상기 제 1 반도체 칩을 관통하여 상기 하부기판에 전기적으로 접속된 다수의 제 1관통전극들을 갖는다. 상기 상부기판에 제 2 반도체 칩이 장착된다. 상기 도전성 패턴들은 상기 제 1관통전극들에 접속되고, 상기 도전성 패턴들은 모두 상기 제 1 반도체 칩에 정렬된다.
- [0022] 본 발명의 몇몇 실시 예들에 있어서, 상기 하부기판의 폭은 상기 제 1 반도체 칩의 폭에 100 μm 를 더한 값보다 작을 수 있다. 더 나아가서, 상기 하부기판의 폭은 상기 제 1 반도체 칩과 실질적으로 동일할 수 있다.
- [0023] 다른 실시 예들에 있어서, 상기 하부기판의 일면에 형성된 다수의 외부단자들이 제공될 수 있다. 상기

외부단자들은 제 1 피치(first pitch)를 갖도록 배열되고, 상기 도전성 패턴들은 상기 제 1 피치(first pitch)와 다른 제 2 피치(second pitch)를 갖도록 배열될 수 있다. 상기 제 2 피치(second pitch)는 상기 제 1 피치(first pitch)보다 작을 수 있다.

[0024] 또 다른 실시 예들에 있어서, 상기 외부단자들은 솔더 볼(solder ball), 도전성 범프(conductive bump), 도전성 스페이서(conductive spacer), 핀 그리드 어레이(pin grid array; PGA), 리드 그리드 어레이(lead grid array; LGA), ACF(Adhesive Conductive Film), 및 이들의 조합으로 이루어진 일군에서 선택된 하나일 수 있다. 상기 도전성 패턴들은 솔더 볼(solder ball), 도전성 범프(conductive bump), 도전성 스페이서(conductive spacer), 핀 그리드 어레이(pin grid array; PGA), 리드 그리드 어레이(lead grid array; LGA), ACF(Adhesive Conductive Film), 및 이들의 조합으로 이루어진 일군에서 선택된 하나일 수 있다.

[0025] 또 다른 실시 예들에 있어서, 상기 제 2 반도체 칩은 적어도 하나의 제 2 관통전극을 구비할 수 있다. 상기 상부기판은 상기 하부기판과 동일한 폭을 갖거나 상기 하부기판보다 큰 폭을 갖는 것일 수 있다. 상기 제 2 반도체 칩은 본딩 와이어(bonding wire), 빔 리드(beam lead), 도전성 테이프(conductive tape), 및 이들의 조합으로 이루어진 일군에서 선택된 하나에 의하여 상기 상부기판에 전기적으로 접속될 수 있다.

발명의 효과

[0026] 본 발명의 실시 예에 의하면, 적층형 패키지에서 상하부 패키지의 전기적 연결을 반도체 소자 영역 내에 형성할 수 있어 패키지 사이즈 축소 및 고밀도 집적이 가능하다. 또한 상 하부 패키지 사이에 갭(gap)이 불필요하여 상부 패키지의 미세 피치 구현이 가능하다. 아울러 상 하부 패키지의 전기적 연결을 관통 전극을 이용함으로써 전기적 특성을 향상시킬 수 있다. 또한 테스트를 거쳐 양품의 패키지를 선별하여 적층 함으로써 수율을 향상시킬 수 있다.

도면의 간단한 설명

- [0027] 도 1은 본 발명의 제 1 실시예에 따른 적층형 반도체 패키지의 단면도.
- 도 2는 도 1에 도시된 관통 전극의 확대도.
- 도 3은 도 1에 도시된 반도체 소자의 평면도.
- 도 4는 본 발명의 제 2 실시예에 따른 재배선이 형성된 반도체 소자의 평면도.
- 도 5 내지 도 7은 본 발명의 제 3 실시예에 따른 몰딩 구조가 형성된 적층형 반도체 패키지의 단면도.
- 도 8은 본 발명의 제 4 실시예에 따른 적층형 칩이 형성된 적층형 반도체 패키지의 단면도.
- 도 9 및 도 10은 본 발명의 제 5 실시예에 따른 관통비아가 형성된 적층형 반도체 패키지의 단면도.
- 도 11 및 도 12는 본 발명의 제 6 실시예에 따른 적층된 패키지 사이에 몰딩 구조가 형성된 적층형 반도체 패키지의 단면도.
- 도 13 내지 도 15는 본 발명의 제 7 실시예에 따른 본딩 와이어가 형성된 적층형 반도체 패키지의 단면도.
- 도 16 내지 도 18은 본 발명의 제 8 실시예에 따른 적층형 반도체 패키지의 제조 방법을 보여주는 단면도
- 도 19는 본 발명의 제 9 실시예에 따른 적층형 반도체 패키지의 단면도.
- 도 20은 본 발명의 제 10 실시 예에 따른 전자 장치를 도시한 사시도.
- 도 21은 본 발명의 제 11 실시예에 따른 전자 장치의 시스템 블록도.

발명을 실시하기 위한 구체적인 내용

[0028] 이하, 첨부한 도면을 참조하여 본 발명의 실시 예에 따른 적층형 반도체 패키지 및 그 제조 방법에 대해 상세히 설명한다. 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는바, 특정 실시 예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다. 첨부된 도면에 있어서, 구조물들의 치수는 본 발명의 명확성을 기하기 위하여 실제보다 확대하여 도시한 것이다.

- [0029] 제 1, 제 2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되는 것은 아니다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제 1 구성요소는 제 2 구성요소로 명명될 수 있고, 유사하게 제 2 구성요소는 제 1 구성요소로 명명될 수 있다.
- [0030] 본 출원에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.
- [0031] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미가 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미가 있는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0032] [실시예 1]
- [0033] 도 1 내지 3은 본 발명의 일 실시 예에 따른 반도체 패키지를 도시한다. 도 1은 본 발명의 일 실시 예에 따른 반도체 패키지의 단면도이다. 도 2는 도 1의 K 부분의 확대도이며, 도 3은 반도체 소자 일면의 평면도이다.
- [0034] 도 1 및 도 2를 참조하면, 본 실시 예에 따른 적층형 반도체 패키지(300)는 제 1 반도체 패키지(100) 및 상기 제 1 반도체 패키지(100)에 적층된 제 2 반도체 패키지(200)를 포함한다. 상기 제 1 반도체 패키지(100)는 제 1 인쇄 회로 기판(101) 및 상기 제 1 인쇄 회로 기판(101)의 일면에 실장되는 제 1 반도체 소자(102)를 포함한다. 상기 제 1 인쇄 회로 기판(101)은 상기 제 1 인쇄 회로 기판(101) 내부 또는 외부에 형성된 배선 패턴(117)을 포함한다. 상기 제 1 반도체 소자(102)가 반도체 칩인 경우 상기 제 1 인쇄 회로 기판(101)은 패키지 기판일 수 있으며, 상기 제 1 반도체 소자(102)가 칩 스케일 패키지(Chip Scale Package, CSP)일 경우는 패키지 실장 기판일 수 있다.
- [0035] 본 발명의 몇몇 실시 예에서, 상기 제 1 인쇄 회로 기판(101)은 경성인쇄회로기판(rigid printed circuit board), 연성인쇄회로기판(flexible printed circuit board), 및 이들의 조합으로 이루어진 일군에서 선택된 하나일 수 있다.
- [0036] 상기 제 1 반도체 소자(102)는 상기 제 1 기판을 향하는 제 1면(108) 및 상기 제 1 면과 반대방향을 향하고 상기 제 2 반도체 패키지(200)를 향하는 제 2 면(109)을 가지며, 상기 제 1면(108)과 제 2면(109) 사이에서 상기 제 1 반도체 소자(102)를 관통하여 형성되는 제 1 관통전극(103)을 가진다. 상기 제 1 관통전극(103)은 상기 제 1 반도체 소자(102) 내부에 형성되는 집적 회로부(미도시) 디자인에 따라 위치가 정해질 수 있다. 상기 집적회로부가 제 1 반도체 소자(102)의 중앙부에 형성되는 경우 상기 제 1 관통전극(103)은 상기 제 1 반도체 소자(102)의 가장자리에 형성될 수 있으며, 상기 제 1 반도체 소자(102)의 중앙부에서 내부의 집적 회로부(미도시)가 형성되지 않은 영역에 형성될 수 있다. 상기 제 1 관통전극(103)을 통해 상기 제 2 반도체 패키지(200)와 상기 제 1 반도체 패키지(100)가 전기적으로 연결된다. 상기 제 1 관통전극(103)은 상기 제 1 반도체 소자(102)의 형성 과정 또는 형성 후 추가 공정을 통해 웨이퍼 레벨에서 형성될 수 있다.
- [0037] 상기 제 1 반도체 소자(102)는 상기 제 1 인쇄 회로 기판(101)상에 와이어 본딩 또는 플립 칩 방식으로 전기적으로 연결될 수 있다. 플립 칩 방식으로 연결되는 경우, 도 1 및 도 2에서와 같이 제 1 반도체 소자(102)의 제 1면(108)에 플립 칩 접속 패드(115) 및 상기 플립 칩 접속 패드(115)에 접속된 제 1 접속 수단(104)을 더 포함할 수 있다. 상기 제 1 접속 수단(104)은 솔더 범프, 솔더 볼 등일 수 있다. 상기 제 1 접속 수단(104)은 상기 제 1 반도체 소자(102)에 형성된 상기 플립 칩 접속 패드(115)와 상기 제 1 인쇄 회로 기판(101)에 형성된 상기 배선 패턴(117)을 전기적으로 연결한다. 또한, 상기 제 1 접속 수단(104)은 상기 배선 패턴(117) 및 상기 제 1 관통전극(103) 사이에 형성될 수 있다. 이 경우에, 상기 제 1 접속 수단(104)은 상기 제 1 관통전극(103)의 표면(118)에 접촉될 수 있다.

- [0038] 상기 제 1 인쇄 회로 기판(101)은 상기 제 1 반도체 소자(102)가 실장되는 일면의 반대 면에 제 1 외부 접속 수단(106)을 더 포함할 수 있으며 상기 제 1 외부 접속 수단(106)을 통해 도 19와 같이 모듈 기판(1010)에 실장될 수 있다. 상기 제 1 반도체 소자(102)가 칩 스케일 패키지인 경우에는 상기 제 1 접속 수단(104)을 통해 모듈 기판에 직접 실장될 수도 있다. 몇몇 실시 예들에 있어서, 상기 제 1 외부 접속 수단(106)은 다수의 외부단자들일 수 있다. 상기 외부단자들은 솔더 볼(solder ball), 도전성 범프(conductive bump), 도전성 스페이서(conductive spacer), 핀 그리드 어레이(pin grid array; PGA), 리드 그리드 어레이(lead grid array; LGA), ACF(Adhesive Conductive Film), 및 이들의 조합으로 이루어진 일군에서 선택된 하나일 수 있다.
- [0039] 상기 제 2 반도체 패키지(200)는 제 2 인쇄 회로 기판(201) 및 상기 제 2 인쇄 회로 기판(201)에 실장되는 제 2 반도체 소자(202)를 포함한다. 상기 제 2 반도체 소자(202)는 제 2 접속 수단(204)을 통해 상기 제 2 인쇄 회로 기판(201)과 전기적으로 연결되며, 와이어 본딩 또는 플립 칩 방식을 통해 상기 제 2 인쇄 회로 기판(201)과 전기적으로 연결될 수 있으며 상기 제 2 반도체 소자(202)의 적어도 일면을 덮는 제 2 몰딩 구조(205)을 더 포함할 수 있다. 상기 몰딩 구조는 EMC(Epoxy Molding Compound)일 수 있다. 상기 제 2 인쇄 회로 기판(201)은 상기 제 2 반도체 소자(202)가 실장되는 일면의 반대 면에 제 2 외부 접속 수단(206)을 더 포함할 수 있으며 상기 제 2 외부 접속 수단(206)을 통해 상기 제 1 반도체 패키지(100)에 전기적으로 접속될 수 있다.
- [0040] 몇몇 실시 예들에 있어서, 상기 제 2 외부 접속 수단(206)은 다수의 도전성 패턴들일 수 있다. 상기 도전성 패턴들은 솔더 볼(solder ball), 도전성 범프(conductive bump), 도전성 스페이서(conductive spacer), 핀 그리드 어레이(pin grid array; PGA), 리드 그리드 어레이(lead grid array; LGA), ACF(Adhesive Conductive Film), 및 이들의 조합으로 이루어진 일군에서 선택된 하나일 수 있다. 상기 제 2 외부 접속 수단(206)은 상기 제 1 관통전극(103)을 통하여 상기 제 1 인쇄 회로 기판(101)에 전기적으로 접속될 수 있다.
- [0041] 도 3을 참조하면, 상기 제 1 반도체 소자(102)의 상기 제 2면(109)에 하나 이상의 접속 랜드(114)가 형성될 수 있으며 상기 제 2 외부 접속 수단(206)은 상기 접속 랜드(114)에 접속된다. 상기 접속 랜드(114)는 상기 제 1 관통전극(103) 상에 형성될 수 있으며 상기 제 1 관통전극(103)의 상기 제 1 반도체 소자(102)의 상기 제 2면(109)상의 노출면(119)일 수도 있다.
- [0042] [실시예 2]
- [0043] 도 4는 본 발명의 일 실시 예에 따른 반도체 패키지의 일부의 평면도이다. 본 실시예에 따른 적층형 반도체 패키지(300)에서, 상기 접속 랜드(114) 및 상기 플립 칩 접속 패드(115)는 상기 제 1 반도체 소자(102)의 제 1 관통 전극(103)이 형성되지 않은 지역에 형성될 수 있다. 이 경우 상기 제 1 반도체 소자(102)의 제 1면(108) 또는 제 2면(도 1의 109)에 상기 플립 칩 접속 패드(115) 또는 상기 볼랜드(114)와 상기 제 1 관통전극(103)을 전기적으로 연결하는 제 1 재배선(first re-distribution layer; 110)이 형성될 수 있다. 상기 제 1 재배선(110)은 상기 제 1 반도체 소자(102)의 형성과정에서 내부 배선(미도시)를 이용하거나 상기 제 1 반도체 소자(102) 형성 후 잉크젯 프린팅 등의 추가 공정을 통해 형성될 수 있다.
- [0044] [실시예 3]
- [0045] 도 5 내지 7은 본 발명의 일 실시 예에 따른 반도체 패키지의 단면도들이다. 도 5를 참조하면, 본 실시 예에 따른 적층형 반도체 패키지(400)에서 상기 제 1 반도체 패키지(100)는 상기 제 1 반도체 소자(102)의 적어도 일면을 덮는 제 1 몰딩 구조(105)을 더 포함한다. 상기 제 1 반도체 소자가 와이어 본딩 방식으로 연결되는 경우, 상기 제 1 몰딩 구조(105)는 상기 와이어(미도시)를 모두 덮을 수 있으며, 도 5와 같이 플립 칩 방식으로 연결되는 경우 언더필(Underfill)로 형성되어 상기 제 1 접속 수단(104)을 모두 덮을 수 있다. 도 6을 참조하면, 상기 제 1 몰딩 구조(105)는 상기 제 1 반도체 소자(102)의 제 2면(109)과 평탄하거나 이보다 낮게 형성되어 상기 제 2면이 노출되도록 형성될 수 있다. 도 7을 참조하면, 상기 제 1 몰딩 구조(105)이 상기 제 1 반도체 소자(102)의 제 2면(109)을 덮는 경우라도 상기 접속 랜드(114) 또는 상기 제 1 관통전극의 일면(118)은 노출되도록 개구부(120)가 형성될 수 있다. 이로써 상기 제 2 반도체 패키지(200)는 상기 개구부(120)를 통해 상기 제 1 관통전극(103)과 연결될 수 있다. 상기 개구부(120)는 금형을 이용하여 상기 제 1 몰딩 구조(105)과 동시에, 또는 레이저 드릴링이나 식각을 통해 상기 제 1 몰딩 구조(105) 형성 후에 형성될 수 있다.
- [0046] [실시예 4]
- [0047] 도 8은 본 발명의 일 실시 예에 따른 반도체 패키지의 단면도이다. 본 실시 예에 따른 적층형 반도체 패키지(500)에서, 상기 제 1 반도체 패키지(100)는 상기 제 1 반도체 소자(102)에 적층되는 제 3 반도체 소자(112)를 더 포함한다. 상기 제 3 반도체 소자(112)는 상기 제 3 반도체 소자(112)를 관통하여 형성되는 제 2 관통전극

(113)을 가지며 상기 제 2 관통전극(113)을 통하여 제 2 반도체 패키지(200)와 상기 제 1 반도체 패키지(100)가 전기적으로 연결될 수 있다. 상기 제 2 관통전극(113)을 통한 상기 제 2 반도체 패키지(200)와 상기 제 1 반도체 패키지(100)의 연결은 상기 제 1 관통전극(103)을 통한 상기 제 2 반도체 패키지(200)와 상기 제 1 반도체 패키지(100)의 연결과 유사할 수 있다. 상기 제 3 반도체 소자(112)가 상기 제 1 반도체 소자(102)와 상기 제 1 반도체 기판(101) 사이에 적층되는 경우, 상기 제 3 반도체 소자(112)는 제 2 관통전극(113)을 포함하지 않을 수 있다. 이 경우 제 3 반도체 소자(112)는 상기 제 1 반도체 소자(102)와 마주보는 면에 상기 제 1 관통전극(103)과 전기적으로 접속되는 배선을 더 포함할 수 있다. 상기 제 1 반도체 소자(102) 및 제 3 반도체 소자(112)는 동종 또는 이종의 반도체 소자일 수 있으며 적어도 하나는 로직 소자일 수 있다. 예를 들면, 상기 제 1 반도체 소자(102)는 로직 칩일 수 있다.

[0048] 상기 제 2 반도체 패키지(200)는 복수개의 제 2 반도체 소자들(202, 212)이 적층되어 형성될 수 있다. 상기 제 2 반도체 소자는 와이어 본딩 또는 플립 칩 방식으로 상기 제 2 인쇄 회로 기판(201)과 전기적으로 연결될 수 있으며, 상기 복수개의 제 2 반도체 소자들(202, 212)은 동종 또는 이종의 방식으로 연결될 수 있다. 와이어 본딩 방식으로 연결되는 경우, 본딩 와이어의 보호를 위해 제 2 몰딩 구조(205)가 더 형성될 수 있다. 상기 복수개의 제 2 반도체 소자들(202, 212)은 동종 또는 이종의 반도체 소자일 수 있으며 적어도 하나는 메모리 소자일 수 있다. 예를 들면, 상기 제 2 반도체 소자들(202, 212)은 메모리 칩일 수 있다.

[0049] [실시예 5]

[0050] 도 9는 본 발명의 일 실시 예에 따른 반도체 패키지의 단면도이다. 본 실시 예에 따른 적층형 반도체 패키지(600)에서 상기 제 1 반도체 패키지(100)는 상기 제 1 몰딩 구조(105)를 관통하여 형성되는 제 1 관통비아(107)를 더 포함한다. 상기 제 1 관통비아(107)를 통하여 상기 제 2 반도체 패키지(200)와 상기 제 1 반도체 패키지(100)가 전기적으로 연결될 수 있다. 상기 제 1 관통비아(107)는 상기 제 1 몰딩 구조(105)를 관통하여 상기 제 1 인쇄 회로 기판(101)에 형성된 배선 패턴(117)으로부터 상기 제 1 몰딩 구조(105)의 일면으로 노출되어 형성된다. 상기 제 1 관통비아(107)는 금형을 이용하여 상기 제 1 몰딩 구조(105) 형성과 동시에, 또는 레이저 드릴링 또는 식각을 이용하여 상기 제 1 몰딩 구조(105) 형성 후에 관통홀(미도시)을 형성하고 상기 관통홀에 금속 또는 폴리실리콘과 같은 도전물질을 채워 형성할 수 있다. 또는 도전형 바(미도시)를 상기 제 1 기판(101)에 형성하고 제 1 몰딩 구조(105)를 형성하여 형성할 수 있다. 이 경우 상기 제 1 관통비아(107)와 상기 제 2 반도체 패키지(200) 사이에 상기 제 2 외부 접속 수단(206)이 개재되어 상기 제 2 반도체 패키지(200)와 상기 제 1 관통비아(107)를 전기적으로 연결할 수 있다.

[0051] 도 10은 도 9의 실시 예의 일 변형 예이다. 본 변형 예에 따른 적층형 반도체 패키지(600-1)에서 상기 제 1 반도체 패키지(100)와 상기 제 2 반도체 패키지(200)는 솔더 볼(107-1)을 이용하여 전기적으로 연결될 수 있다. 이 때 상기 솔더 볼(107-1)은 상기 제 2 외부 접속 수단(206)보다 높이가 높게 형성되거나, 복수의 솔더 볼 또는 범프가 적층(미도시)되어 형성될 수도 있다. 상기 제 1 반도체 패키지(100)와 상기 제 2 반도체 패키지(200)의 전기적 연결은 본 실시 예에 한하지 않고, 상기 제 1 인쇄 회로 기판(101) 및/또는 상기 제 2 인쇄 회로 기판(201)이 연성 기판인 경우 기판의 일부가 상부 또는 하부로 휘어져 형성될 수도 있다.

[0052] [실시예 6]

[0053] 도 11 및 12는 본 발명의 일 실시 예에 따른 반도체 패키지의 단면도이다. 본 실시 예에 따른 적층형 반도체 패키지(700)는 상기 제 1 반도체 패키지(100) 및 상기 제 2 반도체 패키지(200) 사이에 개재되는 제 3 몰딩 구조(305)를 더 포함한다. 도 11을 참조하면 상기 제 3 몰딩 구조(305)는 상기 제 2 외부 접속 수단(206)을 덮으면서 상기 제 1 반도체 패키지(100) 및 상기 제 2 반도체 패키지(200) 사이의 공간을 모두 채울 수 있다. 이 때 상기 제 3 몰딩 구조(305)의 측면은 상기 제 1 몰딩 구조(105) 및/또는 상기 제 2 몰딩 구조(205)의 측면과 정렬되어 형성될 수 있다.

[0054] 상기 제 3 몰딩 구조(305)는 상기 제 1 반도체 패키지(100) 및 상기 제 2 반도체 패키지(200) 적층 후에 상기 제 1 반도체 패키지(100) 및 상기 제 2 반도체 패키지(200) 사이의 공간을 채우는 방식으로 형성될 수도 있고, 상기 제 1 몰딩 구조(105) 및 상기 제 2 몰딩 구조(205)과 동시에 형성될 수도 있다.

[0055] 상기 제 1 반도체 패키지(100) 및 상기 제 2 반도체 패키지(200)가 패키지-인-패키지(Package In Package) 구조인 경우, 상기 제 1 반도체 소자(102)에 상기 제 2 반도체 패키지(200)가 적층되고 상기 제 1 반도체 소자(102) 및 상기 제 2 반도체 패키지(200)를 동시에 덮는 방식으로 몰딩 구조를 형성할 수 있다. 이 경우, 상기 제 1 반도체 패키지(100)의 크기가 상기 제 2 반도체 패키지(200)보다 클 수 있으며, 상기 제 1 반도체 소자

(102)와 상기 제 2 반도체 소자(202)가 마주보는 방식으로 적층될 수 있다.

[0056] 도 12를 참조하면, 상기 제 3 몰딩 구조(305)은 상기 제 1 반도체 패키지(100) 및 상기 제 2 반도체 패키지(200) 사이의 공간을 일부만 채우도록 형성될 수 있다. 이때 상기 제 3 몰딩 구조(305)는 상기 제 2 외부 접속 수단(206)을 덮을 수 있다.

[0057] [실시예 7]

[0058] 도 13 내지 15는 본 발명의 일 실시 예에 따른 반도체 패키지의 단면도 및 일부 평면도이다. 도 13을 참조하면 본 실시 예에 따른 적층형 반도체 패키지(800)에서, 상기 제 1 반도체 패키지(100)는 상기 제 1 반도체 소자(102)와 상기 제 1 인쇄 회로 기판(101)을 전기적으로 연결하는 본딩 와이어(111)를 더 포함한다. 상기 제 1 반도체 소자(101)는 상기 제 2면(109)에 본드 패드(116)을 더 포함하며, 상기 본딩 와이어(111)는 상기 본드 패드(116)와 상기 제 1 인쇄 회로 기판(101)에 형성된 본드 핑거(121)를 전기적으로 연결한다. 상기 제 2 반도체 패키지(200)로 전달되거나 상기 제 2 반도체 패키지(200)로부터 전달되는 신호의 일부는 상기 본딩 와이어(111)를 통해, 일부는 상기 제 1 관통전극(103)을 통해 상기 제 1 반도체 패키지(100)로 전달될 수 있다.

[0059] 도 14를 참조하면, 상기 제 1 반도체 소자(102)는 제 2면(109)에 상기 접속 랜드(114)와 상기 본드 패드(116)을 연결하는 제 2 재배선(122)를 더 포함할 수 있다. 상기 본딩 와이어(111)의 길이를 짧게 하여 전기적 특성을 향상시키고 연결시의 불량을 방지하기 위해 상기 본드 패드(116)를 상기 제 2면(109)의 외각에 형성할 수 있다. 이 때 제 2 반도체 패키지(200)와의 연결을 위한 상기 접속 랜드(114)는 상기 제 2면의 가운데 부에 형성될 수 있으며 상기 제 2 재배선(122)을 통해 상기 접속 랜드(114)로부터 상기 본드 패드(116) 및 본딩 와이어(111)로 신호가 전달될 수 있다. 예를 들어, 상기 반도체 소자의 구동에 공통으로 요구되는 신호는 상기 제 1 관통전극(103)을 통해 전달되고, 상기 제 2 반도체 소자(202)의 구동에 개별적으로 요구되는 신호는 상기 본딩 와이어(111)를 통해 상기 제 2 반도체 소자(202)에 전달될 수 있다. 상기 공통으로 요구되는 신호는 파워 또는 접지신호일 수 있다.

[0060] 도 15를 참조하면, 제 1 반도체 패키지(100)가 적어도 하나의 제 1 반도체 소자(102) 및 제 3 반도체 소자(112)가 적층된 경우, 적어도 하나의 상기 제 1 반도체 소자(102)와 상기 제 1 인쇄 회로 기판(101)을 연결하는 상기 본딩 와이어(111)가 형성될 수 있다. 예를 들어, 하부에 형성된 상기 제 1 반도체 소자(102)는 상부에 형성된 제 3 반도체 소자(112)와 마주보는 면에 상기 본드 패드(116)를 포함할 수 있다. 상기 본딩 와이어(111)는 상부에 형성된 제 3 반도체 소자(112)의 신호, 또는 상기 제 3 반도체 소자(112)에 형성되는 제 2 관통 전극(113)을 통해 전달되는 상기 제 2 반도체 패키지(200)의 신호를 전달할 수 있다. 또 다른 예로, 상기 제 3 반도체 소자(112)가 상기 제 1 반도체 소자(102)와 상기 제 1 반도체 기판(101) 사이에 적층되는 경우 상기 제 3 반도체 소자(112)는 제 2 관통전극(113)을 포함하지 않을 수 있다. 이 경우 상기 제 3 반도체 소자(112)는 상부에 형성된 제 1 반도체 소자(102)와 마주보는 면에 상기 본드 패드(116)를 포함할 수 있다. 상기 본딩 와이어(111)는 상기 제 3 반도체 소자(112)와 상기 제 1 반도체 기판(101)을 연결하도록 형성되며, 상기 제 1 반도체 소자(102)에 형성된 상기 제 1 관통 전극(103)과 전기적으로 연결될 수 있다.

[0061] [실시예 8]

[0062] 도 16 내지 18은 본 발명의 일 실시 예에 따른 반도체 패키지의 제조 방법을 나타낸다. 도 16을 참조하면, 상기 제 1 반도체 패키지(100)는 상기 제 1 반도체 소자(102)를 상기 제 1 인쇄 회로 기판(101)에 실장하여 형성한다. 상기 제 1 반도체 소자(102)는 웨이퍼에 집적 회로부(미도시) 및 상기 제 1 관통전극(103)을 형성하고 개별 소자로 소잉(sawing)하여 형성한다. 상기 제 1 관통전극(103)은 상기 집적 회로부 형성 전, 후 또는 상기 집적 회로부 형성 과정에서 함께 형성될 수 있다.

[0063] 상기 공정으로 제조된 상기 제 1 반도체 소자(102)를 상기 제 1 인쇄 회로 기판(101)에 전기적으로 연결시킨다. 상기 제 1 인쇄 회로 기판(101)은 인쇄회로기판일 수 있다. 상기 전기적 연결은 와이어 본딩 또는 플립 칩 방식으로 이루어질 수 있다. 와이어 본딩 방식으로 연결되는 경우, 상기 제 1 반도체 소자(102)를 상기 제 1 인쇄 회로 기판(101)의 일 면에 접촉제(미도시) 등을 이용하여 고정하고 상기 제 1 반도체 소자(102)의 일면에 형성된 상기 와이어 본딩 패드(도 15의 116)와 상기 제 1 인쇄 회로 기판(101)의 상기 제 1 반도체 소자(102) 실장면에 형성된 상기 본드 핑거(도 15의 121)를 금속 와이어(미도시) 등을 이용하여 연결할 수 있다. 이후 상기 금속 와이어를 보호하기 위해 상기 금속 와이어를 감싸는 상기 제 1 몰딩 구조(도 15의 105)을 더 형성할 수 있다. 와이어 본딩 방식으로 연결하는 경우라도, 상기 개별 소자로 소잉 전 상기 제 1 관통 전극(103)과 전기적으로 연결되는 상기 제 1 접속 수단(104)을 상기 제 1 반도체 소자(102)의 일면에 형성할 수 있다. 상기 제 1

접속 수단(104)은 상기 제 2 반도체 패키지(200)와 상기 제 1 인쇄 회로 기판(101)을 전기적으로 연결한다. 예를 들어, 상기 제 1 접속 수단(104)은 솔더 범프, 솔더 볼 또는 ACF(Adhesive Conductive Film) 등일 수 있다. 플립 칩 방식으로 연결되는 경우, 상기 개별 소자로 소잉 전 상기 제 1 관통 전극(103)과 전기적으로 연결되는 상기 제 1 접속 수단(104)을 상기 웨이퍼의 일면에 형성할 수 있다. 상기 제 1 접속 수단(104)을 통해 상기 제 1 반도체 소자(102) 및 상기 제 2 반도체 패키지(200)를 상기 제 1 인쇄 회로 기판(101)과 전기적으로 연결한다. 상기 제 1 반도체 소자(102)에 형성된 상기 제 1 접속 수단(104)이 상기 제 1 반도체 소자(102)와 상기 제 1 인쇄 회로 기판(101) 사이에 개재되도록 하고 리플로우 공정 등을 통해 상기 제 1 반도체 소자(102)와 상기 제 1 인쇄 회로 기판(101)을 물리적/전기적으로 접속할 수 있다. 이후 언더필 공정 등을 통해 상기 제 1 접속 수단(104)를 감싸는 상기 제 1 몰딩 구조(105)을 더 형성할 수 있다.

[0064] 상기 제 1 반도체 소자(102)에 형성된 집적 회로부가 상기 제 1 인쇄 회로 기판(101)을 향하도록 실장할 수도 있고, 반대 방향을 향하도록 실장할 수도 있다. 상기 제 1 반도체 소자(102)가 칩 스케일 패키지인 경우에는 상기 제 1 인쇄 회로 기판(101)에 실장되지 않고 바로 모듈 기판(도시하지 않음)에 실장될 수 있다. 상기 제 1 반도체 소자(102)는 로직 칩일 수 있다.

[0065] 상기 제 1 인쇄 회로 기판(101)의 상기 제 1 외부 접속 수단(106)은 상기 제 1 반도체 소자(102)의 실장 전/후에 형성할 수 있다. 상기 제 1 외부 접속 수단(106)은 솔더 범프, 솔더 볼 등일 수 있으며, 상기 제 1 반도체 소자(102)를 상기 제 1 인쇄 회로 기판(101)에 실장하는 방법과 유사하게 모듈 기판(도시하지 않음)에 연결할 수 있다.

[0066] 도 17을 참조하면, 상기 제 2 인쇄 회로 기판(201)에 상기 제 2 반도체 소자(202)를 실장하여 상기 제 2 반도체 패키지(200)를 제조한다. 상기 제 2 반도체 패키지(200)의 제조 방법은 상기 제 1 반도체 패키지(100)의 제조 방법과 유사하며, 차이점만을 이하 언급하도록 한다.

[0067] 상기 제 2 반도체 소자(202)는 복수개의 제 2 반도체 소자(202, 212)가 제 2 접속 수단(204)을 통해 제 2 인쇄 회로 기판(201)과 연결된다. 상기 제 2 접속 수단(204)은 관통전극(미도시) 또는 본딩 와이어일 수 있으며, 이를 이용하여 상기 복수개의 제 2 반도체 소자(202, 212)가 적층될 수 있다. 상기 복수개의 제 2 반도체 소자(202, 212)는 동종 또는 이종의 반도체 소자일 수 있다. 상기 복수개의 제 2 반도체 소자(202, 212) 중 적어도 하나는 메모리 칩일 수 있다.

[0068] 도 18을 참조하면, 제 1 반도체 패키지(100)와 제 2 반도체 패키지(200)를 적층하여 적층형 반도체 패키지(300)를 제조한다. 제 1 반도체 패키지(100) 및 제 2 반도체 패키지(200)는 각각 제조 후 테스트를 거쳐 양품만을 사용하므로 효율적인 적층형 패키지(300) 제조가 가능하다. 제 2 반도체 패키지(200)의 제 2 외부 접속 단자(206)를 제 1 반도체 소자(102)에 형성된 접속 랜드(114) 또는 제 1 관통비아(도 9의 107)에 정렬하여 적층한다. 이로써 제 2 반도체 패키지(200)는 제 1 반도체 패키지(100)와 전기적으로 접속하여 적층된다.

[0069] [실시예 9]

[0070] 도 19는 본 발명의 제 9 실시 예에 따른 반도체 패키지(900)의 단면도이다.

[0071] 도 19를 참조하면, 본 발명의 제 9 실시 예에 따른 상기 반도체 패키지(900)는 하부패키지(100), 상기 하부패키지(100)에 부착된 상부패키지(200), 및 상기 하부패키지(100) 및 상기 상부패키지(200) 사이에 형성된 다수의 도전성 패턴들(206)을 구비한다. 상기 하부패키지(100)는 하부기판(101), 상기 하부기판(101)에 장착된 제 1 반도체 칩(102), 및 상기 제 1 반도체 칩(102)을 관통하여 상기 하부기판(101)에 전기적으로 접속된 다수의 관통전극들(103)을 갖는다. 상기 도전성 패턴들(206)은 상기 관통전극들(103)에 접속되고, 상기 도전성 패턴들(206)은 모두 상기 제 1 반도체 칩(102)에 정렬된다.

[0072] 상기 하부패키지(100), 상기 상부패키지(200), 및 상기 도전성 패턴들(206)은 각각 제 1 내지 제 8 실시 예들에서 설명된 제 1 반도체 패키지(100), 제 2 반도체 패키지(200), 및 제 2 외부 접속 수단(206)에 해당할 수 있다. 상기 하부기판(101), 상기 제 1 반도체 칩(102), 및 상기 관통전극들(103)은 각각 제 1 내지 제 8 실시 예들에서 설명된 제 1 인쇄 회로 기판(101), 제 1 반도체 소자(102), 및 제 1 관통전극(103)에 해당할 수 있다. 또한, 상기 하부패키지(100)는 제 1 접속 수단(104), 제 1 몰딩 구조(105), 접속 랜드(114), 및 내부배선들(117)을 구비할 수 있다. 상기 관통전극들(103) 상부에 상기 제 1 몰딩 구조(105)를 관통하는 개구부들(120)이 제공될 수 있다. 상기 내부배선들(117)은 제 1 내지 제 8 실시 예들에서 설명된 배선 패턴(117)에 해당할 수 있다.

[0073] 몇몇 다른 실시 예들에 있어서, 상기 제 1 몰딩 구조(105)는 상기 제 1 반도체 칩(102)의 일면을 노출하도록 형

성할 수도 있으며, 상기 제 1 반도체 칩(102) 및 상기 하부기판(101) 사이를 채우도록 형성할 수 있다. 또 다른 실시 예들에 있어서, 상기 제 1 몰딩 구조(105)는 생략될 수 있다.

[0074] 상기 하부기판(101)은 경성인쇄회로기판(rigid printed circuit board), 연성인쇄회로기판(flexible printed circuit board), 및 이들의 조합으로 이루어진 일군에서 선택된 하나일 수 있다. 예를 들면, 상기 하부기판(101)은 프리프레그(prepreg) 및 구리 박판(Cu foil)을 번갈아 가며 반복하여 쌓아 올린 다층인쇄회로기판일 수 있다. 상기 하부기판(101)은 볼 랜드(ball land), 본드 핑거(bond finger), 층간 연결배선, 및 탭(tab)과 같은 상기 내부배선들(117)을 구비할 수 있다. 상기 내부배선들(117) 중 몇몇은 상기 제 1 접속 수단(104)을 통하여 상기 관통전극들(103) 또는 상기 제 1 반도체 칩(102)에 전기적으로 접속될 수 있다.

[0075] 상기 상부패키지(200)는 상부기판(201), 및 상기 상부기판(201)에 장착된 제 2 반도체 칩(202)을 구비할 수 있다. 상기 상부기판(201) 및 상기 제 2 반도체 칩(202)은 각각 제 1 내지 제 8 실시 예들에서 설명된 제 2 인쇄회로 기판(201) 및 제 2 반도체 소자(202)에 해당할 수 있다. 상기 상부기판(201)은 경성인쇄회로기판(rigid printed circuit board), 연성인쇄회로기판(flexible printed circuit board), 및 이들의 조합으로 이루어진 일군에서 선택된 하나일 수 있다. 상기 제 2 반도체 칩(202)은 제 2 접속 수단(204)을 이용하여 상기 상부기판(201)에 전기적으로 접속될 수 있다. 상기 제 2 접속 수단(204)은 본딩 와이어(bonding wire), 빔 리드(beam lead), 도전성 테이프(conductive tape), 및 이들의 조합으로 이루어진 일군에서 선택된 하나일 수 있다. 또한, 상기 상부패키지(200)는 제 2 몰딩 구조(205)를 구비할 수 있다. 더 나아가서, 상기 하부패키지(100) 및 상기 상부패키지(200) 사이에 형성된 제 3 몰딩 구조(305)가 제공될 수 있다. 상기 제 3 몰딩 구조(305)는 상기 도전성 패턴들(206)을 덮을 수 있다.

[0076] 상기 도전성 패턴들(206)은 상기 상부기판(201) 및 상기 제 1 반도체 칩(102) 사이에 형성될 수 있다. 상기 제 2 반도체 칩(202)은 상기 제 2 접속 수단(204), 상기 상부기판(201), 상기 도전성 패턴들(206), 상기 접속 랜드(114), 상기 관통전극들(103), 및 상기 제 1 접속 수단(104)을 경유하여 상기 하부기판(101)에 전기적으로 접속될 수 있다. 상기 제 1 반도체 칩(102)은 상기 제 1 접속 수단(104)을 경유하여 상기 하부기판(101)에 전기적으로 접속될 수 있다. 즉, 상기 제 1 반도체 칩(102) 및 상기 제 2 반도체 칩(202)은 상기 하부기판(101) 또는 상기 관통전극들(103)을 경유하여 전기적으로 상호 접속될 수 있다. 상기 도전성 패턴들(206)은 솔더 볼(solder ball), 도전성 범프(conductive bump), 도전성 스페이서(conductive spacer), 핀 그리드 어레이(pin grid array; PGA), 리드 그리드 어레이(lead grid array; LGA), ACF(Adhesive Conductive Film), 및 이들의 조합으로 이루어진 일군에서 선택된 하나일 수 있다.

[0077] 상기 하부기판(101)의 일면에 형성된 다수의 외부단자들(106)이 제공될 수 있다. 상기 외부단자들(106)은 제 1 내지 제 8 실시 예들에서 설명된 제 1 외부 접속 수단(106)에 해당할 수 있다. 상기 외부단자들(106)은 상기 내부배선들(117)에 전기적으로 접속될 수 있다. 상기 외부단자들(106)은 상기 내부배선들(117), 상기 제 1 접속 수단(104), 상기 관통전극들(103), 및 상기 도전성 패턴들(206)을 경유하여 상기 제 1 반도체 칩(102) 및 상기 제 2 반도체 칩(202)에 전기적으로 접속될 수 있다. 상기 외부단자들(106)은 솔더 볼(solder ball), 도전성 범프(conductive bump), 도전성 스페이서(conductive spacer), 핀 그리드 어레이(pin grid array; PGA), 리드 그리드 어레이(lead grid array; LGA), ACF(Adhesive Conductive Film), 및 이들의 조합으로 이루어진 일군에서 선택된 하나일 수 있다.

[0078] 상술한 바와 같이 본 발명의 실시 예들에 따르면, 상기 도전성 패턴들(206)은 모두 상기 제 1 반도체 칩(102)의 상부에 정렬될 수 있다. 즉, 상기 상부패키지(200)를 상기 하부패키지(100) 및 상기 외부단자들(106)에 접속하기 위한 우회 패턴(206')을 필요로 하지 않는다. 통상적으로, 상기 우회 패턴(206')을 이용할 경우, 상기 하부기판(101)은 상기 제 1 반도체 칩(102)의 외측에 신장된 크기를 가져야 한다. 따라서 본 발명의 실시 예들에 따른 상기 반도체 패키지(900)는 소형화 측면에서 매우 유리한 구조를 갖는다.

[0079] 본 발명의 몇몇 실시 예들에 있어서, 상기 하부기판(101)은 제 1 폭(D11)일 수 있으며, 상기 제 1 반도체 칩(102)은 제 2 폭(D12)일 수 있고, 상기 상부기판(201)은 제 3 폭(D21)일 수 있다. 상기 제 1 몰딩 구조(105)가 상기 제 1 반도체 칩(102)을 감싸도록 형성할 경우, 상기 하부기판(101)은 상기 제 1 반도체 칩(102) 보다 큰 폭을 가질 수 있다. 이 경우에, 상기 제 1 폭(D11)은 상기 제 2 폭(D12)에 100 μm 를 더한 값보다 작을 수 있다. 다른 실시 예들에 있어서, 상기 제 1 폭(D11)은 상기 제 2 폭(D12)과 같을 수 있다. 즉, 상기 하부기판(101)의 상기 제 1 폭(D11)은 상기 제 1 반도체 칩(102)과 실질적으로 동일할 수 있다.

[0080] 더 나아가서, 상기 제 3 폭(D21)은 상기 제 1 폭(D11)과 동일하거나 클 수 있다. 즉, 상기 상부기판(201)의 상기 제 3 폭(D21)은 상기 하부기판(101)과 동일한 폭을 갖거나 상기 하부기판(101)보다 큰 폭을 갖는 것일 수 있다.

다. 다른 실시 예에서, 상기 제 3 폭(D21)은 상기 제 2 폭(D12)과 동일하거나 클 수 있다. 즉, 상기 상부패키지(200)는 상기 제 1 반도체 칩(102)과 동일한 폭을 갖거나 상기 제 1 반도체 칩(102)보다 큰 폭을 갖는 것일 수 있다.

[0081] 또 다른 실시 예에서, 상기 제 3 폭(D21)은 상기 제 1 폭(D11)과 동일하거나 작을 수 있다. 즉, 상기 상부패키지(201)의 상기 제 3 폭(D21)은 상기 하부기판(101)과 동일한 폭을 갖거나 상기 하부기판(101)보다 작은 폭을 갖는 것일 수 있다. 또 다른 실시 예에서, 상기 제 3 폭(D21)은 상기 제 2 폭(D12)과 동일하거나 작을 수 있다. 즉, 상기 상부패키지(200)는 상기 제 1 반도체 칩(102)과 동일한 폭을 갖거나 상기 제 1 반도체 칩(102)보다 작은 폭을 갖는 것일 수 있다.

[0082] 상기 외부단자들(106)은 제 1 피치(first pitch; P1)를 갖도록 배열되고, 상기 도전성 패턴들(206)은 상기 제 1 피치(P1)와 다른 제 2 피치(second pitch; P2)를 갖도록 배열될 수 있다. 상기 도전성 패턴들(206)은 상기 관통 전극들(103)에 대응하는 크기 및 간격을 갖도록 형성할 수 있다. 상기 도전성 패턴들(206)은 상기 외부단자들(106)보다 작은 크기를 갖는 것일 수 있다. 상기 제 2 피치(P2)는 상기 제 1 피치(P1)보다 작을 수 있다.

[0083] [실시예 10]

[0084] 도 20은 본 발명의 실시 예에 따른 반도체 패키지를 구비한 전자 장치를 도시한 사시도이다. 도 20을 참조하면, 본 발명의 실시 예에 따른 반도체 패키지는 휴대폰과 같은 전자 장치(1000)에 응용될 수 있다. 본 실시 예의 반도체 패키지는 사이즈 축소 및 성능 향상 측면에서 우수하므로, 다양한 기능을 동시에 구현하는 전자 장치(1000)의 경량단소화에 유리하다. 전자 장치는 도 20에 도시된 휴대폰에 한정되는 것이 아니며, 가령 모바일 전자 기기, 랩톱(laptop) 컴퓨터, 휴대용 컴퓨터, 포터블 멀티미디어 플레이어(PMP), 엠프리리(MP3) 플레이어, 캠코더, 웹 태블릿(web tablet), 무선 전화기, 네비게이션, 개인 휴대용 정보 단말기(PDA; Personal Digital Assistant) 등 다양한 전자 기기를 포함할 수 있다.

[0085] [실시예 11]

[0086] 도 21은 본 발명의 일 실시 예에 따른 반도체 패키지를 적용한 전자 장치의 시스템 블록도이다. 도 21을 참조하면, 상술한 반도체 패키지(100-900)는 전자 시스템(1100)에 적용될 수 있다. 상기 전자 시스템(1100)은 바디(1110: Body)와, 마이크로 프로세서 유닛(1120: Micro Processor Unit)과, 파워 유닛(1130: Power Unit)과, 기능 유닛(1140: Function Unit)과, 그리고 디스플레이 컨트롤러 유닛(1150: Display Controller Unit)을 포함할 수 있다. 상기 바디(1110)는 내부에 인쇄 회로 기판으로 형성된 세트 보드(Set Board)를 포함할 수 있으며, 마이크로 프로세서 유닛(1120), 파워 유닛(1130), 기능 유닛(1140), 디스플레이 컨트롤러 유닛(1150) 등이 상기 바디(1110)에 실장될 수 있다. 디스플레이 유닛(1160)은 바디(1110)의 내부 혹은 바디(1110)의 표면에 배치될 수 있다. 디스플레이 유닛(1160)은 바디(1110)의 표면에 배치되어 디스플레이 컨트롤러 유닛(1150)에 의해 프로세스된 이미지를 표시할 수 있다.

[0087] 파워 유닛(1130)은 외부 배터리(미도시) 등으로부터 일정 전압을 공급 받아 이를 요구되는 전압 레벨로 분기하여 마이크로 프로세서 유닛(1120), 기능 유닛(1140), 디스플레이 컨트롤러 유닛(1150) 등으로 공급한다.

[0088] 마이크로 프로세서 유닛(1120)은 파워 유닛(1130)으로부터 전압을 공급받아 기능 유닛(1140)과 디스플레이 유닛(1160)을 제어할 수 있다. 기능 유닛(1140)은 다양한 전자 장치(1000)의 기능을 수행할 수 있다. 예를 들어, 전자 장치(1000)가 휴대폰인 경우 기능 유닛(1140)은 다이얼링, 외부 장치(1170: External Apparatus)와의 통신으로 디스플레이 유닛(1160)로의 영상 출력, 스피커로의 음성 출력 등과 같은 휴대폰 기능을 수행할 수 있는 여러 구성요소들을 포함할 수 있으며, 카메라가 함께 형성된 경우 카메라 이미지 프로세서(Camera Image Processor)일 수 있다. 예를 들어, 전자 장치(1000)가 용량 확장을 위해 메모리 카드 등과 연결되는 경우, 기능 유닛(1140)은 메모리 카드 컨트롤러일 수 있다. 기능 유닛(1140)은 유선 혹은 무선의 통신 유닛(1180: Communication Unit)을 통해 외부 장치(1170)와 신호를 주고 받을 수 있다. 예를 들어, 전자 장치(1000)가 기능 확장을 위해 유에스비(USB, Universal Serial Bus) 등을 필요로 하는 경우 기능 유닛(1140)은 인터페이스(interface) 컨트롤러일 수 있다. 본 발명의 실시예에 따른 반도체 패키지(100-900)는 마이크로 프로세서 유닛(1120)과 기능 유닛(1140) 중 적어도 어느 하나에 쓰일 수 있다. 제 1 인쇄 회로 기판(101)의 제 1 외부 접속 수단(106)은 바디(1110)에 형성된 본딩 패드에 연결될 수 있다.

[0089] 이상의 발명의 상세한 설명은 개시된 실시 상태로 본 발명을 제한하려는 의도가 아니며, 본 발명의 요지를 벗어나지 않는 범위 내에서 다양한 다른 조합, 변경 및 환경에서 사용할 수 있다. 첨부된 청구범위는 다른 실시 상태도 포함하는 것으로 해석되어야 할 것이다.

산업상 이용가능성

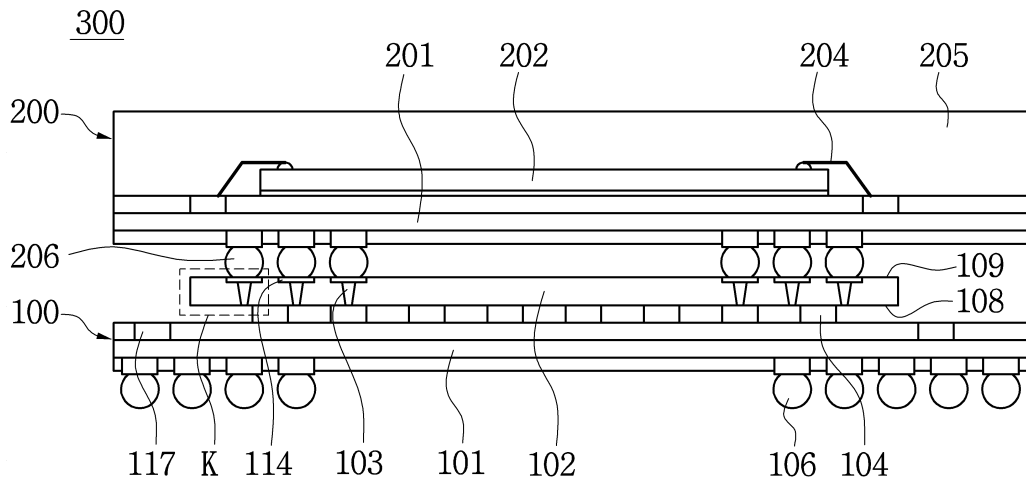
[0090] 본 발명은 반도체 패키지를 제조하는 반도체 산업을 비롯하여 반도체 패키지를 이용하는 전자 제품을 생산하는 제조업, 통신산업 등에 널리 유용하게 이용될 수 있다.

부호의 설명

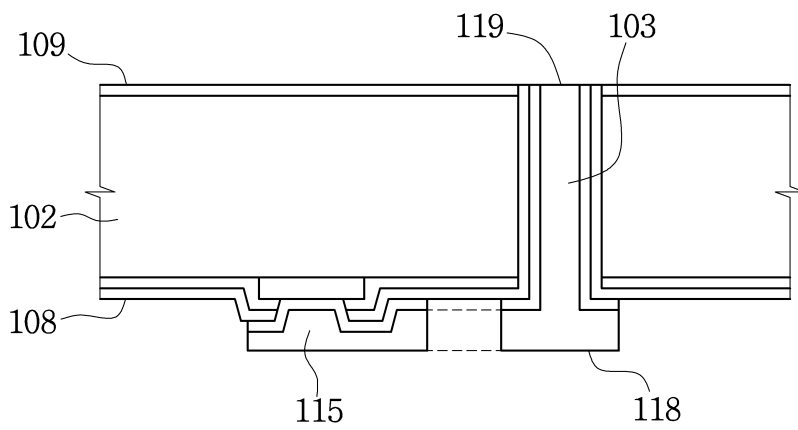
- [0091]
- | | |
|---------------------|----------------------|
| 100: 제 1 반도체 패키지 | 101: 제 1 인쇄 회로 기판 |
| 102: 제 1 반도체 소자 | 03: 제 1 관통 전극 |
| 104: 제 1 접속 수단 | 105: 제 1 몰딩 구조 |
| 106: 제 1 외부 접속 수단 | 107: 제1 관통 비아 |
| 108: 제 1 면 | 109: 제 2면 |
| 110: 제 1 재배선 | 111: 본딩 와이어 |
| 112: 제 3 반도체 소자 | 113: 제 2 관통 전극 |
| 114: 접속 랜드 | 115: 플립 칩 접속 패드 |
| 116: 본드 패드 | 117: 배선 패턴 |
| 118, 119: 관통 전극 노출면 | |
| 120: 개구부 | 121: 본드 핑거 |
| 122: 제 2 재배선 | 200: 제 2 반도체 패키지 |
| 201: 제 2 인쇄 회로 기판 | 202: 제 2 반도체 소자 |
| 204: 제 2 접속 수단 | 205: 제 2 몰딩 구조 |
| 206: 제 2 외부 접속 수단 | 300-900: 적층형 반도체 패키지 |
| 1000: 전자 장치 | 1100: 전자 시스템 |
| 1110: 바디 | 1120: 마이크로 프로세서 유닛 |
| 1130: 파워 유닛 | 1140: 기능 유닛 |
| 1150: 디스플레이 컨트롤러 유닛 | |
| 1160: 디스플레이 유닛 | |
| 1170: 외부 장치 | 1180: 통신 유닛 |

도면

도면1

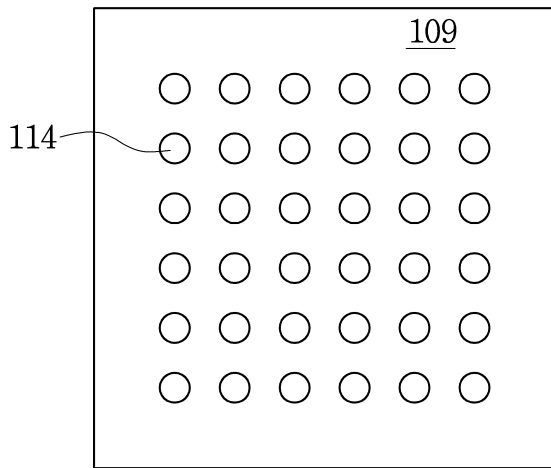


도면2



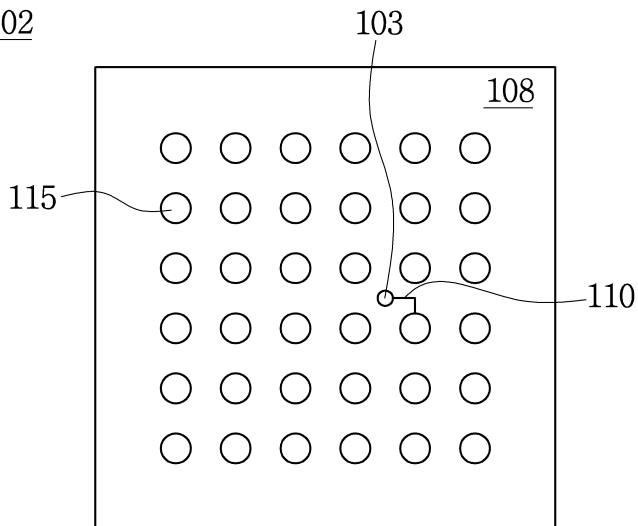
도면3

102

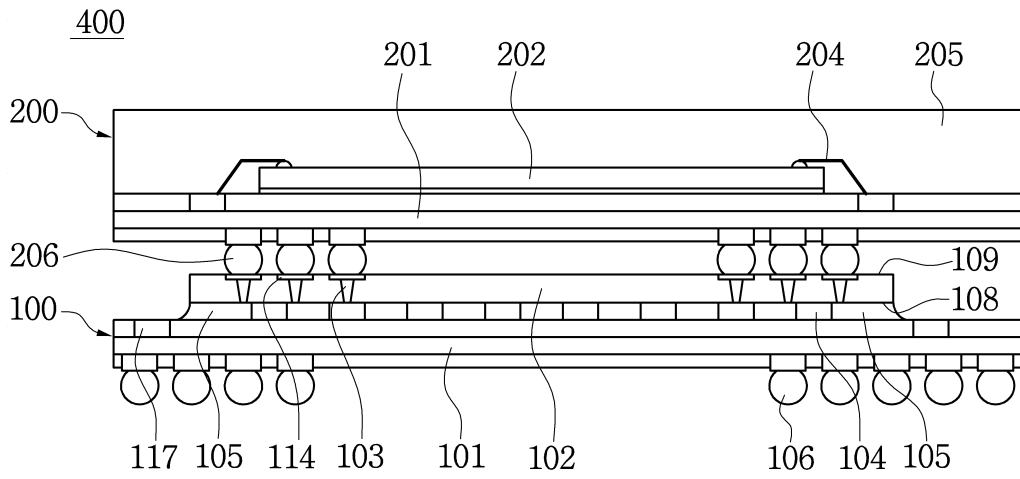


도면4

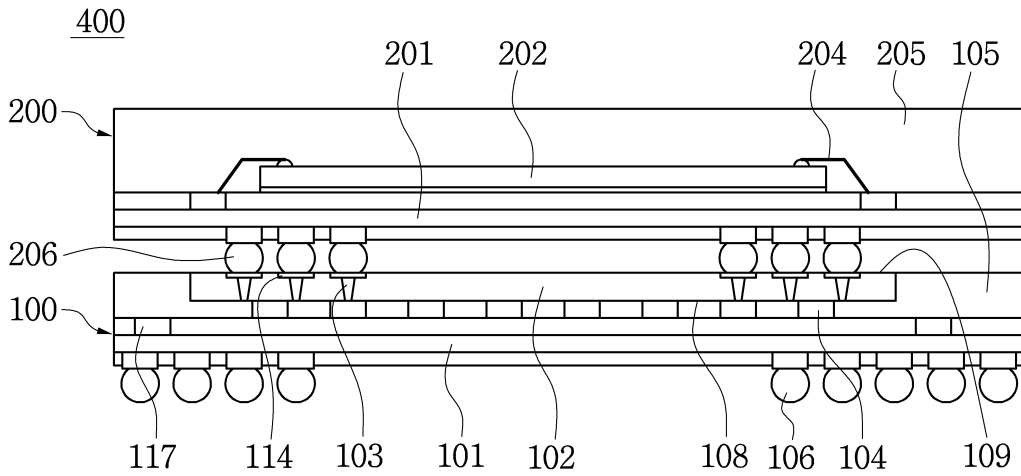
102



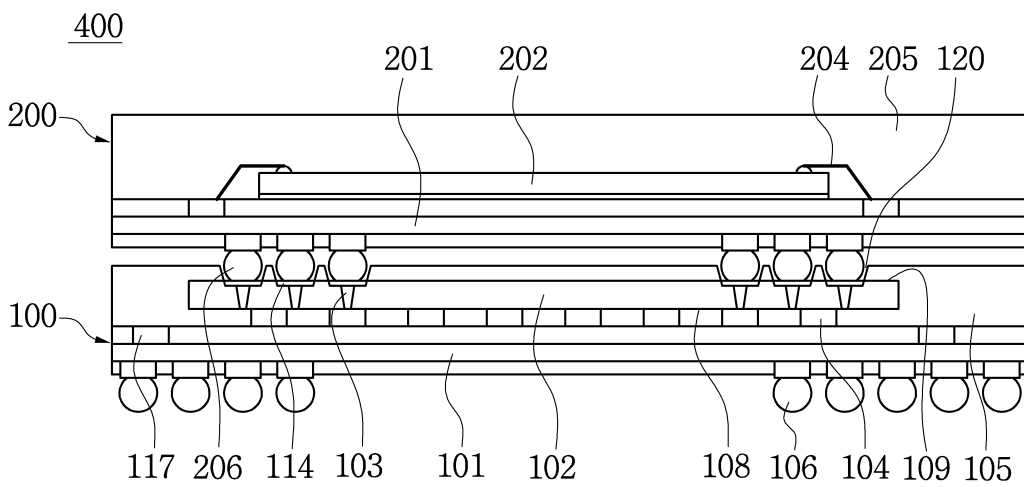
도면5



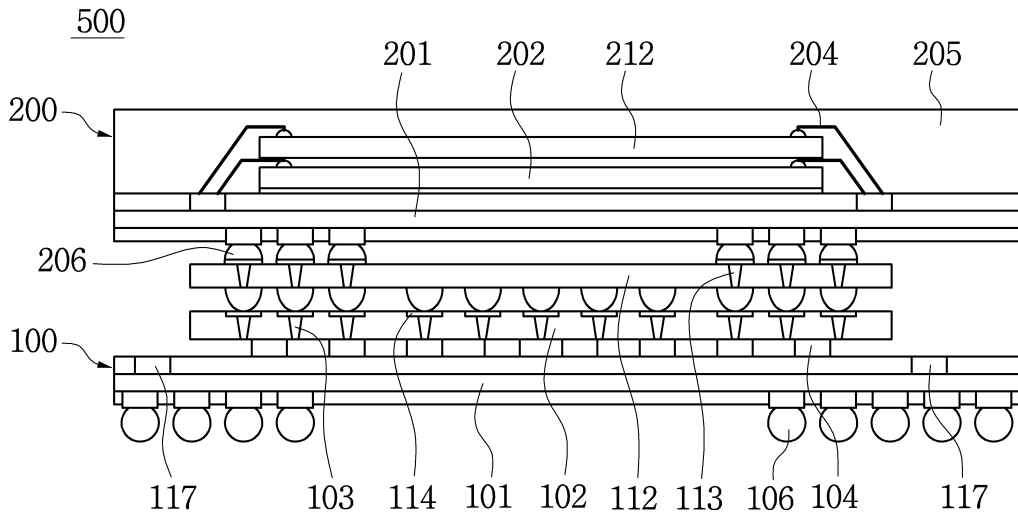
도면6



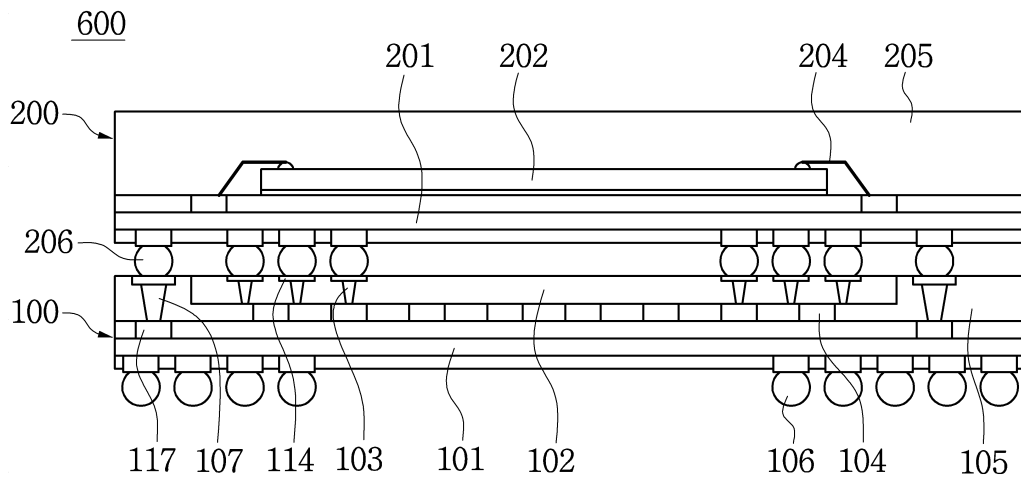
도면7



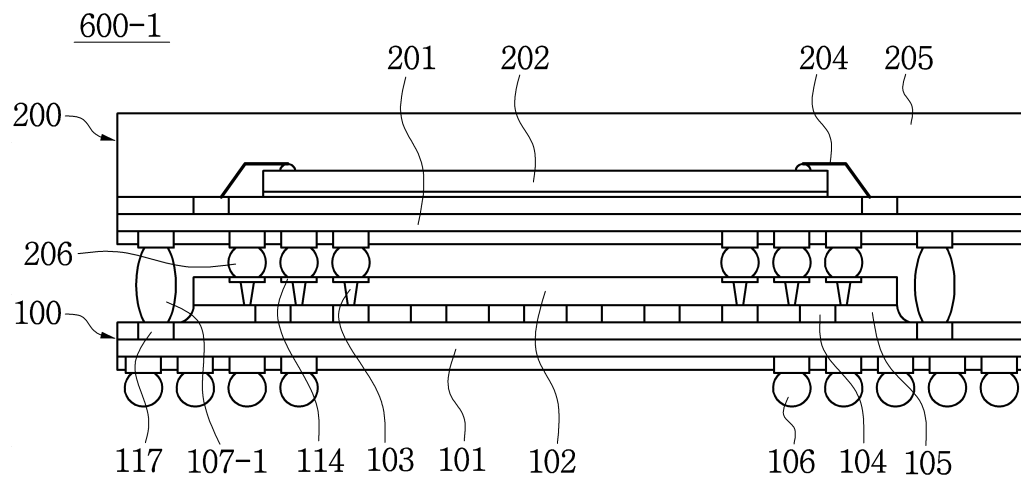
도면8



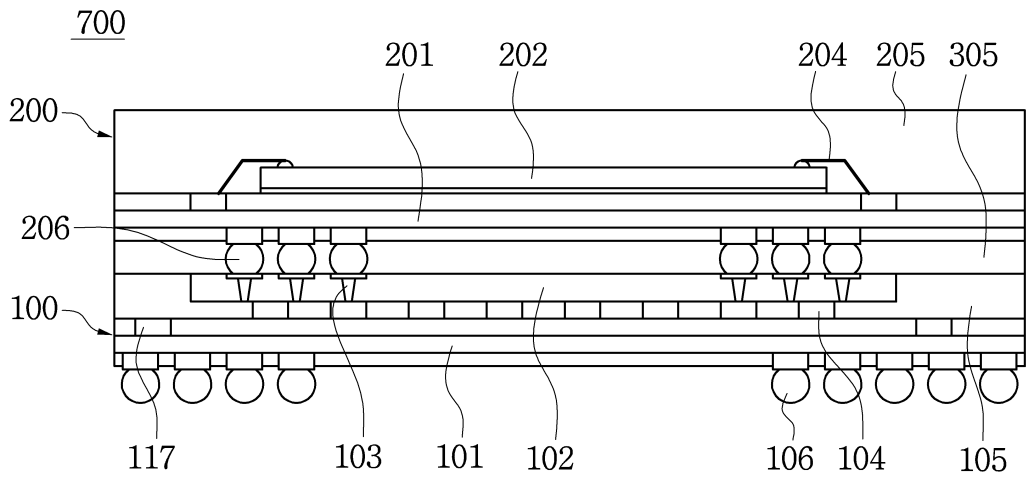
도면9



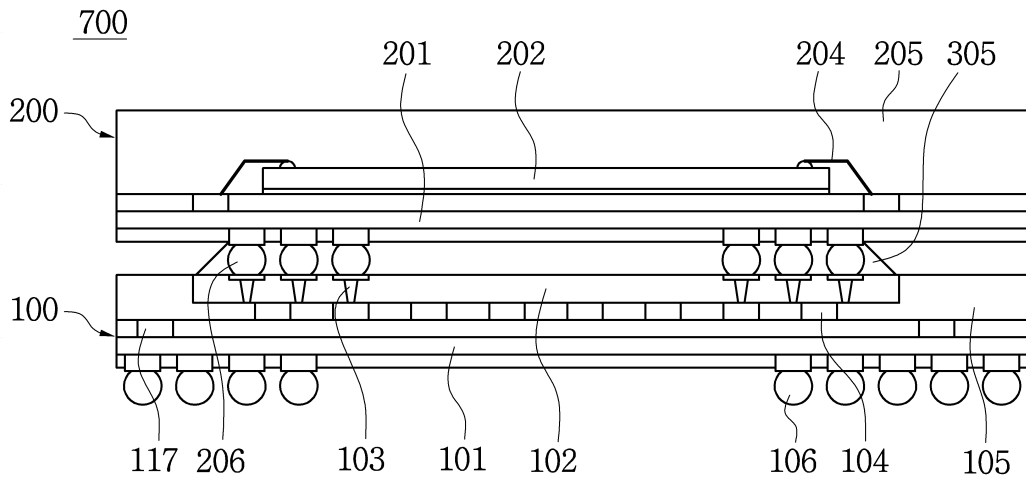
도면10



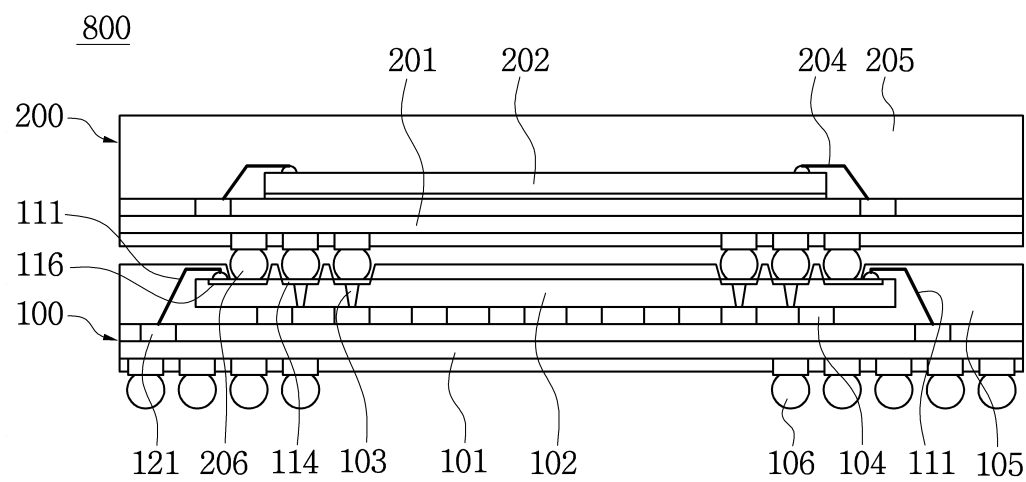
도면11



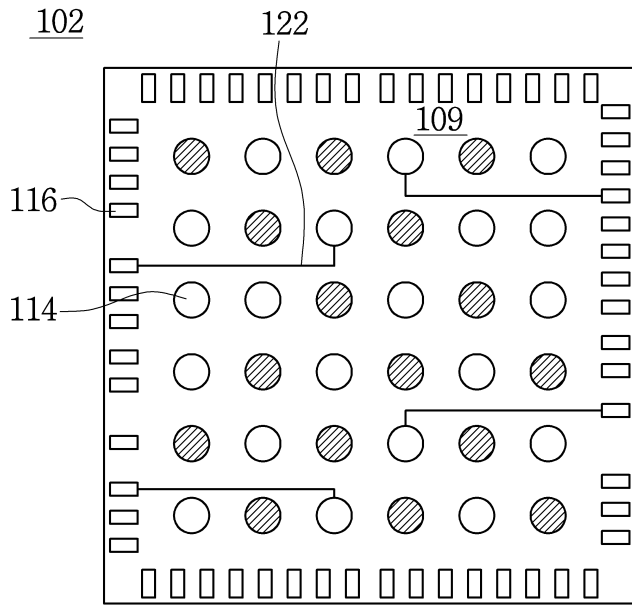
도면12



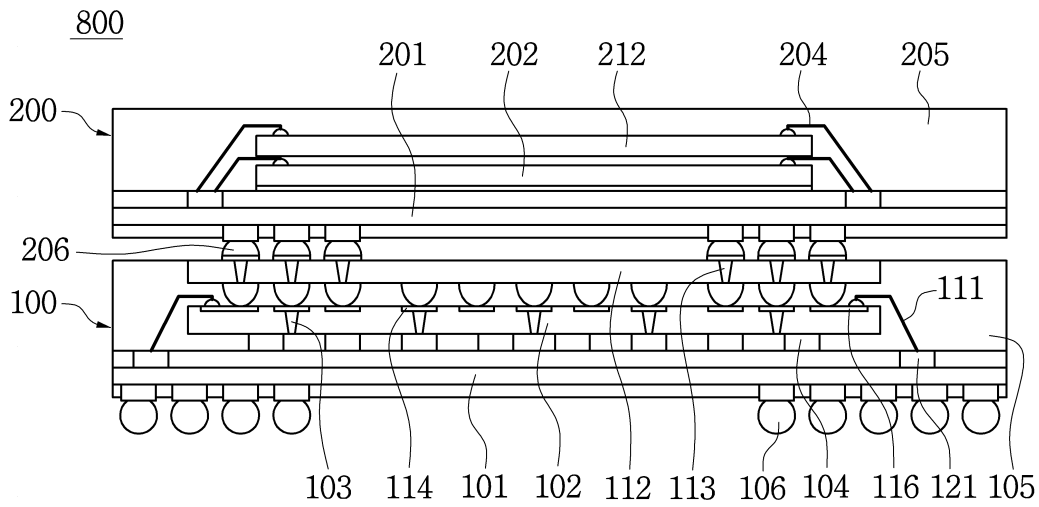
도면13



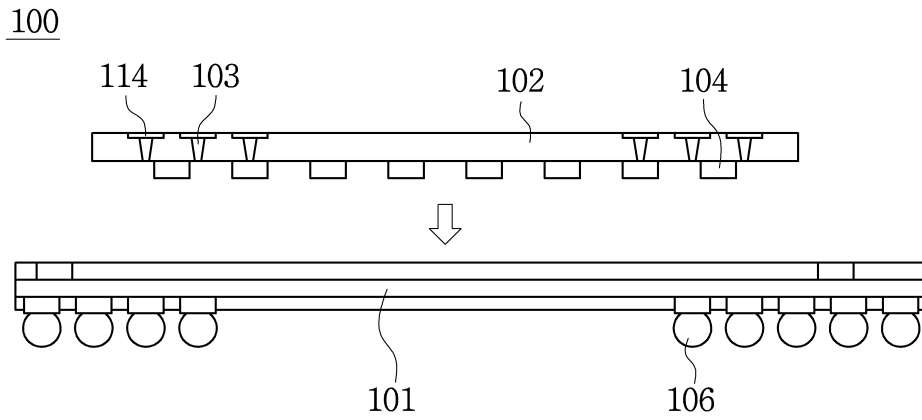
도면14



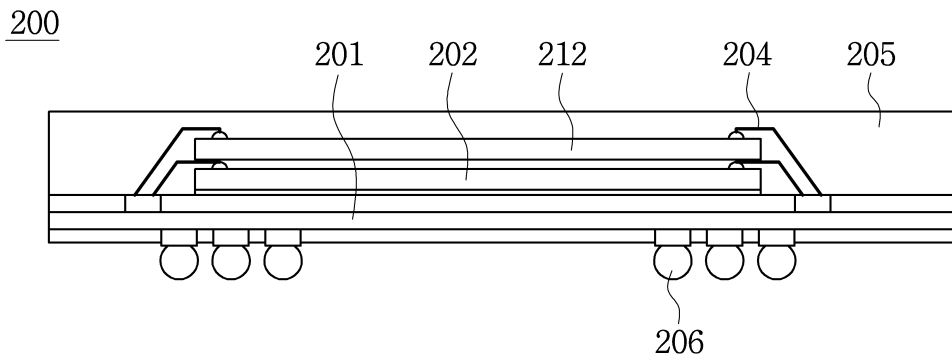
도면15



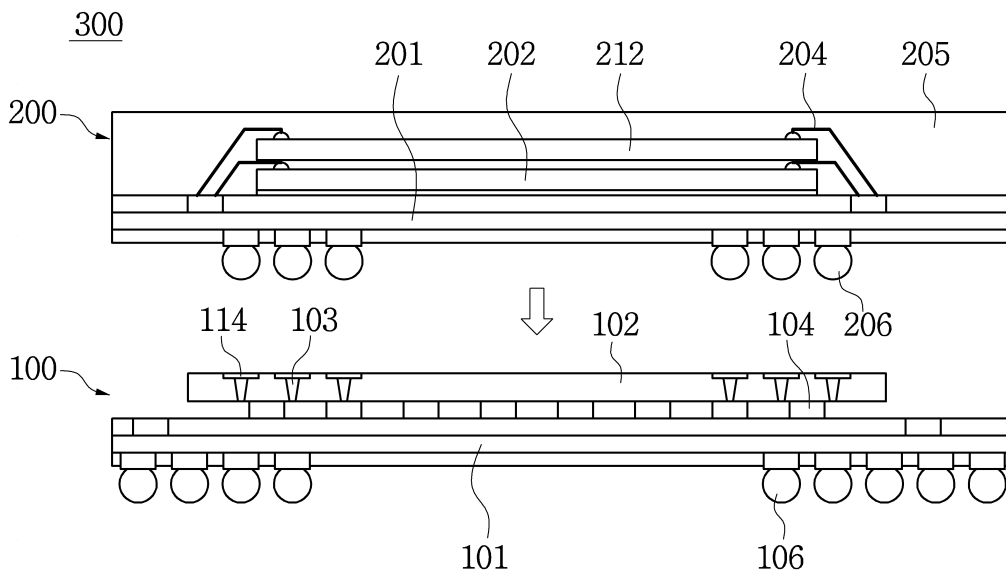
도면16



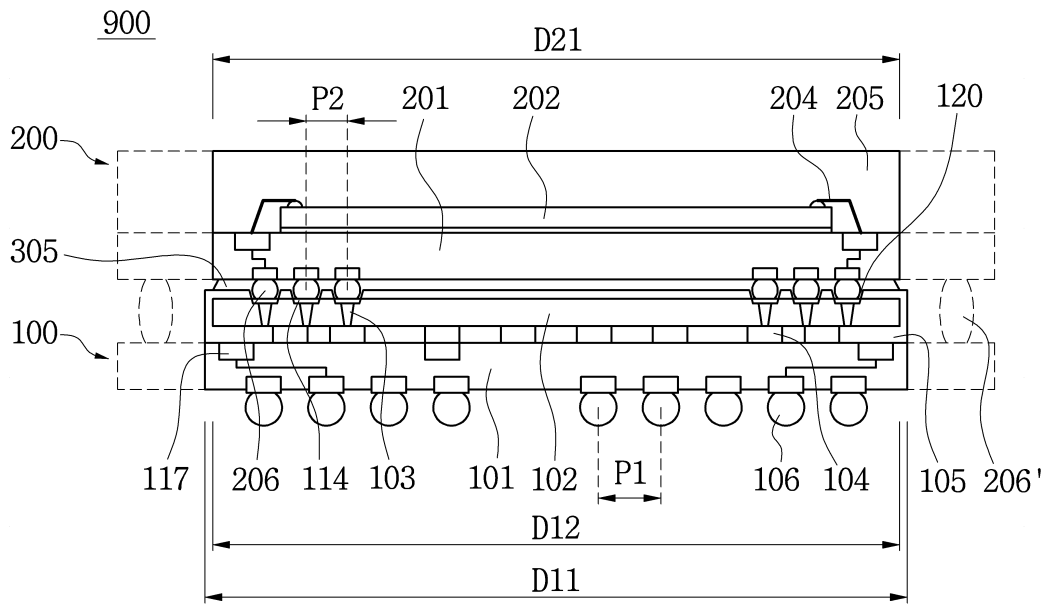
도면17



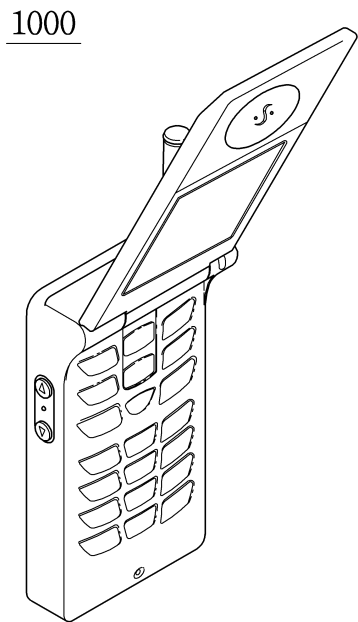
도면18



도면19



도면20



도면21

