



(12)发明专利申请

(10)申请公布号 CN 110782937 A

(43)申请公布日 2020.02.11

(21)申请号 201810857487.3

(22)申请日 2018.07.31

(71)申请人 三星电子株式会社

地址 韩国京畿道水原市

(72)发明人 姜相求

(74)专利代理机构 北京铭硕知识产权代理有限公司

11286

代理人 尹淑梅 韩芳

(51)Int.Cl.

G11C 16/08(2006.01)

G11C 16/24(2006.01)

G11C 16/34(2006.01)

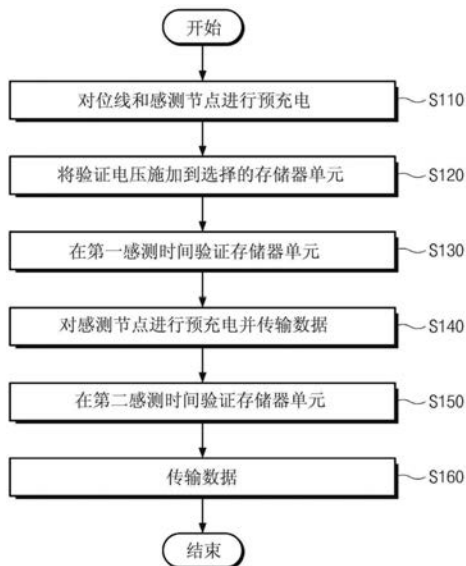
权利要求书2页 说明书19页 附图21页

(54)发明名称

非易失性存储装置及其编程方法

(57)摘要

提供了一种非易失性存储装置及其编程方法。所述编程方法包括：将第一编程电压施加到选择的字线；将验证电压施加到选择的字线以验证存储器单元的编程状态；基于验证结果，将第一位线电压施加到与存储器单元中的第一存储器单元连接的第一位线，将编程禁止电压施加到与存储器单元中的第二存储器单元连接的第二位线，将第二编程电压施加到选择的字线。第一位线电压高于地电压且低于编程禁止电压。基于操作温度、执行的编程循环的次数、包括存储器单元的存储器块的编程/擦除循环的次数和存储器块的物理特性中的至少一种对第一位线电压进行补偿。



1. 一种包括与选择的字线连接的存储器单元的非易失性存储装置的编程方法,所述编程方法包括:

将第一编程电压施加到选择的字线;

将验证电压施加到选择的字线以验证存储器单元的编程状态;

基于验证结果,将第一位线电压施加到与存储器单元中的第一存储器单元连接的第一位线,将编程禁止电压施加到与存储器单元中的第二存储器单元连接的第二位线,将第二编程电压施加到选择的字线,

其中,第一位线电压高于地电压且低于编程禁止电压,

其中,基于操作温度、执行的编程循环的次数、包括存储器单元的存储器块的编程/擦除循环的次数和存储器块的物理特性中的至少一种对第一位线电压进行补偿。

2. 根据权利要求1所述的编程方法,其中,基于操作温度、执行的编程循环的次数、编程/擦除循环的次数和物理特性中的至少一种通过控制位线截止信号,来对第一位线电压进行补偿,

其中,位线截止信号提供到与第一位线连接的开关。

3. 根据权利要求2所述的编程方法,其中,基于操作温度、执行的编程循环的次数、编程/擦除循环的次数和物理特性中的至少一种来控制位线截止信号的电平、高时间段、偏移电平和偏移时间段中的至少一种。

4. 根据权利要求1所述的编程方法,其中,基于操作温度、执行的编程循环的次数、编程/擦除循环的次数和物理特性中的至少一种对编程禁止电压进行补偿。

5. 根据权利要求1所述的编程方法,其中,所述验证步骤基于一个验证电压改变感测时间点以将存储器单元划分为第一区域、第二区域和第三区域,

其中,第一区域中的存储器单元的阈值电压低于第二区域中的存储器单元的阈值电压,第二区域中的存储器单元的阈值电压低于第三区域中的存储器单元的阈值电压。

6. 根据权利要求5所述的编程方法,其中,第一存储器单元包括在第二区域中,第二存储器单元包括在第三区域中。

7. 根据权利要求5所述的编程方法,其中,在施加第二编程电压的同时,还将地电压施加到与包括在第一区域中的存储器单元连接的位线。

8. 根据权利要求1所述的编程方法,其中,所述验证步骤顺序地施加两个或更多个验证电压以验证存储器单元的编程状态。

9. 根据权利要求1所述的编程方法,其中,第二编程电压高于第一编程电压。

10. 根据权利要求1所述的编程方法,其中,存储器单元为电荷俘获闪存存储器单元。

11. 一种非易失性存储装置的编程方法,所述编程方法包括:

将第一编程电压施加到选择的字线,以执行第一编程操作;

将第一验证电压施加到选择的字线,以执行用于验证与选择的字线连接的存储器单元的编程状态的第一验证操作和第二验证操作;

基于第一验证操作和第二验证操作的结果,将地电压施加到第一位线,将编程禁止电压施加到第二位线,将第一位线电压施加到第三位线,将第二编程电压施加到选择的字线,

其中,第一位线与存储器单元中的第一存储器单元连接,第二位线与存储器单元中的第二存储器单元连接,第三位线与存储器单元中的第三存储器单元连接,第一位线电压高

于地电压且低于编程禁止电压，

其中，基于操作温度、执行的编程循环的次数、包括存储器单元的存储器块的编程/擦除循环的次数和存储器块的物理特性中的至少一种对第一位线电压进行补偿。

12. 根据权利要求11所述的编程方法，其中，基于操作温度、执行的编程循环的次数、编程/擦除循环的次数和物理特性中的至少一种通过控制位线截止信号，来对第一位线电压进行补偿，

其中，位线截止信号提供到与第三位线连接的开关。

13. 根据权利要求12所述的编程方法，其中，基于操作温度、执行的编程循环的次数、编程/擦除循环的次数和物理特性中的至少一种来控制位线截止信号的电平、高时间段、偏移电平和偏移时间段中的至少一种。

14. 根据权利要求12所述的编程方法，其中，基于操作温度、执行的编程循环的次数、编程/擦除循环的次数和物理特性中的至少一种对编程禁止电压进行补偿。

15. 根据权利要求11所述的编程方法，其中，在第一验证操作期间确定存储器单元中的第一存储器单元，在第二验证操作期间确定存储器单元中的第二存储器单元和第三存储器单元，

其中，第一存储器单元的阈值电压低于第三存储器单元的阈值电压，第三存储器单元的阈值电压低于第二存储器单元的阈值电压。

16. 一种非易失性存储装置，所述非易失性存储装置包括：

存储器单元阵列，包括与字线和位线连接的存储器单元；

地址解码器，被配置为驱动从字线选择的一条字线；

数据输入/输出电路，与位线连接；

编程控制逻辑，被配置为控制数据输入/输出电路和地址解码器，以便：在验证操作期间通过选择的字线施加验证电压以将存储器单元划分为第一存储器单元至第三存储器单元；在编程操作期间，将地电压施加到第一位线，将编程禁止电压施加到第二位线，将第一位线电压施加到第三位线，将编程电压施加到选择的字线，其中，第一位线与第一存储器单元连接，第二位线与第二存储器单元连接，第三位线与第三存储器单元连接，

其中，第一位线电压高于地电压且低于编程禁止电压，并且基于操作温度、执行的编程循环的次数、包括存储器单元的存储器块的编程/擦除循环的次数和存储器块的物理特性中的至少一种对第一位线电压进行补偿。

17. 根据权利要求16所述的非易失性存储装置，其中，数据输入/输出电路包括：

开关，分别与位线连接；以及

预充电电路，被配置为通过开关分别对位线进行充电。

18. 根据权利要求17所述的非易失性存储装置，其中，编程控制逻辑基于操作温度、执行的编程循环的次数、编程/擦除循环的次数和物理特性中的至少一种控制位线截止信号，

其中，开关被配置为：响应于位线截止信号向第三位线充电有补偿的第一位线电压。

19. 根据权利要求18所述的非易失性存储装置，其中，编程控制逻辑控制位线截止信号的电平、高时间段、偏移电平和偏移时间段中的至少一种以补偿第一位线电压。

20. 根据权利要求16所述的非易失性存储装置，其中，所述非易失性存储装置还包括：

温度检测器，被配置为检测操作温度。

非易失性存储装置及其编程方法

技术领域

[0001] 本发明构思的实施例总体上涉及非易失性存储装置。更具体地,本发明构思的实施例涉及闪存装置和编程的相关方法。

背景技术

[0002] 易失性存储装置的示例包括动态随机存取存储器(DRAM)、静态随机存取存储器(SRAM),非易失性存储装置的示例包括电可擦除可编程只读存储器(EEPROM)、铁电随机存取存储器(FRAM)、相变随机存取存储器(PRAM)、磁阻随机存取存储器(MRAM)和闪存。

[0003] 近年来,采用非易失性存储装置的设备的数量已经增加。作为示例,非易失性存储装置越来越多地用于MP3播放器、数字照相机、蜂窝电话、摄像机、闪存卡、固态硬盘(SSD)等等,这是示例的一部分。此外,非易失性存储装置的整体存储容量也已经有所增加,导致当今使用大量非易失性数据存储。

[0004] 增加非易失性存储装置的存储容量的一种方法是通过在每个存储器单元中存储不止一位的数据。因为存储器单元存储多层数据(例如,较低层位、较高层位、中间层位等),所以在每个存储器单元中存储不止一位数据的非易失性存储装置被称为多层单元(MLC)装置。多层单元通常通过将阈值电压保持在多个阈值电压分布中的一个内来存储数据。例如,在两位MLC中,可以使用四个阈值电压分布来存储数据“11”、“10”、“00”、“01”。

[0005] 为了可靠地读取MLC装置,MLC中的阈值电压分布必须足够分离,使得它们可以在读取操作中被区分。换句话说,MLC必须具有足够的读取裕度以允许准确的数据感测。用于确保足够的读取裕度的常用编程方法是增量步进脉冲编程(ISPP)。在ISPP中,利用多个编程循环对存储器单元进行编程,每个编程循环包括用于施加编程脉冲的编程步骤以及用于确定存储器单元是否已被充分编程的验证步骤。在每个编程循环中,将连续较大的编程脉冲施加到存储器单元。每个连续脉冲之间的增量差(ΔV)通常是小的,以确保足够的读取裕度。但不幸的是,使用小的 ΔV 往往会增加所需脉冲的数量和总体编程时间,从而减慢MLC装置的操作。

发明内容

[0006] 根据示例性实施例,一种包括与选择的字线连接的存储器单元的非易失性存储装置的编程方法包括:将第一编程电压施加到选择的字线;将验证电压施加到选择的字线以验证存储器单元的编程状态;基于验证结果,将第一位线电压施加到与存储器单元中的第一存储器单元连接的第一位线,将编程禁止电压施加到与存储器单元中的第二存储器单元连接的第二位线,将第二编程电压施加到选择的字线。第一位线电压高于地电压且低于编程禁止电压。基于操作温度、执行的编程循环的次数、包括存储器单元的存储器块的编程/擦除循环的次数和存储器块的物理特性中的至少一种对第一位线电压进行补偿。

[0007] 根据示例性实施例,一种非易失性存储装置的编程方法包括:将第一编程电压施加到选择的字线,以执行第一编程操作;将第一验证电压施加到选择的字线,以执行用于验

证与选择的字线连接的存储器单元的编程状态的第一验证操作和第二验证操作;基于第一验证操作和第二验证操作的结果,将地电压施加到第一位线,将编程禁止电压施加到第二位线,将第一位线电压施加到第三位线,将第二编程电压施加到选择的字线。第一位线与存储器单元中的第一存储器单元连接,第二位线与存储器单元中的第二存储器单元连接,第三位线与存储器单元中的第三存储器单元连接,第一位线电压高于地电压且低于编程禁止电压。基于操作温度、执行的编程循环的次数、包括存储器单元的存储器块的编程/擦除循环的次数和存储器块的物理特性中的至少一种对第一位线电压进行补偿。

[0008] 根据示例性实施例,一种非易失性存储装置包括:存储器单元阵列,包括与字线和位线连接的存储器单元;地址解码器,驱动从字线选择的一条字线;数据输入/输出电路,与位线连接;以及编程控制逻辑,控制数据输入/输出电路和地址解码器,以便在验证操作期间通过选择的字线施加验证电压以将存储器单元划分为第一存储器单元至第三存储器单元,并且在编程操作期间将地电压施加到第一位线,将编程禁止电压施加到第二位线,将第一位线电压施加到第三位线,将编程电压施加到选择的字线。第一位线与第一存储器单元连接,第二位线与第二存储器单元连接,第三位线与第三存储器单元连接。第一位线电压高于地电压且低于编程禁止电压。基于操作温度、执行的编程循环的次数、包括存储器单元的存储器块的编程/擦除循环的次数和存储器块的物理特性中的至少一种对第一位线电压进行补偿。

附图说明

[0009] 通过下面结合附图的详细描述,将更清楚地理解本发明构思的实施例。在附图中,同样的附图标记指示同样的特征。

[0010] 图1是根据本发明构思的实施例的闪存装置的框图。

[0011] 图2是示出在包括两步验证操作的ISPP方法中的编程电压和验证电压的电压图。

[0012] 图3A是示出根据不同的验证电压将存储器单元阈值电压划分为三个不同的区域的图。

[0013] 图3B是示出在编程操作之后存储器单元的阈值电压分布的图。

[0014] 图4是示出在包括两步验证操作的ISPP方法中使用的编程电压和验证电压的电压图。

[0015] 图5A是示出根据在不同的验证操作期间流经存储器单元的电流的不同的量将存储器单元划分为三个不同的区域的图。

[0016] 图5B是示出在编程操作完成之后存储器单元的阈值电压分布的图。

[0017] 图6是根据本发明构思的实施例的页缓冲器的框图。

[0018] 图7是根据本发明构思的实施例的包括两步验证操作的编程方法的时序图。

[0019] 图8是示出根据本发明构思的另一实施例的两步验证操作的流程图。

[0020] 图9是示出根据本发明构思的基于感测结果的编程操作的流程图。

[0021] 图10是示出根据本发明构思的非易失性存储装置的框图。

[0022] 图11A至图13B是用于描述控制图10的非易失性存储装置的编程禁止电压的方式的曲线图。

[0023] 图14是示出根据本发明构思的非易失性存储装置的编程操作的时序图。

- [0024] 图15是示出根据本发明构思的实施例的存储装置的框图。
- [0025] 图16是示出包括在非易失性存储装置中的存储器块的电路图。
- [0026] 图17是示出图15的编程/擦除表的图。
- [0027] 图18是示出图15的块特性表的图。
- [0028] 图19A和图19B是示出根据本发明构思的非易失性存储装置的多个存储器单元的阈值电压分布的分布图。
- [0029] 图20A和图20B是用于描述根据图19A的分布图的编程操作的时序图。
- [0030] 图21是示出应用了根据本发明构思的非易失性存储装置的固态驱动系统的框图。
- [0031] 图22是示出应用了根据本发明构思的非易失性存储装置的电子装置的示例性实施方式的框图。

具体实施方式

[0032] 在下文中将参照附图更充分地描述各种实施例。然而,本发明构思可以以许多不同的形式来实现,并且不应该被理解为仅受限于示出的实施例。相反,这些实施例作为教导示例来呈现。

[0033] 图1是根据本发明构思的实施例的闪存装置100的框图。

[0034] 参照图1,闪存装置100包括存储器单元阵列110、地址解码器120、数据输入/输出(I/O)电路130和编程(PGM)控制逻辑电路140。

[0035] 存储器单元阵列110包括以行和列布置的多个存储器单元。存储器单元阵列110中的存储器单元经由字线WL1至WL_m(统称为字线WL)连接到地址解码器120,并且经由位线BL1至BL_n(统称为位线BL)连接到数据I/O电路130。另外,存储器单元阵列110中的每行存储器单元连接到字线WL中的对应的一条字线。

[0036] 存储器单元阵列110中的存储器单元可以包括存储一位数据的单层单元(SLC)和/或存储多于一位数据的多层单元(MLC)。连接到同一字线的一组SLC可以存储数据方案的单一页,而连接到同一字线的一组MLC可以构成数据的多页。

[0037] 地址解码器120经由字线WL1至WL_m连接到存储器单元阵列110。编程控制逻辑电路140控制地址解码器120。地址解码器120从外部装置接收地址ADDR。地址ADDR包括行地址和列地址。

[0038] 地址解码器120对行地址进行解码,并且基于解码的行地址来选择字线WL中的一条字线。地址解码器120还对列地址进行解码,并且将解码的列地址传递到数据I/O电路130。数据I/O电路130基于解码的列地址来选择位线BL。

[0039] 编程控制逻辑电路140控制数据I/O电路130。数据I/O电路130经由位线BL来连接到存储器单元阵列110。数据I/O电路130从外部装置接收数据并且将接收的数据存储在存储器单元阵列110中。数据I/O电路130还读取存储在存储器单元阵列110中的数据,并且将读取的数据传递到外部装置。

[0040] 在一些实施例中,数据I/O电路130包括列选择门、页缓冲器和数据缓冲器。在一些实施例中,数据I/O电路130包括列选择门、写入驱动器、感测放大器和数据缓冲器。

[0041] 编程控制逻辑电路140响应于外部控制信号CTRL进行操作。编程控制逻辑电路140控制数据I/O电路130和地址解码器120。在一些实施例中,在编程验证操作中编程控制逻辑

电路140控制用于感测存储器单元的阈值电压的感测时间。

[0042] 在增量步进脉冲编程 (incremental step pulse programming, ISPP) 操作之前, 步进电压施加到选择的字线, 以使存储器单元的阈值电压分布达到目标电压。在ISPP操作之前的该操作被称为收敛编程操作 (convergence program operation)。在收敛编程操作之后, 执行ISPP操作以对存储器单元的在验证电压之下的阈值电压进行编程。

[0043] 与在ISPP操作之后存储器单元具有的阈值电压分布相比, 存储器单元在收敛编程操作之后具有较宽的阈值电压分布。在收敛编程操作之后执行ISPP操作, 以使存储器单元的宽的阈值电压分布变窄。所得的较窄的阈值电压分布确保用于执行可靠的读取操作的足够的读取裕度。

[0044] 为了使阈值电压分布变窄, ISPP操作提供在连续的循环迭代中增加预定的步进电压 (ΔV) 的编程电压。在ISPP操作中, 执行多个循环, 其中, 每个循环包括编程步骤以及验证步骤, 在编程步骤中编程电压施加到选择的存储器单元, 在验证步骤中执行验证操作, 以确定选择的存储器单元是否已经被编程为期望的阈值电压。利用连续的循环迭代中增加的编程电压来执行多个循环。

[0045] 步进电压大小 (ΔV) 必须足够小以确保足够的读取裕度。然而, 随着电压步进大小减小, 对存储器单元进行编程所需要的循环的次数往往增加。结果, 编程速度往往受影响。然而, 如下所述, 该限制可以通过利用包括两步验证操作的ISPP方法解决。

[0046] 图2示出了在包括两步验证操作的ISPP方法中的编程电压和验证电压。在图2中, 横轴表示时间, 纵轴表示编程电压和验证电压的电压电平。

[0047] 在图2的ISPP方法中, 编程电压 V_{pgm1} 经由字线施加到选择的存储器单元。接下来, 具有不同电压电平的验证电压 V_{f1} 和 V_{f2} 经由字线施加到选择的存储器单元。然后在编程电压增进 ΔV 而验证电压 V_{f1} 和 V_{f2} 保持不变的情况下重复该过程。

[0048] 利用该方法, 被收敛编程的存储器单元根据它们的阈值电压利用两步验证操作被划分为三个区域。三个区域包括具有低于验证电压 V_{f1} 的阈值电压的存储器单元、具有在验证电压 V_{f1} 和 V_{f2} 之间的阈值电压的存储器单元以及具有大于验证电压 V_{f2} 的阈值电压的存储器单元。

[0049] 图3A和图3B是示出具有两步验证操作的ISPP方法的阈值电压图。在图3A和图3B中, 横轴表示存储器单元的阈值电压分布, 纵轴表示存储器单元的数量。图3A示出了在收敛编程操作之后根据不同的验证电压将存储器单元划分为三个区域。图3B示出了在ISPP编程操作之后存储器单元的阈值电压分布。

[0050] 参照图3A, 验证电压 V_{f1} 和 V_{f2} 通过字线施加到存储器单元。具有相对较低的电压电平的验证电压 V_{f1} 将被称为第一验证电压 V_{f1} , 具有相对较高的电压电平的验证电压 V_{f2} 将被称为第二验证电压 V_{f2} 。

[0051] 存储器单元的具有比第一验证电压 V_{f1} 低的阈值电压的区域将被称为第一区域R1。存储器单元的具有比第一验证电压 V_{f1} 高且比第二验证电压 V_{f2} 低的阈值电压的区域将被称为第二区域R2。存储器单元的具有比第二验证电压 V_{f2} 高的阈值电压的区域将被称为第三区域R3。

[0052] 在第一验证操作中, 利用第一验证电压 V_{f1} 将第一区域R1中的存储器单元与第三区域R2或第三区域R3中的存储器单元区分开。在第二验证操作中, 利用第二验证电压 V_{f2} 将

第二区域R2中的存储器单元与第三区域R3中的存储器单元区分开。此后,如下所述,利用ISPP方法来利用两步验证操作将存储器单元编程为最终状态。

[0053] 在第一验证操作中,电源电压Vcc施加到与存储器单元的串对应的位线。接收电源电压Vcc的位线浮置。施加电源电压Vcc以使位线浮置的步骤将被称为位线预充电操作。接下来,第一验证电压Vf1通过选择的字线施加到存储器单元。读取电压Vread(例如,大约4.5V)施加到未选择的字线。

[0054] 在第一验证操作中,第一区域R1中的存储器单元通过第一验证电压Vf1导通,第二区域R2和第三区域R3中的存储器单元不能通过第一验证电压Vf1导通。因此,第一验证电压Vf1用来将第一区域R1中的存储器单元与第二区域R2和第三区域R3中的存储器单元区分开。

[0055] 在第二验证操作中,对在第一验证操作中被确定为处于第二区域R2或第三区域R3中的存储器单元再次执行位线预充电操作。此外,第二验证电压Vf2通过选择的字线施加到存储器单元。读取电压Vread施加到与未被选择的字线连接的存储器单元。

[0056] 在第二验证操作中,第二区域R2中的存储器单元导通,第三区域R3中的存储器单元未导通。因此,在第二验证操作中利用第二验证电压Vf2来将第二区域R2中的存储器单元与第三区域R3中的存储器单元区分开。

[0057] 如下所述,一旦存储器单元已经被划分为区域R1至R3,处于不同区域中的存储器单元可以在编程操作期间被供应有不同的位线电压,以控制编程速度。

[0058] 首先,执行位线偏置操作。在位线偏置操作中,第一电压(例如,地电压0V)施加到第一区域R1中的存储器单元的位线;高于第一电压且低于编程禁止电压的第二电压(例如,1V)施加到第二区域R2中的存储器单元的位线;高于第二电压的第三电压(例如,编程禁止电压Vcc)施加到第三区域R3中的存储器单元的位线。

[0059] 因为区域R1至R3中的存储器单元接收不同的位线电压,所以往往以不同的速率对它们进行编程。具体地,由于较低的位线电压,区域R1中的存储器单元在ISPP操作的每个步骤处往往变得被更加明显地编程。这可以通过下述事实来解释:将相对较高的位线电压施加到第二区域R2和第三区域R3中的存储器单元减小了施加在存储器单元的控制栅极和沟道之间的电压,这往往减少传递到各个浮栅的电荷的量。

[0060] 在上述编程操作之后,如上所述,第一验证电压Vf1和第二验证电压Vf2再次施加到存储器单元,基于存储器单元是否响应于第一验证电压Vf1和第二验证电压Vf2而导通来将存储器单元再次划分为区域R1至R3。其后,如上所讨论的,对于不同区域中的存储器单元利用不同的位线电压,对存储器单元再次执行编程操作。包括编程操作和两步验证操作的过程以连续的循环重复,直到所有的存储器单元具有比第二验证电压Vf2高的阈值电压。在一些实施例中,字线电压可以在每个连续的循环中增进,在其它实施例中,字线电压可以在每个循环中保持不变。

[0061] 图3B示出了在所有存储器单元已经被成功地编程为具有在第二验证电压V2之上的阈值电压之后的的阈值电压分布。如图3B示出的,上述方法可以通过利用不同的位线电压对不同区域中的存储器单元进行编程来对具有相对窄的阈值电压分布的存储器单元进行编程。

[0062] 通过上述编程方法编程的存储器单元往往比利用传统的ISPP方法编程的存储器

单元编程得快。在一些实施例中,这是因为与传统的ISPP方法相比,使用了较大的步进大小(ΔV),使得编程循环的总次数减小。

[0063] 上述方法的一个缺点是使用两种不同的验证电压的要求往往增加编程时间。下面描述的以下实施例解决了这个缺点。

[0064] 图4示出了根据本发明构思的实施例在包括两步验证操作的ISPP方法中的编程电压和验证电压。在图4中,横轴表示时间,纵轴表示编程电压和验证电压的电压电平。

[0065] 参照图4,编程电压 V_{pgm1} 经由选择的字线施加到选择的存储器单元。其后,验证电压 V_{FY} 经由选择的字线施加到存储器单元。与图2的方法不同,图4中的验证电压 V_{FY} 在两步验证操作期间保持恒定的电压电平。

[0066] 在图4中,执行两次验证操作,同时验证电压 V_{FY} 保持恒定的电压电平。在第一感测时间 T_{s1} 执行第一验证操作,在距第一感测时间 T_{s1} 预定间隔的第二感测时间 T_{s2} 执行第二验证操作。

[0067] 在第一验证操作中,流经选择的存储器单元的电流与第一参考电流 I_{s1} 进行比较,在第二验证操作中,流经选择的存储器单元的电流与第二参考电流 I_{s2} 进行比较。因为区域R1中的存储器单元具有比区域R2和R3中的存储器单元低的阈值电压,所以在验证电压 V_{FY} 施加到这些存储器单元时,这些存储器单元将往往具有与区域2和区域3中的存储器单元相比大的电流。换言之,具有较低的阈值电压的存储器单元将往往具有较高的电流。因此,在第一验证操作之后,具有比第一参考电流 I_{s1} 大的电流的选择的存储器单元将被分配到区域R1。相似地,在第二验证操作之后,具有比第二参考电流 I_{s2} 大的电流的选择的存储器单元将被分配到区域R2。其余的选择的存储器单元被分配到区域R3。

[0068] 利用连续增大的编程电压 V_{pgm2} 和 V_{pgm3} 等重复图4的过程。因为验证电压在两步验证操作期间保持不变,所以与图2的方法相比,图4的方法花费较少的时间。

[0069] 图5A和图5B是示出根据本发明构思的实施例的包括两步验证操作的ISPP方法的阈值电压图。在图5A和图5B中,横轴表示存储器单元的阈值电压分布,纵轴表示存储器单元的数量。图5A示出了根据在不同的验证操作中流经存储器单元的电流的不同的量将存储器单元划分为三个区域。图5B示出了在编程操作完成之后存储器单元的阈值电压分布。

[0070] 参照图5A,基于在不同的感测时间流经存储器单元的电流的量将存储器单元划分为第一区域R1、第二区域R2和第三区域R3。通过选择的字线以恒定的电平将验证电压 V_{FY} 施加到选择的存储器单元。同时,不同的电压施加到未被选择的字线。

[0071] 如上所述,通过在第一感测时间 T_{s1} 将流经存储器单元的电流和第一参考电流 I_{s1} 进行比较,并且在第二感测时刻 T_{s2} 将流经存储器单元的电流与第二参考电流 I_{s2} 进行比较,将存储器单元划分为第一区域R1至第三区域R3。利用第一参考电流 I_{s1} 将第一区域R1中的存储器单元与第二区域R2和第三区域R3中的存储器单元区分开的过程将被称为第一验证操作,利用第二参考电流 I_{s2} 将第二区域R2中的存储器单元与第三区域R3中的存储器单元区分开的过程将被称为第二验证操作。

[0072] 图4和图5A以及图5B的方法消除了利用不同的验证电压执行两次验证操作的要求。这也消除了执行两次位线预充电操作的需要。因此,与图2和图3A以及图3B的方法相比,图4和图5A以及图5B的方法可以节省时间。

[0073] 在图5A和图5B的第一验证操作中,执行位线预充电操作。验证电压 V_{FY} 经由选择的

字线施加到选择的存储器单元。其后,利用处于同一电平的验证电压VFY来执行第二验证操作。贯穿第一验证操作和第二验证操作,不同的电压(例如,读取电压Vread)施加到未被选择的字线。

[0074] 一旦存储器单元已经被划分为第一区域R1至第三区域R3,利用逐步增加的字线电压以及基于每个存储器单元的区域改变使得第一区域R1中的存储器单元以与第二区域R2中的存储器单元的速率不同的速率来进行编程的位线电压等,可以对这些存储器单元执行编程操作。上面结合图3A和图3B描述了基于区域R1至R3改变位线电压的过程。因此,将省略对该过程的附加的解释,以避免冗余。

[0075] 图5B示出了在已经利用比验证电压VFY高的阈值电压对第一区域R1至第三区域R3中的所有存储器单元进行成功地编程之后选择的存储器单元的阈值电压分布。如同上面结合图3B所述,该阈值电压分布足够窄,以确保足够的感测裕度。

[0076] 与图2和图3A以及图3B的方法相比,可以利用图4和图5A以及图5B的方法对存储器单元进行更快的编程。这是因为图4和图5A以及图5B的方法利用恒定的验证电压来在区域R1至R3中的存储器单元之间进行区分。这消除了改变验证电压的电平所需要的时间。

[0077] 另外,图4和图5A以及图5B的方法执行预充电操作仅一次,而图2和图3A以及图3B的编程方法执行预充电操作两次。因此,图4和图5A以及图5B的方法消除执行附加预充电操作所需要的时间。

[0078] 图6是根据本发明构思的实施例的页缓冲器20的框图。将参照图6来描述用于将感测节点的电压电平与参考电压进行比较以感测存储器单元的数据的操作。

[0079] 参照图6,页缓冲器20包括位线BL、预充电电路21和感测/锁存电路22。感测节点S0位于预充电电路21和感测/锁存电路22之间。开关23位于感测节点S0和位线BL之间。开关23可以是晶体管。

[0080] 预充电电路21在验证选择的存储器单元之前对位线BL和感测节点S0进行预充电。在位线BL和感测节点S0被预充电之后,验证电压VFY施加到选择的字线,不同的电压施加到未被选择的字线。

[0081] 这时,预充电电路21中断将预充电电力向位线BL和感测节点S0的供应。开关23响应于位线截止信号BLSHF导通位线BL和感测节点S0之间的电流路径。这相似于中断外部电力的供应的同时将位线BL和感测节点S0彼此短路的效果。这将被称为位线BL和感测节点S0之间的结合状态。在示例实施例中,可以通过编程控制逻辑140或单独的电压生成器来生成位线截止信号。

[0082] 在位线BL和感测节点S0结合在一起时,执行发展操作。在发展操作中,位线BL中预充电的电荷通过存储器单元的沟道泄漏到地节点。当位线BL中预充电的电荷泄漏到地节点时,因为位线BL和感测节点S0基本彼此短路,所以对应的电荷从感测节点S0被供应到位线BL。

[0083] 因此,在执行发展操作之后,将感测节点S0的电压电平与参考电压进行比较,以感测存储器单元的数据。这是因为在与位线BL的泄漏到地节点的电荷对应的电荷从感测节点S0供应到位线BL时,感测节点S0的电压电平改变。

[0084] 对感测节点S0的电压电平进行感测以感测存储器单元的数据的操作比对位线BL的电压电平进行感测以感测存储器单元的数据的操作执行得快。这是因为在感测节点S0的

电容小于位线BL的电容时,感测节点S0的电压电平比位线BL的电压电平改变得快。将参照图7对此进行进一步详细描述。

[0085] 如上所述,将感测节点S0的电压电平与参考电压Vref进行比较,以感测存储器单元的数据。在这种情况下,如果在一个发展操作中在不同的验证时间执行两步验证操作,则会发生数据错误。在本发明构思的另一实施例中,执行感测节点S0的预充电操作两次以防止这样的数据错误。将参照图8对此进行进一步详细描述。

[0086] 图7是根据本发明构思的实施例的包括两步验证操作的编程方法的时序图。在图7中,横轴表示时间,纵轴表示电压电平。

[0087] 在图7中,“Va”表示位线中预充电的电压。“Vb”表示感测节点S0中预充电的电压。“Vref”表示页缓冲器中的参考电压。由“t0”表示在完成预充电操作之后的发展操作开始时间。“A”表示具有与图5A和图5B的第三区域R3对应的阈值电压的存储器单元。“B”表示具有与图5A和图5B的第二区域R2对应的阈值电压的存储器单元。“C”表示具有与图5A和图5B的第一区域R1对应的阈值电压的存储器单元。

[0088] 图7示出在发展操作中位线BL的电压变化和感测节点S0的电压变化。

[0089] 首先,预充电电路21对位线BL和感测节点S0进行预充电。在这种情况下,位线BL中预充电的电压电平VBL将低于感测节点S0中预充电的电压电平V_{S0}。在这种情况下,位线BL的电容将大于感测节点S0的电容。在下文中,验证电压VFY通过选择的字线施加到选择的存储器单元。验证电压VFY在发展操作期间保持恒定电平。读取电压Vread通过未被选择的字线施加到未被选择的存储器单元。

[0090] 在时间t0执行发展操作。如参照图6描述的,在位线BL和感测节点S0结合在一起时执行发展操作。在发展操作中,当位线BL中预充电的电荷泄漏时,对应的电荷将从感测节点S0被供应到位线BL。因此,感测节点S0中预充电的电压电平将与从感测节点S0被供应到位线BL的电荷成比例地减小。

[0091] 存储器单元中流动的电流取决于存储器单元的阈值电压分布。具有较低的阈值电压的存储器单元将具有相对大的单元电流,而具有较高的阈值电压的存储器单元具有相对小的单元电流。也就是说,存储器单元中流动的电流与阈值电压电平成反比。

[0092] 当存储器单元中流动的电流大时,存储器单元的位线BL中预充电的电荷快速泄漏。在这种情况下,感测节点S0中预充电的电荷被快速供应到位线BL。这是因为在感测节点S0和位线BL结合在一起时执行发展操作。因此,感测节点S0的电压电平快速减小。也就是说,具有低的阈值电压的存储器单元的感测节点S0的电压电平比具有高的阈值电压的存储器单元的感测节点S0的电压电平减小得快。

[0093] 因为存储器单元“A”具有最高的阈值电压,所以与存储器单元“A”对应的感测节点S0中预充电的电压电平比与存储器单元“B”和“C”对应的感测节点S0中预充电的电压电平减小得慢。

[0094] 因为存储器单元“C”具有最低的阈值电压,所以与存储器单元“C”对应的感测节点S0中预充电的电压电平比与存储器单元“A”和“B”对应的感测节点S0中预充电的电压电平减小得快。

[0095] 因为存储器单元“B”具有比存储器单元“A”低且比存储器单元“C”高的阈值电压,所以与存储器单元“B”对应的感测节点S0中预充电的电压电平比与存储器单元“A”对应的

感测节点S0中预充电的电压电平下降得快,并且比与存储器单元“C”对应的感测节点S0中预充电的电压电平下降得慢。

[0096] 首先,可以在第一感测时间 T_{s1} 确定具有低的阈值电压的存储器单元是导通还是截止。这是因为在具有低的阈值电压的存储器单元中感测节点S0的电压比在具有高的阈值电压的存储器单元中感测节点S0的电压下降得快。

[0097] 在第一感测时间 T_{s1} ,在存储器单元“A”和“B”中感测节点S0的电压高于参考电压 V_{ref} 。在存储器单元“C”中感测节点S0的电压低于参考电压 V_{ref} 。因此,存储器单元“A”和“B”被确定为截止,存储器单元“C”被确定为导通。因此,存储器单元“C”被确定为具有比存储器单元“A”和“B”低的阈值电压(例如,图5A和图5B的第一区域R1)。

[0098] 可以在第二感测时间 T_{s2} 确定具有高的阈值电压的存储器单元是导通还是截止。这是因为在具有高的阈值电压的存储器单元中感测节点S0的电压比在具有低的阈值电压的存储器单元中感测节点S0的电压下降得慢。

[0099] 在第二感测时间 T_{s2} ,在存储器单元“A”中感测节点S0的电压高于参考电压 V_{ref} 。在存储器单元“B”中感测节点S0的电压低于参考电压 V_{ref} 。因此,存储器单元“A”被确定为截止,存储器单元“B”被确定为导通。因此,存储器单元“B”被确定为具有比存储器单元“A”(例如,图5A和图5B的第三区域R3)低的阈值电压。

[0100] 如上所述,通过利用不同的感测时间,本发明构思的实施例可以确定存储器单元在第一区域R1、第二区域R2和第三区域R3中的哪一个区域中。由于验证电压 V_{FY} 保持恒定电平,所以不需要改变验证电压。因此,本发明构思的实施例可以将编程时间减少了改变验证电压所花的时间。

[0101] 此外,本发明构思的一些实施例仅执行一次位线预充电操作,这也可以减少执行位线预充电操作所花的时间。

[0102] 本发明构思的一些实施例在感测节点S0和位线BL结合在一起时执行发展操作。在这些实施例中,验证存储器单元的阈值电压所花的时间可以比在感测节点S0和位线BL未结合在一起时执行发展操作的实施例中所花的时间短。特别是当感测节点S0的电容小于位线BL的电容时,这会是真的。

[0103] 同时,在图7的实施例中,已经假设在执行了一次感测节点S0和位线BL的预充电操作之后执行两步验证操作。这仅仅是示例,并且不意图限制本发明构思。在本发明构思的其它实施例中,可以执行两次感测节点S0的预充电操作。这将在下面参照图8来进行描述。

[0104] 图8是示出根据本发明构思的另一实施例的两步验证操作的流程图。

[0105] 在图8的实施例中,将感测节点S0的电压电平与参考电压 V_{ref} 进行比较以感测来自选择的存储器单元的数据。

[0106] 在步骤S110中,对位线BL和感测节点S0进行预充电。上面参照图6和图7描述了该操作,因此,将省略附加的描述以避免冗余。

[0107] 在步骤S120中,经由选择的字线将验证电压 V_{FY} 施加到选择的存储器单元。例如,结合图5A和图5B所述,验证电压 V_{FY} 在第一验证操作和第二验证操作中保持恒定的电平。

[0108] 在步骤S130中,在第一感测时间 T_{s1} 确定选择的存储器单元是导通的还是截止的。这与图5A和图5B的第一验证操作类似。然而,在这种情况下,如在图6和图7中示出的,将感测节点S0的电压电平与参考电压 V_{ref} 进行比较以确定存储器单元是导通的还是截止的。

[0109] 在步骤S140中,在感测节点预充电(S0预充电)操作的同时将步骤S130中感测到的存储器单元的数据传输到外部装置。也就是说,被确定为处于第一区域R1中的选择的存储器单元的数据以及被确定为处于第二区域R2或第三区域R3中的选择的存储器单元的数据通过图6的感测/锁存电路22传输到外部装置。

[0110] 如图6和图7中示出的,通过感测节点S0将与位线BL的泄漏到地节点的电荷对应的电荷供应到位线BL。因此,位线BL的电压可以保持几乎恒定的电平,并且预充电电路21不需要对位线进行预充电。然而,如果位线BL的电压电平已经改变,则预充电电路21可以同时有位线BL和感测节点S0进行预充电。

[0111] 在步骤S150中,在第二感测时间 T_{s2} 确定存储器单元是导通的还是截止的。这与图5A的第二验证操作类似。换句话说,在步骤S150中,确定被确定不在第一区域R1中的存储器单元是处于第二区域R2中还是处于第三区域R3中。然而,在这种情况下,将感测节点S0的电压电平与参考电压 V_{ref} 比较以确定存储器单元是导通的还是截止的。此外,在这种情况下,在一个发展操作中仅执行一次验证操作。

[0112] 在步骤S160中,将在步骤S150中感测到的存储器单元的数据传输到外部装置。

[0113] 图9是示出根据本发明构思的基于感测结果的编程操作的流程图。参照图1和图9,在步骤S210中,基于验证操作的结果和各种条件中的至少一种,非易失性存储装置100可以向位线提供编程禁止电压。例如,如上所述,非易失性存储装置100可以基于感测结果来确定每个存储器单元是属于第一区域R1还是属于第二区域R2。非易失性存储装置100可以将第一电压提供到与属于第一区域R1的存储器单元对应的位线,并且可以将比第一电压高的第二电压提供到与属于第二区域R2的存储器单元对应的位线。

[0114] 在这种情况下,根据本发明构思的非易失性存储装置100可以基于各种条件中的至少一种来调整第一电压和第二电压。在实施例中,各种条件可以包括与以下相关的条件:非易失性存储装置100的温度、执行的编程循环的次数、其上正在执行编程操作的存储器块的编程/擦除循环的次数以及其上正在执行编程操作的存储器块/存储器单元的物理特性。

[0115] 在步骤S220中,非易失性存储装置100可以向字线提供编程电压。例如,如上所述,非易失性存储装置100可以向选择的字线提供编程电压。可以通过编程电压来改变与选择的字线连接的存储器单元的阈值电压。在这种情况下,如上所述,上面描述了存储器单元的编程速度可以随着位线的电压而变化。因此,将省略附加的描述以避免冗余。

[0116] 如上所述,根据本发明构思的非易失性存储装置100可以基于下述各种条件调整或补偿在编程操作中将要提供到位线的编程禁止电压,各种条件为诸如非易失性存储装置100的温度、执行的编程循环的次数、其上正在执行编程操作的存储器块的编程/擦除循环的次数以及其上正在执行编程操作的存储器块/存储器单元的物理特性。

[0117] 图10是示出根据本发明构思的非易失性存储装置200的框图。参照图10,非易失性存储装置200可以包括存储器单元阵列210、地址解码器220、输入/输出电路230、编程控制逻辑240和温度检测器250。上面描述了存储器单元阵列210、地址解码器220、输入/输出电路230和编程控制逻辑240。因此,将省略附加的描述以避免冗余。

[0118] 温度检测器250可以检测非易失性存储装置200的温度,并且可以向编程控制逻辑240提供关于检测到的温度的信息Temp。编程控制逻辑240可以基于接收到的温度信息Temp来补偿编程禁止电压。

[0119] 例如,存储器单元进行编程的速度可能随非易失性存储装置200的操作温度而变化。在这种情况下,即使施加相同的编程电压,存储器单元的编程速度可能依据非易失性存储装置200的操作温度而变得相对快,或者可能变得相对慢。因此,根据本发明构思的非易失性存储装置200可以通过依据操作温度补偿编程禁止电压,来使存储器单元即使在操作温度变化的情况下也具有期望的操作速度。

[0120] 在一个实施例中,可以通过各种方法来补偿位线禁止电压(在下文中也被称为位线禁止电压)。例如,可以通过上述预充电电路或电压发生器补偿编程禁止电压。也就是说,可以通过预充电电路或电压发生器产生根据温度信息Temp补偿的位线禁止电压。

[0121] 可选择地,可以依据温度信息Temp通过控制位线截止信号BLSHF,来补偿实际充电到位线的位线禁止电压。下面,将基于控制位线截止信号BLSHF的方式来描述本发明构思的实施例。然而,本发明构思不限于此。例如,可以基于各种条件中的至少一种直接补偿位线禁止电压。

[0122] 图11A至图13B是用于描述控制图10的非易失性存储装置200的编程禁止电压的方式的曲线图。在图11A至图13B的曲线图中,横轴表示时间,纵轴表示信号的大小(或电压电平)。为了便于描述,假定依据上述验证操作将存储器单元划分为第二区域R2和第三区域R3。因为编程禁止电压没有分别提供到与第一区域R1的存储器单元连接的位线,所以在下面的附图中将省略与其相关的配置。

[0123] 此外,为了便于描述,假设第一温度信息Temp1表示关于第一温度的信息,第二温度信息Temp2表示关于不同于第一温度的第二温度的信息。此外,假设表述“第二区域和第一温度信息情况R2/Temp1”表示下述事件,所述事件为验证结果表示特定存储器单元包括在第二区域R2中并且非易失性存储装置200的温度是第一温度。

[0124] 首先,参照图10和图11A,在第二区域和第一温度信息情况R2/Temp1下,非易失性存储装置200可以在第0时间T0期间生成具有第一位线截止信号VBLSHF1的信号。生成的信号可以作为位线截止信号BLSHF提供到与对应于特定存储器单元的位线连接的开关23(参考图6)。这样,可以将第一位线电压VBL1提供到对应于特定存储器单元的位线。

[0125] 在第三区域和第一温度信息情况R3/Temp1下,非易失性存储装置200可以在第0时间T0期间生成具有第三位线截止信号VBLSHF3的信号,并且生成的信号可以作为位线截止信号BLSHF提供到与对应于特定存储器单元的位线连接的开关23(参照图6)。这样,可以将第三位线电压VBL3提供到对应于特定存储器单元的位线。

[0126] 在第二区域和第二温度信息情况R2/Temp2下,非易失性存储装置200可以在第0时间T0期间生成具有第二位线截止信号VBLSHF2的信号,生成的信号可以作为位线截止信号BLSHF提供到与对应于特定存储器单元的位线连接的开关23(参照图6)。这样,可以将第二位线电压VBL2提供到对应于特定存储器单元的位线。

[0127] 类似地,在第三区域和第二温度信息情况R3/Temp2下,非易失性存储装置200可以在第0时间T0期间生成具有第四位线截止信号VBLSHF4的信号,生成的信号可以作为位线截止信号BLSHF提供到与对应于特定存储器单元的位线连接的开关23(参照图6)。这样,可以将第四位线电压VBL4提供到对应于特定存储器单元的位线。

[0128] 在实施例中,根据图11A的实施例,即使使用来自同一电压发生器的相同的电压(例如,VCC),也可以通过调整位线截止信号的电压电平来向与第二区域R2的存储器单元连

接的位线和与第三区域R3的存储器单元连接的位线提供不同的编程禁止电压。此外,可以通过依据温度信息Temp1和Temp2不同地设定位线截止信号的电压电平,将随温度改变的编程禁止电压提供到与同一区域的存储器单元连接的位线。换句话说,可以通过依据温度调整位线截止信号的电压电平来补偿编程禁止电压。

[0129] 接下来,参照图10和图11B,在第二区域和第一温度信息情况R2/Temp1下,非易失性存储装置200可以在第一时间T1期间生成具有第0位线截止信号VBLSHF0的信号,生成的信号可以作为位线截止信号BLSHF提供到与对应于特定存储器单元的位线连接的开关23(参照图6)。这样,可以将第一位线电压VBL1提供到与特定存储器单元对应的位线。

[0130] 在第三区域和第一温度信息情况R3/Temp1下,非易失性存储装置200可以在第三时间T3期间生成具有第0位线截止信号VBLSHF0的信号,生成的信号可以作为位线截止信号BLSHF提供到与对应于特定存储器单元的位线连接的开关23(参照图6)。这样,可以将第三位线电压VBL3提供到与特定存储器单元对应的位线。

[0131] 在第二区域和第二温度信息情况R2/Temp2下,非易失性存储装置200可以在第二时间T2期间生成具有第0位线截止信号VBLSHF0的信号,生成的信号可以作为位线截止信号BLSHF提供到与对应于特定存储器单元的位线连接的开关23(参照图6)。这样,可以将第二位线电压VBL2提供到与特定存储器单元对应的位线。

[0132] 在第三区域和第二温度信息情况R3/Temp2下,非易失性存储装置200可以在第四时间T4期间生成具有第0位线截止信号VBLSHF0的信号,生成的信号可以作为位线截止信号BLSHF提供到与对应于特定存储器单元的位线连接的开关23(参照图6)。这样,可以将第四位线电压VBL4提供到与特定存储器单元对应的位线。

[0133] 在实施例中,根据图11B的实施例,即使使用来自同一电压发生器的相同的电压(例如,VCC),也可以通过调整位线截止信号的高时间段(或期间)来向与第二区域R2的存储器单元连接的位线和与第三区域R3的存储器单元连接的位线提供不同的编程禁止电压。此外,可以通过依据温度信息Temp1和Temp2不同地设定位线截止信号的高时间段(或期间),将随温度改变的编程禁止电压提供到与同一区域的存储器单元连接的位线。换句话说,可以通过依据温度调整位线截止信号的电压电平来补偿编程禁止电压。

[0134] 然后,根据图12A的实施例,可以通过预充电电路21(参照图6)或单独的电压生成器,向与第二区域R2的存储器单元连接的位线和与第三区域R3的存储器单元连接的位线提供不同的编程禁止电压。在这种情况下,在第一温度信息情况(即,R2/Temp1和R3/Temp1)下,具有第一位线截止信号(即,VBLSHF1)和第0时间T0的高时间段(或期间)的信号可以设置为位线截止信号BLSHF。相反,在第二温度信息情况(即,R2/Temp2和R3/Temp2)下,具有第二位线截止信号(即,VBLSHF2)和第0时间T0的高时间段(或期间)的信号可以设置为位线截止信号BLSHF。

[0135] 在位线截止信号BLSHF的上述情况中的每种情况下,可以将不同的编程禁止电压(例如,VBL1、VBL2、VBL3或VBL4)提供到对应的位线。即,在通过预充电电路21(参照图6)或单独的电压生成器向与第二区域R2的存储器单元连接的位线和与第三区域R3的存储器单元连接的位线提供不同的编程禁止电压的情况下,非易失性存储装置200可以被配置为依据温度信息控制位线截止信号BLSHF的大小。

[0136] 然后,参照图10和图12B,与图12A的实施例不同,非易失性存储装置200可以被配

置为依据温度信息Temp1或Temp2调整位线截止信号BLSHF的高时间段(或期间)。例如,在第一温度信息情况(即,R2/Temp1和R3/Temp1)下,具有第0位线截止信号VBLSHF0和第一时间T1的高时间段(或期间)的信号可以设置为位线截止信号BLSHF。在第二温度信息情况(即,R2/Temp2和R3/Temp2)下,具有第0位线截止信号VBLSHF0和第二时间T2的高时间段(或期间)的信号可以设置为位线截止信号BLSHF。

[0137] 根据图12B的实施例,在位线截止信号BLSHF的上述情况中的每种情况下,可以将不同的编程禁止电压(例如,VBL1、VBL2、VBL3或VBL4)提供到对应的位线。即,非易失性存储装置200可以被配置为依据温度信息控制位线截止信号BLSHF的高时间段(或期间)的长度或时间。

[0138] 参照图10、图13A和图13B,位线截止信号BLSHF可以分为两个时间段。例如,位线截止信号BLSHF可以分为偏移时间段T0、T1或T2和饱和时间段T0'、T1'或T2'。偏移时间段T0、T1或T2可以是其中位线截止信号BLSHF具有特定偏移电平VOFF1、VOFF2或VOFF0的时间段。在偏移时间段中,位线禁止电压可以被快速充电。饱和时间段T0'、T1'或T2'可以是其中位线截止信号BLSHF处于饱和电平的时间段。在饱和时间段,位线禁止电压可以是稳定的。

[0139] 在实施例中,如图13A和图13B中示出的,非易失性存储装置200可以依据温度信息Temp1、Temp2等通过控制位线截止信号BLSHF的偏移时间段,来向与每个区域的存储器单元连接的位线提供不同的编程禁止电压。

[0140] 例如,如图13A中示出的,在第二区域和第一温度信息情况R2/Temp1下,位线截止信号BLSHF可以包括在第0时间T0期间具有第一偏移电压VOFF1的偏移时间段;在第二区域和第二温度信息情况R2/Temp2下,位线截止信号BLSHF可以包括在第0时间T0期间具有第二偏移电压VOFF2的偏移时间段。也就是说,当根据温度信息来调整与偏移时间段对应的位线截止信号BLSHF的电平时,编程禁止电压VBL1和VBL2可以被补偿。

[0141] 如图13B中示出的,在第二区域和第一温度信息情况R2/Temp1下,位线截止信号BLSHF可以包括在第1时间T1期间具有第0偏移电压VOFF0的偏移时间段;在第二区域和第二温度信息情况R2/Temp2中,位线截止信号BLSHF可以包括在第二时间T2期间具有第0偏移电压VOFF0的偏移时间段。也就是说,当根据温度信息来调整与偏移时间段对应的位线截止信号BLSHF的长度时,编程禁止电压VBL1和VBL2可以被补偿。

[0142] 根据上述本发明构思的实施例,为了向与同一区域(例如,R2或R3)的存储器单元连接的位线提供随温度信息改变的编程禁止电压的目的,非易失性存储装置200可以控制位线截止信号BLSHF。例如,非易失性存储装置200可以依据温度信息控制各种因素,诸如位线截止信号BLSHF的电平、位线截止信号BLSHF的高时间段的长度、与偏移时间段对应的位线截止信号BLSHF的长度以及位线截止信号BLSHF的与偏移时间段对应的电平。尽管在上述实施例中描述了独立控制各个因素的配置,但是本发明构思不限于此。例如,非易失性存储装置200可以被配置为独立地控制位线截止信号的BLSHF的因素或者被配置为控制各种因素的组合。

[0143] 图14是示出根据本发明构思的非易失性存储装置的编程操作的时序图。参照图1和图14,非易失性存储装置100可以基于增量步进脉冲编程(ISPP)方案执行编程操作。如图14中示出的,ISPP方案可以包括多个编程循环PL1至PLn。编程循环PL1至PLn中的每个可以包括用于将编程电压V_{pgmi}提供到选择的字线的步骤以及用于通过利用验证电压V_{fy}来验

证存储器单元的编程状态的步骤。在实施例中,验证步骤可以基于上述验证方案。在实施例中,如上所述,编程步骤可以包括依据验证结果提供多个编程禁止电压。

[0144] 在实施例中,根据本发明构思的非易失性存储装置100可以基于执行的编程循环的次数来补偿编程禁止电压。例如,如参照图11A至图13B描述的,非易失性存储装置100可以通过控制位线截止信号BLSHF的各种因素来补偿编程禁止电压。在这种情况下,非易失性存储装置100可以基于执行的编程循环的次数来控制位线截止信号BLSHF的因素。

[0145] 详细地,在非易失性存储装置100执行第k编程循环PLk的情况下,如同在参照图11A至图13B描述的第一温度信息情况R2/Temp1或R3/Temp1下一样,非易失性存储装置100可以控制位线截止信号BLSHF。在非易失性存储装置100执行第i编程循环PLi (i是与k不同的整数)的情况下,如同在参照图11A至图13B描述的第二温度信息情况R2/Temp2或R3/Temp2下一样,非易失性存储装置100可以控制位线截止信号BLSHF。也就是说,非易失性存储装置100可以基于执行的编程循环的次数通过控制位线截止信号BLSHF来补偿位线禁止电压。

[0146] 图15是示出根据本发明构思的实施例的存储装置的框图。参照图15,存储装置300可以包括存储器控制器310和非易失性存储装置(或可以被称为闪存)320。在实施例中,存储装置300可以包括大容量存储媒介,诸如存储卡、记忆棒、固态硬盘(SSD)等。在实施例中,非易失性存储装置320可以被配置为执行参照图1至图14描述的编程操作或验证操作或者它们的组合。

[0147] 存储器控制器310可以包括中央处理单元(CPU)311、主机接口312、RAM 313、闪存接口314、编程/擦除表PET和块特性表BCT。CPU 311可以控制存储器控制器310的全部操作。

[0148] RAM 313可以存储存储器控制器310进行操作所需要的各种信息。RAM313可以是存储器控制器310的缓冲器存储器、高速缓存存储器或工作存储器。

[0149] 存储器控制器310可以通过主机接口312与主机通信。主机接口312可以包括以下接口中的至少一种接口,所述接口为诸如双倍数据速率(DDR)接口、通用串行总线(USB)接口、多媒体卡(MMC)接口、嵌入式MMC(eMMC)接口、外围组件互连(PCI)接口、PCI高速(PCI-E)接口、高级技术附件(ATA)接口、串行ATA接口、并行ATA接口、小型计算机小接口(SCSI)、增强型小磁盘接口(ESDI)、集成驱动电子设备(IDE)接口、固件接口、通用闪存(UFS)接口以及非易失性存储器高速(NVMe)接口中的至少一种。存储器控制器310可以通过闪存接口314与非易失性存储装置320进行通信。

[0150] 编程/擦除表PET可以包括与包括在非易失性存储装置320中的多个存储器块关联的编程/擦除循环。在实施例中,编程/擦除表PET可以包括与编程/擦除循环的个数关联的位线截止信号的因素或者关于各个区域与编程禁止电压之间的关系的因素。在实施例中,存储器控制器310可以基于编程/擦除表PET向非易失性存储装置320提供关于将要对其执行编程操作的存储器块或字线的信息,如参照图11A至图13B描述的,非易失性存储装置320可以基于所提供的信息来控制位线截止信号。将参照图17更充分地描述编程/擦除表PET。

[0151] 块特性表BCT可以包括关于包括在非易失性存储装置320中的每个存储器块的物理特性的信息。在实施例中,块特性表BCT可以包括与每个存储器块关联的位线截止信号的因素或者关于各个区域与编程禁止电压之间的关系的因素。存储器控制器310可以基于块特性表BCT向非易失性存储装置320提供关于将要对其执行编程操作的存储器块或字线的

信息,如参照图11A至图13B描述的,非易失性存储装置320可以基于所提供的信息来控制位线截止信号。将参照图18更充分地描述块特性表BCT。

[0152] 在实施例中,编程/擦除表PET和块特性表BCT可以以软件、硬件或其组合的形式来实现。可选择地,编程/擦除表PET和块特性表BCT可以存储在RAM 313中并且可以通过CPU 311管理或处理。

[0153] 图16是示出包括在非易失性存储装置中的存储器块的电路图。三维结构的存储器块将参照图16进行描述,但本发明构思不限于此。根据本发明构思的存储器块可以具有二维存储器块结构。

[0154] 在实施例中,图16中示出的存储器块可以是非易失性存储装置100的物理擦除单元。然而,本发明构思不限于此。例如,擦除单元可以改变为页单元、字线单元、子块单元等。

[0155] 参照图16,存储器块BLK可以包括多个单元串CS11、CS12、CS21和CS22。多个单元串CS11、CS12、CS21和CS22可以沿行方向和列方向布置以形成行和列。

[0156] 多个单元串CS11、CS12、CS21和CS22中的每个单元串包括多个单元晶体管。例如,单元串CS11、CS12、CS21和CS22中的每个单元串可以包括串选择晶体管SSTa和SSTb、多个存储器单元MC1至MC8、地选择晶体管GSTa和GSTb以及虚设存储器单元DMC1和DMC2。在实施例中,包括在单元串CS11、CS12、CS21和CS22中的多个单元晶体管中的每个单元晶体管可以是电荷俘获闪存(CTF)存储器单元。

[0157] 在每个单元串中,多个存储器单元MC1至MC8可以串联连接,并且可以在与由行方向和列方向限定的平面垂直的方向上(即,在高度方向上)堆叠。串选择晶体管SSTa和SSTb可以串联连接,串联连接的串选择晶体管SSTa和SSTb可以置于存储器单元MC1至MC8和位线BL之间。地选择晶体管GSTa和GSTb可以串联连接,串联连接的地选择晶体管GSTa和GSTb可以置于存储器单元MC1至MC8和共源极线CSL之间。

[0158] 在实施例中,第一虚设存储器单元DMC1可以置于存储器单元MC1至MC8与地选择晶体管GSTa和GSTb之间。在实施例中,第二虚设存储器单元DMC2可以置于存储器单元MC1至MC8与串选择晶体管SSTa和SSTb之间。

[0159] 单元串CS11、CS12、CS21和CS22的地选择晶体管GSTa和GSTb可以共同连接到地选择线GSL。在实施例中,同一行中的地选择晶体管可以连接到同一条地选择线,不同行中的地选择晶体管可以连接到不同的地选择线。例如,第一行中的单元串CS11和CS12的第一地选择晶体管GSTa可以连接到第一地选择线,第二行中的单元串CS21和CS22的第一地选择晶体管GSTa可以连接到第二地选择线。

[0160] 在实施例中,尽管图16中未示出,但是设置在距基底(未示出)相同高度处的地选择晶体管可以连接到同一地选择线,设置在不同高度处的地选择晶体管可以连接到不同的地选择线。

[0161] 距基底相同高度的存储器单元或者地选择晶体管GSTa和GSTb共同连接到同一字线,距基底不同高度的存储器单元连接到不同的字线。例如,单元串CS11、CS12、CS21和CS22的存储器单元MC1至MC8可以连接到第一字线WL1至第八字线WL8。

[0162] 来自同一高度处的第一串选择晶体管SSTa之中的属于同一行的第一串选择晶体管连接到同一条串选择线,属于不同行的第一串选择晶体管连接到不同的串选择线。例如,第一行中的单元串CS11和CS12的第一串选择晶体管SSTa可以共同连接到串选择线SSL1a,

第二行中的单元串CS21和CS22的第一串选择晶体管SSTa可以共同连接到串选择线SSL2a。

[0163] 类似地,来自同一高度处的第二串选择晶体管SSTb中的属于同一行的第二串选择晶体管可以连接到同一条串选择线,不同行中的第二串选择晶体管可以连接到不同的串选择线。例如,第一行中的单元串CS11和CS12的第二串选择晶体管SSTb可以共同连接到串选择线SSL1b,第二行中的单元串CS21和CS22的第二串选择晶体管SSTb可以共同连接到串选择线SSL2b。

[0164] 在实施例中,同一高度处的虚设存储器单元连接同一条虚设字线,不同高度处的虚设存储器单元连接不同的虚设字线。例如,第一虚设存储器单元DMC1连接到第一虚设字线DWL1,第二虚设存储器单元DMC2连接到第二虚设字线DWL2。

[0165] 在实施例中,图16中示出的存储器块BLK是示例性的。单元串的数量可以增加或减少,单元串的行的数量和单元串的列的数量可以依据单元串的数量而增加或减少。此外,在存储器块BLK中,单元串(GST、MC、DMC、SST等)的数量可以增加或减少,存储器块BLK的高度可以依据单元晶体管的数量而增加或减少。另外,与单元晶体管连接的布线(GSL、WL、DWL、SSL等)的数量可以依据单元晶体管的数量增加或减少。

[0166] 图17是示出图15的编程/擦除表PET的图。参照图15和图17,编程/擦除表PET可以包括与编程/擦除关联的位线截止信号BLSHF的因素或者关于编程禁止电压的信息。

[0167] 例如,非易失性存储装置320的存储器块的物理特性会随编程/擦除循环的次数而改变。也就是说,每个存储器块的单元特性会随着每个存储器块的编程/擦除循环的次数的增加而减小。为了补偿单元特性的减小,如上所述可以对编程禁止电压进行补偿,或者为此,可以控制位线截止信号。

[0168] 在实施例中,可以针对每个存储器块管理编程/擦除循环,但是本发明构思不限于此。可以针对每个存储器块、针对每个子块、针对每个超级块或者针对每条字线来管理编程/擦除循环。

[0169] 在实施例中,可以对存储器块BLK的特定字线执行编程操作。在实施例中,在存储器块BLK具有第一编程/擦除循环P/E1的情况下,基于编程/擦除表PET,存储器控制器310可以向非易失性存储装置320传输关于以下的信息:与第一编程/擦除循环P/E1对应的位线截止信号BLSHF的第一位线截止信号VBLSHF1、第一时间T1、或第一偏移电压VOFF1;与第一区域关联的第一编程禁止电压VBL_R11;或者与第二区域关联的第一编程禁止电压VBL_R21。依据接收的信息,如参照图11A至图13B所描述的,非易失性存储装置320可以控制位线截止信号BLSHF,或者可以补偿编程禁止电压。

[0170] 图18是示出图15的块特性表BCT的图。参照图15和图18,块特性表BCT可以包括与存储器块BLK1至BLKm中的每个存储器块关联的位线截止信号BLSHF的因素或者关于编程禁止电压的信息。

[0171] 在实施例中,非易失性存储装置320的存储器块可以具有不同的物理特性。例如,由于诸如存储器块的位置、字线的高度、沟道的形状以及存储器单元的大小的各种因素,存储器块或存储器单元可以具有不同的操作速度。为了补偿由于物理特性引起的存储器单元的操作速度,可以如上所述对编程禁止电压进行补偿,或者为此,可以控制位线截止信号。

[0172] 在实施例中,可以对第一存储器块BLK1执行编程操作。在实施例中,基于块特性表BCT,存储器控制器310可以向非易失性存储装置320传输关于以下的信息:与第一存储器块

BLK1对应的位线截止信号BLSHF的第一位线截止信号VBLSHF1、第一时间T1、或第一偏移电压VOFF1；与第一区域关联的第一编程禁止电压VBL_R11；或者与第二区域关联的第一编程禁止电压VBL_R21。依据接收的信息，如参照图11A至图13B所描述的，非易失性存储装置320可以控制位线截止信号BLSHF，或者可以补偿编程禁止电压。

[0173] 在实施例中，可以通过对非易失性存储装置320的初步评估来预先确定编程/擦除表PET或块特性表BCT。可选择地，在驱动非易失性存储装置320的同时，可以通过单独的评估操作周期性地或随机地更新编程/擦除表PET或块特性表BCT。

[0174] 虽然图18中未示出，但是编程/擦除表PET或块特性表BCT可以存储在单独的存储电路或非易失性存储装置320的存储空间中，非易失性存储装置320可以基于编程/擦除表PET或块特性表BCT控制编程禁止电压或位线截止信号。

[0175] 如上所述，根据本发明构思的存储装置或非易失性存储装置可以基于各种条件（例如，存储器块的温度、编程循环计数、编程/擦除循环以及物理特性）来控制编程禁止电压或位线截止信号。这样，可以快速且准确地形成存储器单元的小的阈值电压分布，从而改善存储装置的可靠性。

[0176] 图19A和图19B是示出根据本发明构思的非易失性存储装置的多个存储器单元的阈值电压分布的分布图。图20A和图20B是用于描述根据图19A的分布图的编程操作的时序图。在图19A和图19B中，横轴表示存储器单元的阈值电压，纵轴表示存储器单元的数量。在图20A和图20B中，横轴表示时间，纵轴表示提供到选择的字线的电压。

[0177] 在实施例中，图19A和图19B中示出的存储器单元的阈值电压分布是示例性的，本发明构思不限于此。此外，为了便于描述，假设非易失性存储装置通过一次性编程方案对存储器单元进行编程。一次性编程方案表示通过一个编程操作对多个页进行编程的方案（在这种情况下，所述一个编程操作是包括多个编程循环的一个ISPP操作）。然而，本发明构思不限于此。例如，非易失性存储装置可以通过各种编程方案（例如，多步骤编程方案和影子编程方案）对存储器单元进行编程。

[0178] 参照图1和图19A，存储器单元可以在编程操作之前处于擦除状态“E”。非易失性存储装置100可以对存储器单元进行编程，使得每个存储器单元具有擦除状态“E”和第一编程状态P1至第七编程状态P7中的任何一个。也就是说，每个存储器单元可以是存储3位数据的三层存储器单元TLC。在这种情况下，为了验证存储器单元的编程状态的目的，非易失性存储装置100可以使用第一验证电压VFY1至第七验证电压VFY7。

[0179] 参照图1和图19B，存储器单元可以在编程操作之前处于擦除状态“E”。非易失性存储装置100可以对存储器单元进行编程，使得每个存储器单元具有擦除状态“E”和第一编程状态P1至第十五编程状态P15中的任何一个。也就是说，每个存储器单元可以是存储4位数据的四层存储器单元QLC。在这种情况下，为了验证存储器单元的编程状态的目的，非易失性存储装置100可以使用第一验证电压VFY1至第十五验证电压VFY15。

[0180] 在实施例中，为了验证存储器单元的状态的目的，非易失性存储装置100可以基于上述验证方案执行验证操作。在这种情况下，非易失性存储装置100可以被配置为通过利用一个验证电压来验证两个或更多个编程状态，并且被配置为依据验证结果调整编程禁止电压。

[0181] 例如，参照图1、图19A和图20A，在通过利用第一编程电压V_{pgm1}对存储器单元执行

编程之后,非易失性存储装置100可以通过将第一验证电压VFY1、第三验证电压VFY3、第五验证电压VFY5和第七验证电压VFY7顺序地施加到选择的字线来验证存储器单元的编程状态。在这种情况下,关于验证电压VFY1、VFY3、VFY5和VFY7中的每个,如上所述,可以通过两个或更多个确定操作来验证两个或更多个编程状态。

[0182] 也就是说,关于第七验证电压VFY7,可以通过如上所述的不同时间点的两个确定操作来验证第七编程状态P7和第六编程状态P6。如在上面的描述中,可以通过第五验证电压VFY5来验证第五编程状态P5和第四编程状态P4,可以通过第三验证电压VFY3来验证第三编程状态P3和第二编程状态P2,可以通过第一验证电压VFY1验证第一编程状态P1和擦除状态“E”。也就是说,与现有技术相比,即使验证电压的数量减少,也可以验证多个编程状态。

[0183] 然后,非易失性存储装置100可以通过利用多个编程电压Vp_{gm}2至Vp_{gm}n以及验证电压VFY1、VFY3、VFY5和VFY7来执行编程操作。在实施例中,如上所述,非易失性存储装置100可以被配置为基于验证结果和各种条件来控制编程禁止电压或位线截止信号。

[0184] 在实施例中,可以通过利用一个验证电压来验证一个编程状态。在这种情况下,如上所述,非易失性存储装置100可以基于验证结果和各种条件中的至少一种条件通过控制编程禁止电压和位线截止信号来精确地形成存储器单元的阈值电压分布。

[0185] 例如,参照图1至图20B,在通过利用第一编程电压Vp_{gm}1对存储器单元执行编程之后,非易失性存储装置100可以通过将验证电压VFY1至VFY7顺序地施加到选择的字线来验证存储器单元的编程状态。在实施例中,关于验证电压VFY1至VFY7中的每个,如上所述,可以通过两个或更多个确定操作来验证两个或更多个编程状态。

[0186] 在这种情况下,如上所述,非易失性存储装置100可以基于验证结果来控制编程禁止电压或位线截止信号。存储器单元进行编程的速度可以随着对编程禁止电压或位线截止信号的控制而被调整,因此,存储器单元的阈值电压分布可以形成得更窄。也就是说,存储器单元的阈值电压分布被窄地形成可以意味着读取裕度的增加,从而改善非易失性存储装置100的可靠性。

[0187] 图21是示出应用了根据本发明构思的非易失性存储装置的固态硬盘(SSD)系统1000的框图。参照图21,SSD系统1000包括主机1100和SSD1200。

[0188] SSD 1200通过信号连接器1201向主机1100发送信号SIG以及从主机1100接收信号SIG,并且通过电源连接器1202被供应有电源PWR。SSD 1200包括SSD控制器1210、多个闪存(NVM) 1221至122n、辅助电源1230和缓冲器存储器1240。在实施例中,多个闪存1221至122n中的每个闪存可以利用单独的芯片或单独的封装件来实现,并且可以通过主机1100被识别为物理空间。

[0189] SSD控制器1210可以响应于来自主机1100的信号SIG来控制多个闪存1221至122n。多个闪存1221至122n可以在SSD控制器1210的控制下进行操作。辅助电源1230经由电源连接器1202连接至主机1100。在实施例中,闪存1221至122n中的每个可以基于参照图1至图20B描述的验证方法或编程方法来执行编程操作。辅助电源1230可以通过来自主机1100的电源PWR进行充电。在从主机1100不平稳地供应电源PWR的情况下,辅助电源1230可以提供SSD 1200的电源。

[0190] 图22是示出应用了根据本发明构思的非易失性存储装置的电子装置的示例性实施方式的框图。参照图22,电子装置2000可以包括触摸传感器面板2100、触摸处理器2102、

显示面板2200、显示驱动器2202、缓冲器存储器2400、非易失性存储器2500、图像处理器2600、通信块2700、音频处理器2800和主处理器2900。例如,电子装置2000可以是诸如移动通信终端、个人数字助理(PDA)、便携式媒体播放器(PMP)、数字照相机、智能电话、平板式计算机、膝上型计算机和可穿戴装置的各种电子装置中的一种。

[0191] 缓冲器存储器2400可以存储用于操作电子装置2000的数据。例如,缓冲器存储器2400可以暂时存储经处理或将由主处理器2900处理的数据。例如,缓冲器存储器2400可以包括易失性存储器和/或非易失性存储器,易失性存储器为诸如静态随机存取存储器(SRAM)、动态RAM(DRAM)或同步DRAM(SDRAM),非易失性存储器为诸如相变RAM(PRAM)、磁阻RAM(MRAM)、电阻式RAM(ReRAM)或铁电RAM(FRAM)。

[0192] 非易失性存储器2500可以存储数据,而不管是否供应电源。例如,非易失性存储器2500可以包括诸如闪存、PRAM、MRAM、ReRAM和FRAM的各种非易失性存储器中的至少一种。例如,非易失性存储器2500可以包括电子装置2000的嵌入式存储器和/或可移除存储器。在实施例中,非易失性存储器2500可以基于参照图1至图20B描述的验证方法或编程方法来执行编程操作。

[0193] 图像处理器2600可以通过透镜2610接收光。包括在图像处理器2600中的图像传感器2620和图像信号处理器2630可以基于接收的光生成关于外部对象的图像信息。

[0194] 通信块2700可以通过天线2710与外部装置/系统交换信号。通信块2700的收发器2720和调制器/解调器(MODEM)2730可以基于各种无线通信协议中的至少一种来处理与外部装置/系统交换的信号,无线通信协议为长期演进(LTE)、全球微波接入互操作性(WiMax)、全球移动通信系统(GSM)、码分多址(CDMA)、蓝牙、近场通信(NFC)、无线保真度(Wi-Fi)和射频识别(RFID)。

[0195] 音频处理器2800可以通过利用音频信号处理器2810来处理音频信号。音频处理器2800可以通过麦克风2820接收音频输入,或者可以通过扬声器2830提供音频输出。

[0196] 主处理器2900可以控制电子装置2000的全部操作。主处理器2900可以控制/管理电子装置2000的组件的操作。主处理器2900可以处理用于操作电子装置2000的各种操作。

[0197] 上述是对实施例的示例说明,并且不应被解释为对其进行限制。尽管已经描述了一些实施例,但是本领域技术人员将容易理解,在实质上不脱离本发明构思的新颖性教导和优点的情况下,能够在实施例中进行许多修改。因此,所有这样的修改旨在包括在如权利要求中限定的本发明构思的范围内。因此,应当理解,上述是对各种实施例的示例说明,并且不应被解释为受限于所公开的特定实施例,对所公开的实施例以及其它实施例的修改旨在被包括在权利要求的范围内。

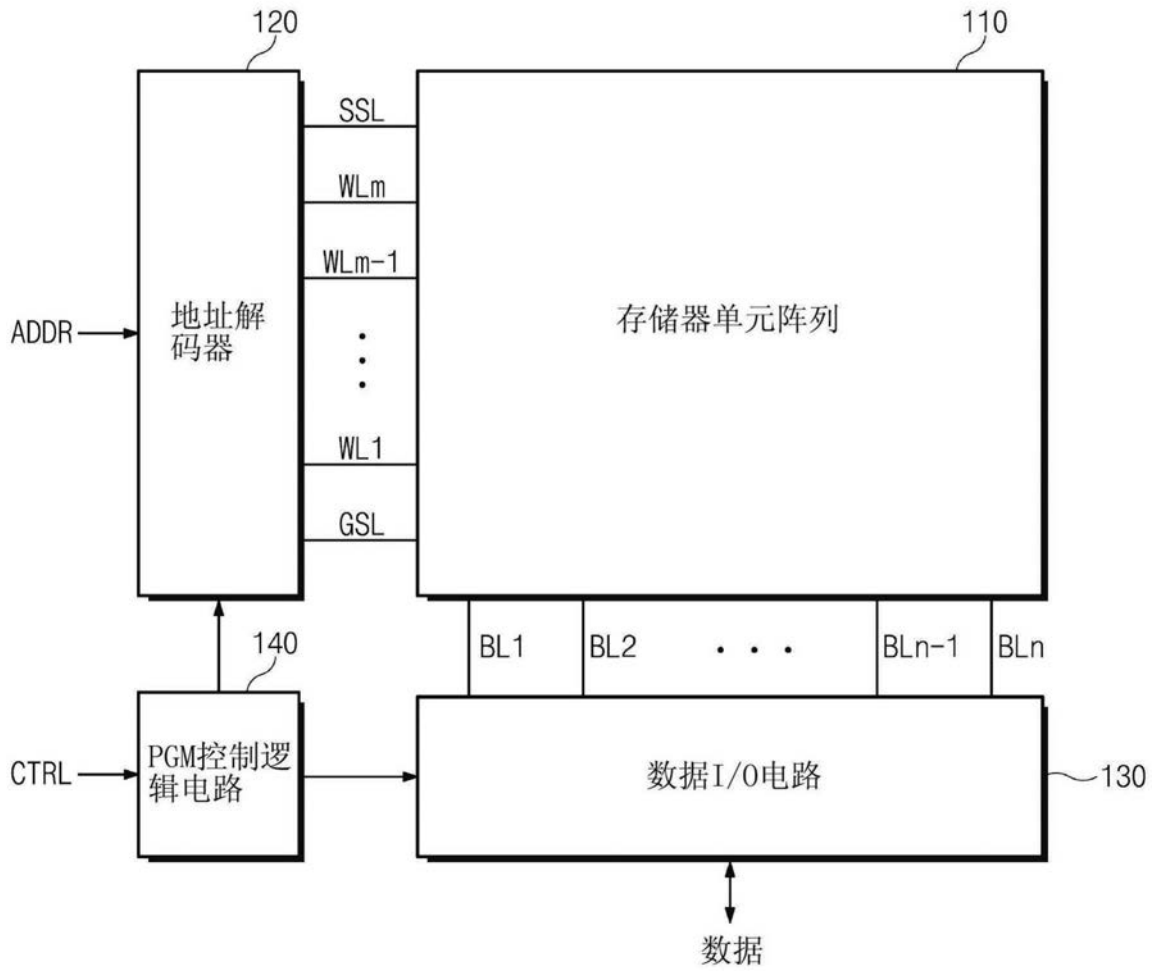


图1

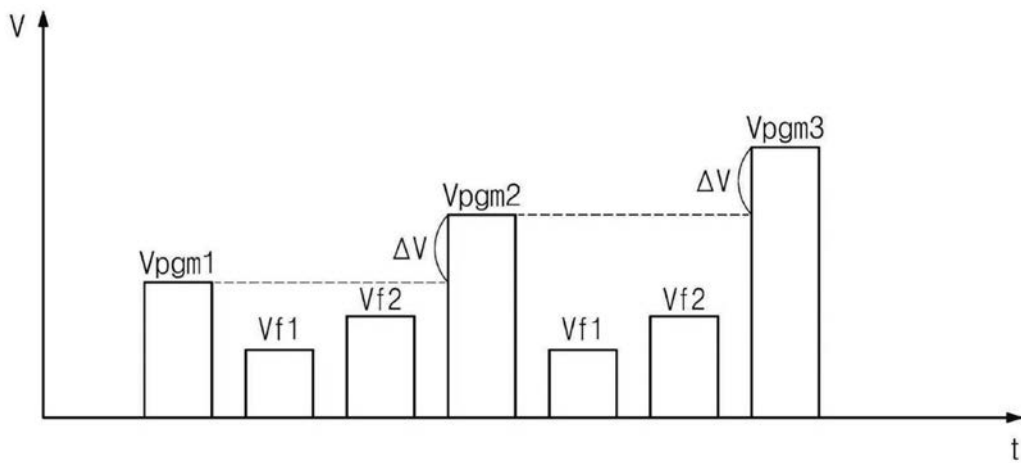
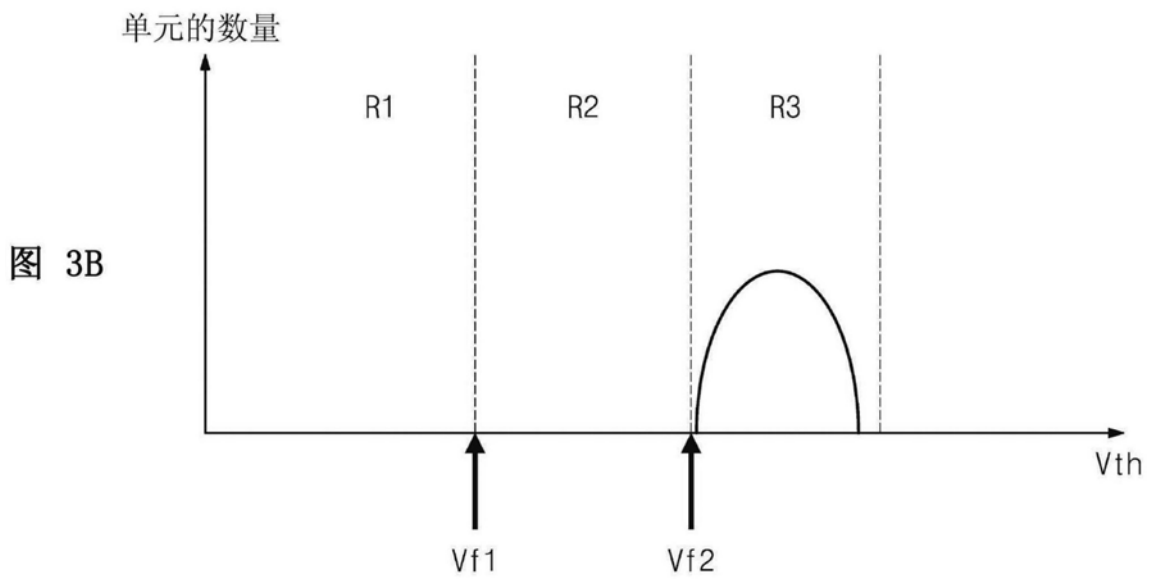
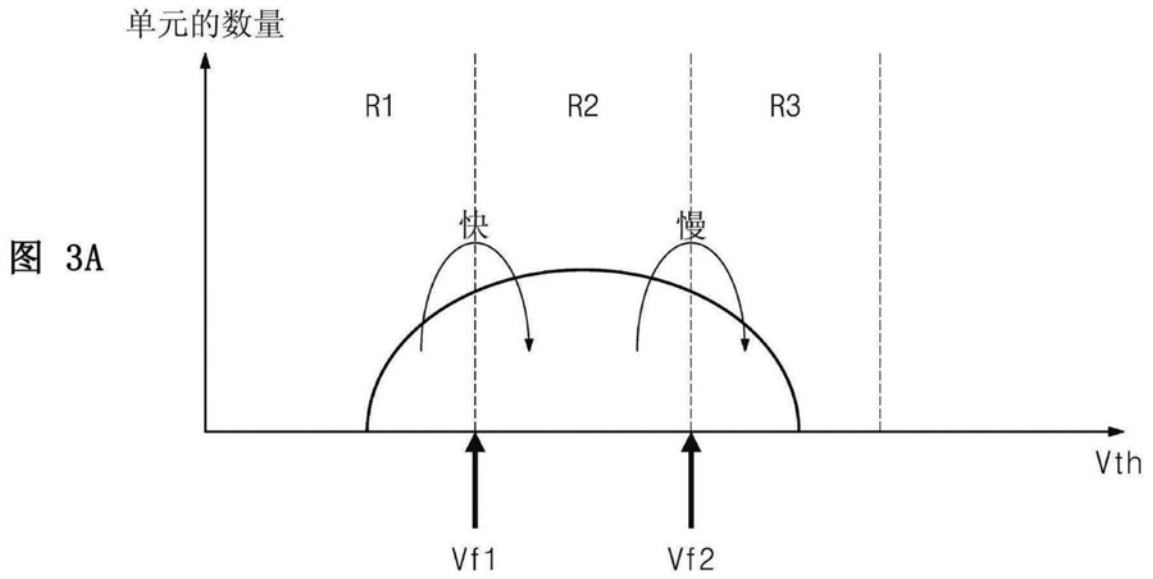


图2



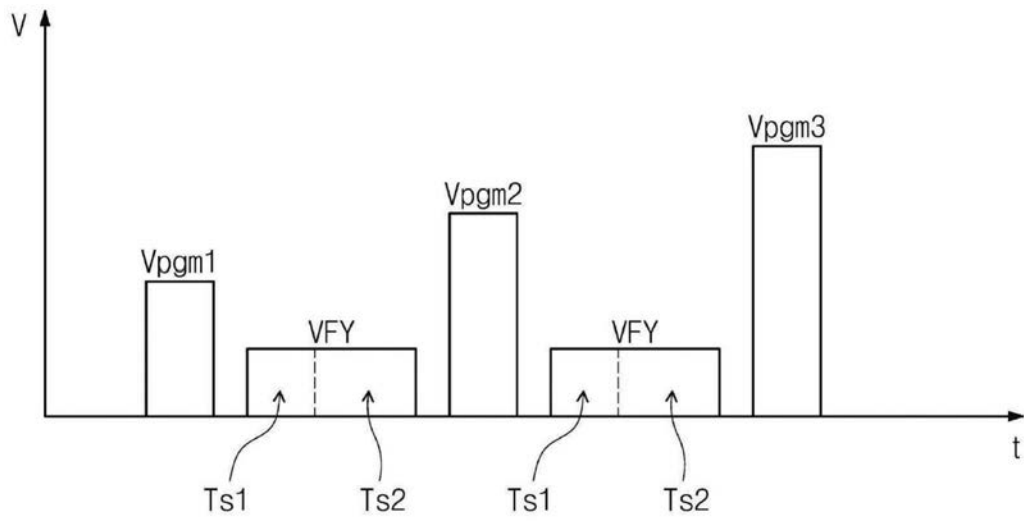
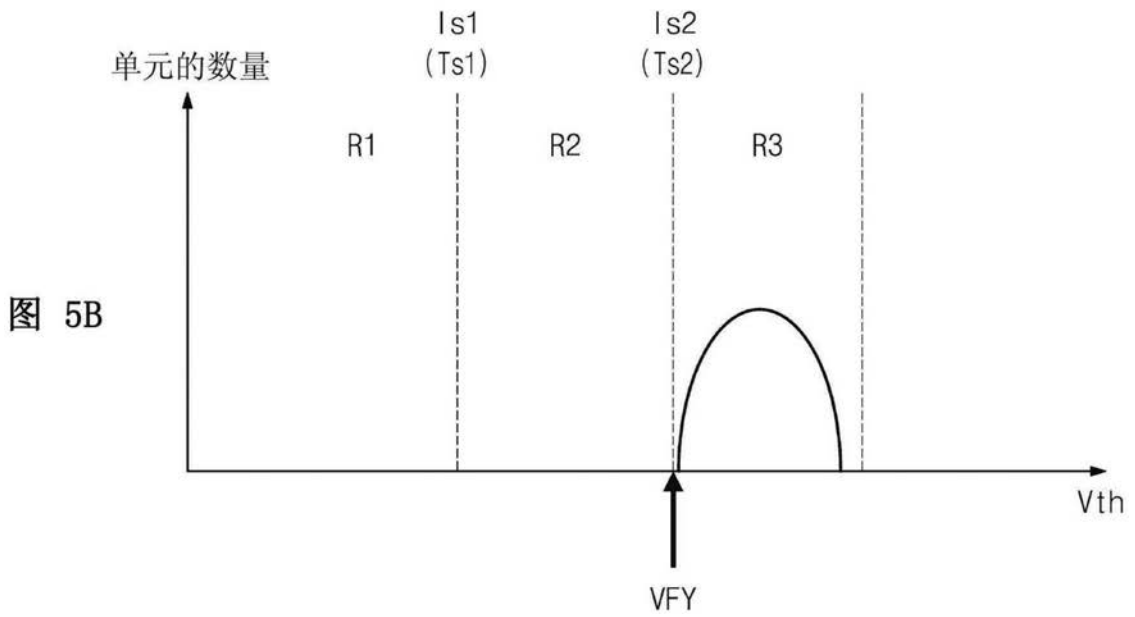
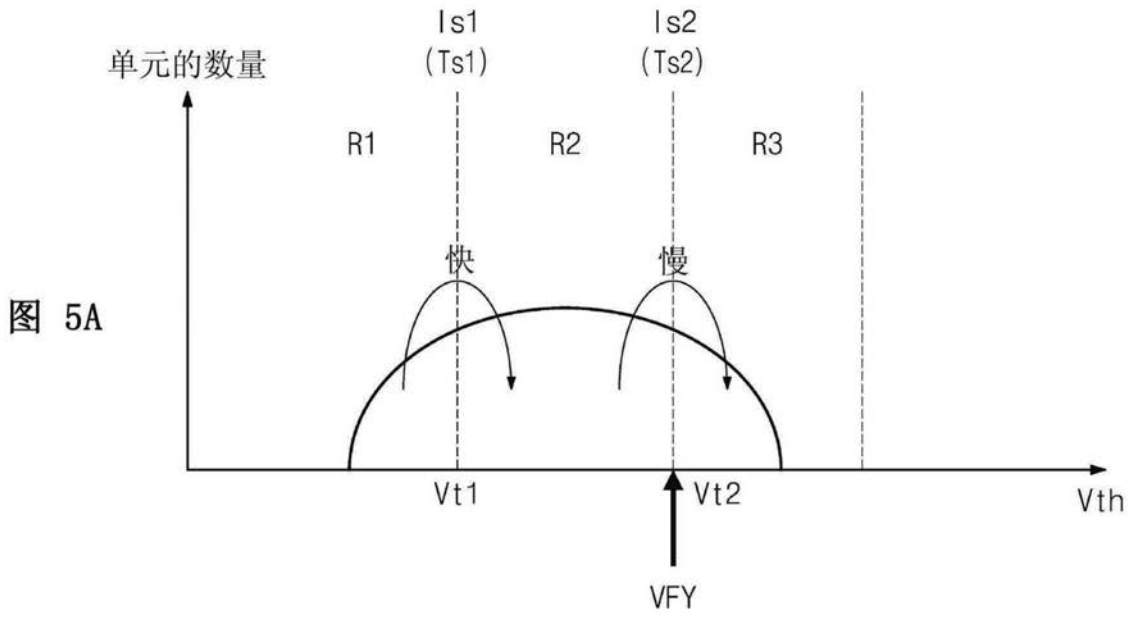


图4



20

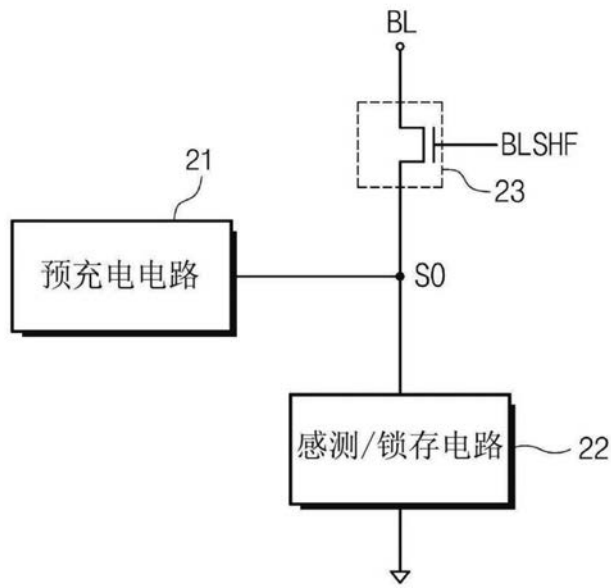


图6

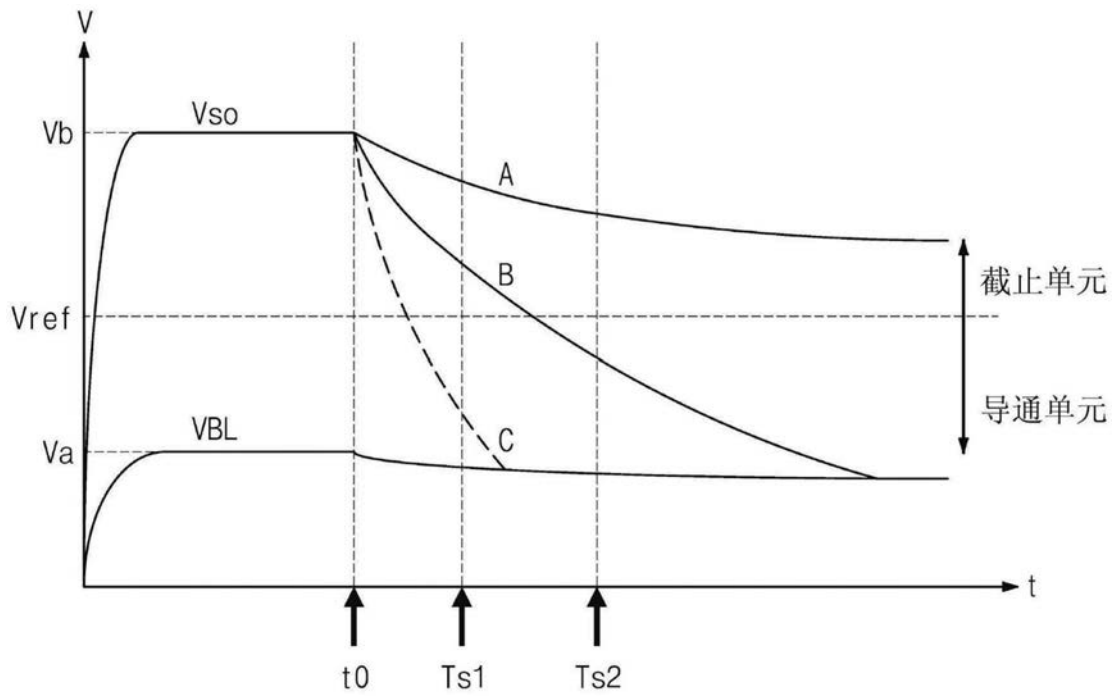


图7

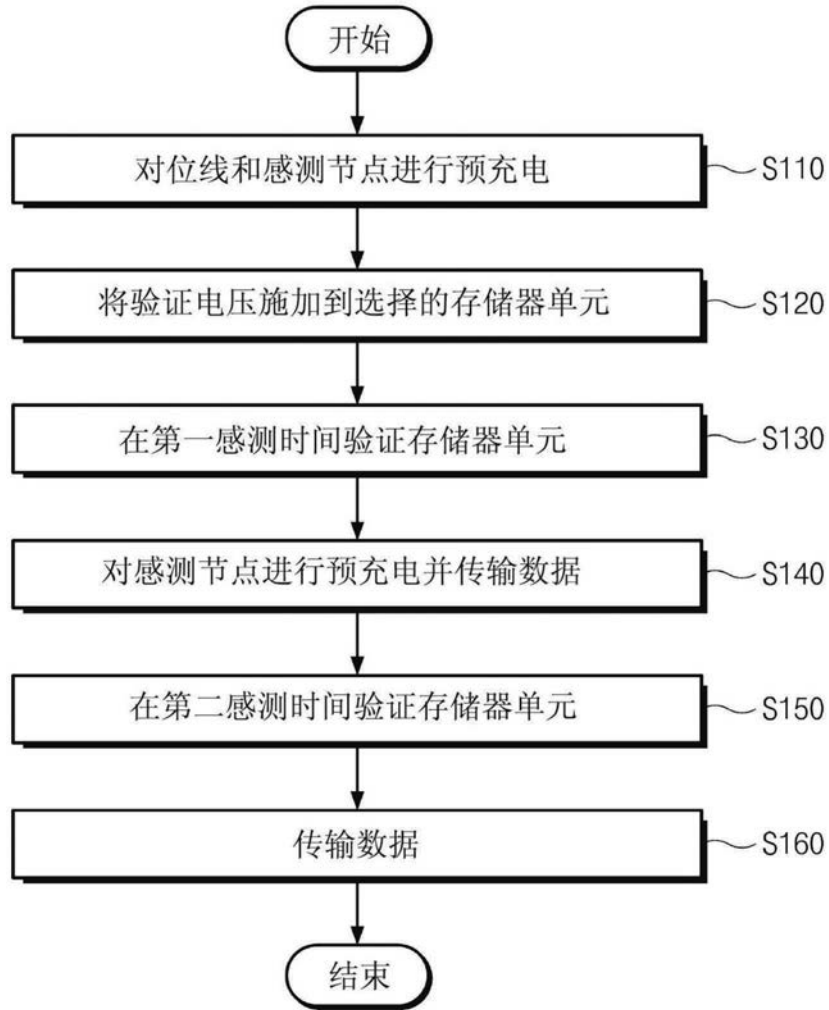


图8

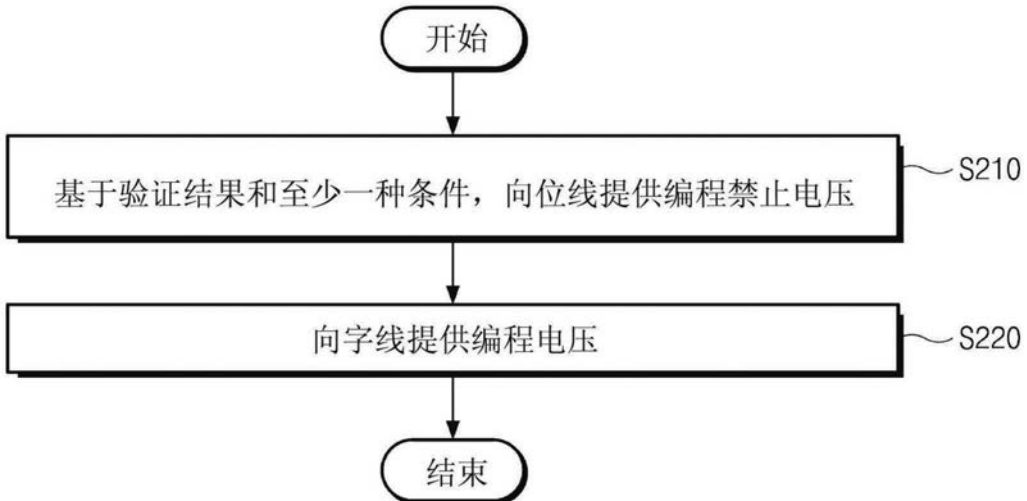


图9

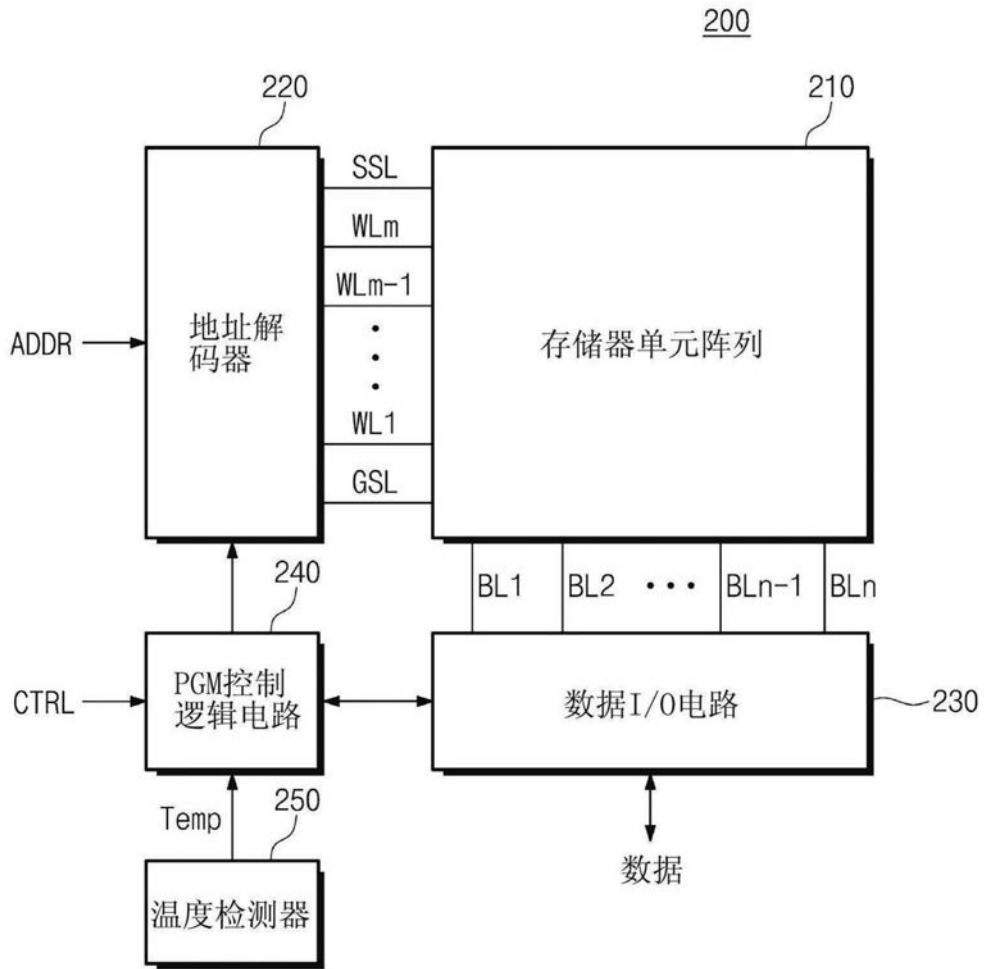


图10

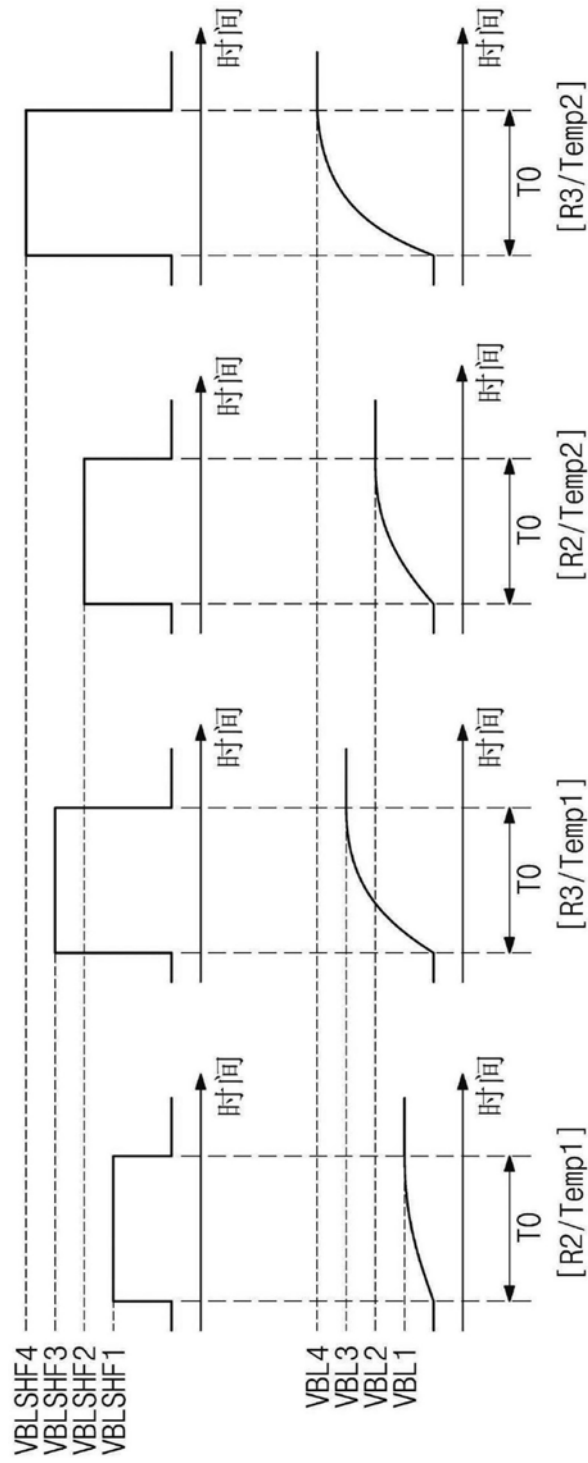


图11A

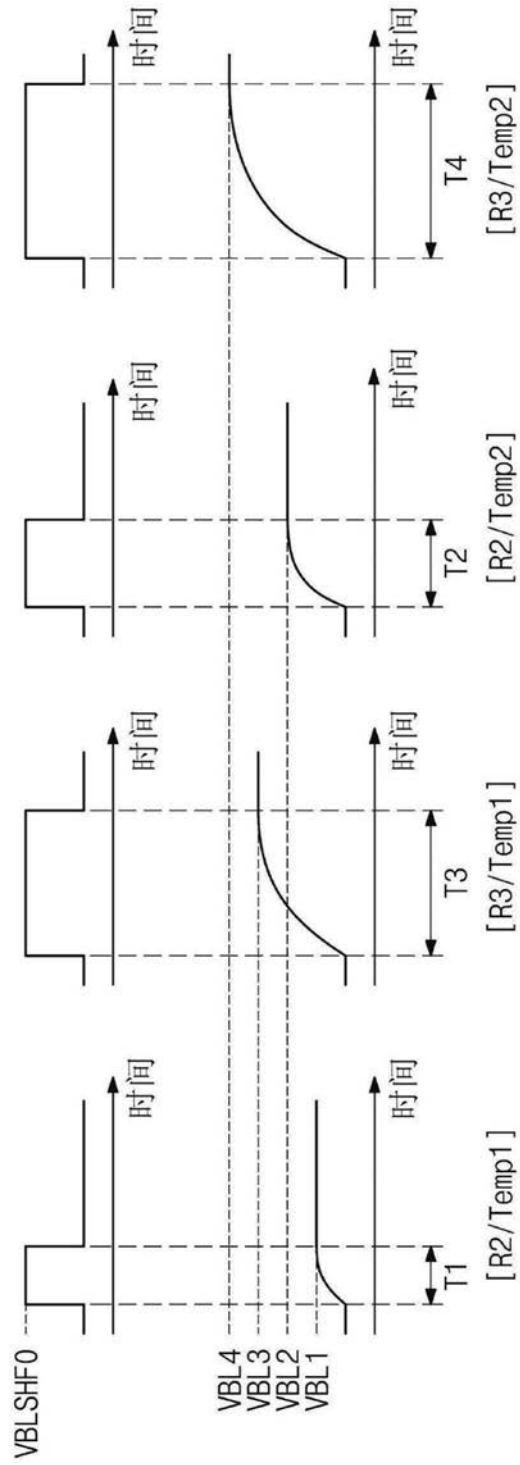


图11B

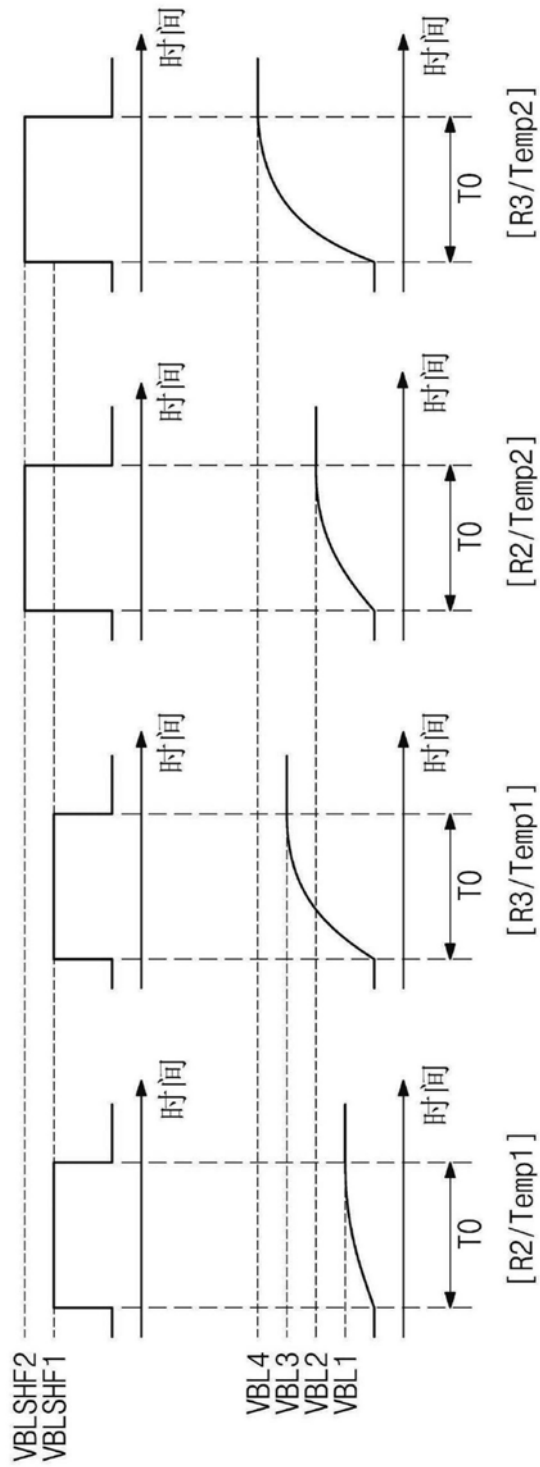


图12A

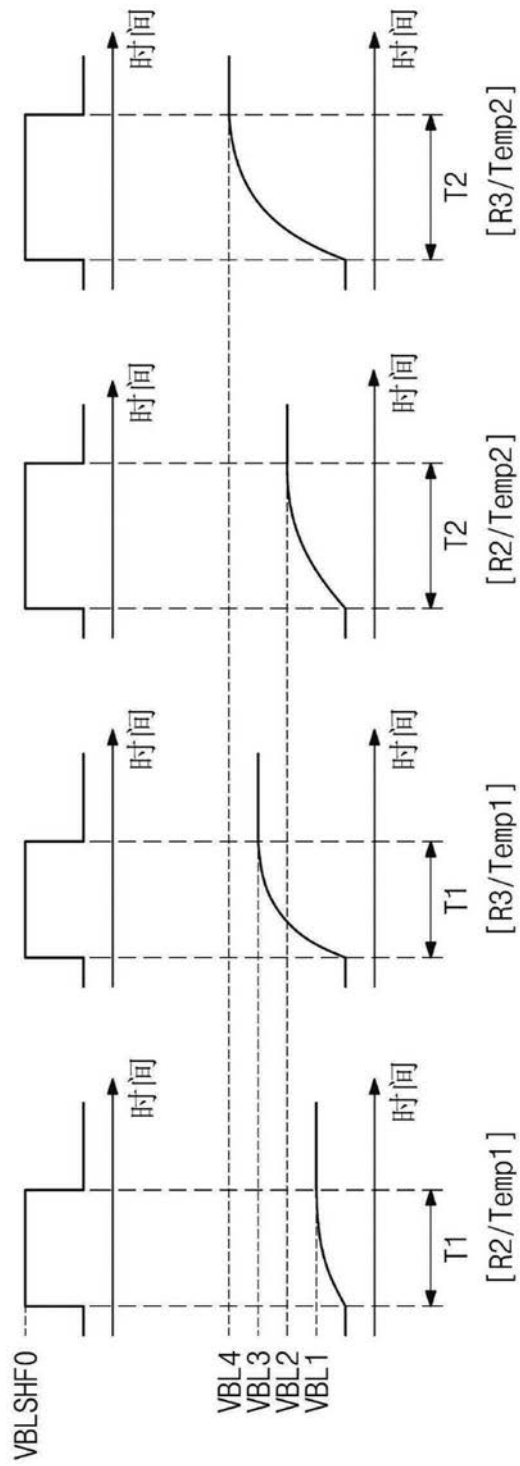


图12B

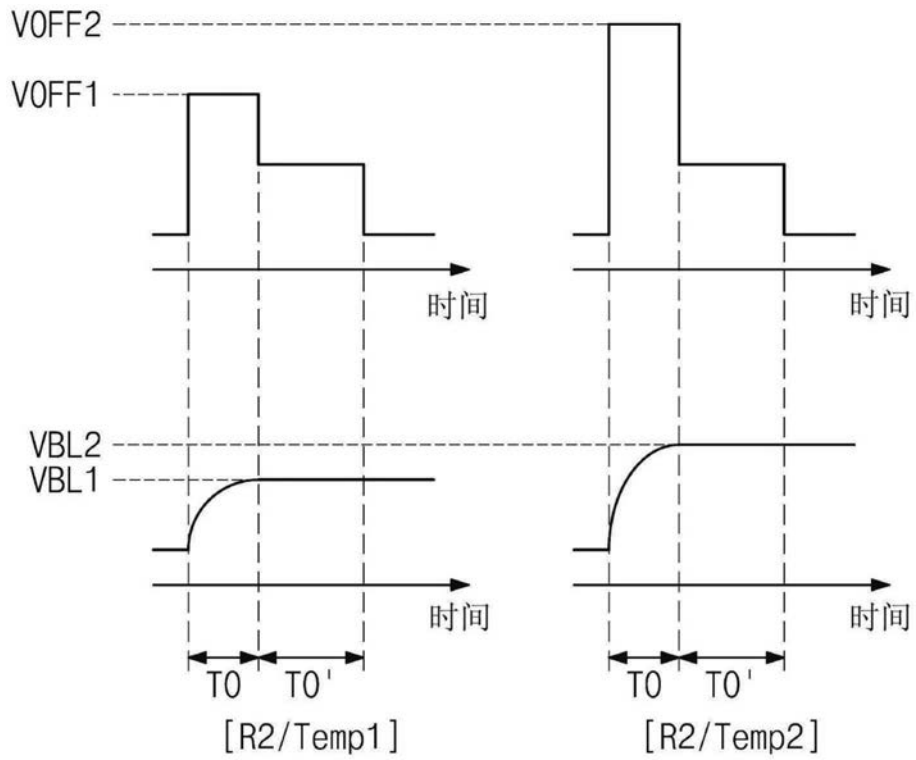


图13A

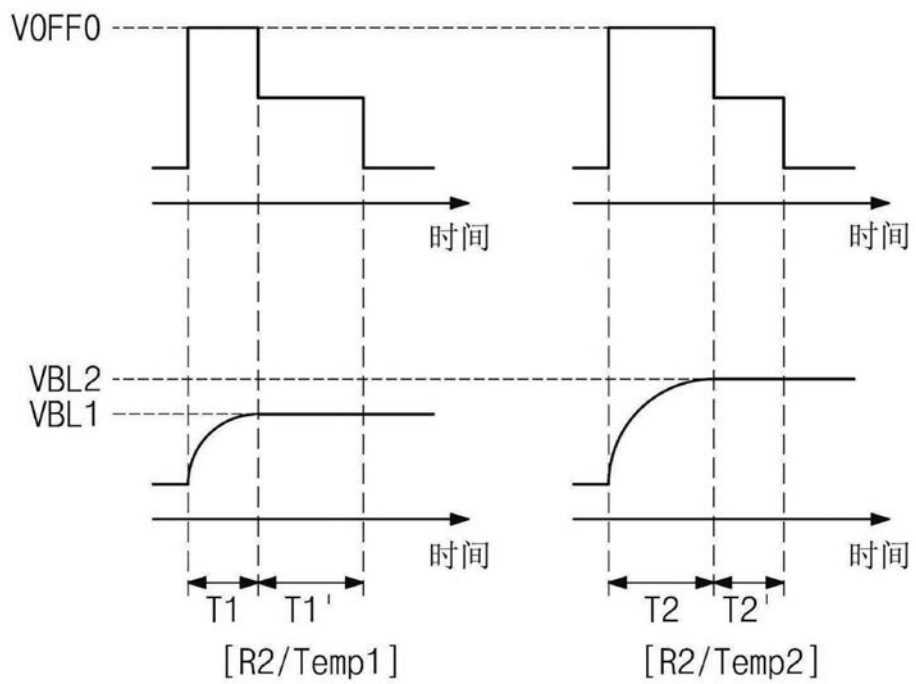


图13B

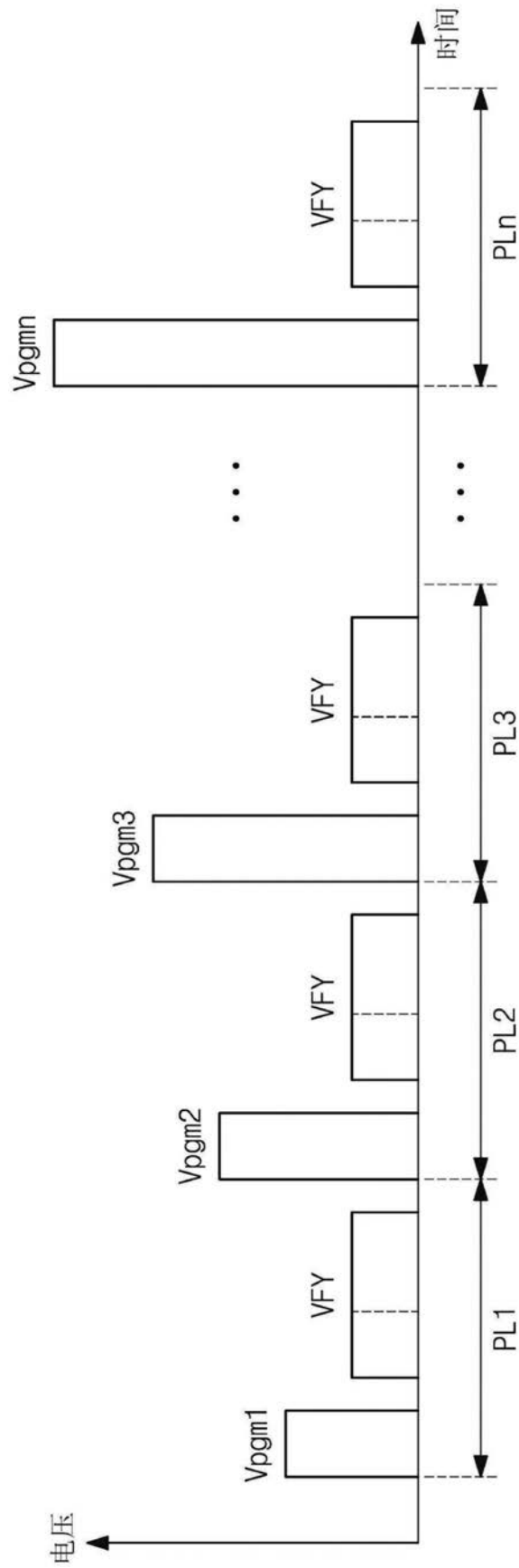


图14

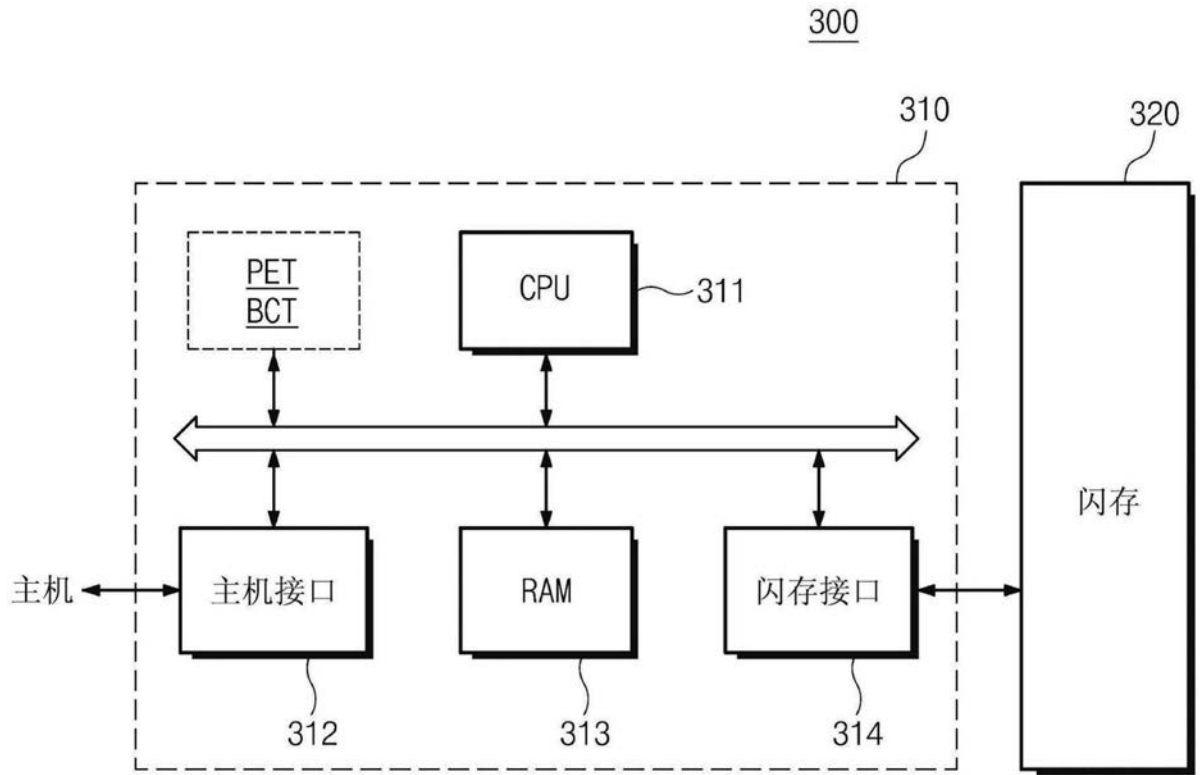


图15

BLK

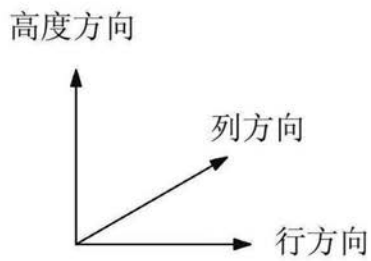
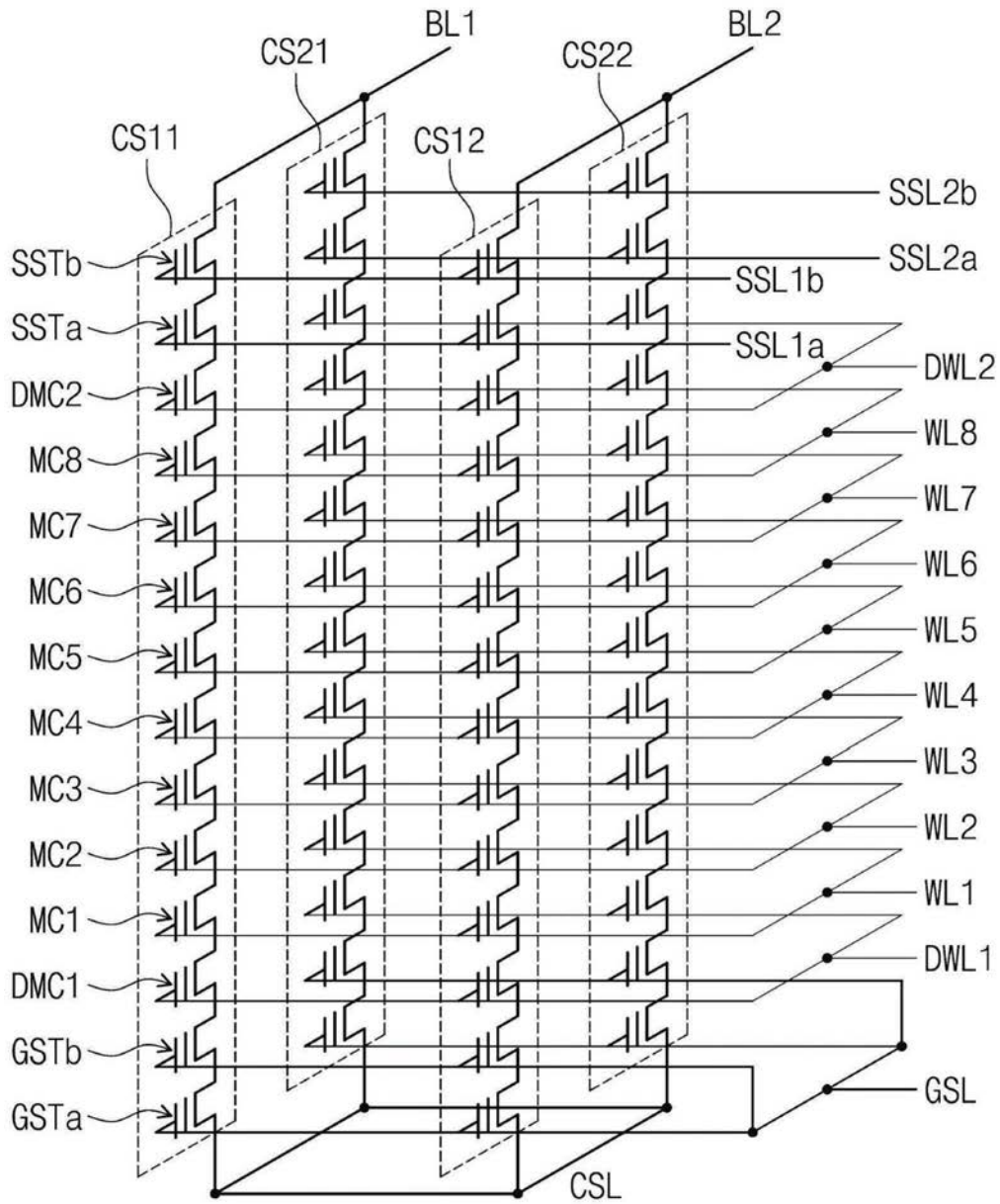


图16

PET

P/E循环	VBLSHF	VBL_R1	VBL_R2
P/E1	VBLSHF1, T1, VOFF1	VBL_R11	VBL_R21
P/E2	VBLSHF2, T2, VOFF2	VBL_R12	VBL_R22
P/E3	VBLSHF3, T3, VOFF3	VBL_R13	VBL_R23
⋮			
P/En	VBLSHFn, Tn, VOFFn	VBL_R1n	VBL_R2n

图17

BCT

BLK	VBLSHF	VBL_R1	VBL_R2
BLK1	VBLSHF1, T1, VOFF1	VBL_R11	VBL_R21
BLK2	VBLSHF2, T2, VOFF2	VBL_R12	VBL_R22
BLK3	VBLSHF3, T3, VOFF3	VBL_R13	VBL_R23
⋮			
BLKm	VBLSHFm, Tm, VOFFm	VBL_R1m	VBL_R2m

图18

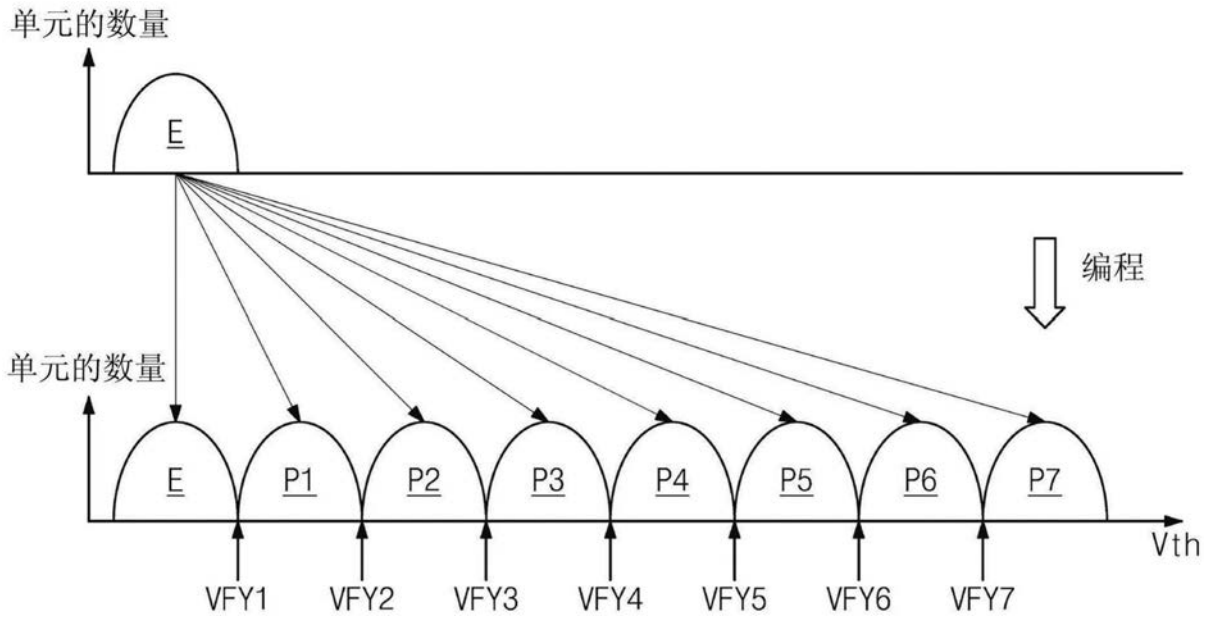


图19A

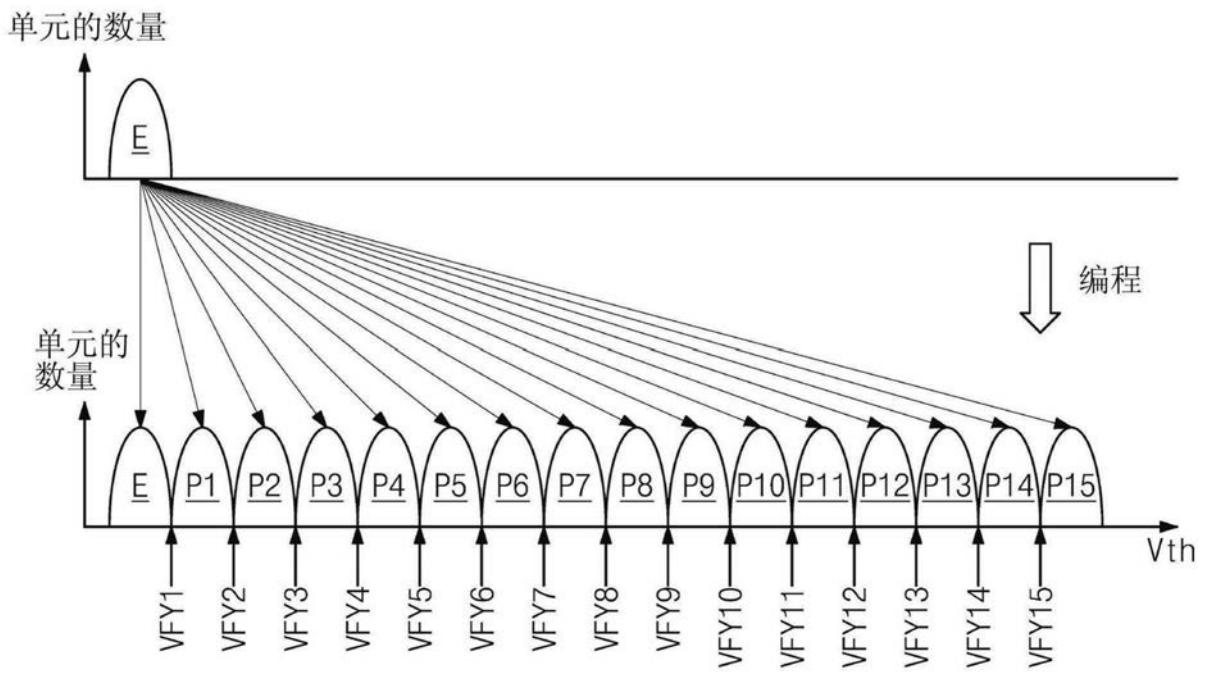


图19B

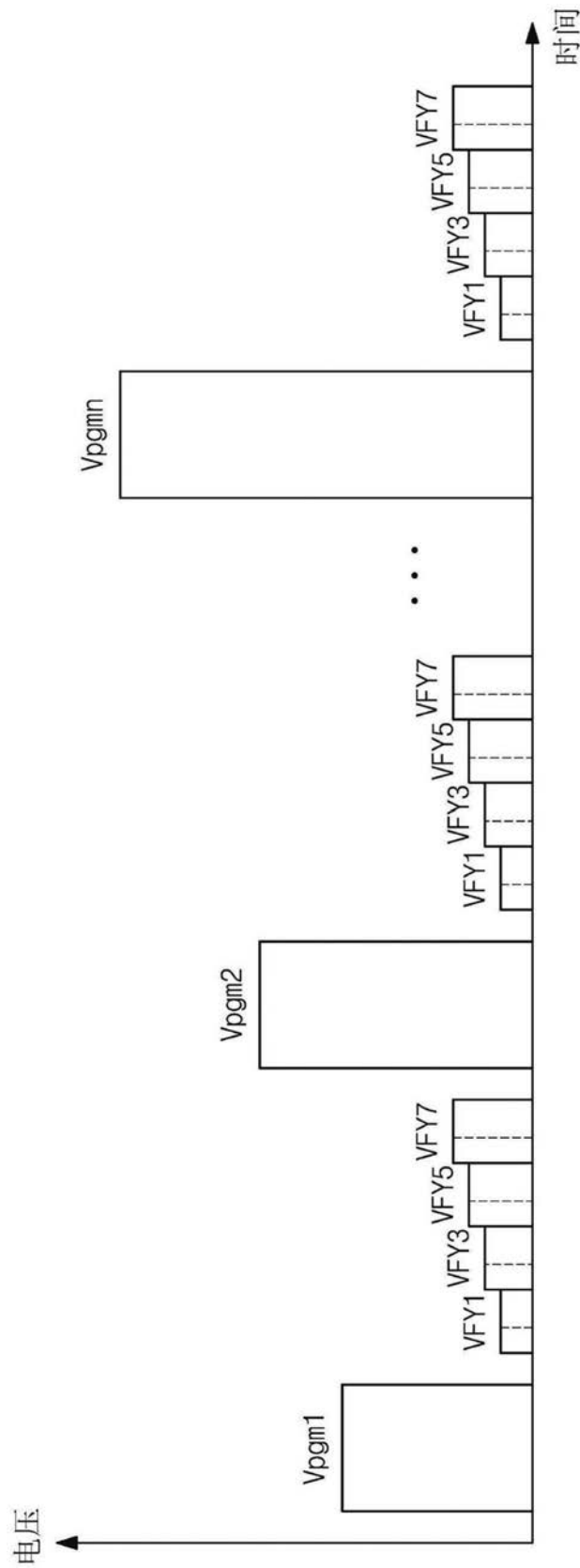


图20A

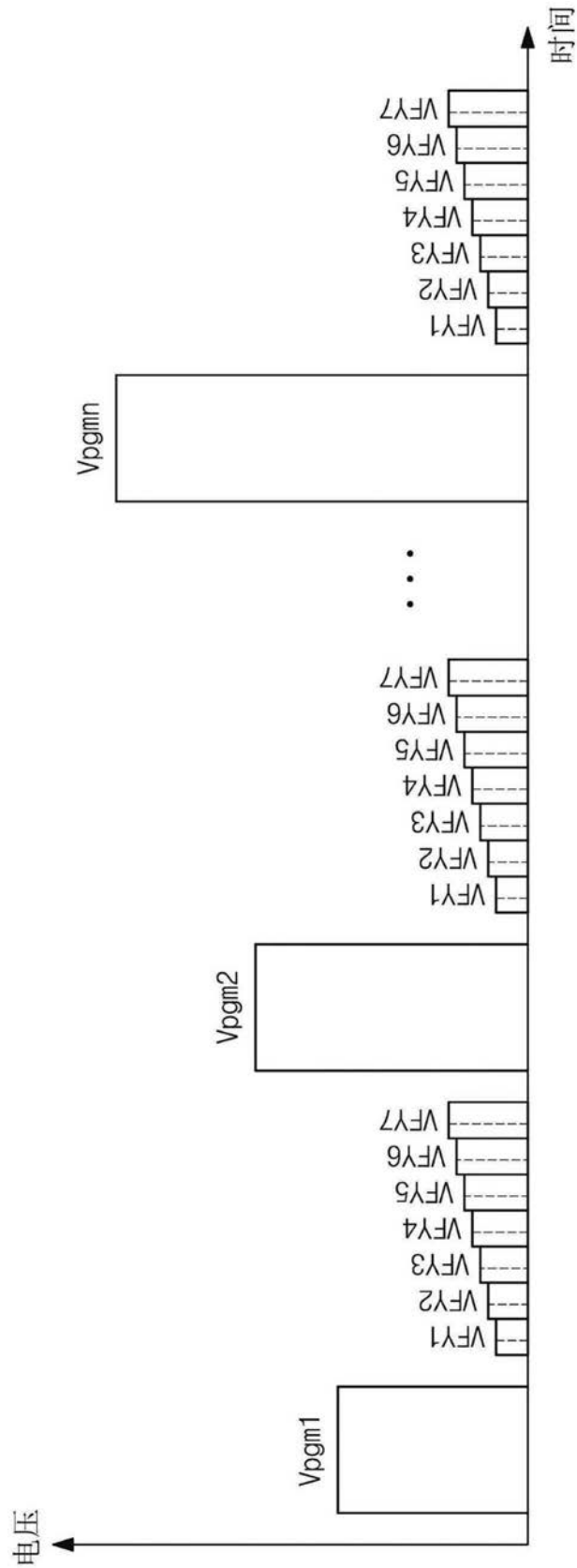


图20B

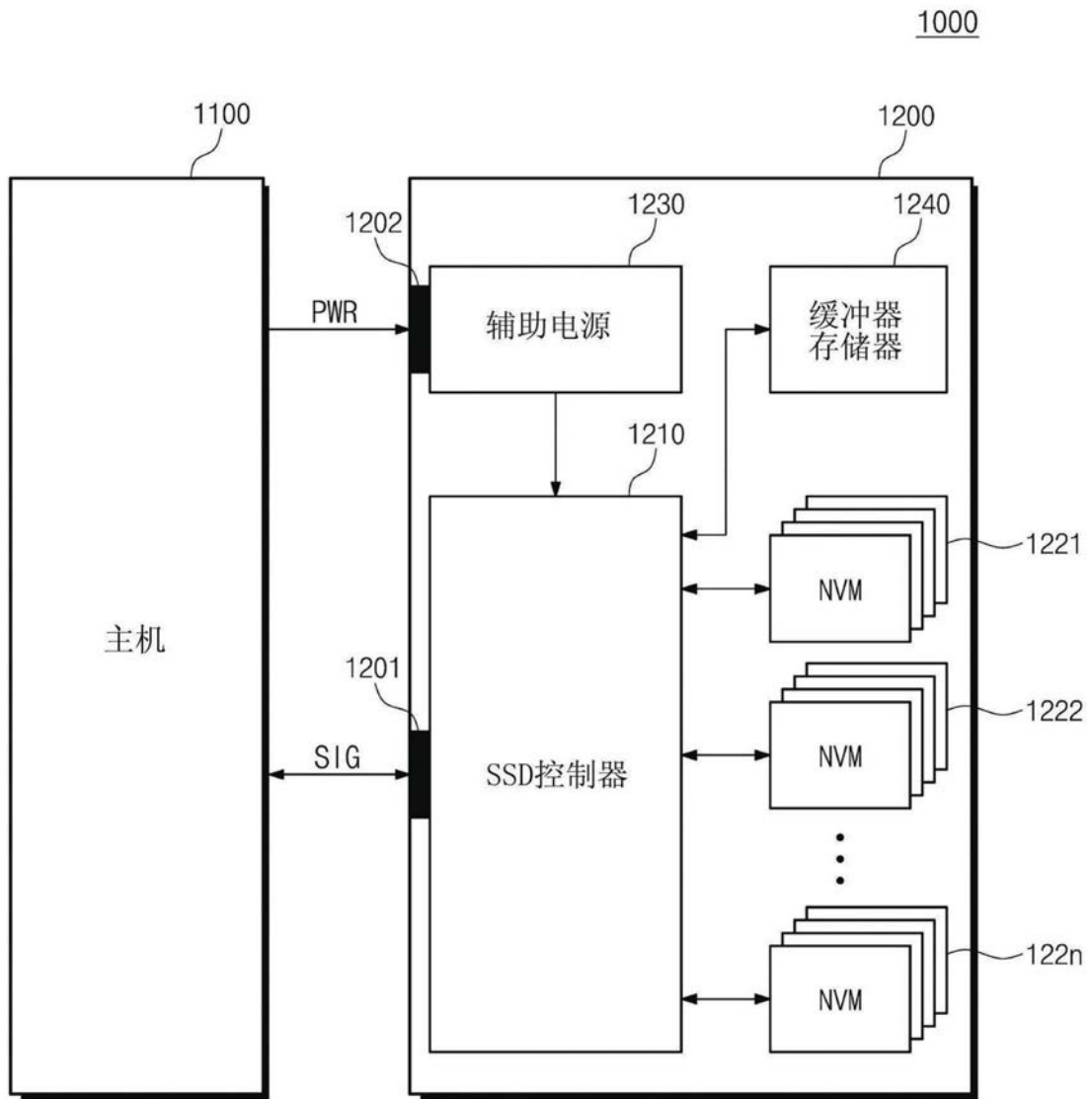


图21

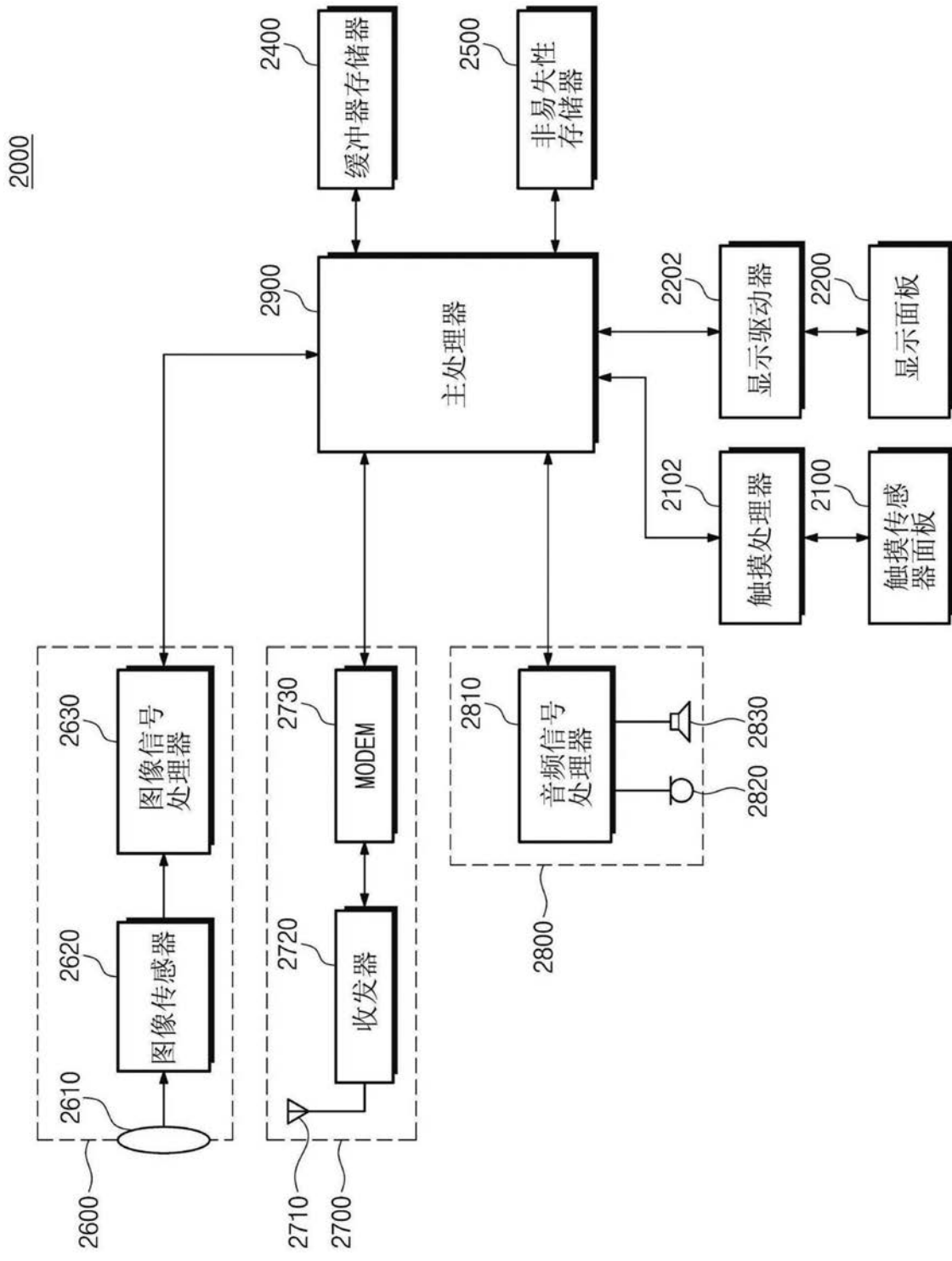


图22