



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G11C 11/406 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년12월05일 10-0653972 2006년11월28일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-1999-0024822 1999년06월28일 2004년05월04일	(65) 공개번호 (43) 공개일자	10-2001-0004202 2001년01월15일
----------------------------------	---	------------------------	--------------------------------

(73) 특허권자 주식회사 하이닉스반도체
 경기 이천시 부발읍 아미리 산136-1

(72) 발명자 배성호
 경기도이천시고담동72-1고담기숙사102동307호

(74) 대리인 특허법인 신성

심사관 : 장호근

전체 청구항 수 : 총 6 항

(54) 반도체메모리장치의 데이터 출력 제어 방법 및 장치

(57) 요약

본 발명은 래치를 이용하여 간단하고 작은 면적을 차지하는 파이프래치입출력 제어장치를 가진 DDR(Double Data Rate) 싱크로너스 DRAM을 제공하기 위한 것으로, 이를 위한 본 발명은 읽기동작에서 활성화되는 제1, 제2 및 제3출력인에이블 신호에 응답하여 파이프래치 입력제어신호를 활성화하기 위한 제1제어신호를 생성하는 제1제어신호생성부; 상기 제1제어신호와 제1출력인에이블신호에 응답하여 셀로부터 전달된 데이터의 파이프래치로의 입력 경로를 제어하기 위한 제2제어신호를 생성하는 파이프래치입력제어부; 및 상기 제1제어신호와 상기 제1출력인에이블신호에 응답하여 생성되는 출력인에이블신호에 응답하여 파이프래치에서 출력드라이버로의 출력경로를 제어하기 위한 제3제어신호를 생성하는 파이프래치출력제어부를 포함하여 이루어지는 것을 특징으로 한다.

대표도

도 6

특허청구의 범위

청구항 1.

외부에서 입력되는 입력신호 oe0, oe1, oe2 및 outen에 의해 구동하는 파이프래치입출력 제어장치에 있어서,

상기 입력신호 oe0, oe1 및 oe2를 입력받아 상기 입력신호 oe0, oe1 및 oe2중에서 어느 하나만 액티브되면 액티브되는 제1제어신호를 생성하는 제1제어신호생성부;

상기 제1제어신호와 상기 입력신호 oe0에 응답하여 셀로부터 전달된 데이터의 파이프래치로의 입력 경로를 제어하기 위한 제2제어신호를 생성하고, 상기 제2제어신호가 특정동작에서 리셋되는 것을 방지하기 위하여 자신의 출력측에 제1래치를 구비하는 파이프래치입력제어부; 및

상기 제1제어신호와 상기 입력신호 outen에 응답하여 파이프래치에서 출력드라이버로의 출력경로를 제어하기 위한 제3제어신호를 생성하고, 상기 제3제어신호가 특정동작에서 리셋되는 것을 방지하기 위하여 자신의 출력측에 제2래치를 구비하는 파이프래치출력제어부

를 포함하여 이루어지는 파이프래치입출력제어장치.

청구항 2.

제1항에 있어서,

상기 제1제어신호생성부는

상기 입력신호 oe0, oe1 및 oe2를 입력으로 하는 NOR게이트; 및

상기 NOR게이트의 출력신호를 반전하여 상기 제1제어신호를 출력하는 인버터를 구비하는 것을 특징으로 하는 파이프래치입출력제어장치.

청구항 3.

제1항에 있어서,

상기 파이프래치입력제어부는,

상기 제1제어신호를 반전하는 제1인버터;

게이트단으로 상기 입력신호 oe0를 인가받아 소스-드레인 경로를 통해 상기 제1인버터의 접지전압을 공급하는 NMOS트랜지스터; 및

상기 제1인버터의 출력신호를 반전 및 래치하여 상기 제2제어신호를 출력하는 상기 제1래치

을 구비하는 것을 특징으로 하는 파이프래치입출력제어장치.

청구항 4.

제3항에 있어서,

상기 제1래치는,

상기 제1인버터의 출력신호를 반전하여 상기 제2제어신호를 출력하는 제2인버터; 및

상기 제2인버터의 출력신호를 반전하여 상기 제2인버터의 입력단으로 궤환하는 제3인버터

를 구비하는 것을 특징으로 하는 파이프래치입출력제어장치.

청구항 5.

제1항에 있어서,

상기 파이프래치출력제어부는,

상기 제1제어신호를 반전하는 제1인버터;

게이트단으로 상기 입력신호 outen을 인가받아 소스-드레인 경로를 통해 상기 제1인버터의 접지전압을 공급하는 NMOS 트랜지스터; 및

상기 제1인버터의 출력신호를 반전 및 래치하여 상기 제3제어신호를 출력하는 상기 제2래치

를 구비하는 것을 특징으로 하는 파이프래치입출력제어장치.

청구항 6.

제5항에 있어서,

상기 제2래치는,

상기 제1인버터의 출력신호를 반전하여 제3제어신호를 출력하는 제2인버터; 및

상기 제2인버터의 출력신호를 반전하여 상기 제2인버터의 입력단으로 궤환하는 제3인버터

를 구비하는 것을 특징으로 하는 파이프래치입출력제어장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 차세대 메모리소자인 DDR(Double Data Rate) SDRAM(Synchronous DRAM)에 관한 것으로, 특히 DDR SDRAM의 읽기(Read) 구동시 데이터의 출력을 제어하는 방법 및 장치에 관한 것이다.

잘 알려진 바와 같이, 반도체메모리소자중 DRAM은 동작 속도 향상을 위하여 외부의 시스템 클럭에 동기 되어 동작하는 싱크로너스 DRAM(이하, SDRAM)이 널리 사용되고 있다. 한편, 통상의 SDRAM은 클럭의 라이징(rising) 에지(edge)에 동기시켜 클럭의 한 주기에 걸쳐 하나의 데이터를 입출력하는 소자인데 반하여, DDR SDRAM은 클럭의 라이징 및 폴링(falling) 에지에 동기 되어 연속적으로 두 개의 데이터가 입출력될 수 있다. 따라서, 클럭의 주파수를 증가시키지 않더라도 종래의 SDRAM에 비해 최소한 두 배 이상의 동작속도를 구현할 수 있어 차세대 DRAM으로서 크게 각광받고 있다. 한편, DDR SDRAM은 연속적으로 데이터를 출력하기 위해서 셀에서 읽어온 데이터를 복수의 파이프래치에 임시로 저장하였다가 출력하는 방법을 사용한다.

도1은 DDR SDRAM의 데이터 출력 제어 블록 다이어그램으로서, 읽기동작의 시작을 알리는 읽기 명령신호 RD를 입력으로 하여 출력 제어신호 oe0, oe1, oe2 및 outen을 출력하는 커맨드디코더(110)와, 상기 제어신호 oe0, oe1, oe2 및

outen을 입력으로 하여 파이프래치제어 인에이블신호 pcd_en 및 파이프카운트 인에이블신호 pcnt_en을 출력하는 파이프래치입출력제어부(130)와, 상기 파이프래치제어 인에이블신호 pcd_en을 입력으로 하여 파이프래치제어신호 pcd를 생성하는 파이프래치제어신호생성부(140)와, 상기 파이프카운트인에이블신호 pcnt_en을 입력으로 하여 파이프카운트신호 pcnt를 생성하는 파이프카운트제어신호생성부(150)와, 상기 파이프래치제어신호 pcd에 응답하여 셀 데이터를 저장하고 파이프카운트신호 pcnt에 응답하여 저장된 데이터를 출력하는 파이프래치(160)와, 상기 파이프카운트신호 pcnt에 응답하여 상기 파이프래치(160)에서 출력된 데이터를 외부로 출력하는 출력드라이버(170)로 구성된다.

도2는 종래 기술에 따른 파이프래치입출력제어부(130)의 회로도로서, 상기 출력인에이블신호 outen에 응답하여 상기 파이프카운트인에이블신호 pcnt_en을 출력하는 파이프카운트인에이블신호 생성부(210)와, 상기 제1, 제2 및 제3 출력인에이블신호 oe0, oe1 및 oe2와 상기 파이프카운트인에이블신호를 반전한 /pcnt_en에 응답하여 파이프래치제어인에이블신호 pcd_en을 출력하는 파이프래치제어인에이블신호 생성부(250)로 구성된다.

구체적으로, 상기 파이프카운트인에이블신호 생성부(210)는 제1입력단으로 인버터 INV21을 거쳐 상기 출력인에이블신호 outen의 반전신호를, 제2입력단으로 상기 출력인에이블신호 outen을 제1지연소자(215) 및 반전래치(220)를 거친 신호를, 제3입력단으로 상기 반전래치(220)의 출력신호를 제2지연소자(230)에서 소정시간 지연한 신호를 입력으로 하는 3-입력 NAND게이트 ND21과, 이를 버퍼링하는 인버터 INV24 와 INV25를 포함하여 이루어진다.

또한, 상기 파이프래치제어인에이블신호 생성부(250)는 상기 제1출력인에이블신호 oe0를 제3지연소자(255)에서 지연한 신호와 제2출력인에이블신호 oe1을 입력으로 하는 NOR게이트 NOR21과, 상기 NOR게이트 NOR21의 출력노드 신호 N21과 상기 부파이프카운트인에이블신호 /pcnt_en을 입력으로 하는 NAND게이트 ND23과, 상기 제1출력인에이블신호 oe0를 지연한 신호와 제3출력인에이블신호 oe2를 입력으로 하여 출력노드 N23을 출력하는 2클럭감지부(270)와, 상기 2클럭감지부(270)의 출력노드 N22와 상기 NAND게이트 ND23의 출력노드 N23을 입력으로 하는 NAND게이트 ND25와, 상기 NAND게이트 ND25의 출력신호를 반전하여 파이프래치제어인에이블신호 pcd_en을 출력하는 인버터 INV26으로 구성된다.

도2a는 상기 2클럭감지부(270)의 개략적인 회로도로서, 상기 지연된 제1출력인에이블신호 oe0를 반전하는 인버터 INV27의 출력신호와, 상기 제3출력인에이블신호 oe2를 반전하는 인버터 INV28의 출력신호와, 상기 인버터INV28의 출력신호를 반전(INV29) 및 지연(275)한 출력신호를 입력으로 하는 3-입력 NAND게이트 ND27을 구비하여 이루어진다.

도3의 종래 기술에 따른 읽기동작의 타이밍 도를 참조하여 상기와 같은 구성을 갖고, 카스 레이턴시(Cas Latency)가 2이고, 버스트 렛스(Burst Length)가 2인 동작에 대해서 살펴본다.

읽기 명령 신호 RD가 인가되면 상기 커맨드디코더(110)에서는 상기 읽기명령신호 RD에 응답하여 도3과 같이 순차적으로 제1출력인에이블신호 oe0와, 제2출력인에이블신호 oe1 및 제3출력인에이블신호 oe2를 생성하고, 상기 제2출력인에이블신호 oe1에 응답하여 출력인에이블신호 outen을 생성한다.

상기 커맨드디코더(110)에서 생성된 신호 oe0, oe1, oe2 및 outen은 파이프래치입출력제어부(130)로 인가되어, 제1출력인에이블신호 oe0가 로직 "하이"로 활성화되면, 제3지연소자(255)를 거쳐 NOR게이트 NOR21의 출력노드 N21을 로직 "로우"로, 상기 노드 N21의 로직 "로우"는 NAND게이트 ND23으로 인가되어 출력노드 N23을 로직 "하이"로 해준다.

상기 제1출력인에이블신호 oe0가 인버터 INV27에 의하여 로직 "로우"로 떨어지므로 NAND게이트 ND27의 출력노드 N22는 제2출력인에이블신호 oe2에 상관없이 로직 "하이"로 된다.

따라서, 상기 노드 N22와 N23을 입력으로 하는 NAND게이트 ND25의 출력신호는 로직 "로우"로 되고 인버터 INV26에 의해 반전되어 상기 파이프래치제어인에이블신호 pcd_en을 로직 "하이"로 인에이블시킨다.

다음으로, 상기 제2출력인에이블신호 oe1에 의해 액티브된 출력인에이블신호 outen이 파이프카운트인에이블신호생성부(210)로 인가되면 상기 인버터 INV21에 의하여 반전되어 NAND게이트 ND21에 로직 "로우"로 인가되므로 출력신호는 로직 "하이"로 되고 이를 버퍼링한 파이프카운트인에이블신호 pcnt_en은 로직 "하이"로 인에이블된다.

카스 레이턴시(Cas Latency)가 2이므로 읽기 명령 RD가 인가되고, 2클럭 뒤에 데이터가 출력되기 시작하고, 버스트 렛스(Burst Length)가 2이므로 한 클럭 안에 데이터를 출력한다. 따라서 파이프래치(160)의 출력은 읽기동작이 시작되고 3클럭 뒤에 디스에이블된다.

상기 파이프카운트인에이블신호 생성부(210)에 인가된 출력인에이블신호 outen이 로직 "로우"로 떨어지면, 인버터 INV21에 의하여 반전된 신호와, 제1지연소자(215)에서 소정의 지연을 거쳐 반전및래치를 거쳐 반전된 신호와, 상기 반전된 신호를 제2지연소자(230)에서 지연한 신호를 입력으로 하는 NAND게이트 ND21의 출력신호는 상기 제2지연소자(230)에 의해 지연되어 로직 "하이"로 인가되는 순간에 로직 "로우"로 떨어지고, 이에 응답하여 상기 파이프카운트인에이블신호 pcnt_en가 로직 "로우"로 디스에이블되어 파이프래치와 출력드라이버와의 전달 경로를 끊어준다.

상기 파이프카운트인에이블신호 pcnt_en이 로직 "로우"로 떨어지면서, 상기 부파이프카운트인에이블신호 /pcnt_en이 로직 "하이"로 NAND게이트 ND23으로 인가된다. 이때 제1출력인에이블신호 oe0와 제2출력인에이블신호 oe1이 모두 "로우" 이므로 상기 노드 N21신호는 로직 "하이"이다.

따라서, 상기 노드 N23 신호는 로직 "로우"로 떨어지고, 이에 응답하여 상기 파이프래치제어인에이블신호 pcd_en 또한 로직 "로우"로 디스에이블된다.

도4의 카스레이턴시가 2.5이고 버스트레ング가 2인 경우의 읽기동작의 타이밍도를 참조하여, 제1읽기동작이 시작되고 3클럭 후에 제2읽기동작이 시작되는 경우에 대해서 살펴본다.

상기 2클럭감지부(270)는 파이프제어인에이블신호 pcd_en이 제1읽기동작에서 활성화된 후 디스에이블되기 이전에 제2읽기동작이 시작하므로 셀로부터 전달된 데이터를 제1, 제2, 제3 파이프래치의 순으로 입력하는데 반해서, 파이프카운트신호 pcnt_en은 제2읽기동작에서 리셋되어 제1, 제2, 제1 파이프래치의 순으로 데이터를 출력하는 경우가 발생하는 것을 해결하기 위해서 존재한다.

도5의 카스레이턴시가 1.5이고 버스트레ング가 2인 경우의 읽기동작의 타이밍도를 참조하여, 제1읽기동작이 시작되고 2클럭 후에 제2읽기동작이 시작되는 경우에 대해서 살펴본다.

상기 제2지연소자(230)는 출력인에이블신호 outen에 응답하여 생성되는 파이프카운트인에이블신호 pcnt_en이 제1읽기동작이 완료되어 디스에이블되고, 제2읽기동작이 시작되어 액티브되면서 로직 "로우"로 되어 리셋되어 잘못된 데이터가 출력되는 경우를 방지하기 위하여 로직 "로우"로 떨어지지 않도록 지연을 통하여 상기 출력인에이블신호 outen의 폴링에지(falling edge)를 지연한다.

그러나, 상기와 같은 종래의 파이프래치입출력부는 상술한 바와 같은 특정동작을 수행하는 데 있어서 발생할 우려가 있는 에러를 해결해 주기위해서 2클럭감지부나 지연소자와 같은 회로들이 첨가되어 복잡하고 면적을 많이 차지하는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상술한 바와 같은 종래 기술의 문제점을 해결하기 위한 것으로서, 래치를 이용하여 간단하고 작은 면적을 차지하는 파이프래치입출력 제어장치를 제공하는데 그 목적이 있다.

발명의 구성

상기 목적을 달성하기 위한 본 발명은 외부에서 입력되는 입력신호 oe0, oe1, oe2 및 outen에 의해 구동하는 파이프래치입출력제어장치에 있어서, 상기 입력신호 oe0, oe1 및 oe2를 입력받아 상기 입력신호 oe0, oe1 및 oe2중에서 어느 하나만 액티브되면 액티브되는 제1제어신호를 생성하는 제1제어신호생성부; 상기 제1제어신호와 상기 입력신호 oe0에 응답하여 셀로부터 전달된 데이터의 파이프래치로의 입력 경로를 제어하기 위한 제2제어신호를 생성하고, 상기 제2제어신호가 특정동작에서 리셋되는 것을 방지하기 위하여 자신의 출력측에 제1래치를 구비하는 파이프래치입출력제어부; 및 상기 제1제어신호와 상기 입력신호 outen에 응답하여 파이프래치에서 출력드라이버로의 출력경로를 제어하기 위한 제3제어신호를 생성하고, 상기 제3제어신호가 특정동작에서 리셋되는 것을 방지하기 위하여 자신의 출력측에 제2래치를 구비하는 파이프래치출력제어부를 포함하여 이루어진 파이프래치입출력제어장치를 제공한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.

도6은 본 발명의 실시시에 따른 DDR SDRAM의 파이프래치입출력제어부의 상세 회로도이다.

도시된 바와 같이, 제1, 제2, 및 제3 출력인에이블신호 oe0, oe1, oe2를 입력으로 NOR게이트 NOR61과 인버터 INV61을 거쳐 파이프래치(160)로의 데이터 입출력을 제어하는 파이프래치입출력제어신호 pio_en을 생성하는 파이프래치입출력 제어신호생성부(610)와, 상기 파이프래치입출력제어신호 pio_en과 상기 제1출력인에이블신호 oe0에 응답하여 파이프래치제어인에이블신호 pcd_en을 출력하는 파이프래치입출력제어부(630)와, 상기 파이프래치입출력제어신호 pio_en과 출력인에이블신호 outen에 응답하여 파이프카운트인에이블신호 pcnt_en를 출력하는 파이프래치출력제어부(650)로 구성된다.

구체적으로, 상기 파이프래치입출력제어부(630)는 상기 파이프래치입출력제어신호 pio_en이 PMOS트랜지스터 PM61과 NMOS트랜지스터 NM61로 이루어진 인버터(631)의 게이트단으로 인가되고 상기 인버터(631)의 접지전원은 제1출력인에이블신호 oe0를 게이트로 인가 받는 NMOS트랜지스터 NM62의 소스-드레인경로를 통하여 공급된다. 또한 상기 인버터의 출력신호는 제1래치수단(633)에 의하여 반전 및 저장을 통해 파이프래치제어인에이블신호 pcd_en을 출력한다.

상기 파이프래치 출력제어부(650)는 상기 파이프래치입출력제어신호 pio_en이 PMOS트랜지스터 PM62와 NMOS트랜지스터 NM63으로 이루어진 인버터(651)의 게이트단으로 인가되고 상기 인버터(651)의 접지전원은 출력인에이블신호 outen을 게이트로 인가 받는 NMOS트랜지스터 NM64의 소스-드레인경로를 통하여 공급된다. 또한 상기 인버터의 출력신호는 제2래치수단(653)에 의하여 반전 및 저장을 통해 파이프래치인에이블신호 pcnt_en을 출력한다.

도7의 출력 제어부의 타이밍도를 참조로 하여 상기와 같은 구성을 갖는 본 발명의 실시시에 따른 동작을 살펴본다.

DDR SDRAM의 읽기동작에서 읽기 명령 신호 RD가 인가되면 이를 지연하여 생성한 제1, 제2, 및 제3 출력인에이블신호 oe0, oe1, oe2는 상기 파이프래치입출력제어신호생성부(610)의 3-입력 NOR게이트 NOR61로 입력되고 다시 반전을 거쳐 파이프래치입출력제어신호 pio_en을 출력한다. 즉, 상기 oe0, oe1, oe2를 논리합하는 것으로서 상기 파이프래치입출력제어신호 pio_en은 상기 oe0, oe1, oe2들 중 하나만 로직 "하이"로 되면 로직 "하이"로 액티브된다.

상기 파이프래치입출력제어신호 pio_en이 로직 "하이"로 액티브되면 상기 파이프래치 입력제어부(630)와 파이프래치 출력제어부(650)로 인가되어 상기 NMOS트랜지스터 NM61과 NM63을 턴-온시킨다. 상기 제1출력인에이블신호 oe0에 의하여 턴-온된 NMOS트랜지스터 NM62에 의하여 접지전원이 공급된 상기 파이프래치 입력제어부(630)의 출력 신호 파이프래치제어 인에이블신호 pcd_en이 로직 "하이"로 액티브되어 셀에서 전달된 데이터가 파이프래치로 저장된다.

또한 소정시간 후에 제2출력인에이블신호 oe1에 응답하여 출력인에이블신호 outen이 로직 "하이"로 활성화되면, NMOS 트랜지스터NM64가 턴-온되고 상기 파이프래치입출력제어신호 pio_en에 의하여 턴-온되어 있던 NMOS트랜지스터 NM63을 통해 파이프카운트인에이블신호 pcnt_en을 로직 "하이"로 활성화 하여 상기 과정을 통해 파이프래치에 저장된 데이터를 출력 드라이버를 통해 외부로 출력한다.

상기 제1출력인에이블신호 oe0나 상기 출력인에이블신호 outen이 로직 "로우"로 디스에이블되어 접지전원의 공급이 끊겨도 상기 래치(633, 653)에 의하여 상기 파이프래치제어인에이블신호 pcd_en과 상기 파이프카운트인에이블신호 pcnt_en은 로직 "하이"를 유지한다.

상기 제1, 제2, 제3 출력인에이블신호 oe0, oe1, oe2가 모두 로직 "로우"로 되면 파이프래치입출력제어신호 pio_en이 로직 "로우"로 디스에이블 되어 상기 PMOS트랜지스터 PM61과 PM62를 턴-온시킴으로서 래치에 의하여 출력되고 있던 상기 파이프래치제어인에이블신호 pcd_en과 파이프카운트인에이블신호 pcnt_en을 모두 로직 "로우"로 디스에이블시켜서, 파이프래치로의 데이터 입력과 출력드라이버로의 데이터 전달을 통한 읽기동작을 완료한다.

본 발명의 기술 사상은 상기 바람직한 실시시에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

발명의 효과

상기와 같은 본 발명은, 래치를 이용하여 간단하게 파이프래치입출력제어부를 구성함으로써, 칩 사이즈를 줄일 수 있다.

도면의 간단한 설명

도1은 DDR SDRAM의 데이터 출력 제어 블록 다이어그램.

도2는 종래 기술에 따른 파이프래치입출력제어부의 회로도.

도2a는 도2의 2클럭감지부의 개략적인 회로도.

도3은 종래 기술에 따른 읽기동작의 타이밍도.

도4는 카스레이턴시가 2.5이고 버스트랭스가 2인 경우의 읽기동작의 타이밍도.

도5는 카스레이턴시가 1.5이고 버스트랭스가 2인 경우의 읽기동작의 타이밍도.

도6은 본 발명의 일실시예에 따른 파이프래치입출력제어부의 상세 회로도.

도7은 본 발명의 일실시예에 따른 읽기동작의 타이밍도.

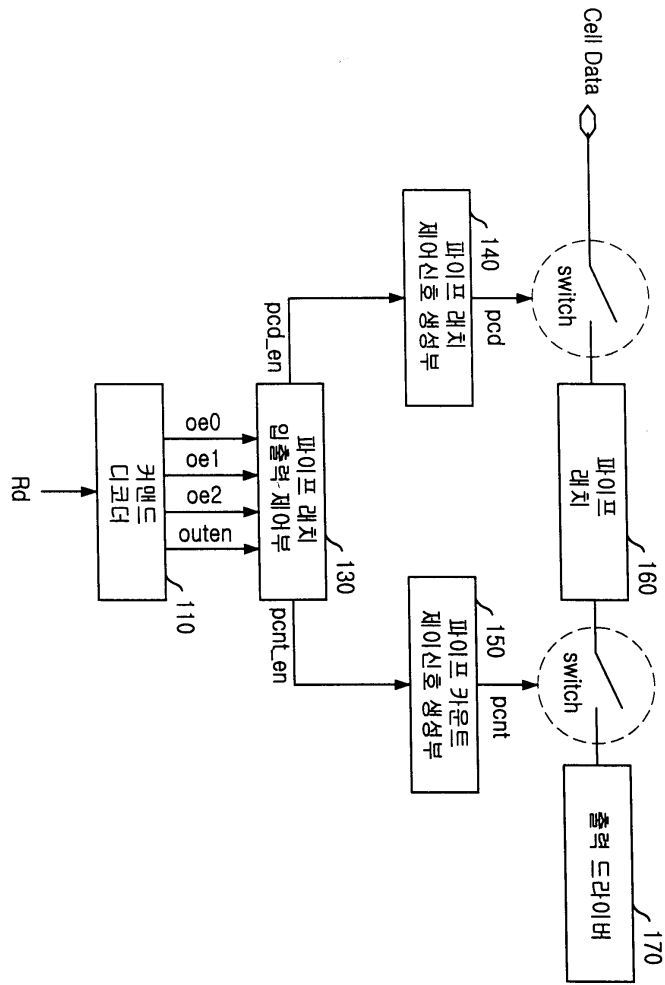
* 도면의 주요 부분에 대한 부호의 설명

130 : 파이프래치입출력제어부

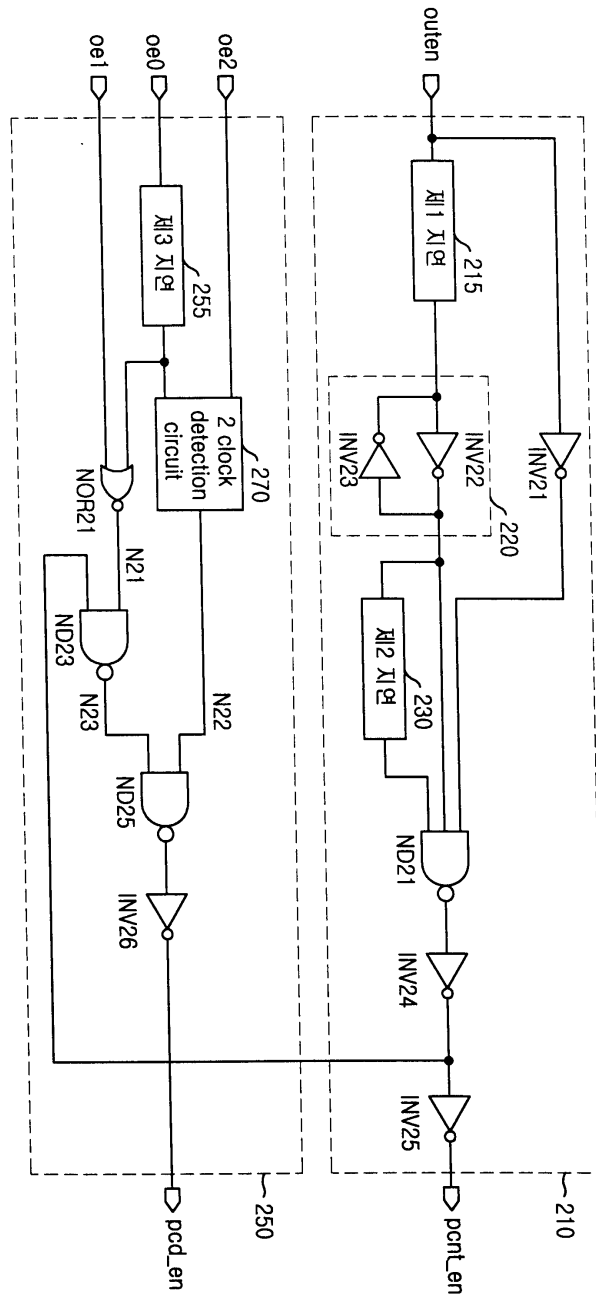
630 : 파이프래치입력제어부 650 : 파이프래치출력제어부

도면

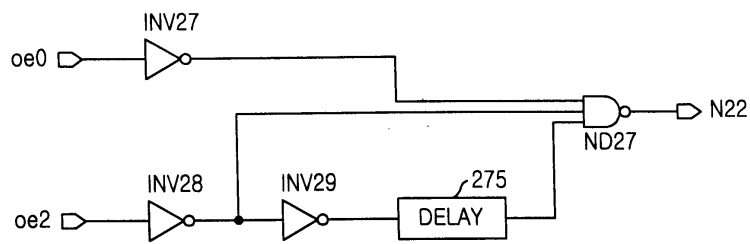
도면1



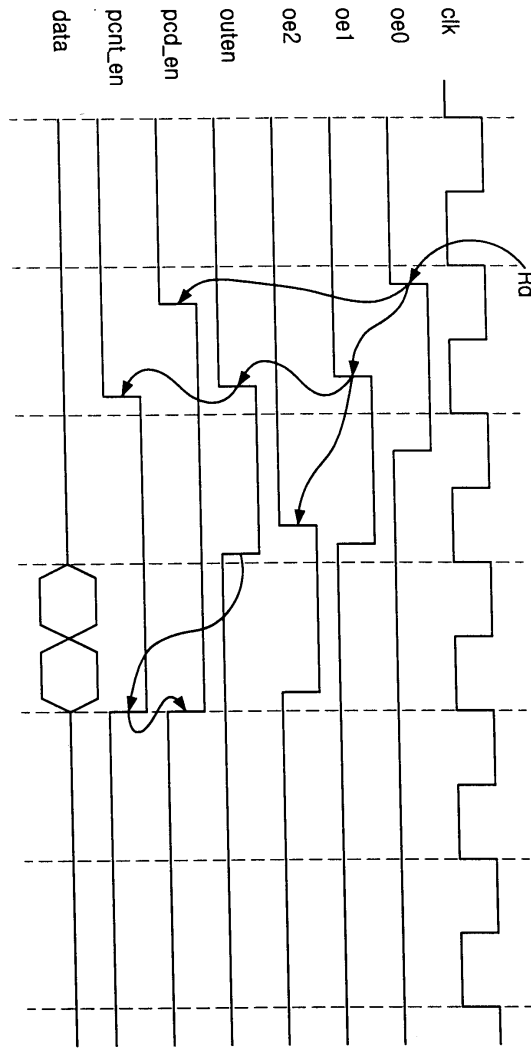
도면2



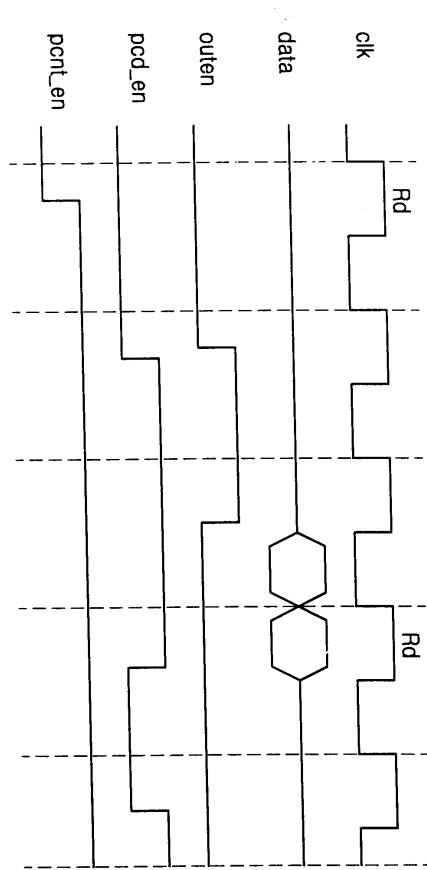
도면2a



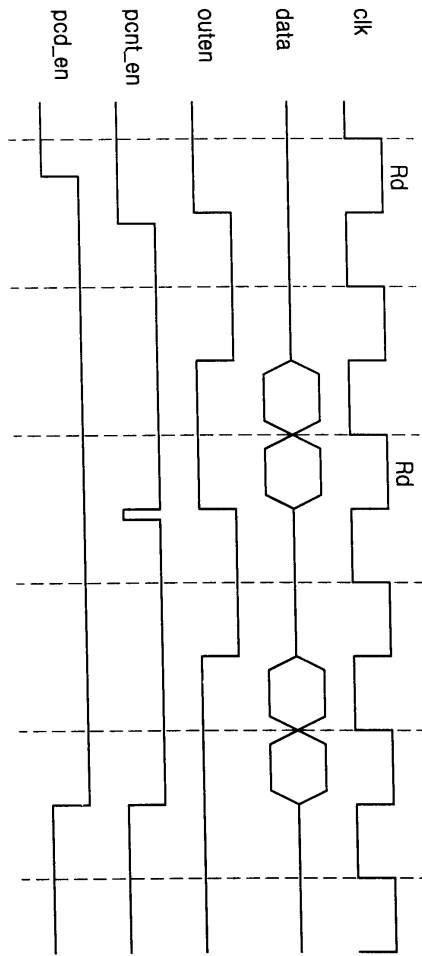
도면3



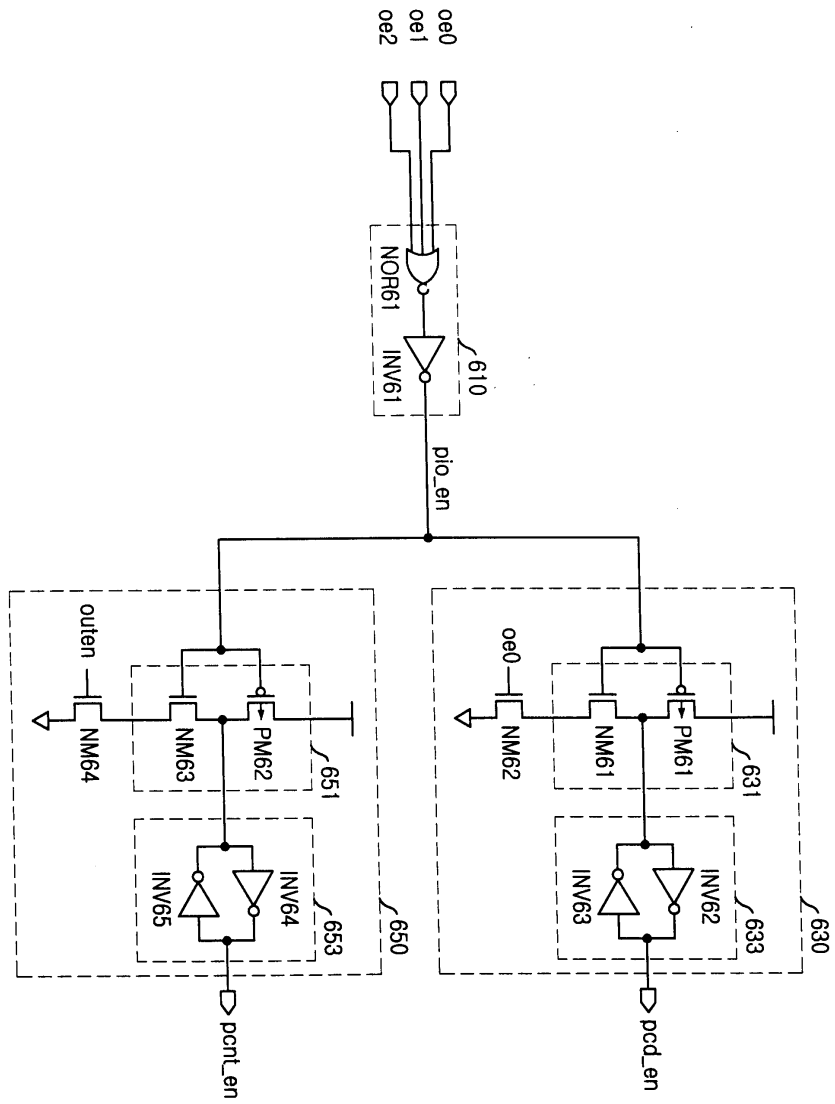
도면4



도면5



도면6



도면7

