



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년01월10일
(11) 등록번호 10-2064380
(24) 등록일자 2020년01월03일

(51) 국제특허분류(Int. Cl.)
H03H 3/08 (2006.01) H03H 9/10 (2006.01)
H03H 9/64 (2006.01)
(52) CPC특허분류
H03H 3/08 (2013.01)
H03H 9/1064 (2013.01)
(21) 출원번호 10-2018-0071862
(22) 출원일자 2018년06월22일
심사청구일자 2018년06월22일
(65) 공개번호 10-2020-0000058
(43) 공개일자 2020년01월02일
(56) 선행기술조사문헌
JP2003174345 A*
JP2005268297 A*
KR1020180055369 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
(주)와이솔
경기 오산시 가장로 531-7, (가장동)
(72) 발명자
용준우
경기도 오산시 가장산업동로 28-40(가장동)
한정훈
경기도 오산시 가장산업동로 28-40(가장동)
(74) 대리인
특허법인(유)화우

전체 청구항 수 : 총 5 항

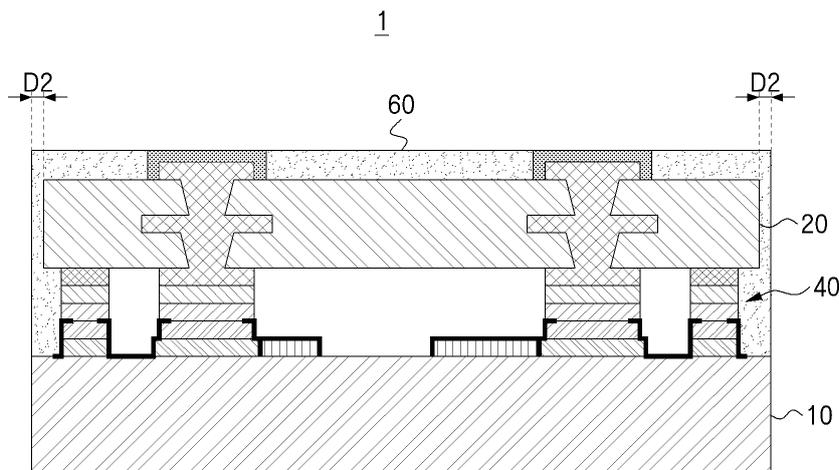
심사관 : 최규돈

(54) 발명의 명칭 표면 탄성과 소자 패키지 및 그 제조 방법

(57) 요약

본 발명의 일 실시예에 따른 제1 기판, 상기 제1 기판과 나란하게 배치된 제2 기판, 상기 제1 기판과 상기 제2 기판 사이에 배치된 복수 개의 표면 탄성과 소자를 이용하여 표면 탄성과 소자 패키지를 제조하는 방법으로서, 복수 개의 표면 탄성과 소자를 포함하는 제1 기판 및 상기 제1 기판과 전기적으로 연결된 제2 기판 중 어느 하나의 기판을 분할 라인에 따라 1차 절단하는 단계, 상기 절단된 기판의 절단된 공간 및 상기 절단된 기판의 상부를 감싸는 보호부재를 형성하는 단계, 상기 절단된 기판의 상부에 형성된 보호부재를 평탄화하는 단계, 상기 평탄화된 보호부재를 가지는 기판 및 절단되지 않은 기판을 분할 라인에 따라 2차 절단하여, 표면 탄성과 소자를 포함하는 복수 개의 표면 탄성과 소자 패키지로 분리하는 단계를 포함한다.

대표도 - 도6a



(52) CPC특허분류
H03H 9/64 (2013.01)

(72) 발명자
김봉수

경기도 오산시 가장산업동로 28-40(가장동)

박은태

경기도 오산시 가장산업동로 28-40(가장동)

명세서

청구범위

청구항 1

제1 기관, 상기 제1 기관과 나란하게 배치된 것으로서 상기 제1기관과 전기적으로 연결된 제2 기관- 상기 제1기관 및 제2기관은 상기 제1기관에 형성된 전극 구조물과 상기 제2기관에 형성된 전극층에 의해 연결됨 -, 상기 제1 기관과 상기 제2 기관 사이의 공간 내에서 상기 제1기관 또는 제2기관 중 어느 하나의 일면에 배치되어 표면 탄성파를 발생시키는 전극 패턴, 및 상기 전극 패턴 및 전극 구조물을 둘러싸며 상기 제1기관 및 제2기관 사이에 배치되는 댐 구조물을 이용하여 표면 탄성파 소자 패키지를 제조하는 방법으로서,

상기 제1 기관 및 상기 제1 기관과 전기적으로 연결된 제2 기관 중 어느 하나의 기관을 분할 라인에 따라 1차 절단하는 단계;

상기 절단된 기관의 절단된 공간 - 상기 절단된 공간은 인접한 댐 구조물들 사이의 공간임 - 에 보호부재를 주입함으로써, 상기 절단된 공간 및 상기 절단된 기관의 상부를 감싸는 보호부재를 형성하는 단계;

상기 절단된 기관의 상부에 형성된 보호부재를 평탄화하는 단계;

상기 평탄화된 보호부재를 가지는 기관 및 절단되지 않은 기관을 분할 라인에 따라 2차 절단하여, 표면 탄성파 소자를 포함하는 복수 개의 표면 탄성파 소자 패키지로 분리하는 단계;

를 포함하는 표면 탄성파 소자 패키지 제조 방법.

청구항 2

제1항에 있어서,

상기 1차 절단하는 단계에서, 상기 제1 기관 및 제2 기관 중 어느 하나의 기관을 절단하는 분할 라인의 선 폭이,

상기 복수 개의 표면 탄성파 소자 패키지로 분리하는 단계에서, 상기 평탄화된 보호부재를 가지는 기관 및 상기 절단되지 않은 기관을 절단하는 분할 라인의 선 폭보다 큰,

표면 탄성파 소자 패키지 제조 방법.

청구항 3

삭제

청구항 4

제1항에 있어서,

상기 보호부재를 평탄화하는 단계는,

상기 절단된 기관이, 상기 절단된 기관의 상면으로부터 노출된 전극 패드 - 상기 전극 패드는 상기 제2기관에 형성된 전극층의 외측 말단에 형성된 것임 - 를 포함하는 경우,

상기 상부에 형성된 보호부재를 전극 패드가 노출되는 높이까지 평탄화하는,

표면 탄성파 소자 패키지 제조 방법.

청구항 5

제1항에 있어서,

상기 복수 개의 표면 탄성파 소자 패키지로 분리하는 단계는,

상기 절단된 기관의 측면과 상기 보호부재의 측면이 동일평면 상에 배치되도록 절단하는,

표면 탄성과 소자 패키지 제조 방법.

청구항 6

제1항에 있어서,

상기 제1 기판 및 제2 기판은,

실리콘 기판, 다이아몬드 기판, 사파이어 기판, 실리콘 카바이드 기판, LiNbO₃ 기판, LiTaO₃ 기판, 인쇄회로기판 (PCB) 중 어느 하나로 이루어지는,

표면 탄성과 소자 패키지 제조 방법.

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

발명의 설명

기술 분야

[0001] 본 발명은 표면 탄성과 소자 패키지 및 그 제조 방법에 관한 것이다. 보다 자세하게는 소형화된 표면 탄성과 소자 패키지를 제조하는 방법에 관한 것이다.

배경 기술

[0002] 표면 탄성과(Surface Acoustic Wave)는 탄성체 기판의 표면을 따라 전파되는 음향파이다. 음향파는 압전 효과의 결과물로서 전기 신호로부터 생성되고, 음향파의 전계가 기판 표면 부근에 집중되면 그 표면 바로 위에 놓인 다른 반도체의 전도 전자와 상호 작용할 수 있다. 음향파가 전파되는 매질은 전자기계 결합 계수가 높고 음향파 에너지 손실이 낮은 압전 물질이며, 반도체는 전도 전자의 이동도가 높고 최적의 저항률을 가진 물체로서 직류 전원 요소가 낮아 최적의 효율을 확보할 수 있다. 이러한 표면 탄성과와 반도체 전도 전자의 상호 작용을 이용하여 전자 회로를 전자 기계적 소자로 대체한 것이 표면 탄성과 소자 (SAW device)이다.

[0003] 이러한 표면 탄성과 소자는 다양한 통신 응용으로 사용될 뿐만 아니라, 이동통신 휴대폰, 기지국용의 중요한 부품으로 사용되고 있다. 가장 흔히 사용되는 표면 탄성과 소자 형태는 통과대역 필터(passband filter) 및 공진기(resonator)이다.

[0004] 특히, 표면 탄성과 소자가 사용되는 필터 및 공진기 분야에서는 특성 개선뿐만 아니라 패키지의 소형화도 요구되고 있으며, 소형화를 구현하기 위해 다양한 제조 방법이 사용되고 있다. 그러나, 종래의 소형화된 표면 탄성과 소자 패키지를 제조하기 위한 웨이퍼 레벨 패키지(Wafer Level Package, WLP) 방법은 복수 개의 표면 탄성과 소자가 제조되면, 이를 개별적으로 기판 상에 접촉한 후, 수분이나 오염 물질이 침투하는 것을 막기 위한 몰딩(molding)과정을 수행하는 과정을 거침으로써, 소형화된 표면 탄성과 소자 패키지를 대량 제작하기에는 효율성이 떨어지는 문제점이 있다.

[0005] 따라서, 대량의 표면 탄성과 소자 패키지를 제조하기 위한 보다 효율적인 방법과 표면 탄성과 소자 패키지를 소

형화시킬 수 있는 방법의 개발이 요구된다. 본 발명은 이와 관련된 것이다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 대한민국 공개특허공보 제10-2006-0115531호(2005.05.06.)

발명의 내용

해결하려는 과제

- [0007] 본 발명이 해결하고자 하는 기술적 과제는 소형화된 표면 탄성과 소자 패키지를 간소하게 제조하는 방법을 제공하는 것을 목적으로 한다.
- [0008] 또한, 표면 탄성과 소자를 보호하는 몰딩 공정을 수행하는 과정에서 최소한의 보호 부재를 사용하여 보다 소형화된 표면 탄성과 소자 패키지를 제공하는 것을 목적으로 한다.
- [0009] 본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 통상의 기술자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0010] 본 발명의 일 실시예에 따른 제1 기판, 상기 제1 기판과 나란하게 배치된 제2 기판, 상기 제1 기판과 상기 제2 기판 사이에 배치된 복수 개의 표면 탄성과 소자를 이용하여 표면 탄성과 소자 패키지를 제조하는 방법은, 복수 개의 표면 탄성과 소자를 포함하는 제1 기판 및 상기 제1 기판과 전기적으로 연결된 제2 기판 중 어느 하나의 기판을 분할 라인에 따라 1차 절단하는 단계, 상기 절단된 기판의 절단된 공간 및 상기 절단된 기판의 상부를 감싸는 보호부재를 형성하는 단계, 상기 절단된 기판의 상부에 형성된 보호부재를 평탄화하는 단계, 상기 평탄화된 보호부재를 가지는 기판 및 절단되지 않은 기판을 분할 라인에 따라 2차 절단하여, 표면 탄성과 소자를 포함하는 복수 개의 표면 탄성과 소자 패키지로 분리하는 단계를 포함한다.
- [0011] 일 실시예에 따르면, 상기 1차 절단하는 단계에서, 상기 제1 기판 및 제2 기판 중 어느 하나의 기판을 절단하는 분할 라인의 선 폭이, 상기 복수 개의 표면 탄성과 소자 패키지로 분리하는 단계에서, 상기 평탄화된 보호부재를 가지는 기판 및 상기 절단되지 않은 기판을 절단하는 분할 라인의 선 폭보다 클 수 있다.
- [0012] 일 실시예에 따르면, 상기 제1 기판 및 제2 기판은, 상기 제1 기판 및 제2 기판을 연결하며, 상기 제1 기판 또는 제2 기판 중 어느 하나에 배치되어 전극 패턴을 둘러싸는 댐 구조물을 포함하고, 상기 보호부재를 형성하는 단계는, 상기 보호부재가 상기 댐 구조물을 감싸며 형성될 수 있다.
- [0013] 일 실시예에 따르면, 상기 보호부재를 평탄화하는 단계는, 상기 절단된 기판이, 상기 절단된 기판의 상면으로부터 노출된 전극 패드를 포함하는 경우, 상기 상부에 형성된 보호부재를 전극 패드가 노출되는 높이까지 평탄화할 수 있다.
- [0014] 일 실시예에 따르면, 상기 복수 개의 표면 탄성과 소자 패키지로 분리하는 단계는, 상기 절단된 기판의 측면과 상기 보호부재의 측면이 동일평면 상에 배치되도록 절단할 수 있다.
- [0015] 일 실시예에 따르면, 상기 제1 기판 및 제2 기판은, 실리콘 기판, 다이아몬드 기판, 사파이어 기판, 실리콘 카바이드 기판, LiNbO₃ 기판, LiTaO₃ 기판, 인쇄회로기판(PCB) 중 어느 하나로 이루어질 수 있다.
- [0016] 일 실시예에 따르면, 상기 보호부재를 형성하는 단계는, 필름형(film) 보호부재를 부착하는 방식, 액상형 보호부재를 이용하는 방식, 트랜스퍼(transfer) 몰딩 방식, 컴프레션(compression) 몰딩 방식 중 하나를 이용하여 보호부재가 형성될 수 있다.
- [0017] 본 발명의 또 다른 실시예에 따른 표면 탄성과 소자 패키지는, 제1 기판 및 상기 제1 기판과 전기적으로 연결된 제2 기판, 상기 제1 기판과 제2 기판 사이 공간 중에서, 상기 제1 기판 또는 제2 기판 중 어느 하나에 배치되어 표면 탄성과를 발생시키는 전극 패턴, 상기 전극 패턴을 둘러싸며 상기 제1 기판 또는 제2 기판 중 어느 하나에 배치되는 댐 구조물 및 상기 댐 구조물의 외측면 및 상기 제1 기판 또는 제2 기판 중 어느 하나의 측면 및 하면

를 둘러싸며 형성된 보호부재를 포함한다.

- [0018] 일 실시예에 따르면, 상기 보호부재는, 상기 보호부재의 측면과 상기 제1 기판 또는 제2 기판의 측면이 동일 평면 상에 배치되도록 형성될 수 있다.
- [0019] 일 실시예에 따르면, 상기 제1 기판 또는 제2 기판 중 어느 하나가 상면으로부터 노출된 전극 패드를 포함하는 경우, 상기 보호부재가, 상기 전극 패드가 노출되는 높이까지 형성될 수 있다.
- [0020] 일 실시예에 따르면, 상기 제1 기판 및 제2 기판은, 실리콘 기판, 다이아몬드 기판, 사파이어 기판, 실리콘 카바이드 기판, LiNbO₃ 기판, LiTaO₃ 기판, 인쇄회로기판(PCB) 중 어느 하나로 이루어질 수 있다.

발명의 효과

- [0021] 본 발명에 의하면, 표면 탄성과 소자 패키지 제조 방법이 간소화되어 제조 공정의 효율이 향상될 수 있다.
- [0022] 또한, 몰딩 공정을 수행하는 과정에서 사용되는 보호 부재의 양이 감소하여, 표면 탄성과 소자 패키지 제조 효율이 향상될 수 있다.
- [0023] 또한, 몰딩 공정을 수행하는 과정에서 표면 탄성과 소자를 보호할 수 있는 최소한의 보호 부재를 사용하여 표면 탄성과 소자 패키지의 소형화가 가능하다는 효과가 있다.
- [0024] 본 발명의 효과들은 이상에서 언급한 효과들로 제한되지 않으며, 언급되지 않은 또 다른 효과들은 아래의 기재로부터 통상의 기술자에게 명확하게 이해 될 수 있을 것이다.

도면의 간단한 설명

- [0025] 도 1은 본 발명의 실시예에 따른 표면 탄성과 소자의 단면도이다.
- 도 2 내지 5는 본 발명의 실시예에 따른 표면 탄성과 소자 패키지 제조 방법의 흐름을 나타낸 순서도이다.
- 도 6a 및 도 6b는 본 발명의 실시예에 따른 표면 탄성과 소자 패키지의 단면도이다.
- 도 7은 종래 제조 방법으로 제조된 표면 탄성과 소자 패키지의 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0026] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 예를 상세히 설명한다. 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시 예를 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 게시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시 예들은 본 발명의 게시가 완전하도록 하고, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0027] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다. 본 명세서에서 사용된 용어는 실시 예를 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다.
- [0028] 본 명세서에서 사용되는 "포함한다 (comprises)" 및/또는 "포함하는 (comprising)"은 언급된 구성 요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성 요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.
- [0029] 도 1은 본 발명의 실시예에 따른 표면 탄성과 소자(100)의 단면도이다.
- [0030] 도 1을 참조하면, 본 발명의 실시예에 따른 표면 탄성과 소자(100)는 제1 기판(10), 제2 기판(20), 제1 기판(10)과 제2 기판(20) 사이의 공간에 배치된 전극 구조물(30), 댐 구조물(40) 및 보호막(50)을 포함할 수 있다.
- [0031] 먼저, 제1 기판(10) 및 제2 기판(20)은 웨이퍼 레벨 패키지(Wafer Level Package, WLP) 제조 공정을 이용하여 압전 효과(Piezoelectric effect)를 제공하는 표면 탄성과 소자 패키지(1)를 제조할 수 있는 다양한 종류의 기판을 포함할 수 있다. 예를 들어, 제1 기판(10) 및 제2 기판(20)은 압전 효과를 발생시킬 수 있는 실리콘 기판,

다이아몬드 기판, 사파이어 기판, 실리콘 카바이드 기판, LiNbO₃ 기판, LiTaO₃ (LT)기판 또는 이러한 압전 효과를 발생시키는 기판과 전기적으로 연결되는 인쇄 회로 기판(PCB) 중 어느 하나로 이루어질 수 있다.

- [0032] 한편, 이하의 설명에서는 제1 기판(10)이 압전 효과를 발생시킬 수 있는 기판이며, 제2 기판(20)이 웨이퍼 레벨 패키지 제조 공정을 이용하기 위한 인쇄 회로 기판(PCB)인 경우로 가정하도록 한다.
- [0033] 실시예에 따라, 제1 기판(10)은 표면 탄성파를 발생시키는 전극 패턴(11)을 포함할 수 있다. 보다 구체적으로, 전극 패턴(11)은 빗살 형태의 IDT(Inter Digitated Transducer) 전극일 수 있다. 아울러, 전극 패턴(11)은 구리(Cu), 은(Ag), 팔라듐(Pd), 알루미늄(Al), 니켈(Ni), 티타늄(Ti), 금(Au), 백금(Pt) 등 전기적 특성이 우수한 물질로 이루어져, 표면 탄성파 소자(100)의 압전 효과를 증대시킬 수 있으며, 이러한 전극 패턴(11)의 소재는 이에 한정되지 않는다.
- [0034] 한편, 인쇄 회로 기판(PCB)으로 이루어지는 제2 기판(20)은 절연층(21), 제2 기판(20)의 두께방향으로 평행한 제1, 2, 3 전극층(23a, 23b, 23c), 제1, 2, 3 전극층(23a, 23b, 23c)을 제2 기판(20)의 두께 방향으로 연결하는 비아 홀(23d) 및 표면 탄성파 소자 패키지(1)에 전류를 공급하며, 표면 탄성파 소자 패키지(1)가 접촉하는 영역을 보호하는 전극 패드(25)를 포함할 수 있다. 보다 구체적으로, 제1, 2, 3 전극층(23a, 23b, 23c) 중 압전 효과를 발생시킬 수 있는 제1 기판(10)과 가장 가까이 배치된 제3 전극층(23c)은 후술하게 될 제1 기판(10)의 전극 패드(31)와 대응되는 위치에 배치될 수 있다. 아울러, 본 발명의 실시예를 설명함에 있어서, 제2 기판(20)은 제1, 2, 3 전극층(23a, 23b, 23c)을 포함하는 것으로 설명하였으나, 이에 한정되지 않으며, 제2 기판(20)은 다수의 전극층을 포함하여 이를 통해 압전 효과를 발생시킬 수 있다.
- [0035] 한편, 후술하게 될 표면 탄성파 소자(100)를 포함하는 표면 탄성파 소자 패키지(1)가 부착되는 제2 기판(20)의 일면에 형성된 제1 전극층(23a)의 경우, 표면 탄성파 소자 패키지(1)를 부착시키기 위한 고정된 영역이 존재하는 바, 제3 전극층(23c)과는 다르게 제1 전극층(23a)의 배치 위치가 고정될 수 있다.
- [0036] 이와 같이, 배치된 위치가 상이한 제1 전극층(23a) 및 제3 전극층(23c)을 전기적으로 연결하기 위해, 제1 전극층(23a)과 제3 전극층(23c) 사이에 제2 전극층(23b)이 배치될 수 있으며, 제2 기판(20)을 두께 방향으로 관통하는 비아홀(23d)을 통해 제1, 2, 3 전극층(23a, 23b, 23c)이 전기적으로 연결될 수 있다.
- [0037] 아울러, 제2 기판(20)이 각기 다른 위치에 형성될 수 있는 제1, 2, 3 전극층(23a, 23b, 23c) 및 비아홀(23d) 포함함에 따라, 표면 탄성파 소자(100)의 전극 구조에 한정되지 않는 다양한 표면 탄성파 소자 패키지(1)의 설계가 가능할 수 있다.
- [0038] 아울러, 인쇄 회로 기판으로 이루어진 제2 기판(20)은 제1 기판(10)과 마주보는 면의 가장 자리에 배치되어, 표면 탄성파 소자(100)를 습기나 오염 물질로부터 보호하는 댐(40)을 포함할 수 있으며, 이에 대한 보다 구체적인 내용은 후술하기로 한다.
- [0039] 다음으로, 전극 구조물(30)은 제1 기판(10)과 제2 기판(20) 사이에 배치되며, 제1 기판(10) 및 제2 기판(20)을 전기적으로 연결할 수 있다. 보다 구체적으로, 전극 구조물(30)은 전극 패드(31), UBM(Under Bump Metal)층(33) 및 접합층(35a, 35b)을 포함할 수 있다.
- [0040] 실시예에 따라, 전극 패드(31, 1차막)는 압전 효과를 발생시키는 제1 기판(10)의 일면에 배치되어, 제1 기판(10)의 전극 패턴(11)과 더불어 표면 탄성파 소자 패키지(1)에 전기적 신호가 입력되면, 이를 표면 탄성파로 변환하는 역할을 수행할 수 있으며, 전도성 물질로 이루어질 수 있다.
- [0041] 또한, UBM층(33, 2차막)은 제1 기판(10)과 제2 기판(20)을 용이하게 접합하기 위해 배치되며, 재질이 상이한 금속이 다층으로 적층되어 형성될 수 있다. 예를 들어, UBM층(33, 2차막)은 티타늄(Ti), 알루미늄(Al)이 교대로 배치되거나(Ti, Al, Ti), 금(Au), 구리(Cu), 주석(Sn)이 추가로 적층될 수 있어, 3층 내지 7층의 다층 형태로 이루어질 수 있다.
- [0042] 전극 구조물(30)의 마지막 구조인 접합층(35a, 35b)은 제1 기판(10)과 제2 기판(20)을 물리적으로 접합하기 위해 배치되며, 구리(Cu)와 주석(Sn)이 차례대로 적층된 형태로 이루어질 수 있다. 아울러, UBM층(33, 2차막)과 접합층(35a, 35b) 사이에 접합력을 향상시키기 위한 추가 금속 층이 추가로 형성되어, 제1 기판(10)과 제2 기판(20)이 견고히 결합할 수 있으며, 추가 금속 층은 티타늄(Ti), 구리(Cu)로 이루어질 수 있다.
- [0043] 다음으로, 댐 구조물(40)은 제1 기판(10)과 제2 기판(20) 사이에 배치된 전극 패턴(11) 및 전극 구조물(30)을 보호하기 위해 배치될 수 있다. 보다 구체적으로 댐 구조물(40)은 압전 효과를 발생시키는 제1 기판(10)의 일면

에 배치된 제1 접지 전극(41), UBM(Under Bump Metal)층(43) 및 접합층(45a, 45b), 제2 접지 전극(47)을 포함할 수 있다.

[0044] 실시예에 따라, 제1 접지 전극(41) 및 제2 접지 전극(47)은 각각 제1 기판(10)과 제2 기판(20)에 배치될 수 있으며, 제1 접지 전극(41) 및 제2 접지 전극(47)을 배치시킴에 따라 표면 탄성과 소자(1)에 공급되는 전류의 흐름을 원활하게 할 수 있다. 아울러, 제1 접지 전극(41) 및 제2 접지 전극(47)은 전극 패턴(11) 및 전극 패드(31)와 동일한 물질로 이루어질 수 있다.

[0045] 또한, 댐 구조물(40)에 포함된 UBM층(43)과 접합층(45a, 45b)도 전극 구조물(30)의 UBM층(33)과 접합층(35a, 35b)과 동일하게 제1 기판(10)과 제2 기판(20)을 견고히 결합하기 위해 배치되며, 전극 구조물(30)을 보호하는 역할을 수행할 수 있다.

[0046] 또한, 댐 구조물(40)의 마지막 구조인 접합층(45a, 45b)도 전극 구조물(30)의 접합층(35a, 35b)와 동일하게 제1 기판(10)과 제2 기판(20)을 물리적으로 접합하기 위해 배치되며, 구리(Cu)와 주석(Sn)이 차례대로 적층된 형태로 이루어질 수 있다. 실시예에 따라, 접합층(45a, 45b)은 구리(Cu), 주석(Sn), 구리(Cu) 순서의 적층 구조를 가지거나, 금(Au)이 포함되어, 금(Au), 주석(Sn), 구리(Cu) 또는 금(Au), 금(Au) 순으로 적층된 구조를 가질 수 있으며, 각 층을 구성하는 물질들은 제1 기판(10)과 제2 기판(20)에 별도로 접합되어 있을 수 있다. 예를 들어, 제1 기판(10)이 구리(Cu), 주석(Sn)을 포함하고, 제2 기판(20)이 구리(Cu)를 포함하여, 제1 기판(10)과 제2 기판(20)이 접착되었을 때, 접합층(45a, 45b)을 이룰 수 있다. 한편, 전극 구조물(30)의 접합층(35a, 35b)도 댐 구조물(40)의 접합층(45a, 45b)과 동일한 적층 구조를 가질 수 있다.

[0047] 마지막으로, 보호막(50)은 표면 탄성파를 발생시키는 전극 패턴(11), 전극 구조물(30), 댐 구조물(40)을 보호하기 위해 형성될 수 있다. 실시예에 따라, 보호막(50)은 접합층(35, 45)이 배치된 영역을 제외한 영역에 형성될 수 있으며, 예를 들어, 보호막(50)은 실리콘 산화물(SiO_x), 실리콘 나이트라이드(SiN)가 단층 또는 다층으로 적층된 형태일 수 있다.

[0048] 지금까지 본 발명의 실시예에 따른 표면 탄성과 소자(1)의 구성에 대해 설명하였으며, 이하에서는 제1 기판(10) 및 제2 기판(20)을 이용하여 제조된 복수 개의 표면 탄성과 소자(100)를 소형화된 패키지 형태로 제조하는 방법에 대해 설명하도록 한다.

[0049] 도 2 내지 도 5는 본 발명의 실시예에 따른 표면 탄성과 소자 패키지(1) 제조 방법의 흐름을 나타낸 순서도이다.

[0050] 도 2a 및 도 2b를 참조하면, 복수 개의 표면 탄성과 소자(100)를 포함하는 제1 기판(10) 및 제1 기판(10)과 전기적으로 연결된 제2 기판(20) 중 어느 하나의 기판을 분할 라인에 따라 1차 절단한다. 실시예에 따라, 제1 기판(10) 또는 제2 기판(20)을 절단하는 분할 라인은 제1 기판(10) 또는 제2 기판(20)의 표면에 형성되어 있을 수 있으며, 분할 라인에 따라 복수 개의 표면 탄성과 소자(100)를 각각 하나로 분리할 수 있다. 아울러, 제1 기판(10) 또는 제2 기판(20)을 분할하는 분할 라인의 선 폭(L1)은 표면 탄성과 소자(100)의 크기에 따라 상이하게 설정할 수 있으며, 제1 기판(10) 또는 제2 기판(20)을 절단하는 과정은 블레이드(blade), 레이저(laser), 플라즈마(plasma) 방식 등 다양한 방식으로 수행될 수 있다.

[0051] 다음으로, 도 3a 및 도 3b를 참조하면, 제1 기판(10) 또는 제2 기판(20)의 절단된 공간(A) 및 제1 기판(10) 또는 제2 기판(20)의 상부에 앞서 언급한 구성들을 감싸는 보호부재(60)가 형성된다. 제1 기판(10) 또는 제2 기판(20)의 절단된 공간(A)은 제1 기판(10) 또는 제2 기판(20)을 절단하는 과정에서 형성된 선 폭(L1) 및 복수 개의 표면 탄성과 소자(100)의 보호 댐(40) 사이의 공간을 의미하며, 보호부재(60)가 절단된 공간(A)으로 유입되어 제1 기판(10)과 제2 기판(20) 사이에 배치된 댐 구조물(40)의 외측면과 접촉할 수 있다.

[0052] 실시예에 따라, 보호부재(60)로 에폭시 몰드 복합체(epoxy mold compound, EMC) 등의 열경화성 수지 재료를 사용할 수 있으며, 제2 기판(20)을 절단함에 따라, 제1 기판(10)과 제2 기판(20)에 형성된 절단된 공간(A) 및 제1 기판(10) 또는 제2 기판(20)의 상면 전체를 덮을 만큼의 보호부재(60)를 주입한 후, 경화시킬 수 있다.

[0053] 또한, 보호부재(60)는 필름형(film) 보호부재를 부착하거나, 액상형 보호부재를 이용하거나, 트랜스퍼(transfer) 몰딩 방식, 컴프레션(compression) 몰딩 방식 중 하나를 이용하여 형성될 수 있다.

[0054] 다음으로, 도 4a 및 도 4b를 참조하면, 보호부재(60)가 경화되어 제1 기판(10) 또는 제2 기판(20)의 절단된 공간(A) 및 제1 기판(10) 또는 제2 기판(20)의 상부에 형성된 후, 제1 기판(10) 또는 제2 기판(20)의 상부에 형성된 보호부재(60)를 연마하여 보호부재(60)를 평탄화시킬 수 있다. 아울러, 보호부재(60)를 평탄화시킴에 따라,

표면 탄성과 소자 패키지(1) 전체의 높이가 감소하여, 표면 탄성과 소자 패키지(1)가 보다 소형화될 수 있다.

- [0055] 한편, 보호부재(60)를 평탄화하는 공정은 보호부재(60)가 형성된 기관의 종류에 따라, 보호부재(60)가 상이한 두께를 가지도록 평탄화시킬 수 있다. 실시예에 따라, 압전 효과를 발생시킬 수 있는 제1 기관(10) 상의 보호부재(60)를 평탄화시키는 경우, 평탄화된 보호부재(60)의 두께(D1)는 표면 탄성과 소자 패키지(1)를 보호할 수 있는 최소한의 두께일 수 있다. 다만 이에 한정되지 않고, 표면 탄성과 소자 패키지(1)가 적용되는 장치에 따라 제1 기관(10)이 완전히 노출되도록 제1 기관(10)의 상부에 형성된 보호부재(60)를 평탄화시킬 수 있다.
- [0056] 또한, 실시예에 따라, 도 4b와 같이, 제2 기관(20)이 상면으로부터 노출된 전극 패드(25)를 포함하는 경우, 전극 패드(25)가 노출되는 두께(D1')까지 보호부재(60)를 평탄화시켜, 전극 패드(25)를 보호부재(60)로부터 노출시킬 수 있다.
- [0057] 다음으로, 도 5a 및 도 5b를 참조하면, 보호부재(60)를 형성한 복수 개의 표면 탄성과 소자(1)를 제1 기관(10) 또는 제2 기관(20)의 상면이 보이도록 뒤집은 후, 제1 기관(10)과 제2 기관(20)을 분할 라인에 따라 동시에 절단, 즉 2차로 절단하여, 하나의 표면 탄성과 소자(1)를 포함하는 복수 개의 표면 탄성과 소자 패키지(100)로 분리한다. 실시예에 따라, 제1 기관(10) 및 제2 기관(20)을 동시에 절단하는 분할 라인은 제1 기관(10)의 표면에 형성되어 있을 수 있다. 아울러, 제1 기관(10) 및 제2 기관(20)을 분할하는 분할 라인의 선 폭(L2)은 도 2 단계에서 제1 기관(10) 또는 제2 기관(20)을 절단하는 과정에서 수행되었던 선 폭(L1)보다 작을 수 있다. 그에 따라, 제1 기관(10) 또는 제2 기관(20)을 감싸는 보호부재(60)의 측면이 절단되지 않고 남을 수 있어, 표면 탄성과 소자 패키지(1)의 결합력을 강화시킬 수 있다.
- [0058] 한편, 제1 기관(10) 및 제2 기관(20)을 절단하는 분할 라인이 제1 기관(10) 및 제2 기관(20)의 표면에 형성되어, 제1 기관(10)을 형성한 후 제2 기관(20)의 표면이 노출되도록 뒤집는 경우를 기준으로 설명하였으나, 이에 한정되지 않으며, 물리적으로 연결된 제1 기관(10) 및 제2 기관(20)을 각각 또는 함께 절단할 수 있는 다양한 방식이 적용 가능할 수 있다.
- [0059] 지금까지 본 발명의 표면 탄성과 소자 패키지(1)의 제조 방법에 대하여 설명하였다. 본 발명에 따르면, 웨이퍼 레벨 패키지 제조 공정을 통해 제조된 표면 탄성과 소자(100)를 날개로 절단한 후, 보호부재를 형성하지 않고, 일부 기관만을 절단하여 보호부재를 형성함에 따라, 사용되는 보호부재의 양이 감소되어 제조 공정 수율이 향상될 수 있다. 이하에서는 이러한 제조 방법을 통해 완성된 표면 탄성과 소자 패키지(1)의 구성에 대해 설명하도록 한다.
- [0060] 도 6a 및 6b는 본 발명의 실시예에 따른 표면 탄성과 소자 패키지(1)의 단면도이고, 도 7은 종래 제조 방법으로 제조된 표면 탄성과 소자 패키지의 단면도이다.
- [0061] 도 6a 및 도 6b를 참조하면, 본 발명의 제조 방법을 통해 완성된 표면 탄성과 소자 패키지(1)에서 제1 기관(10) 또는 제2 기관(20)의 측면을 감싸는 보호부재(60)의 측면과 보호부재(60)로 감싸지지 않은 제1 기관(10) 또는 제2 기관(20)의 측면이 동일 평면 상에 배치되어, CSP(Chip Size Package)가 가능함을 확인할 수 있다.
- [0062] 한편, 도 7을 참조하면, 종래에 표면 탄성과 소자를 개별적으로 절단한 후, 보호부재를 형성하는 경우, 기관의 측면을 감싸는 보호부재(60)의 두께(D3)가 본 발명의 보호부재(60)의 측면 두께(D2)보다 두꺼운 것을 확인할 수 있다. 또한, 종래의 표면 탄성과 소자 패키지는 2개의 기관 모두를 감싸기 때문에 전체 높이가 증가하여 소형화에 제약이 있었다.
- [0063] 반면, 본 발명의 제조 방법으로 제조된 표면 탄성과 소자 패키지(1)는 보호부재(60)가 제1 기관(10)과 제2 기관(20) 사이에 형성된 댐 구조물(40)의 외측면까지 감싸는 바, 적은 양의 보호부재(60)를 사용하여 표면 탄성과 소자 패키지(1)의 신뢰성을 유지시킬 뿐만 아니라, 표면 탄성과 소자 패키지(1)의 소형화를 이룰 수 있다.
- [0064] 한편, 본 발명을 설명함에 있어서, 표면 탄성과 소자 패키지(1)를 제조하는 것을 기준으로 설명하였으나, 표면 탄성과 소자(1) 외에 적어도 두 개 이상의 기관을 이용하는 소자의 웨이퍼 레벨 패키지 제조 공정에 본 발명의 제조 방법이 적용될 수 있다.
- [0065] 이상 첨부된 도면을 참조하여 본 발명의 실시 예들을 설명하였지만, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

부호의 설명

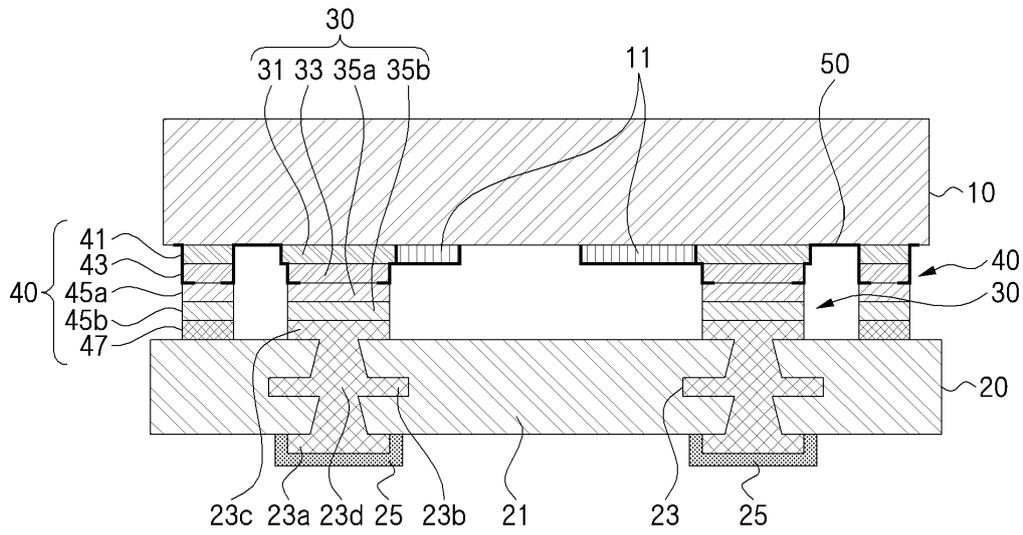
[0066]

- 1: 표면 탄성과 소자 패키지
- 100: 표면 탄성과 소자
- 10: 제1 기판
- 11: 전극 패턴
- 20: 제2 기판
- 21: 절연층
- 23a, 23b, 23c: 제1, 2, 3 전극층
- 23d: 비아홀
- 25: 전극 패드
- 30: 전극 구조물
- 31: 전극 패드
- 33: UBM층
- 35a, 35b: 접합층
- 40: 댐 구조물
- 41: 제1 접지 전극
- 43: UBM층
- 45a, 45b: 접합층
- 47: 제2 접지 전극
- 50: 보호막
- 60: 보호부재

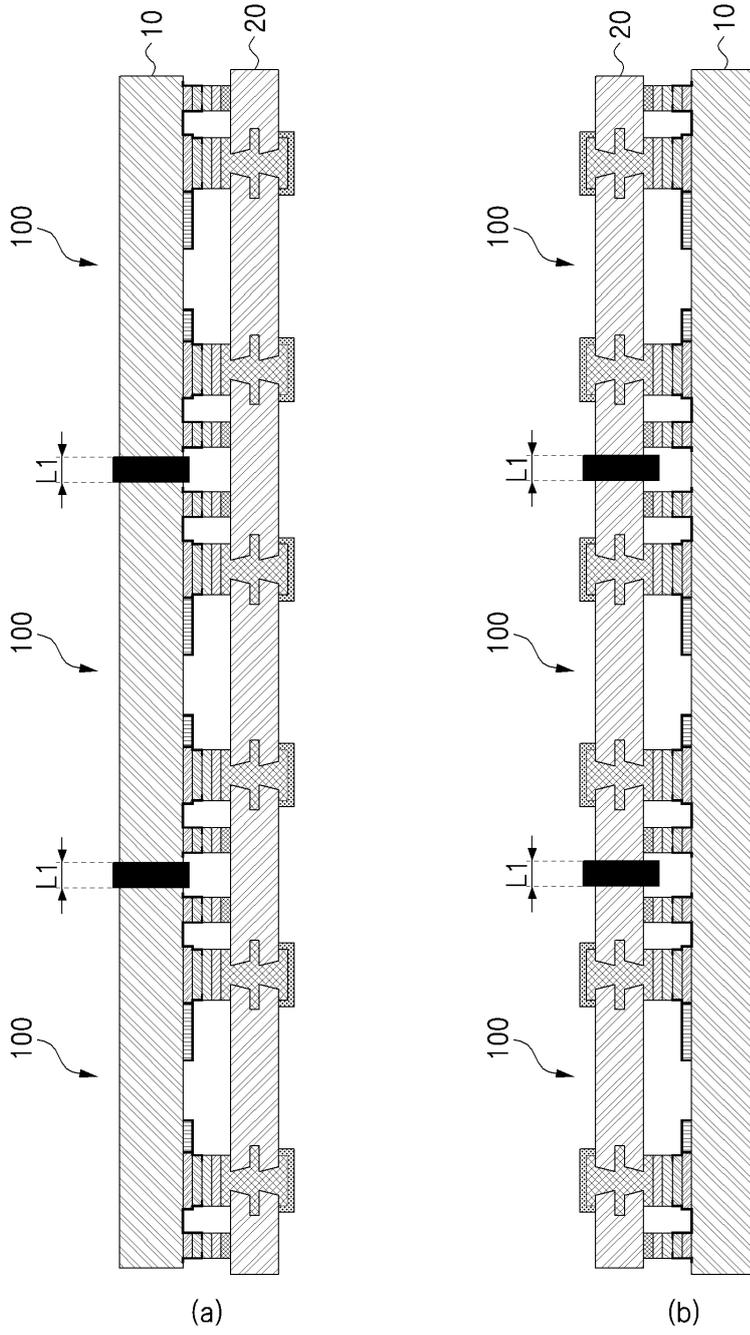
도면

도면1

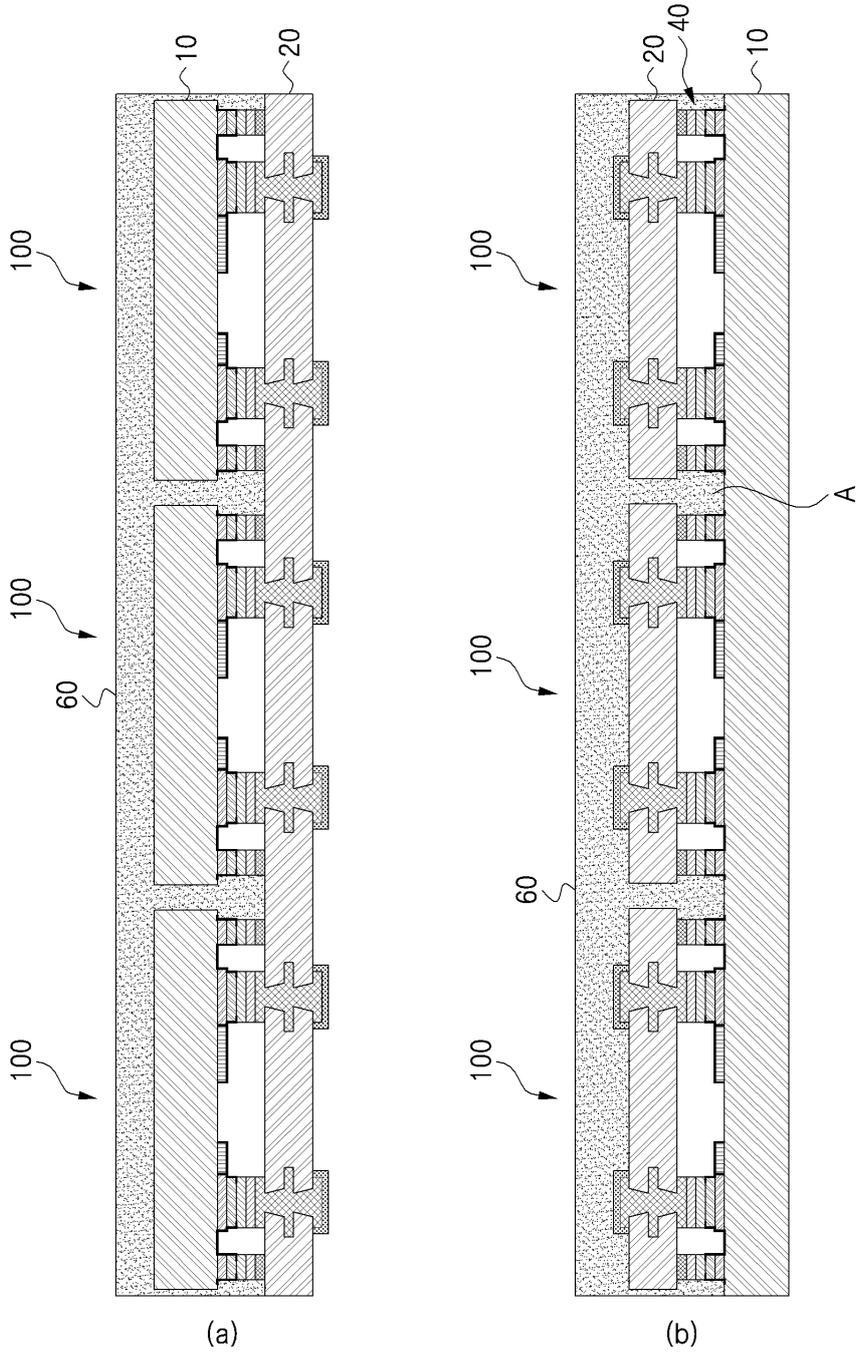
100



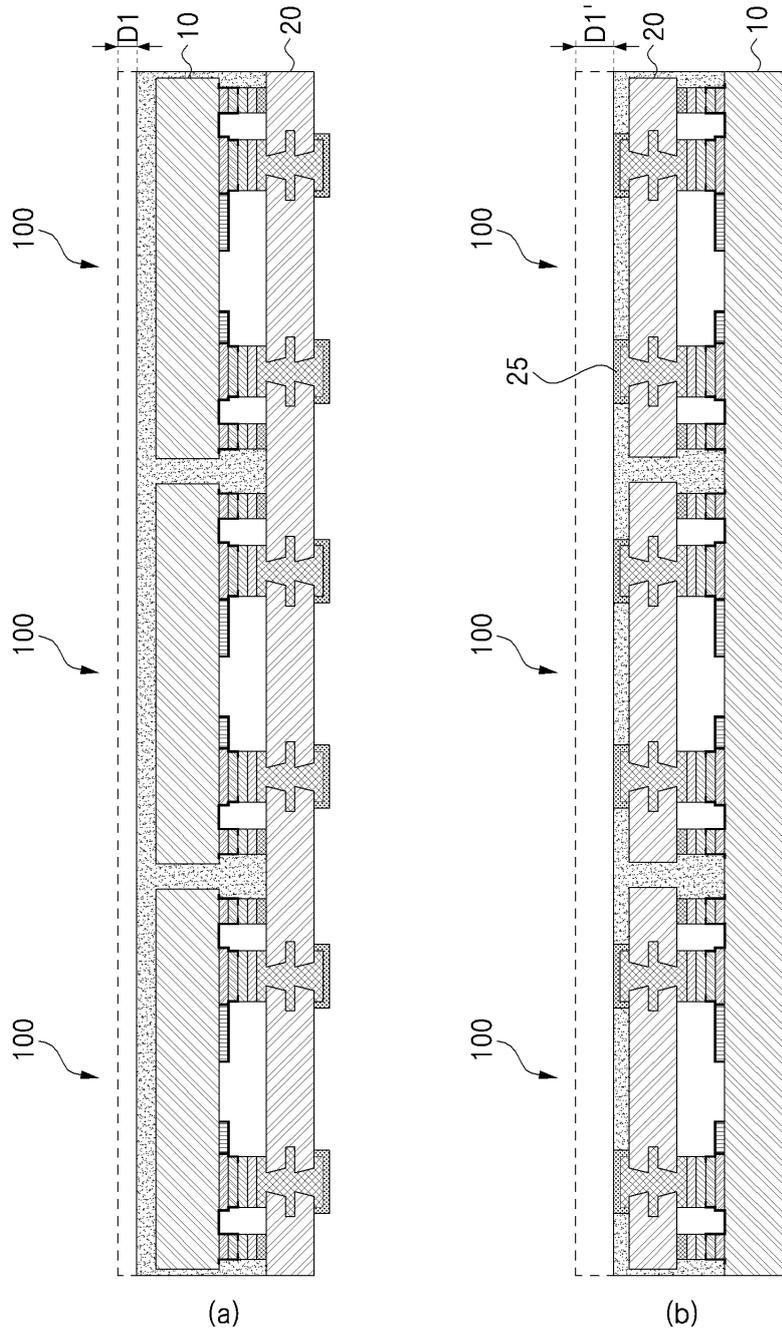
도면2



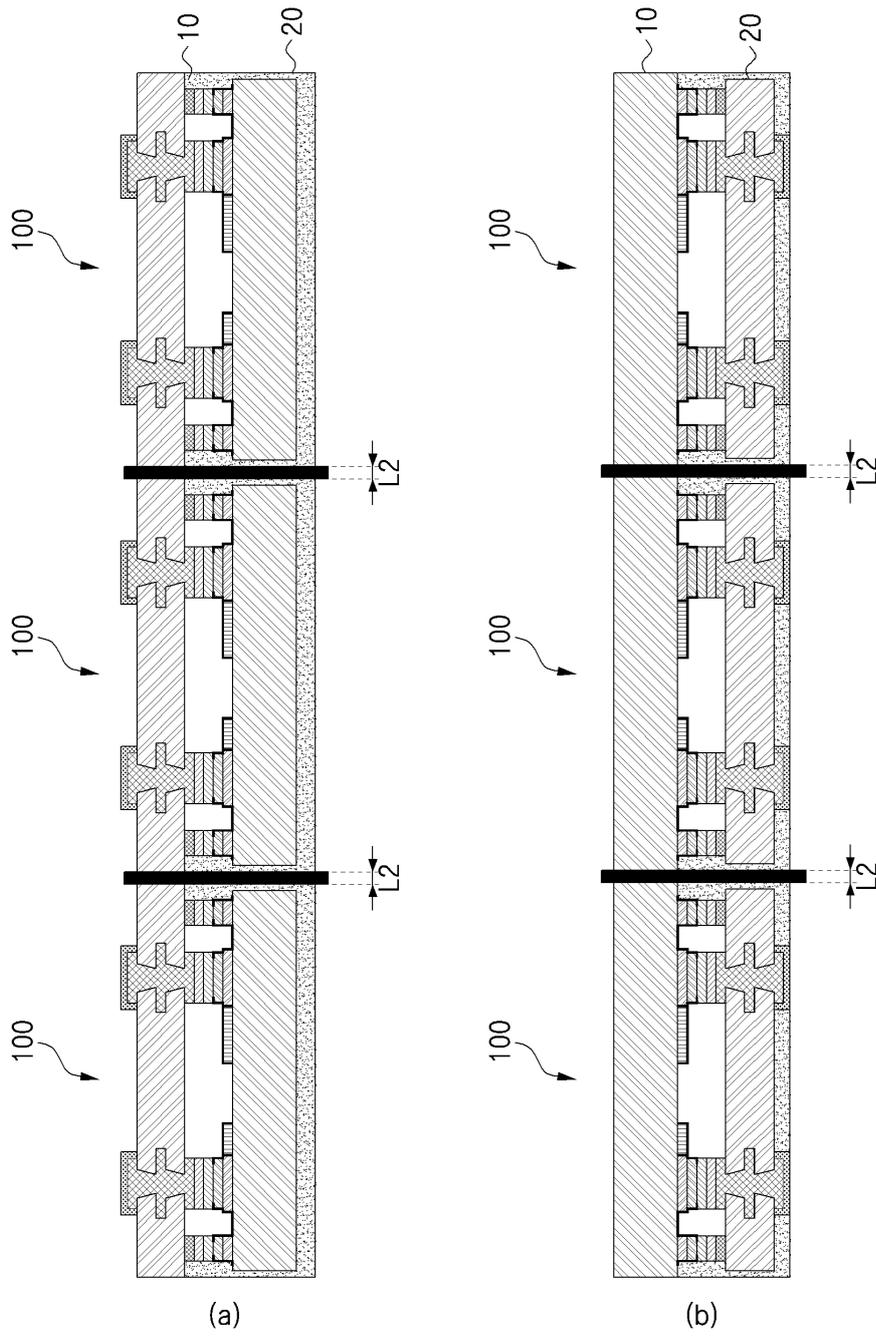
도면3



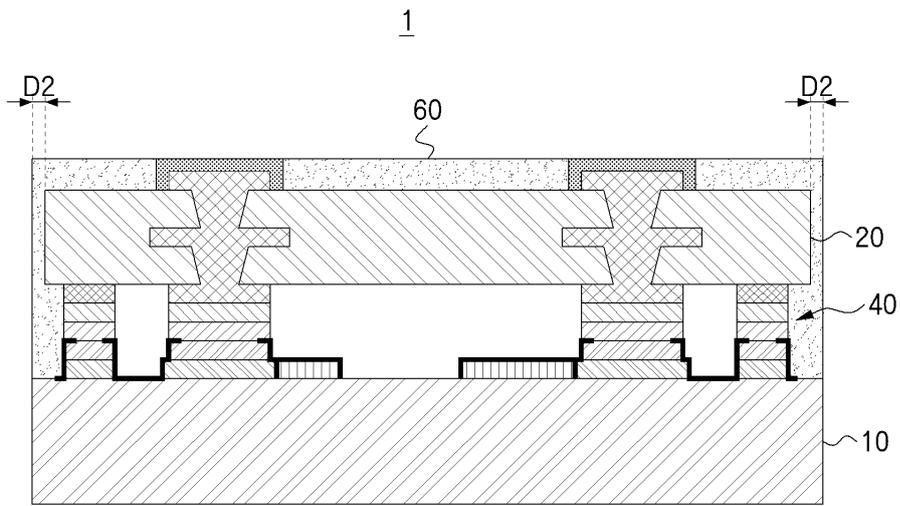
도면4



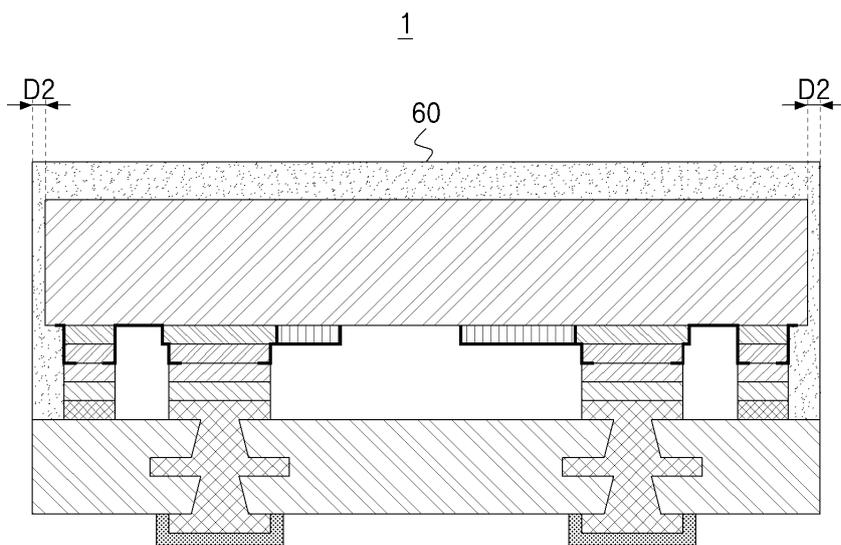
도면5



도면6a



도면6b



도면7

