

(21)申請案號：101114157

(22)申請日：中華民國 101 (2012) 年 04 月 20 日

(51)Int. Cl. : *H01L29/786 (2006.01)*

H01L21/336 (2006.01)

G02F1/1368 (2006.01)

(30)優先權：2011/04/22 日本

2011-096442

(71)申請人：神戶製鋼所股份有限公司 (日本) KABUSHIKI KAISHA KOBE SEIKO SHO (KOBE STEEL, LTD.) (JP)

日本

(72)發明人：前田剛彰 MAEDA, TAKEAKI (JP)；釘宮敏洋 KUGIMIYA, TOSHIHIRO (JP)

(74)代理人：林志剛

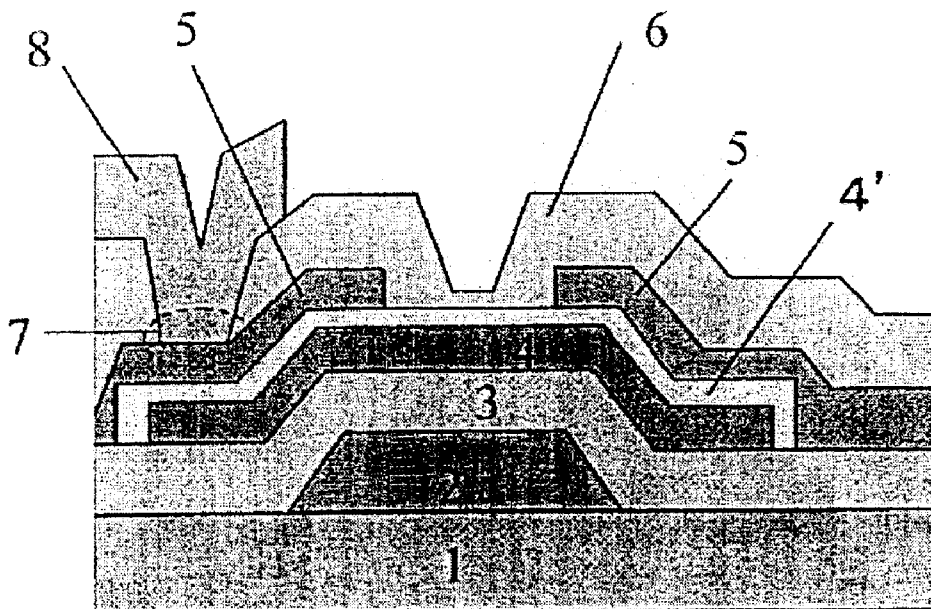
申請實體審查：有 申請專利範圍項數：8 項 圖式數：2 共 35 頁

(54)名稱

薄膜電晶體構造，及具備該構造之薄膜電晶體與顯示裝置

(57)摘要

提供一種氧化物半導體層，在有機電激發光顯示器(OLED)或液晶顯示器等顯示裝置中，於保護膜等形成時不需氧化處理層，而可使薄膜電晶體的電性穩定。本發明之薄膜電晶體構造，在基板上至少從基板側開始，依序具備氧化物半導體層、源極和汲極電極、及保護膜之薄膜電晶體構造，其要點為：前述氧化物半導體層，係為 Zn 含有量佔金屬元素全體的 50 原子%以上，且形成於源極和汲極電極及保護膜側之第 1 氧化物半導體層，以及包含從 In、Ga、及 Zn 所成之群體當中所選擇之至少 1 種元素，且形成於基板側之第 2 氧化物半導體層之層積體，且前述第 1 氧化物半導體層，係與前述源極和汲極電極及保護膜直接接觸。



1：基板

2：閘極電極

3：閘極絕緣膜

4：第 2 氧化物半導體層

4'：第 1 氧化物半導體層

5：源極和汲極電極

6：保護膜

7：接觸孔

8：透明導電膜

(21)申請案號：101114157

(22)申請日：中華民國 101 (2012) 年 04 月 20 日

(51)Int. Cl. : *H01L29/786 (2006.01)*

H01L21/336 (2006.01)

G02F1/1368 (2006.01)

(30)優先權：2011/04/22 日本

2011-096442

(71)申請人：神戶製鋼所股份有限公司 (日本) KABUSHIKI KAISHA KOBE SEIKO SHO (KOBE STEEL, LTD.) (JP)

日本

(72)發明人：前田剛彰 MAEDA, TAKEAKI (JP) ; 釘宮敏洋 KUGIMIYA, TOSHIHIRO (JP)

(74)代理人：林志剛

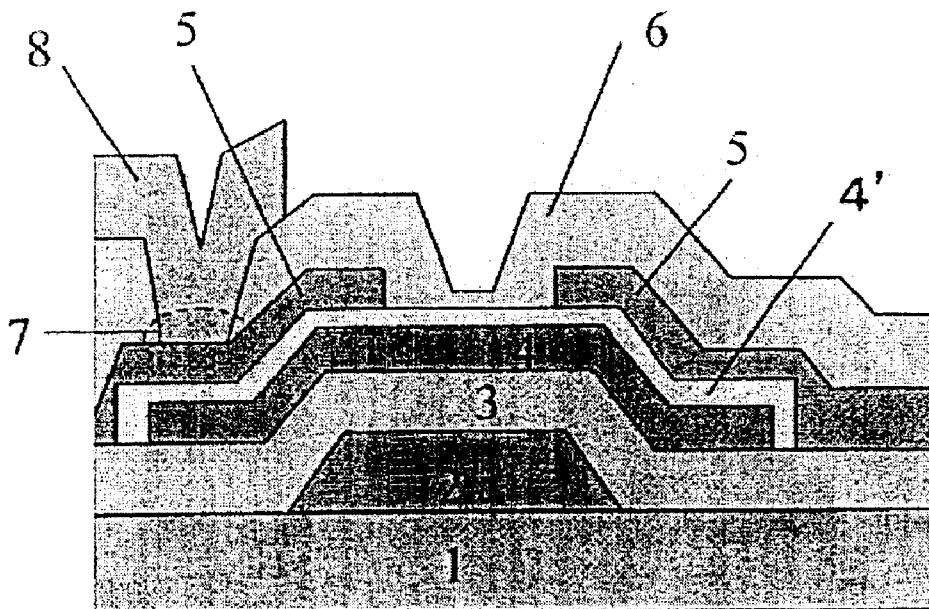
申請實體審查：有 申請專利範圍項數：8 項 圖式數：2 共 35 頁

(54)名稱

薄膜電晶體構造，及具備該構造之薄膜電晶體與顯示裝置

(57)摘要

提供一種氧化物半導體層，在有機電激發光顯示器(OLED)或液晶顯示器等顯示裝置中，於保護膜等形成時不需氧化處理層，而可使薄膜電晶體的電性穩定。本發明之薄膜電晶體構造，在基板上至少從基板側開始，依序具備氧化物半導體層、源極和汲極電極、及保護膜之薄膜電晶體構造，其要點為：前述氧化物半導體層，係為 Zn 含有量佔金屬元素全體的 50 原子%以上，且形成於源極和汲極電極及保護膜側之第 1 氧化物半導體層，以及包含從 In、Ga、及 Zn 所成之群體當中所選擇之至少 1 種元素，且形成於基板側之第 2 氧化物半導體層之層積體，且前述第 1 氧化物半導體層，係與前述源極和汲極電極及保護膜直接接觸。



1：基板

2：閘極電極

3：閘極絕緣膜

4：第 2 氧化物半導體層

4'：第 1 氧化物半導體層

5：源極和汲極電極

6：保護膜

7：接觸孔

8：透明導電膜

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101114157

※申請日：101年04月20日

※IPC分類：H01L 29/386 (2006.01)

H01L 21/336 (2006.01)

一、發明名稱：(中文/英文)

G02F 1/368 (2006.01)

薄膜電晶體構造，及具備該構造之薄膜電晶體與顯示裝置

二、中文發明摘要：

提供一種氧化物半導體層，在有機電激發光顯示器(OLED)或液晶顯示器等顯示裝置中，於保護膜等形成時不需氧化處理層，而可使薄膜電晶體的電性穩定。本發明之薄膜電晶體構造，在基板上至少從基板側開始，依序具備氧化物半導體層、源極和汲極電極、及保護膜之薄膜電晶體構造，其要點為：前述氧化物半導體層，係為 Zn 含量佔金屬元素全體的 50 原子%以上，且形成於源極和汲極電極及保護膜側之第 1 氧化物半導體層，以及包含從 In、Ga、及 Zn 所成之群體當中所選擇之至少 1 種元素，且形成於基板側之第 2 氧化物半導體層之層積體，且前述第 1 氧化物半導體層，係與前述源極和汲極電極及保護膜直接接觸。

三、英文發明摘要：

四、指定代表圖：

(一) 本案指定代表圖為：第(1)圖。

(二) 本代表圖之元件符號簡單說明：

1：基板

2：閘極電極

3：閘極絕緣膜

4：第2氧化物半導體層

4'：第1氧化物半導體層

5：源極和汲極電極

6：保護膜

7：接觸孔

8：透明導電膜

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明係有關薄膜電晶體(TFT)構造，及具備該構造之薄膜電晶體或顯示裝置。本發明之TFT構造，舉例來說，其代表性用途為用於液晶顯示器(液晶顯示裝置)或有機電激發光顯示器(OLED)等平面顯示器。以下舉液晶顯示裝置為代表例進行說明，並非意欲以此限定。

【先前技術】

作為用於顯示裝置之半導體層，氧化物半導體係受到矚目。氧化物半導體與汎用之非晶矽(a-Si)相比，具有較高的載子移動度，光學能隙較大，且可低溫成膜，故被期待運用於大型、高解析度、需高速驅動之新世代顯示器，或耐熱性低之樹脂基板等。

氧化物半導體係包含從In、Ga、Zn及Sn所成之群體當中所選擇之至少一種元素，舉例來說，含In氧化物半導體(In-Ga-Zn-O、In-Zn-Sn-O、In-Zn-O等)為其代表。又或者是，作為不含稀有金屬之In而可減低材料成本，適合大量生產之氧化物半導體，亦有人提案含Zn氧化物半導體(Zn-Sn-O、Ga-Zn-Sn-O等)(例如專利文獻1)。

[先前技術文獻]

[專利文獻]

[專利文獻1]日本特開2004-163901號公報

【發明內容】

[發明所欲解決之課題]

使用氧化物半導體作為 TFT 之氧化物半導體層時，不僅講求載子濃度要高，還講求 TFT 的切換特性(電晶體特性)要優良。具體而言，係講求(1)移動度高，且(2)SS(Subthreshold Swing，次臨界擺幅，即汲極電流上昇一位數所需之閘極電壓)值低，且(3)對於電壓施加或光照射等應力具有優良之耐性(應力耐性)。

又，使用氧化物半導體作為 TFT 之氧化物半導體層時，在 TFT 製造時，會在氧化物半導體層的上部形成源極和汲極電極、或保護膜、蝕刻阻擋層等膜(以下，有時會將形成於氧化物半導體層上部，與該氧化物半導體層的至少一部分直接接觸之層(膜)統稱為「上部層」)，在該上部層形成時，氧化物半導體層的表面會受到很大的損害，導致氧脫離等缺陷產生，及臨界值電壓大幅偏差或切換特性低落等問題。

詳細來說，例如以電漿 CVD(Chemical Vapor Deposition)法形成保護膜時，受電漿高速加速之自由基或分子會衝撞氧化物半導體的表面，故在氧化物半導體層的表面會形成缺陷(代表例子有氧脫離等)，或成膜氣體中所含的氫被導入等情形發生。其結果，會發生氧化物半導體層的表面變得容易導通等問題。究其原因，應是氧化物半導體層的表面所生成之氧缺損或被導入表面的氫，在氧化物半導體內起了電子施體的作用。

而一旦氧化物半導體層像這樣變為導體化，便無法發揮切換特性，或臨界值電壓大幅往負側偏移等，會對 TFT 特性帶來嚴重的影響。

因此，爲了在上部層形成時抑制對氧化物半導體層表面的損害，有人提案一種方法，亦即在上部層成膜前，例如以 N_2O 電漿照射氧化物半導體層表面，於該表面形成氧化處理層(與常規 TFT 製程中經由熱歷程而形成之氧化層不同)等，預先使該表面過度氧化。不過，若形成上述氧化處理層，那麼與上部層形成前相比，會發生移動度劣化，且應力耐性變低之問題。此外，因爲在上部層形成前必須追加 N_2O 電漿處理製程，故還會招致生產性降低、生產成本增加等問題。

本發明係有鑑於上述情事而完成者，目的在於提供一種新穎之技術，其不必在氧化物半導體層的表面形成上述氧化處理層，即可簡單且確實地減低上部層形成時所發生之氧化物半導體層表面之缺陷產生(損害)或氫導入，以及隨之產生的 TFT 特性劣化。

[用以解決課題之手段]

可解決上述課題之本發明之薄膜電晶體構造，在基板上至少從基板側開始，依序具備氧化物半導體層、源極和汲極電極、及保護膜之薄膜電晶體構造，其特徵爲：

前述氧化物半導體層，係爲

第 1 氧化物半導體層，其 Zn 含有量佔金屬元素全體

的 50 原子%以上，且形成於源極和汲極電極及保護膜側；以及

第 2 氧化物半導體層，其包含從 In、Ga、及 Zn 所成之群體當中所選擇之至少 1 種元素，且形成於基板側；之層積體，且前述第 1 氧化物半導體層，係與前述源極和汲極電極及保護膜直接接觸。

此外，可解決上述課題之本發明之另一薄膜電晶體構造，在基板上至少從基板側開始，依序具備氧化物半導體層、蝕刻阻擋層、及源極和汲極電極之薄膜電晶體構造，其特徵為：

前述氧化物半導體層，係為

第 1 氧化物半導體層，其 Zn 含有量佔金屬元素全體之 50 原子%以上，且形成於蝕刻阻擋層及源極和汲極電極側；以及

第 2 氧化物半導體層，其包含從 In、Ga、及 Zn 所成之群體當中所選擇之至少 1 種元素，且形成於基板側；之層積體，且前述第 1 氧化物半導體層，係與前述蝕刻阻擋層及前述源極和汲極電極直接接觸。

作為本發明較佳之實施形態，前述第 1 氧化物半導體層，作為金屬元素，更包含從 Al、Ga、及 Sn 所成之群體當中所選擇之 1 種以上元素。

本發明之薄膜電晶體構造，前述蝕刻阻擋層藉由 CVD (Chemical Vapor Deposition，化學氣相沉積) 法而形成時，仍發揮優良特性。

本發明亦包含具備上述薄膜電晶體構造之薄膜電晶體，或具備該薄膜電晶體之顯示裝置。

另，本發明中上述所謂「直接接觸」，係指在第 1 氧化物半導體層上形成源極和汲極電極、或保護膜、蝕刻阻擋層時，並未隔著上述 N_2O 電漿照射等所形成之氧化處理層等。

[發明之功效]

按本發明，在具備氧化物半導體層之薄膜電晶體中，針對包含從 In、Ga、及 Zn 所成之群體當中所選擇之至少 1 種元素的第 2 氧化物半導體層，作為抑制其損害及氫導入之層，係中介有第 1 氧化物半導體層，故即使不以 N_2O 電漿照射來形成氧化處理層，在上部膜形成後，TFT 特性依然穩定，可提供高品質之顯示裝置。

【實施方式】

本發明團隊經反覆專注研究，探討將包含從 In、Ga、及 Zn 所成之群體當中所選擇之至少 1 種元素的氧化物，用於 TFT 的活性層(氧化物半導體層)，並於該氧化物半導體層的上部形成保護膜、蝕刻阻擋層等上部層時，如何才能簡單且確實地減低因前述半導體層表面受損害等而產生之 TFT 特性劣化。

結果發現，在包含從上述 In、Ga、及 Zn 所成之群體當中所選擇之至少 1 種元素的氧化物所成之氧化物半導體

層(第 2 氧化物半導體層)形成後，只要在保護膜等上部層形成前，預先在上述第 2 氧化物半導體層上設置 Zn 含有量佔金屬元素全體的 50 原子%以上之氧化物半導體層(第 1 氧化物半導體層)，那麼即使在上部層形成前不以 N_2O 電漿照射來形成氧化處理層，也能防止上部層形成時對上述第 2 氧化物半導體層帶來電漿損害或氫導入，能獲得穩定之 TFT 特性，達成期望目的，進而完成本發明。

以下詳述各層。

[第 1 氧化物半導體層]

構成第 1 氧化物半導體層之氧化物，係至少包含 Zn，且其 Zn 含有量佔構成第 1 氧化物半導體層的金屬元素全體的 50 原子%以上。如後述實施例所示，一旦上述 Zn 量低於 50 原子%，則對還原性氣氛的耐性會變低，會因上部層形成時的氫導入而導通，發生電晶體無法發揮切換特性之問題。上述 Zn 含有量在 60 原子%以上為佳，75 原子%以上更佳。另，構成第 1 氧化物半導體層之氧化物，作為金屬元素，除了 Zn 以外能不損本發明作用效果者，舉例來說還可另外包含從 Al、Ga、及 Sn 所成之群體當中所選擇之 1 種以上。作為第 1 氧化物半導體層，舉例來說由 Zn-O、或 Zn-Al-O、Zn-Ga-O、Zn-Sn-O 所成者更佳。

對本發明之氧化物半導體層來說，上述之氧化處理層並非必要，故前述第 1 氧化物半導體層與上部層(例如保護膜)係直接接觸，如後述圖 1 所示。

第 1 氧化物半導體層之膜厚，在 5nm 以上為佳。這是因為若膜厚過薄，則上部層形成時，針對電漿損害或氫導入便無法充份發揮屏障效果。10nm 以上更佳。另一方面若是過厚，則會需要製膜時間，增加生產成本。故，第 1 氧化物半導體層之膜厚在 80nm 以下為佳，在 40nm 以下更佳。

[第 2 氧化物半導體層]

構成第 2 氧化物半導體層之氧化物，係為包含從 In、Ga、及 Zn 所成之群體當中所選擇之至少一種元素的氧化物。具體而言，舉例來說有含 In 氧化物半導體(In-Ga-Zn-O、In-Zn-O 等)、不含 In 而含 Zn 氧化物半導體(ZnO、Al-Ga-Zn-O 等)等。該些成分比例並未特別限定，可使用一般使用範圍內者。

第 2 氧化物半導體層之膜厚，在 30nm 以上為佳。這是因為若膜厚過薄，則基板面內的特性可能會不均一。另一方面若是過厚，則會需要製膜時間，增加生產成本。故，第 2 氧化物半導體層之膜厚在 200nm 以下為佳，在 80nm 以下更佳。

[第 1 氧化物半導體層、第 2 氧化物半導體層之形成方法]

上述第 1 氧化物半導體層、第 2 氧化物半導體層，係在濺鍍法中使用濺鍍靶材(以下或稱「靶材」)來成膜為佳。使用濺鍍法，能夠容易地形成膜面內之成分或膜厚均一。

性優良的薄膜。此外，亦可以塗佈法等化學成膜法來形成上述氧化物半導體層。

作為用於濺鍍法之靶材，以包含前述元素，且與所需氧化物同一成分之濺鍍靶材為佳。藉此，成分比例偏差較少，可形成所需成分比例的薄膜。具體而言，作為使第 1 氧化物半導體層成膜之靶材，例如可使用 Zn 含有量佔金屬元素全體的 50 原子%以上之氧化物靶材。此外，作為使第 2 氧化物半導體層成膜之靶材，例如可使用包含從 In、Ga、及 Zn 所成之群體當中所選擇之至少 1 種元素的氧化物靶材。

上述靶材例如可以粉末燒結法等方式來製造。

以濺鍍法使第 1 氧化物半導體層及第 2 氧化物半導體層成膜時，理想是保持在真空狀態下連續性地成膜。這是由於使第 1 氧化物半導體層及第 2 氧化物半導體層成膜時，一旦曝露在大氣中，則空氣中的水分或有機成分會附着在薄膜表面，導致污染。

使用上述靶材進行濺鍍時，令基板溫度為室溫，適當控制氧添加量為佳。氧添加量可因應濺鍍裝置的構造或靶材成分等來適當控制即可，不過一般而言，較佳的氧添加量是使氧化物半導體的載子濃度成為 $10^{15} \sim 10^{16} \text{ cm}^{-3}$ 。另，後述實施例中，係將氧添加量設成添加流量比為 $100 \times \text{O}_2 / (\text{Ar} + \text{O}_2) = 4\%$ 。

[上部層]

本發明中，作為在第 1 氧化物半導體層上形成之上部層，例如有保護膜、蝕刻阻擋層、源極和汲極電極等。

上述保護膜係為了確保 TFT 特性穩定而形成者。本發明所用之保護膜種類並未特別限定，可使用一般用於顯示裝置者，例如形成 SiO_x 層、 SiN_x 層、 SiON_x 層的任一者，或是可令該些層複數層積。

上述保護膜之形成，一般使用 CVD 法(具體而言，例如電漿 CVD 法)或濺鍍法等。藉由上述電漿 CVD 法來形成 SiO_x 層之具體方法，舉例來說，有令 SiH_4 與 N_2O 之混合氣體在工業用頻率 13.56MHz 的高頻電漿中反應而形成 SiO_x ，並令其堆積在氧化物半導體層上等方法。

按本發明，即使保護膜是如上述以 CVD 法等形成的情形下，仍能防止對上述第 2 氧化物半導體層造成損害或氫導入，可確保優良之 TFT 特性。

上述蝕刻阻擋層，例如是在源極和汲極電極形成時的蝕刻之際，用來防止對氧化物半導體層造成損害而形成之層。本發明所用之蝕刻阻擋層種類並未特別限定，可使用一般用於顯示裝置者。舉例來說，作為蝕刻阻擋層，可形成 SiO_x 層、 SiN_x 層、 SiON_x 層的任一者，或是令該些層複數層積。

上述蝕刻阻擋層之形成，一般使用 CVD 法(具體而言為電漿 CVD 法)或濺鍍法等。

按本發明，即使前述蝕刻阻擋層是如上述以 CVD 法等形成的情形下，仍能防止對上述第 2 氧化物半導體層造

成損害或氫導入，可確保優良之 TFT 特性。

上述源極和汲極電極亦未特別限定其種類，可使用一般用於顯示裝置者，舉例來說，可使用 Al 或 Cu 等金屬或合金，亦可如後述實施例般使用純 Mo(鉬)。上述源極和汲極電極之形成，一般來說可使用濺鍍法等。按本發明，即使該源極和汲極電極是以濺鍍法等形成的情形下，仍能防止對上述第 2 氧化物半導體層造成損害或氫導入，可確保優良之 TFT 特性。

本發明之 TFT 構造，係具備上述氧化物半導體層(第 1 氧化物半導體層及第 2 氧化物半導體層)與上部層，其特徵為前述第 1 氧化物半導體層與上部層係直接接觸(具體而言，在沒有蝕刻阻擋層的情形下，前述第 1 氧化物半導體層與前述源極和汲極電極及保護膜直接接觸；在有蝕刻阻擋層的情形下，前述第 1 氧化物半導體層與蝕刻阻擋層及源極和汲極電極直接接觸)，而 TFT 之其他構造則並未特別限定。

故，TFT 只要在基板上至少具有閘極電極、閘極絕緣膜、上述氧化物半導體層、上述源極和汲極電極、視需要加上上述蝕刻阻擋層、上述保護膜、透明導電膜等即可，其構造只要是一般所用者，並未特別限定。此外，具備該 TFT 之顯示裝置，除本發明規定者以外的構造，亦並未特別限定。

以下，一面參照圖 1 及圖 2，一面說明上述 TFT 之製造方法之實施形態。圖 1、2 及以下之製造方法，係本發

明較佳實施形態之一例，並非意欲以此限定。舉例來說，圖 1、2 所示者雖為底部閘極型構造之 TFT，但並不限於此，亦可為氧化物半導體層上依序具備閘極絕緣膜與閘極電極之頂部閘極型 TFT。頂部閘極型 TFT 中，只要氧化物半導體層同樣由第 1 氧化物半導體層及第 2 氧化物半導體層所構成，第 1 氧化物半導體層與上部層直接接觸即可。

如圖 1 所示，基板 1 上形成閘極電極 2 及閘極絕緣膜 3，其上又形成第 2 氧化物半導體層 4、第 1 氧化物半導體層 4'。第 1 氧化物半導體層 4' 上形成源極和汲極電極 5，其上又形成保護膜(絕緣膜)6，透明導電膜 8 介著接觸孔 7 與汲極電極 5 電性連接。

在基板 1 上形成閘極電極 2 及閘極絕緣膜 3 之方法並未特別限定，可採用一般使用之方法。此外，閘極電極 2 及閘極絕緣膜 3 的種類亦未特別限定，可使用通用者。舉例來說，作為閘極電極 2，可使用電阻率低之 Al 或 Cu 金屬、或它們的合金、或如後述實施例般使用純 Mo(鉬)亦可。此外，作為閘極絕緣膜 3，代表的例子有矽氧化膜、矽氮化膜、矽氧氮化膜等。除此之外，亦可使用 Al_2O_3 或 Y_2O_3 等氧化物，或它們層積而成者。

接下來形成氧化物半導體層(第 2 氧化物半導體層 4 及第 1 氧化物半導體層 4')。第 2 氧化物半導體層 4 如上所述，可使用與第 2 氧化物半導體層同成分之濺鍍靶材，藉由直流濺鍍法或射頻濺鍍法來成膜。如上所述，第 2 氧

化物半導體層 4 及第 1 氧化物半導體層 4'，依序在真空狀態下一貫地連續性成膜為佳。

將第 2 氧化物半導體層 4 及第 1 氧化物半導體層 4' 濕蝕刻後，形成圖案。圖案形成後，為了改善第 2 氧化物半導體層 4 及第 1 氧化物半導體層 4' 的膜質，立即進行熱處理(預退火)為佳；藉此，電晶體特性之開啓電流及場效應移動度會上昇，電晶體性能會提昇。作為上述預退火之條件，舉例來說，是在大氣氣氛或氧氣氛中，以約 250~400℃ 進行約 1~2 小時之熱處理。

圖 2 所示為薄膜電晶體之另一構造，是在前述圖 1 之構造更增加了蝕刻阻擋層 9 之 TFT 構造。如該圖 2 所示，形成具有蝕刻阻擋層 9 之 TFT 構造時，在預退火後形成蝕刻阻擋層 9 即可。作為蝕刻阻擋層 9，一般來說係使用 SiO₂ 等絕緣膜。在蝕刻阻擋層 9 形成前，亦可先在第 1 氧化物半導體層 4' 上形成源極和汲極電極 5，但在上述電極 5 的蝕刻時，第 1 氧化物半導體層 4' 會受到損害，可能招致電晶體特性降低。故，作為保護膜之蝕刻阻擋層 9 比源極和汲極電極 5 還先形成，來防止上述蝕刻時對第 1 氧化物半導體層 4' 的損害為佳。

另，藉由剝離法(lift-off)來對源極和汲極電極 5 加工時，不會對第 1 氧化物半導體層 4' 造成損害，故不需蝕刻阻擋層 9。後述實施例中，是以剝離法形成源極和汲極電極 5 後，再形成保護膜 6。

源極和汲極電極之種類並未特別限定，可使用通用者

。舉例來說，可與閘極電極相同，使用 Al 或 Cu 等金屬或合金，亦可如後述實施例般使用純 Mo(鉬)。電極之形成常用濺鍍法。

其後，在源極和汲極電極 5 及第 1 氧化物半導體層 4' 的上方，藉由 CVD 法使保護膜(絕緣膜)6 成膜為膜厚 100nm~400nm(複數層時為合計膜厚)。由 CVD 法所成之保護膜 6，係使用 SiO₂ 或 SiN、SiON 等。此外，亦可用濺鍍法來形成保護膜 6。

接下來，藉由一般方法，使透明導電膜 8 介著接觸孔 7 與汲極電極 5 電性連接。透明導電膜之種類並未特別限定，可使用一般所使用者。

本申請案基於 2011 年 4 月 22 日申請之日本發明專利申請號第 2011-096442 號，主張優先權利益。本申請案援用 2011 年 4 月 22 日申請之日本發明專利申請號第 2011-096442 號說明書之所有內容，以作為參考。

[實施例]

以下舉實施例來具體說明本發明，但本發明本不應為下述實施例所限制，當然能在可符合前、後述要旨之範圍內適當加以變更而實施，而所變更之任一者皆包含在本發明之技術範圍內。

本實施例中，係使用由以下方法所製作之試料，來量測 TFT 特性。

詳細來說，係製作如圖 1 所示之薄膜電晶體(TFT)並

評估其 TFT 特性。

首先，在玻璃基板 1(康寧公司製 EAGLE XG、直徑 100mm×厚度 0.7mm)上，依序使作為閘極電極 2 之 Mo 薄膜 100nm、及作為閘極絕緣膜 3 之 SiO₂(200nm)成膜。閘極電極 2 係使用純 Mo 之濺鍍靶材，藉由直流濺鍍法，在成膜溫度：室溫、成膜功率：300W、載子氣體：Ar、氣體壓力：2mTorr 條件下成膜。此外，閘極絕緣膜 3 係使用電漿 CVD 法，在載子氣體：SiH₄ 與 N₂O 之混合氣體、成膜功率：100W、成膜溫度：300℃ 條件下成膜。

接下來，在上述閘極絕緣膜 3 上，將表 1~5 所示各種成分之第 2 氧化物半導體層 4，利用下述濺鍍靶材以濺鍍法成膜。濺鍍條件如下，靶材之成分比例係使用經調整者，以便可得所需之第 2 氧化物半導體層 4。

靶材：In-Ga-Zn-O(IGZO)

In-Zn-O(IZO)

基板溫度：室溫

氣體壓力：5mTorr

氧分壓： $100 \times O_2 / (Ar + O_2) = 4\%$

膜厚：40nm

接下來，在上述第 2 氧化物半導體層 4 上，將表 1~5 所示之第 1 氧化物半導體層 4'，利用下述濺鍍靶材以濺鍍法成膜。濺鍍條件如下，靶材之成分比例係使用經調整者，以便可得所需之第 1 氧化物半導體層 4'。

靶材：Zn-O(ZnO)

Ga-Zn-O(GZO)

Al-Zn-O(AZO)

Zn-Sn-O(ZTO)

基板溫度：室溫

氣體壓力：5mTorr

氧分壓： $100 \times O_2 / (Ar + O_2) = 4\%$

膜厚：20nm

第 2 氧化物半導體層 4 和第 1 氧化物半導體層 4' 之成膜，途中成膜腔室不對大氣開放，而是連續地進行成膜。

如上所述，第 2 氧化物半導體層 4 和第 1 氧化物半導體層 4' 成膜後，藉由微影技術及濕蝕刻來進行圖案形成。作為濕蝕刻液，係使用關東科學公司製「ITO-07N」及「ELM-EZ1」。

接下來，為了提升膜質，進行預退火處理。預退火處理是在大氣氣氛下以 350℃ 進行 1 小時。

接下來使用純 Mo，藉由剝離法(lift-off)形成源極和汲極電極 5。具體而言，是使用光阻劑進行圖案形成後，藉由直流濺鍍法使 Mo 薄膜成膜(膜厚 100nm)。源極和汲極電極用 Mo 薄膜之成膜方法，與前述閘極電極之情形相同。接下來，在丙酮液中開啓超音波洗淨器，除去不要的光阻劑，將 TFT 之通道長度做成 10μm、通道寬度做成

200 μm 。

如此形成源極和汲極電極 5 後，爲了保護氧化物半導體層 (4、4')，係形成保護膜 6。作爲保護膜 6，使用 SiO_2 (膜厚 200nm)及 SiN (膜厚 200nm)之層積膜(合計膜厚 400nm)。上述 SiO_2 及 SiN 之形成，係使用 SAMCO 公司製「PD-220NL」，利用電漿 CVD 法進行。本實施例中，不以 N_2O 氣體進行電漿處理，而依序形成 SiO_2 層及 SiN 層。 SiO_2 層之形成使用了 N_2O 及 SiH_4 之混合氣體， SiN 層之形成使用了 SiH_4 、 N_2 、 NH_3 之混合氣體。兩種情形下皆設定成膜功率 100W、成膜溫度 150 $^\circ\text{C}$ 。

接下來藉由微影技術及乾蝕刻，在保護膜 6 上形成用來進行電晶體特性評估用探測之接觸孔 7。接下來使用直流濺鍍法，在載子氣體：氫及氧之混合氣體、成膜功率：200W、氣體壓力：5mTorr 的條件下，使作爲透明導電膜 8 之 ITO 膜(膜厚 80nm)成膜，製作出圖 1 之 TFT，而進行後述實驗。

另，有關第 1 氧化物半導體層的表面是否有氧化處理層，係以 XPS(X-ray photoelectron spectroscopy, X 射線光電子光譜法)量測來調查。其結果，本實施例所製作之試料中，表面附近(5nm)的氧含有量(原子%)的峰值強度，與表面附近以外的區域相比並未高出 2 原子%以上，證實未形成氧化處理層。

此外，第 1 氧化物半導體層 4'及第 2 氧化物半導體層 4 的金屬元素分別含有量(原子比)，係以 XPS(X-ray

Photoelectron Spectroscopy, X 射線光電子光譜法)來分析。

經此得到之各 TFT, 係如以下(1)所示量測其電晶體特性、並評估(2)載子移動度(場效應移動度)、(3)SS 值、及(4)應力耐性。

(1)電晶體特性之量測

電晶體特性(汲極電流-閘極電壓特性、 I_d - V_g 特性)之量測, 係使用 Agilent Technologies 公司製之「4156C」半導體參數分析儀。詳細之量測條件如下。

源極電壓：0V

汲極電壓：10V

閘極電壓：-30~30V(測定間隔：0.25V)

(2)載子移動度(場效應移動度)

載子移動度(場效應移動度)係利用以下式(1), 在飽和區域算出移動度。

[式1]

$$I_d = \frac{1}{2} \mu_{FE} C_{OX} \frac{W}{L} (V_{gs} - V_{th})^2 \quad \dots (1)$$

式(1)中,

I_d : 汲極電流

μ_{FE} : 場效應移動度(飽和移動度)

C_{ox} : 絕緣膜之電容

W：通道寬幅

L：通道長度

V_{gs} ：閘極電壓

V_{th} ：臨界值電壓

本實施例中，經此得到之飽和移動度若在 $5\text{cm}^2/\text{Vs}$ 以上則評價為○(移動度高)、若未滿 $5\text{cm}^2/\text{Vs}$ 則評價為×。

(3)SS 值

將 SS 值定義為使汲極電流增加一位數所需之閘極電壓最小值。本實施例中，經此得到之 SS 值若在 1.0V/decade 以下則評價為○(SS 值低)、若上述 SS 值超過 1.0V/decade 則評價為×。

(4)應力耐性之評估(作為應力，係光照射+施加負偏壓)

本實施例中，模擬實際面板驅動時之環境(應力)，對閘極電極施加負偏壓同時照射光，以進行應力施加實驗。應力施加條件如下。作為光波長，係選擇接近氧化物半導體之能隙，電晶體特性容易變動之 400nm 左右者。

閘極電壓：-20V

源極電壓：0V

汲極電壓：10V

基板溫度：60℃

光應力

波長：400nm

照度(照射於 TFT 的光強度)： $0.1\mu\text{W}/\text{cm}^2$

光源：OPTOSUPPLY 公司製 LED(藉由 ND 濾鏡來調整光量)

應力施加時間：3 小時

而本實施例中，將汲極電流在開啓電流與關閉電流之間即 1nA 附近時之電壓，定義成臨界值電壓，而量測應力施加前後之臨界值電壓變化量(偏移量)。此處所謂臨界值電壓，概略地說，是指電晶體從關狀態(汲極電流低之狀態)轉換至開狀態(汲極電流高之狀態)時的閘極電壓值。本實施例中，經此得到之偏移量若在 5V 以下則評價為○(應力耐性優良)、偏移量若超過 5V 則評價為×。

該些結果統整揭示於表 1~5。

[表1]

No.	第2氧化物半導體層 IGZO之成分比(原子比)				第1氧化物半導體層 AZO之成分比(原子比)				TFT特性			
	In	Ga	Zn	Zn/(Zn+Al)	Al/(Zn+Al)	移動度	SS值	應力耐性	綜合 判定			
1	1	1	1	-	-	x	x	x	x	x		
2	1	1	1	0.25	0.75	x	x	x	x	x		
3	1	1	1	0.5	0.5	○	○	○	○	○		
4	1	1	1	0.75	0.25	○	○	○	○	○		
5	1	1	1	1	0	○	○	○	○	○		
6	2	2	1	-	-	x	x	x	x	x		
7	2	2	1	0.25	0.75	x	x	x	x	x		
8	2	2	1	0.5	0.5	○	○	○	○	○		
9	2	2	1	0.75	0.25	○	○	○	○	○		
10	2	2	1	1	0	○	○	○	○	○		

[表2]

No.	第2氧化物半導體層 IGZO之成分比(原子比)			第1氧化物半導體層 GZO之成分比(原子比)		TFT特性			
	In	Ga	Zn	Zn/(Zn+Ga)	Ga/(Zn+Ga)	移動度	SS值	應力耐性	綜合判定
1	1	1	1	-	-	x	x	x	x
2	1	1	1	0.25	0.75	x	x	x	x
3	1	1	1	0.5	0.5	○	○	○	○
4	1	1	1	0.75	0.25	○	○	○	○
5	1	1	1	1	0	○	○	○	○
6	2	2	1	-	-	x	x	x	x
7	2	2	1	0.25	0.75	x	x	x	x
8	2	2	1	0.5	0.5	○	○	○	○
9	2	2	1	0.75	0.25	○	○	○	○
10	2	2	1	1	0	○	○	○	○

[表3]

No.	第2氧化物半導體層 IGZO之成分比(原子比)				第1氧化物半導體層 ZTO之成分比(原子比)			TFT特性			
	In	Ga	Zn		Zn/(Zn+Sn)	Sn/(Zn+Sn)	移動度	SS值	應力耐性	綜合 判定	
1	1	1	1	-	-	-	x	x	x	x	
2	1	1	1	0.25	0.75	0.75	x	x	x	x	
3	1	1	1	0.5	0.5	0.5	○	○	○	○	
4	1	1	1	0.75	0.25	0.25	○	○	○	○	
5	1	1	1	1	0	0	○	○	○	○	
6	2	2	1	-	-	-	x	x	x	x	
7	2	2	1	0.25	0.75	0.75	x	x	x	x	
8	2	2	1	0.5	0.5	0.5	○	○	○	○	
9	2	2	1	0.75	0.25	0.25	○	○	○	○	
10	2	2	1	1	0	0	○	○	○	○	

[表4]

No.	第2氧化物半導體層 IGZO之成分比(原子比)		第1氧化物半導體層 AZO之成分比(原子比)		移動度	SS值	應力耐性	綜合 判定
	In	Zn	Zn/(Zn+Al)	Al/(Zn+Al)				
1	3	1	-	-	x	x	x	x
2	3	1	0.25	0.75	x	x	x	x
3	3	1	0.5	0.5	○	○	○	○
4	3	1	0.75	0.25	○	○	○	○
5	3	1	1	0	○	○	○	○
6	4	1	-	-	x	x	x	x
7	4	1	0.25	0.75	x	x	x	x
8	4	1	0.5	0.5	○	○	○	○
9	4	1	0.75	0.25	○	○	○	○
10	4	1	1	0	○	○	○	○
11	5	1	-	-	x	x	x	x
12	5	1	0.25	0.75	x	x	x	x
13	5	1	0.5	0.5	○	○	○	○
14	5	1	0.75	0.25	○	○	○	○
15	5	1	1	0	○	○	○	○

[表5]

No.	第2氧化物半導體層 IGZO之成分比(原子比)		第1氧化物半導體層 GZO之成分比(原子比)		TFT特性			
	In	Zn	Zn/(Zn+Ga)	Ga/(Zn+Ga)	移動度	SS值	應力耐性	綜合 判定
1	3	1	-	-	x	x	x	x
2	3	1	0.25	0.75	x	x	x	x
3	3	1	0.5	0.5	○	○	○	○
4	3	1	0.75	0.25	○	○	○	○
5	3	1	1	0	○	○	○	○
6	4	1	-	-	x	x	x	x
7	4	1	0.25	0.75	x	x	x	x
8	4	1	0.5	0.5	○	○	○	○
9	4	1	0.75	0.25	○	○	○	○
10	4	1	1	0	○	○	○	○
11	5	1	-	-	x	x	x	x
12	5	1	0.25	0.75	x	x	x	x
13	5	1	0.5	0.5	○	○	○	○
14	5	1	0.75	0.25	○	○	○	○
15	5	1	1	0	○	○	○	○

各表中，「第 1 氧化物半導體層的成分比為『－』」(例如表 1 的 No.1 等)，是指作為半導體層僅使用第 2 氧化物半導體層，而未形成第 1 氧化物半導體層之例，其相當於習知例。

可如下考察表 1~5。亦即，第 1 氧化物半導體層中，Zn 含有量佔金屬元素全體的 50 原子%以上的例子，其 TFT 特性優良；而該 Zn 含有量未滿 50 原子%的例子，則飽和移動度、SS 值、應力耐性的任一者皆未達合格基準，TFT 特性較差。

【圖式簡單說明】

[圖 1]圖 1 為用來說明實施形態之製造過程中，薄膜電晶體構造之概略剖視圖。

[圖 2]圖 2 為用來說明實施形態之製造過程中，薄膜電晶體另一構造之概略剖視圖。

【主要元件符號說明】

- 1：基板
- 2：閘極電極
- 3：閘極絕緣膜
- 4：第 2 氧化物半導體層
- 4'：第 1 氧化物半導體層
- 5：源極和汲極電極
- 6：保護膜

7：接觸孔

8：透明導電膜

9：蝕刻阻擋層

七、申請專利範圍：

1. 一種薄膜電晶體構造，係在基板上至少從基板側開始，依序具備氧化物半導體層、源極和汲極電極、及保護膜之薄膜電晶體構造，其特徵為：

前述氧化物半導體層，係為

第 1 氧化物半導體層，其 Zn 含有量佔金屬元素全體的 50 原子%以上，且形成於源極和汲極電極及保護膜側；以及

第 2 氧化物半導體層，其包含從 In、Ga、及 Zn 所成之群體當中所選擇之至少 1 種元素，且形成於基板側之層積體，且

前述第 1 氧化物半導體層，係與前述源極和汲極電極及保護膜直接接觸。

2. 一種薄膜電晶體構造，係在基板上至少從基板側開始，依序具備氧化物半導體層、蝕刻阻擋層、及源極和汲極電極之薄膜電晶體構造，其特徵為：

前述氧化物半導體層，係為

第 1 氧化物半導體層，其 Zn 含有量佔金屬元素全體的 50 原子%以上，且形成於蝕刻阻擋層及源極和汲極電極側；以及

第 2 氧化物半導體層，其包含從 In、Ga、及 Zn 所成之群體當中所選擇之至少 1 種元素，且形成於基板側之層積體，且

前述第 1 氧化物半導體層，係與前述蝕刻阻擋層及前

述源極和汲極電極直接接觸。

3.如申請專利範圍第 1 項之薄膜電晶體構造，其中，前述第 1 氧化物半導體層，作為金屬元素，更包含從 Al、Ga、及 Sn 所成之群體當中所選擇之 1 種以上元素。

4.如申請專利範圍第 2 項之薄膜電晶體構造，其中，前述第 1 氧化物半導體層，作為金屬元素，更包含從 Al、Ga、及 Sn 所成之群體當中所選擇之 1 種以上元素。

5.如申請專利範圍第 1 項之薄膜電晶體構造，其中，前述保護膜係藉由 CVD(Chemical Vapor Deposition，化學氣相沉積)法而形成。

6.如申請專利範圍第 2 項之薄膜電晶體構造，其中，前述蝕刻阻擋層係藉由 CVD(Chemical Vapor Deposition，化學氣相沉積)法而形成。

7.一種薄膜電晶體，其特徵為：具備如申請專利範圍第 1 至 6 項任一項之薄膜電晶體構造。

8.一種顯示裝置，其特徵為：具備如申請專利範圍第 7 項之薄膜電晶體。

圖1

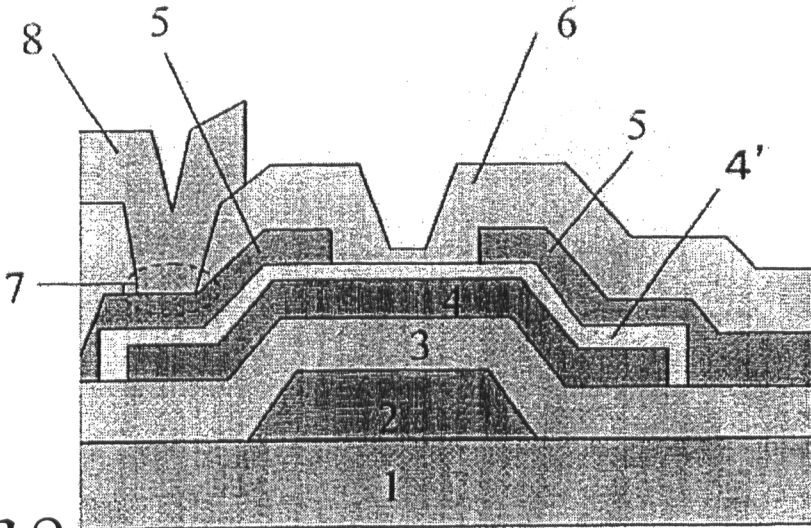


圖2

