

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：96105331

※申請日期：96.2.13

※IPC 分類：

H01L 21/3065 (2006.01)

C23C 16/509 (2006.01)

C23C 16/505 (2006.01)

一、發明名稱：(中文/英文)

用於在介電質蝕刻中之減少的微粒污染的密封彈性體結合矽電極及其
相同物

SEALED ELASTOMER BONDED Si ELECTRODES AND THE LIKE
FOR REDUCED PARTICLE CONTAMINATION IN DIELECTRIC
ETCH

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商藍姆研究公司

LAM RESEARCH CORPORATION

代表人：(中文/英文)

傑夫瑞 J 布克斯

BROOKS, JEFFREY J.

住居所或營業所地址：(中文/英文)

美國加州弗雷蒙市庫新公園大道4650號

4650 CUSHING PARKWAY, FREMONT, CALIFORNIA 94538, U.S.A.

國籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 4 人)

姓 名：(中文/英文)

1. 任大星

REN, DAXING

2. 安瑞可 梅格尼

MAGNI, ENRICO

3. 艾瑞克 藍茲

LENZ, ERIC

4. 周仁

ZHOU, REN

國 籍：(中文/英文)

1. 中華人民共和國 P.R.C.

2. 義大利 ITALY

3. 美國 U.S.A.

4. 美國 U.S.A.

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國；2006年02月13日；11/352,307

2.

無主張專利法第二十七條第一項國際優先權：

1.

2.

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明提供一種電極總成，其用於一在半導體基板處理中使用之電漿反應室，該電極總成具有：一襯底構件，其具有一結合表面；一內部電極，其具有一在一側上之下部表面及一在另一側上之結合表面；及一外部電極，其具有一在一側上之下部表面及一在另一側上之結合表面。該等電極中之至少一者具有一凸緣，該凸緣在另一電極之該下部表面之至少一部分之下方延伸。

六、英文發明摘要：

102年7月8日修正
對線頁(本)

七、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

100	簇射頭電極總成
110	頂部電極
112	熱控制構件
114	頂板
116	氣體通路
120	內部電極
124	內部襯底構件
126	氣體通路
130	外部電極
132	外部襯底構件
140	襯底構件
150	電漿限制環
152	撓曲部分/下部凸緣/水平間隙

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

九、發明說明：

【發明所屬之技術領域】

本發明係關於用於在介電質蝕刻中之減少的微粒污染的密封彈性體結合矽電極及其相同物。

【先前技術】

自二十世紀六十年代中期起，積體半導體電路已成為大多數電子系統之主要組件。此等微型電子裝置可含有數以千計的電晶體及其他電路，其組成記憶體及微電腦中央處理單元之邏輯子系統及其他積體電路。此等晶片之低成本、高可靠性及速度使其成為現代數位電子裝置之普遍特徵。

積體電路晶片之製造通常以高純度、單晶半導體材料基板(諸如矽或鍺)之較薄、經拋光的薄片(稱為"晶圓")而開始。各晶圓經受在該晶圓上形成多種電路結構之一連串物理及化學處理步驟。在製造過程期間，可使用多種技術在晶圓上沈積多種類型之薄膜，諸如：熱氧化以產生二氧化矽薄膜；化學氣相沈積以產生矽、二氧化矽及氮化矽薄膜；及濺鍍或其他技術以產生其他金屬薄膜。

在半導體晶圓上沈積薄膜之後，藉由使用稱為"摻雜"之製程將所選擇之雜質取代至半導體晶格中來產生半導體的獨特電學特性。然後，可利用感光性或輻射敏感材料(稱為"抗蝕劑")之薄層均一塗佈該摻雜矽晶圓。然後，可使用稱為"微影"之製程將在電路中界定電子路徑之小幾何圖案轉移至該抗蝕劑上。在微影製程期間，積體電路圖案可在

稱為"遮罩"之玻璃板上刻繪，且然後，將其光學還原、投影且轉移至感光性塗層上。

然後，經由稱為"蝕刻"之製程將微影化抗蝕劑圖案轉移至半導體材料的下伏結晶表面上。真空處理室通常用於藉由將蝕刻或沈積氣體供應至真空室且對該氣體施加射頻(RF)場而將該氣體激發為電漿態，來對在基板上之材料進行蝕刻及化學氣相沈積(CVD)。

反應式離子蝕刻系統通常由蝕刻室與置放於其中之上部電極(或陽極)及下部電極(或陰極)組成。陰極相對陽極及容器壁係負偏壓的。待蝕刻之晶圓係由合適遮罩覆蓋，且直接置放於陰極上。通常將諸如 CF_4 、 CHF_3 、 $CClF_3$ 、 HBr 、 Cl_2 及 SF_6 或其混合物之化學反應性氣體與 O_2 、 N_2 、 He 或 Ar 一起引入至蝕刻室中，且將其維持於通常處於毫托範圍內的壓力上。上部電極具備氣孔，其允許氣體經由該電極均一分散至室中。在陽極與陰極之間建立的電場將使形成電漿之反應性氣體解離。藉由與活性離子之化學相互作用，且藉由撞擊晶圓表面之離子的動量轉移來蝕刻晶圓表面。由電極建立之電場可將離子吸收至陰極，從而導致該等離子主要在垂直方向上撞擊表面，以使該製程產生良好界定之垂直蝕刻側壁。

慮及功能之多重性，通常可藉由利用機械順應及/或導熱黏著劑結合兩個或兩個以上相異構件來製造蝕刻反應器電極。在大量具有處於兩個構件之間的結合線或層(包括簇射頭電極總成，其中內部電極及外部電極係結合至襯底

構件)，或併入有電極及/或加熱元件或組件之多個結合層的蝕刻反應器中，可將結合材料曝露於反應室條件下。此外，經由電漿及由該電漿產生之自由基之直接攻擊，結合材料可經歷蝕刻。

因此，存在避免結合材料之腐蝕或至少充分降低該腐蝕速率的需要，以使電極及其關聯結合材料在半導體蝕刻製程中之使用期間獲得延長且可接受之操作壽命，而不會使電漿處理系統之效能或操作可用性顯著降級。

【發明內容】

根據一實施例，一種用於一在半導體基板處理中使用之電漿反應室的電極總成包含：一襯底構件，其具有一結合表面；一內部電極，其具有一在一側上之下部表面及一在另一側上之結合表面；一外部電極，其具有一在一側上之下部表面及一在另一側上之結合表面；且其中該等電極中之至少一者具有一凸緣，該凸緣在另一電極之該下部表面之至少一部分之下方延伸。

根據另一實施例，一種可用於一在半導體基板處理中使用之電漿反應室的電極總成包含：一襯底構件，其具有一結合表面，該襯底構件具有至少一個用於收納一結合材料之凹座；一電極，其具有一在一側上之下部表面及一在另一側上之結合表面；且其中該結合材料被限制於該至少一個凹座中。

根據另一實施例，一種電極總成進一步包含：一襯底構件，其具有一結合表面，該襯底構件具有至少一個用於收

納一結合材料之凹座；一電極，其具有一在一側上之下部表面及一在另一側上之結合表面；至少一個間隔件，其用以維持一處於該襯底構件與該電極之該等結合表面之間之間隙；及一結合材料，其處於該襯底構件與該電極之該等結合表面之間。

根據另一實施例，一種用於一在半導體基板處理中使用之電漿反應室的電極總成包含：一襯底構件，其具有一結合表面；一電極，其具有一在一側上之下部表面及一在另一側上之結合表面；且其中該電極具有：一凹座，其用於收納一結合材料；及一凹槽，其處於一外部邊緣上，用以捕集過量結合材料。

根據另一實施例，一種用於一在基板處理中使用之電漿反應室的電極總成包含：一襯底構件，其具有一結合表面；一外部電極環，其具有一在一側上之下部表面及一在另一側上之結合表面；且其中該外部電極之該結合表面包括複數個凹座。

根據另一實施例，一種製造一可用於一在半導體基板處理中使用之電漿反應室的電極總成的方法包含：提供一襯底構件，其具有一結合表面；提供一內部電極，其具有一在一側上之下部表面及一在另一側上之結合表面；及將一結合材料應用於該內部電極與該襯底構件之該等結合表面，其中該結合材料之一邊緣延伸至該內部電極之一外部邊緣的1.0 mm至3.0 mm內。

【實施方式】

圖1展示用於蝕刻基板之電漿反應器之簇射頭電極總成100之一部分的截面圖。如圖1所示，簇射頭電極總成100包括一頂部電極110，一熱控制構件112及一頂板114。頂部電極110包括一內部電極120，及一緊固至該內部電極120之可選襯底構件140。襯底構件140可包括一內部襯底構件124及一可選外部襯底構件132。頂板114可形成諸如電漿蝕刻室之電漿處理設備的可移除頂壁。頂部電極110較佳包括一內部電極120及一可選外部電極130。內部電極120較佳係為一圓柱板，且可係由單晶矽製得。

如圖1中所示之簇射頭電極總成100通常連同一靜電夾盤(未圖示)一起使用，該靜電夾盤具有一在頂部電極110下方之間隔1 cm至2 cm的平底部電極(其上支撐晶圓)。該電漿處理系統之一實例為平行板類型反應器，諸如由Lam Research Corporation of Fremont, Calif.製得之Exelan®介電質蝕刻系統。該等夾盤配置藉由供應控制晶圓與夾盤之間的熱轉移速率的背側氦(He)壓力而提供對晶圓之溫度控制。

頂部電極110為必須定期更換之可消耗部分。在一較佳實施例中，頂部電極110為具備複數個間隔開之氣體排放通路116的簇射頭電極，該等氣體通路116具有適於供應處理氣體之尺寸及分佈，該處理氣體在一處於電極110之下的反應區102(圖3)中由電極而激發，且形成電漿。

內部電極120較佳為自中心(未圖示)至一外部邊緣121具

有均一厚度的平面盤。水經由入水口/出水口連接而在冷卻通道中循環。一包含間隔開之石英環之堆疊的電漿限制環150環繞頂部電極110之外圍。限制環150之目的及功能為在反應器中產生壓力差，且增加在反應室壁與電漿之間的電阻，藉此將電漿限制於上部電極與下部電極之間。

經由在頂板114中之一或多個通路，將來自氣體供應處之處理氣體供應至電極110。然後，氣體係經由一或多個垂直方向間隔開之隔板而分佈，且穿過在電極110中之氣體通路116以將處理氣體均勻分散至反應區102中。

內部電極120可具有小於、等於或大於待處理晶圓之直徑，例如，在板係由單晶矽製得之條件下高達300 mm，其為當前可用單晶矽材料之最大直徑。為處理300 mm之晶圓，外部電極130適於將頂部電極110之直徑自約15吋擴大至約17吋。外部電極130可為一連續構件(例如多晶矽構件，諸如環)，或分段構件(例如，2至6個配置為環組態之分開區段，諸如單晶矽區段)。內部電極120較佳包括多個氣體通路116，其用於將處理氣體注入至在頂部電極110之下的電漿反應室中之空間中。

單晶矽為用於內部電極120及外部電極130之電漿曝露表面的較佳材料。高純度之單晶矽在電漿處理期間最小化基板之污染，此係因為高純度之單晶矽僅將最小量之不必要元素引入至反應室中，且亦在電漿處理期間平滑地磨損，藉此最小化微粒。可用於頂部電極110之電漿曝露表面的替代材料包括(例如)SiC、SiN及AlN。

在組態中，簇射頭電極總成100之尺寸足以處理諸如直徑為300 mm之半導體晶圓的較大基板。對300 mm之晶圓而言，頂部電極110之直徑至少為300 mm。然而，可對簇射頭電極總成100設定尺寸以處理其他晶圓尺寸或具有非圓形組態之基板。

圖2展示圖1之簇射頭電極總成之一部分的截面圖。如圖2所示，簇射頭電極總成100包括內部電極120、內部襯底構件124、外部電極130、外部襯底構件132及電漿限制環150。

襯底構件140包含內部襯底構件124及(視情況)一外部襯底構件132。在該等組態中，內部電極120係與內部襯底構件124共同延伸，且外部電極130係與周圍襯底構件132共同延伸。然而，內部襯底構件124可延伸超出內部電極120，以使單個襯底構件140(圖3)可用於支撐內部電極120及外部電極130。較佳為利用彈性結合材料160將內部電極120及外部電極130附接至內部襯底構件124及外部襯底構件132。內部襯底構件124包括與在內部電極120中之氣體通路116對準的氣體通路126，以將氣流提供至電漿處理室中。內部襯底構件124之氣體通路126通常具有約0.04吋之直徑，同時內部電極120之氣體通路116通常具有約0.025吋之直徑。

內部襯底構件124及外部襯底構件132較佳係由與用於在電漿處理室中處理半導體基板之處理氣體化學相容的材料製得；其具有緊密匹配電極材料之熱膨脹係數的熱膨脹係

數，及/或係導電且導熱的。可用於製造內部襯底構件124之較佳材料包括(但不限於)石墨及SiC。

可利用導熱且導電之彈性結合材料160(圖3)將內部電極120及外部電極130分別附接至內部襯底構件124及外部襯底構件132。在由於熱循環而產生之熱應力期間，彈性結合材料160允許頂部電極110與襯底構件140之間的相對移動。結合材料160亦在內部電極120及外部電極130與內部襯底構件124及外部襯底構件132之間轉移熱能及電能。用於將電極總成100之表面結合在一起之彈性結合材料160的用途(例如)在共同擁有之美國專利第6,073,577號中有描述，該案之全文以引用的方式併入本文中。

較佳利用合適扣件(可為螺紋螺釘、螺桿或其相同物)將內部襯底構件124及外部襯底構件132附接至熱控制構件112。舉例而言，可將螺釘(未圖示)插入熱控制構件112中之孔中，且扭轉至在襯底構件140中之螺紋開口中。熱控制構件112包括一撓曲部分152，且較佳係由諸如鋁、鋁合金或其相同物之經加工的金屬材料製得。頂板114較佳係由鋁或鋁合金製得。電漿限制環150係展示於簇射頭電極總成100之外側。包括一垂直可調整之電漿限制環150的合適電漿限制組件在共同擁有之美國專利第5,534,751中有描述，該案之全文以引用的方式併入本文中。

圖3展示圖2之簇射頭電極總成之一部分的截面圖，包含一具有一內部電極120之頂部電極110、一襯底構件140及一外部電極130。內部電極120及外部電極130各具有一下

部或電漿曝露表面123、139，及一上部或結合表面125、141。襯底構件140具有一下部或結合表面127及一上部或熱控制表面113。如圖3中所示，彈性結合材料160係應用至且包含於一處於內部電極120之上部表面125、外部電極130之上部表面141與襯底構件140之下部表面127之間的間隙或空間118內。

可瞭解，襯底構件140可延伸超出內部電極120之一外部邊緣121，以使單個襯底構件140可替代如圖2中所示之一內部襯底構件124及一外部襯底構件132而使用。如圖3中所示，內部電極120之外部邊緣121通常為垂直的。然而，可瞭解，內部電極120之外部邊緣121可具有一並非垂直的方向。

外部電極130具有一內部邊緣131及一外部邊緣133。外部電極130之內部邊緣131面向或鄰近於內部電極120之外部邊緣121。外部電極130之外部邊緣133面向電漿限制環150。外部電極130之內部邊緣131及外部邊緣133通常為垂直的。然而，可瞭解，如本文所述，內部邊緣131及外部邊緣133可具有並非垂直的方向。

如圖3中所示，外部電極130之內部邊緣131及外部邊緣133可包括一內部表面135及一外部表面137，該內部表面135及該外部表面137朝向外外部電極130之下部表面139成角度。內部表面135及外部表面137連同外部電極130之下部表面139可以較內部電極120之下部表面123更大的深度延伸至區102中。可將外部電極130之內部表面135描述為一

臺階 111，如在共同擁有之美國專利第 6,824,627 號中描述，該案之全文以引用的方式併入本文中。提供臺階 111 以在電漿處理期間控制鄰近於曝露之下部表面 123、139 而形成之電漿密度。臺階 111 較佳係大體上在下部電極之一邊緣環(未圖示)之上對準，且恰定位於晶圓之邊緣的外側。內部表面 135 與外部表面 137 之角度較佳係在約 15 度至 85 度之間。

如圖 3 中所示，通常將結合材料 160 或彈性結合材料應用於內部電極 120 及外部電極 130 之上部或結合表面 125、141 及/或襯底構件 140 之下部或結合表面 127 中之至少一者。在將結合材料 160 應用於結合表面 125、127、141 中之至少一者後，可組裝該等部分，以將結合表面 125、127、141 按壓在一起。在上述電極 110 及襯底構件 140 之情況下，可在一夾具中固持電極 110，且該夾具之塑膠針可用於引導襯底構件 140 與電極 110 精確接觸。開始時，諸如手動壓力之較輕壓力可用於使彈性體或結合材料 160 遍及待形成之接合部內。在展布彈性體或結合材料 160 之後，於結合劑之固化期間，可將靜負載施加至電極 110。

在大氣或保護性氣體之環境下，可在周圍溫度或高溫下固化結合劑。舉例而言，可將總成 100 置於對流烘箱中，且將其加熱至較低溫度以加速結合劑之固化而並不在待接合之部分中引起熱應變。在上述頂部電極 110 及襯底構件 140 之情況下，需要將溫度維持於 60°C 以下(例如，45°C 至 50°C)，歷時一段合適時間(例如，3 小時至 5 小時)。在固化

結合劑以形成彈性接合部之後，冷卻總成100且移除遮罩材料。此外，視組裝操作之需要而定，可進行諸如在真空烘箱中之釋氣的任何額外清除及/或進一步製造步驟。

可瞭解，如圖3中所示，將結合表面125、127、141按壓在一起(亦即將內部電極120及外部電極130與內部襯底構件124及外部襯底構件132按壓在一起)通常導致彈性結合材料160填充內部電極120及外部電極130與襯底構件124之間間隙或空間118中。此外，結合材料160將通常部分地填充內部電極120之內部邊緣121與外部電極130之內部邊緣131之間的外部電極間隙129。然而，將彈性結合材料160曝露至直接電漿蝕刻以及由電漿產生之自由基的攻擊可導致彈性結合材料160之損壞及/或結合劑損失以及鋁(Al)球微粒之產生。

在電漿處理期間，彈性體結合電極能夠承受高操作溫度、高功率密度及長RF時間。因此，已在半導體晶圓蝕刻製程中廣泛使用具有如本文所述之簇射頭或電極總成110之蝕刻工具。此類電極之廣泛成功使用很大程度上係由於該等電極具有電導率及高熱導率。更特定言之，高傳導率很大程度上係由於將Al微粒(表現為微觀Al球)用作在彈性結合材料160中之填充劑(該填充劑通常為由Al合金製得之粉狀材料)，該填充劑通常稱為Al粉或Al球。然而，在晶圓蝕刻期間，當由電漿將彈性體或結合材料160蝕刻除去時，Al填充劑不可避免地具有散落之Al微粒。結果，Al微粒可落於產物晶圓表面上，導致基於Al球之疵點。此外，

已發現：Al球疵點可能在諸如高級65 nm蝕刻技術中之不良蝕刻條件的組合中產生，且需在蝕刻晶圓之間應用之長時間的乾洗。

大體而言，Al球微粒係自對彈性體或結合材料160之直接電漿攻擊以及由該電漿產生之自由基攻擊彈性體或結合材料160而產生。在對結合材料160之直接電漿攻擊過程中，由於殘餘物被曝露至直接線內電漿，故由電漿來蝕刻在內部電極120與外部電極130之間的外部電極間隙129之中剩餘的殘餘結合材料。或者，對彈性體結合材料160之自由基攻擊係由彈性體結合材料160經受來自電漿所產生之自由基之攻擊而引起。然而，自由基並非在電漿帶電離子之方向上移動。此外，自由基具有遠長於離子之壽命。因此，一旦自由基保持其孤立電子及能量，則其可無規移動至任意處。因此，自由基具有攻擊彈性體或結合材料160從而導致結合材料損失及Al微粒產生之較高可能性。

圖4展示圖3之外部電極130之一部分的截面圖。如圖4中所示，外部電極130較佳包含複數個區段134，其中該等區段134係利用一彈性結合材料160彼此附接。在處理區102中處理半導體基板期間，該複數個區段134允許外部電極130之擴大。在處理期間，熱量經由熱傳導自內部電極120及外部電極130轉移至內部襯底構件124及外部襯底構件132，且接著至頂板114。

圖5展示圖1之具有彈性結合(其具有邊緣排斥結合)之簇射頭電極之一部分的截面圖。如圖5中所示，精細分配之

彈性體結合材料160係沈積於內部電極120及外部電極130之結合表面125、141及/或襯底構件140之結合表面127上，且僅填充內部電極120及外部電極130與襯底構件140之間的間隙或空間118之一部分。精細分配之結合材料防止過量結合材料160填充外部電極間隙129。此外，可瞭解，不僅外部電極間隙129無彈性結合材料160，而且內部電極120及外部電極130之結合表面125、141及在包括內部電極120及外部電極130之外部邊緣121及內部邊緣131之外部電極間隙129附近的內部襯底構件124無過量結合材料160。

圖6展示圖5之具有邊緣排斥區域結合之簇射頭電極總成100之一部分的截面圖。如圖6中所示，在內部電極120、外部電極130與襯底構件140之間精細分配之彈性結合材料160避免使任何過量或溢出之彈性結合材料160流至在結合區域之外的區域或表面。在使用中，對直徑至少為300 mm之頂部電極110而言，結合材料160具有一外部邊緣162，其較佳與外部電極間隙129相距1 mm至3 mm，且更佳與外部電極間隙129相距約1 mm至1.5 mm。此外，可瞭解，結合材料160之外部邊緣162較佳與內部電極120之外部邊緣121，以及外部電極130之內部邊緣131及外部邊緣133相距1 mm至3 mm。另外，可瞭解，結合材料160之外部邊緣162更佳與內部電極120之外部邊緣121，以及外部電極130之內部邊緣131及外部邊緣133相距1 mm至1.5 mm。

圖7展示根據另一實施例之具有精細分配之彈性結合材

料160之內部電極120之一部分的俯視圖。如圖7中所示，結合材料160之外部邊緣162較佳與外部邊緣121相距1 mm至3 mm，且更佳與內部電極120之外部邊緣121相距約1 mm至1.5 mm。

圖8展示針對精細分配之結合材料160之單或多部分外部電極130(其中結合表面202為無規則形狀)之一部分的俯視圖。舉例而言，在電漿反應器或室中之外部電極130通常實際上為圓形(亦即，環)，其具有達到使外部電極130之邊緣131、133彼此並非成直角且該等邊緣131、133彼此亦非平行之程度的大體上無規則的形狀。因此，為獲得所需邊緣排斥結合，結合表面202可包括複數個凹座200，其經組態以收納彈性結合材料160之一部分。該複數個凹座200較佳為在策略上定位於結合表面202上，且可具有任何合適形狀或組態。在組態中，凹座200較佳為具有約0.1 mm至1.0 mm之深度204的凹入部分。然而，可瞭解，凹座200可具有任何合適之截面配置。在結合過程中，凹座200藉由防止結合材料160之外部邊緣162(圖7)相對於電極130之外部邊緣131延伸超出所需位置來控制結合材料160的流動。

圖9展示多部分外部電極130與外部襯底構件132之界面的截面圖。如圖9中所示，多部分外部電極130包括一下部或電漿曝露表面139及一上部或結合表面141。外部電極130包含複數個區段134，其中該複數個區段134中之每一者包括一包含一上部凸緣136及一下部凸緣138之配合面，該上部凸緣136及該下部凸緣138彼此重疊以在電漿處理期

間保護下伏結合材料160免於直射曝露至電漿或由該電漿產生之自由基。可瞭解，該複數個區段134中之每一者可包括一凸緣136(138)或上部凸緣136及下部凸緣138兩者。

如圖9中所示，上部凸緣136包括一第一或上部垂直表面149、一水平表面148及一第二或下部垂直表面147。下部凸緣138包括一對應第一或上部垂直表面146、一水平表面145及一第二或下部垂直表面144。上部垂直表面146、149形成一上部間隙153，水平表面145、148形成一水平間隙152，且下部垂直表面144、147形成一下部間隙151。重疊之邊緣136、138藉由防止結合材料160於視線可見處曝露至電漿抑或來自該電漿之自由基來保護結合材料160。如圖所示，當組裝時，較佳利用彈性結合材料160來填充多部分外部電極130之結合表面141及外部襯底構件132之結合表面127。然而，結合材料160僅部分填充上部間隙153，且使水平間隙152及下部間隙151不含結合材料160。因此，在電漿處理期間，電漿及自由基無法攻擊結合材料160，從而不會導致結合材料160之損失或Al球之產生。

圖10展示圖9之多部分外部電極130之一部分的視圖，包括在上部間隙153內之彈性結合材料160。如圖10中所示，外部電極130包含複數個各具有一上部凸緣136及一下部凸緣138的區段134。上部凸緣136及下部凸緣138彼此重疊以保護結合材料160免於直接電漿攻擊抑或遠離由該電漿產生之自由基。如圖10中所示，因下部間隙151及上部間隙153未彼此對準，故電漿及來自該電漿之自由基不包括於

視線可見處曝露至結合材料160。

圖11展示根據另一實施例之簇射頭電極總成100之一部分的截面圖。如圖11中所示，頂部電極110包括一內部電極120、一內部襯底構件124、一外部電極130及一外部襯底構件132。內部電極120及外部電極130各具有曝露至電漿區(未圖示)之下部表面123、139。如圖11中所示，彈性體結合材料160填充內部電極120之結合表面125與內部襯底構件124之結合表面127之間的間隙，及外部電極130之結合表面141與外部襯底構件132之下部或結合表面143之間的間隙。結合材料160亦通常填充內部電極120與外部電極130之間的外部間隙129或介面之一部分。如圖11中所示，內部電極120之外部邊緣121通常為垂直的。

如圖11中所示，外部電極130之內部邊緣131包括一下部凸緣152，其係自外部電極130之內部表面180突出。下部凸緣152包括一水平表面166，其自外部電極130之內部表面180延伸，且位於內部電極120之下部表面123之下。下部凸緣152亦包括一內部表面135，其將水平表面166與外部電極130之下部表面139連接。下部凸緣152防止電漿及由該電漿產生之自由基具有至在外部間隙129內之結合材料160的直接路徑。

圖12展示根據另一實施例之簇射頭電極總成100之一部分的截面圖，其在內部電極120與外部電極130之間的介面或外部間隙129中具有聯鎖設計。如圖12中所示，內部電極120具有一下部凸緣156，且外部電極130具有一上部凸

緣 154，其中上部凸緣 158 及下部凸緣 158 彼此重疊，形成一聯鎖組態。上部凸緣 154 包括一第一或上部垂直表面 180、一水平表面 168 及一第二或下部垂直表面 172。下部凸緣 156 包括一對應第一或上部垂直表面 182、一水平表面 170 及一第二或下部垂直表面 174。重疊凸緣 154、156 藉由防止結合材料 160 於視線可見處曝露至電漿抑或來自該電漿之自由基來保護部分填充外部間隙 129 之一部分的結合材料 160。如圖 12 中所示，下部凸緣 156 在上部凸緣 154 之下方延伸。然而，可瞭解：在替代實施例中，外部電極 130 之凸緣 156 可經組態以在內部電極 120 之凸緣 154 之下方延伸。亦可瞭解：在如圖 12 中所示之替代實施例中，外部電極 130 之下部垂直表面 172 可延伸至該區(未圖示)中且位於內部電極 120 之下部表面 123 之下，形成一臺階狀電極總成。

圖 13 展示根據另一實施例之簇射頭電極總成 100 之一部分的截面圖，其在內部電極 120 及外部電極 130 之介面或外部間隙 129 中具有連鎖設計。如圖 13 中所示，內部電極 120 具有一下部凸緣 156，其具有一第一或上部垂直表面 182、一水平表面 170 及一第二或下部垂直表面 174。外部電極 130 包括一內部表面 180、一水平表面 168 及一延伸至該外部電極 130 之下部表面 139 的內部表面 135。如圖所示，外部電極 130 之內部表面 135 及下部表面 139 形成一臺階 111，其可在晶圓(未圖示)之邊緣處提供蝕刻速率均一性。

圖 14 展示根據另一實施例之電極總成 200 之一部分的截

面圖。電極總成 200 可為一內部電極 220 及一襯底構件 230，或具有一外部電極 220 及一襯底構件 230 之單或多區段外部電極環的一部分。如圖 14 中所示，使用在襯底構件 230 之結合表面 227 內之至少一個結合材料凹座 280，可將電極 220 及襯底構件 230 彼此附接。至少一個結合材料凹座 280 中之每一者包括一對垂直表面 284 及一上部水平表面 282。

在使用中，結合材料 160 可為任何合適之彈性材料。結合材料 160 係置放至凹座 280 中，且襯底構件 230 係按壓至電極 220 之結合表面 225 上。彈性結合材料 160 的量經量測且置放至凹座 280 中，以使襯底構件 230 之結合表面 227 及電極 220 之結合表面 225 彼此接觸而形成一密封件，其防止彈性或結合材料 160 膨脹至至少一個凹座 280 之外部。

圖 15 展示根據另一實施例之電極總成 200 之一部分的截面圖。如圖 15 中所示，襯底構件 230 具有至少一個間隔件 281，其在熱循環期間於襯底構件 230 與電極 220 之間維持一限定距離或間隙 283。該至少一個間隔件 281 較佳為鋁線、鋁棒、鋁棒或鋁線篩網，抑或其他合適材料。該至少一個間隔件 281 亦藉由在內部及外部電極 220 之結合表面與襯底構件 230 之間維持限定距離或間隙 283 來防止在熱循環期間，在電極 220 與襯底構件 230 之間摩擦所引起之微粒產生。

圖 16 展示根據另一實施例之電極總成 200 之一部分的截面圖。如圖 16 中所示，電極 220 包括一突起物 290，其收納

於一處於襯底構件230內之凹座292內。突起物290包括一對自電極220之結合表面225延伸之垂直表面296及一上部表面294。凹座292包括一下部表面298及一對垂直表面299。如圖16中所示，在凹座292內及在突起物290之頂部上應用彈性結合材料160。以此方式提供彈性接合部，其在電漿處理期間未曝露至電漿抑或由該電漿產生之自由基。此外，結合材料160在電極220之上部表面225與襯底構件230之下部表面227之間引入一間隙或空間297。

圖17展示根據另一實施例之電極總成300之一部分的截面圖。電極總成300可為一內部電極220及一襯底構件230，或具有一外部電極220及一襯底構件230之單或多區段外部電極環之一部分。如圖17中所示，電極220包括一凹座310，其經組態以收納結合材料160。凹座310包括一下部表面318及一對垂直表面312。凹座310可亦包括一外部凹槽320，其包含一下部表面314及一內部垂直表面316，該外部凹槽320自下部表面314延伸至凹座310之下部表面318。外部凹槽320用作在聯鎖構件之邊緣處的容槽，以捕集由非均一彈性體結合材料分配而產生之任何過量彈性體或結合材料160。另外，若電極總成300為外部電極環，則該外部電極環將包括一內部及一外部凹槽320。

已參考較佳實施例描述本發明。然而，熟習此項技術者將易見：可能以不同於上文描述之指定形式實施本發明，而不偏離本發明之精神。較佳實施例係說明性的，且不應以任何方式將其視為限制性的。本發明之範疇係由隨附申

請專利範圍而並非前文描述給出，且處於申請專利範圍內之所有改變及均等物均意欲涵蓋於其中。

【圖式簡單說明】

圖1展示用於蝕刻基板之電漿反應器之簇射頭電極總成的截面圖。

圖2展示圖1之簇射頭電極總成之一部分的截面圖。

圖3展示圖2之簇射頭電極總成之一部分的截面圖，包含頂部電極、襯底構件及外部電極構件。

圖4展示圖3之外部電極之一部分的截面圖。

圖5展示根據一實施例具有彈性結合之簇射頭電極之一部分的截面圖。

圖6展示根據另一實施例具有彈性結合之圖5之簇射頭電極之一部分的截面圖。

圖7展示根據另一實施例之具有彈性結合之簇射頭電極之一部分的俯視圖。

圖8展示根據另一實施例之具有彈性結合之簇射頭電極之一部分的俯視圖。

圖9展示根據另一實施例之多部分外部電極及襯底構件之界面的截面圖。

圖10展示圖9之多部分外部電極之一部分的俯視圖。

圖11展示根據另一實施例之簇射頭電極總成之一部分的截面圖。

圖12展示根據在內部電極與外部電極之界面之間具有連鎖組態之另一實施例之簇射頭電極總成之一部分的截面

圖。

圖 13 展示根據在內部電極與外部電極之界面之間具有連鎖組態之另一實施例之簇射頭電極總成之一部分的截面圖。

圖 14 展示根據另一實施例之簇射頭電極總成之一部分的截面圖。

圖 15 展示根據另一實施例之簇射頭電極總成之一部分的截面圖。

圖 16 展示根據另一實施例之簇射頭電極總成之一部分的截面圖。

圖 17 展示根據另一實施例之簇射頭電極總成之一部分的截面圖。

【主要元件符號說明】

100	簇射頭電極總成
102	反應區/處理區
110	頂部電極
111	臺階
112	熱控制構件
113	上部或熱控制表面
114	頂板
116	氣體通路
118	間隙/空間
120	內部電極
121	外部邊緣
123	曝露表面/下部表面

124	內部襯底構件
125	上部/結合表面
126	氣體通路
127	下部/結合表面
129	外部電極間隙
130	外部電極
131	內部邊緣
132	外部襯底構件
133	外部邊緣
134	區段
135	內部表面
136	上部凸緣
137	外部表面
138	下部凸緣
139	電漿曝露表面/下部表面
140	襯底構件
141	上部/結合表面
143	下部/結合表面
144	下部垂直表面
145	水平表面
146	上部垂直表面
147	下部垂直表面
148	水平表面
149	上部垂直表面

150	電漿限制環
151	下部間隙
152	撓曲部分/下部凸緣/水平間隙
153	上部間隙
154	上部凸緣
156	下部凸緣
160	結合材料
162	外部邊緣
166	水平表面
168	水平表面
170	水平表面
172	下部垂直表面
174	下部垂直表面
180	上部垂直表面/內部表面
182	上部垂直表面
200	電極總成/凹座
202	結合表面
204	深度
220	電極
225	上部/結合表面
227	下部/結合表面
230	襯底構件
280	凹座
281	間隔件

282	上部水平表面
283	限定距離/間隙
284	垂直表面
290	突起物
292	凹座
294	上部表面
296	垂直表面
298	下部表面
299	垂直表面
300	電極總成
312	垂直表面
314	下部表面
316	垂直表面
318	下部表面
320	外部凹槽

十、申請專利範圍：

1. 一種用於一在半導體基板處理中使用之電漿反應室的電極總成，其包含：
 - 一襯底構件，其具有一結合表面；
 - 一內部電極，其具有一在一側上之下部表面及一在另一側上之結合表面；
 - 一外部電極，其具有一在一側上之下部表面及一在另一側上之結合表面，且其中該等電極中之至少一者具有一凸緣，該凸緣在另一電極之該下部表面之至少一部分之下方延伸；以及
 - 一結合材料，其部分地填充位於該內部電極及該外部電極之間的一介面的一部分，且其中該至少一個凸緣消除自一電漿區至該結合材料的一直射瞄準線。
2. 如請求項1之電極總成，其中該凸緣位於該內部電極上，且在該外部電極之該下部表面之下方延伸。
3. 如請求項1之電極總成，其中該凸緣位於該外部電極上，且在該內部電極之該下部表面之下方延伸。
4. 如請求項1之電極總成，其中該等電極中之每一者包括一凸緣，且該外部電極之該凸緣在該內部電極之該凸緣之下方延伸。
5. 如請求項1之電極總成，其中該等電極中之每一者包括一凸緣，且該內部電極之該凸緣在該外部電極之該凸緣之下方延伸。
6. 如請求項3之電極總成，其中該外部電極之一內部表面

包括一角形表面，該角形表面自該凸緣延伸至該外部電極之該下部表面。

7. 如請求項1之電極總成，其中該外部電極包含複數個區段，該複數個區段形成一外部電極環，且在該複數個區段中之每一者之一介面處具有一重疊表面。
8. 如請求項7之電極總成，其中該複數個區段中之每一者之該介面進一步包括一上部凸緣及一下部凸緣。
9. 如請求項1之電極總成，其進一步包含一結合材料處於該內部電極及該外部電極與該襯底構件之該等結合表面之間。
10. 如請求項1之電極總成，其中該襯底構件包含一內部襯底構件及一外部襯底構件，且進一步言之，其中該等結合表面係共同延伸的。
11. 如請求項1之電極總成，其中該內部電極及該外部電極均係由矽製得。
12. 如請求項1之電極總成，其中該襯底構件係由石墨製得。
13. 一種電極總成，其進一步包含：
 - 一襯底構件，其具有一結合表面，該襯底構件具有至少一個用於收納一結合材料之凹座；
 - 一電極，其具有一在一側上之下部表面及一在另一側上之結合表面；
 - 至少一個間隔件，其用以維持一處於該襯底構件與該電極之該等結合表面之間間隙；及

一結合材料，其處於該襯底構件與該電極之該等結合表面之間。

14. 一種用於一在半導體基板處理中使用之電漿反應室的電極總成，其包含：

一襯底構件，其具有一結合表面；

一外部電極環，其具有一在一側上之下部表面及一在另一側上之結合表面；且

其中該外部電極環具有一凹座，其用於收納一結合材料，且其中該凹座包含用以捕集過量結合材料之一內部凹槽及一外部凹槽。

15. 一種用於一在基板處理中使用之電漿反應室的電極總成，其包含：

一襯底構件，其具有一結合表面；

一外部電極環，其具有一在一側上之下部表面及一在另一側上之結合表面；且

其中該外部電極環之該結合表面包括複數個凹座。

16. 一種製造一適用於一在半導體基板處理中使用之電漿反應室的電極總成的方法，其包含：

提供一襯底構件，其具有一結合表面；

提供一內部電極，其具有一在一側上之下部表面及一在另一側上之結合表面；及

將一結合材料應用於該內部電極與該襯底構件之該等結合表面，其中該結合材料之一邊緣延伸至該內部電極之一外部邊緣的1.0 mm至3.0 mm內。

17. 如請求項16之方法，其進一步包含：

提供一外部電極，其具有一在一側上之下部表面及一在另一側上之結合表面，以及一外部襯底構件，其具有一結合表面，其中結合材料之一邊緣延伸至該外部電極之一外部邊緣的1.0 mm至3.0 mm內，使得一處於該內部電極之一外部邊緣與該外部電極之一內部邊緣之間的介面中不存在結合材料。

18. 如請求項17之方法，其中該結合材料與該內部電極之該外部邊緣相距1.0 mm至1.5 mm。

十一、圖式：

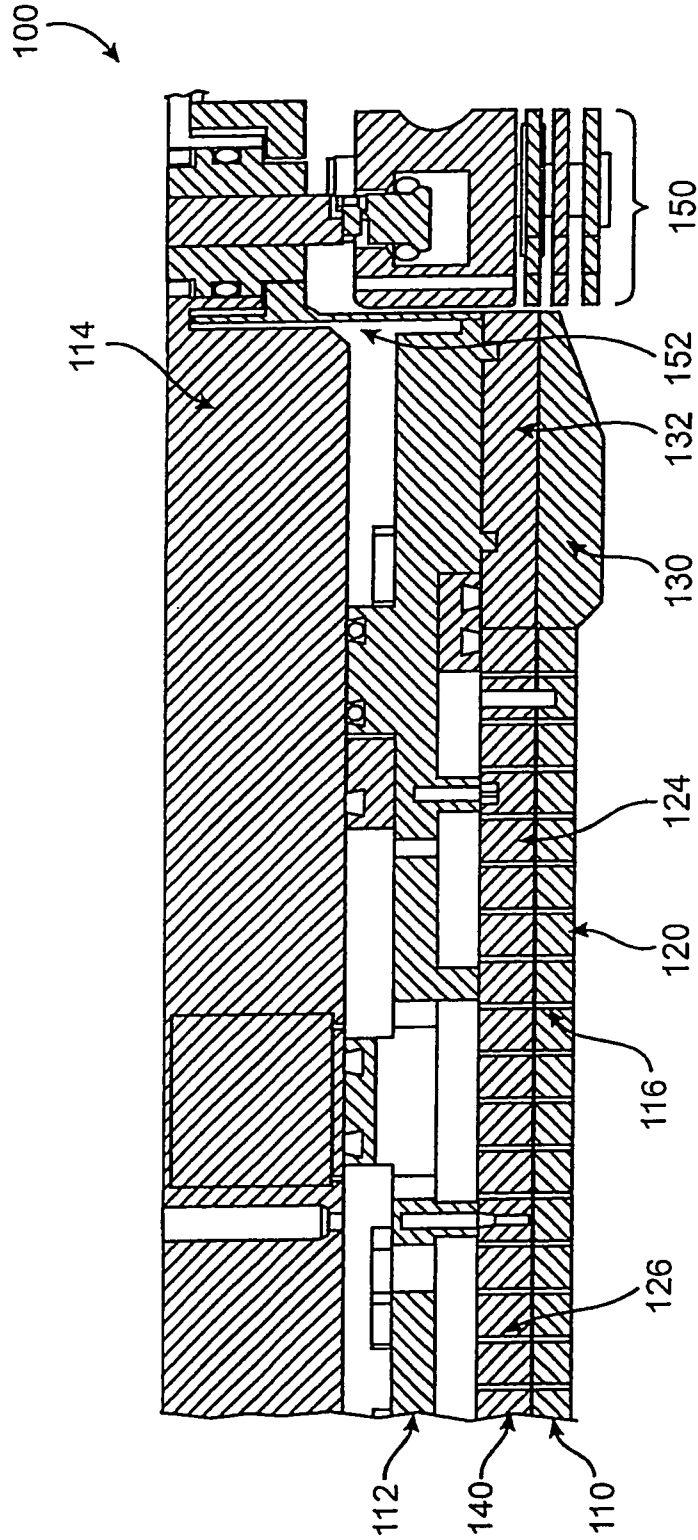


圖1

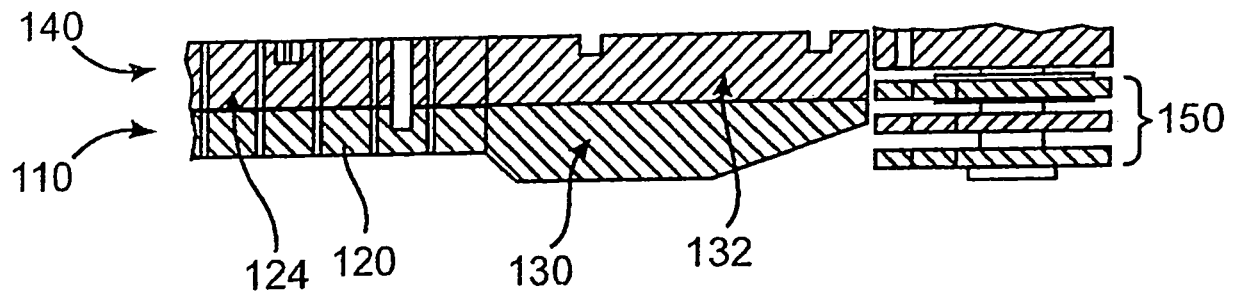


圖2

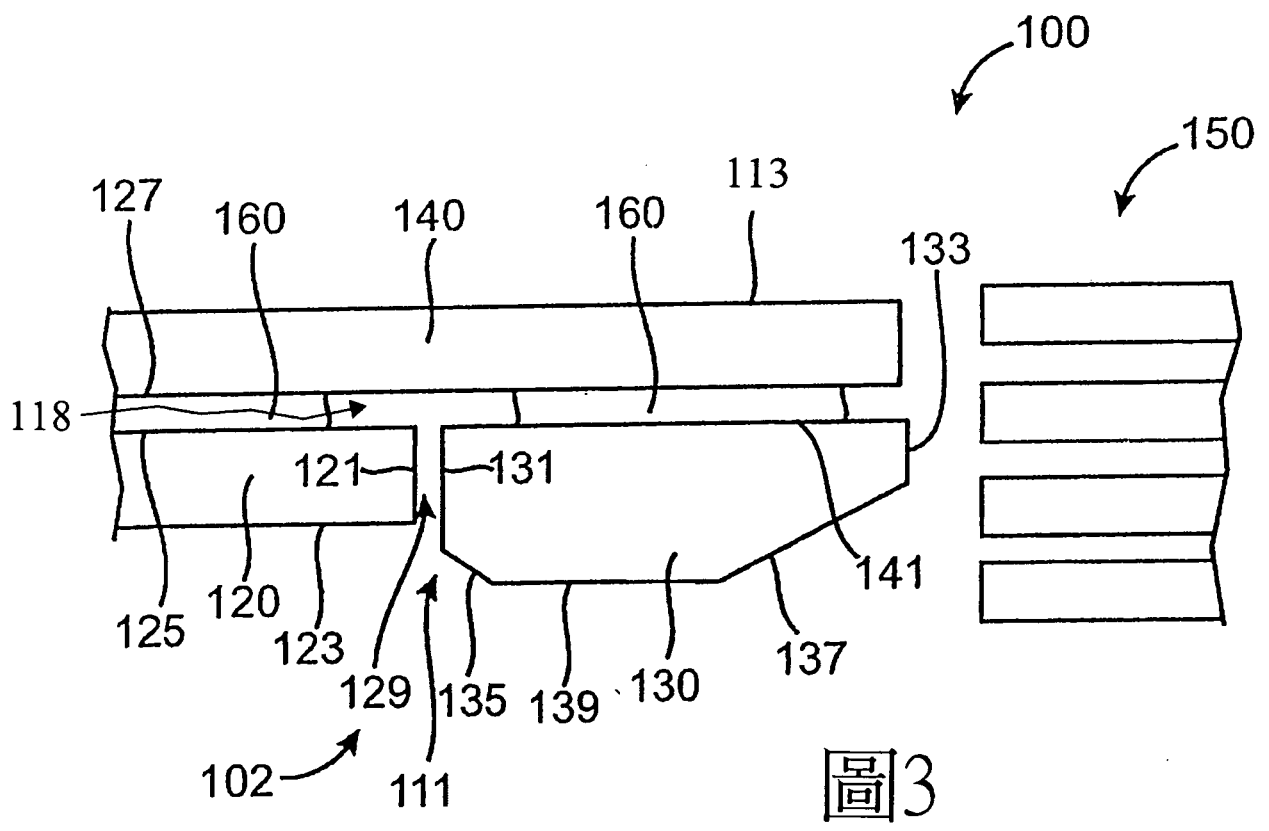


圖3

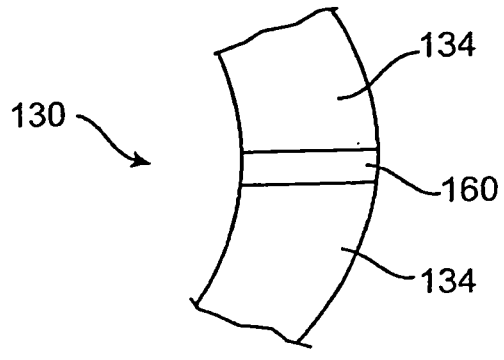


圖4

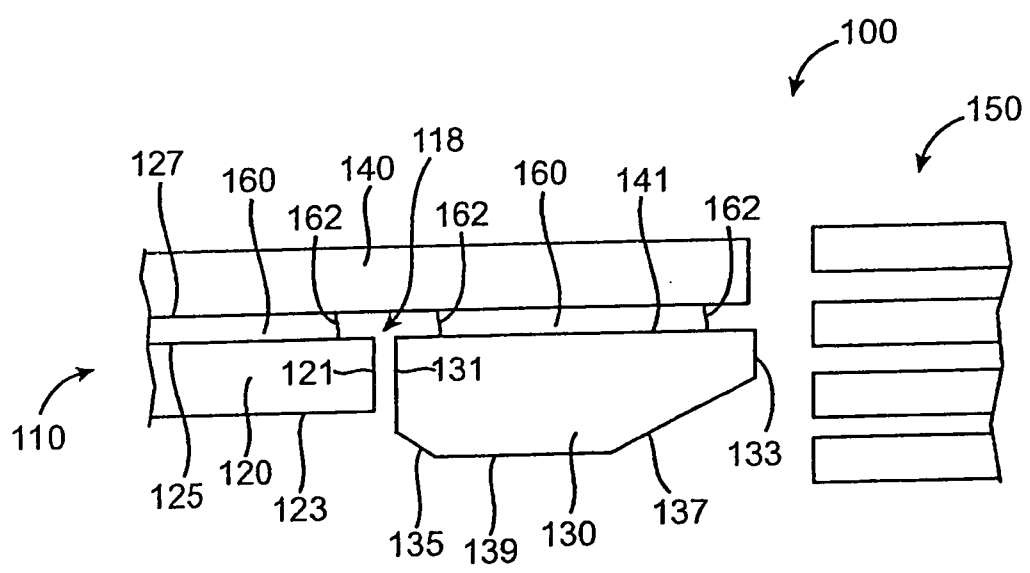


圖5

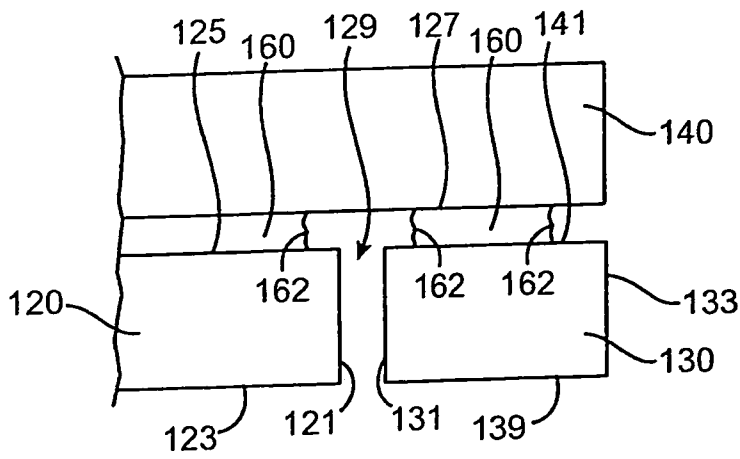


圖6

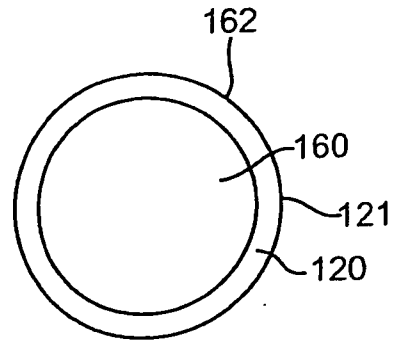


圖7

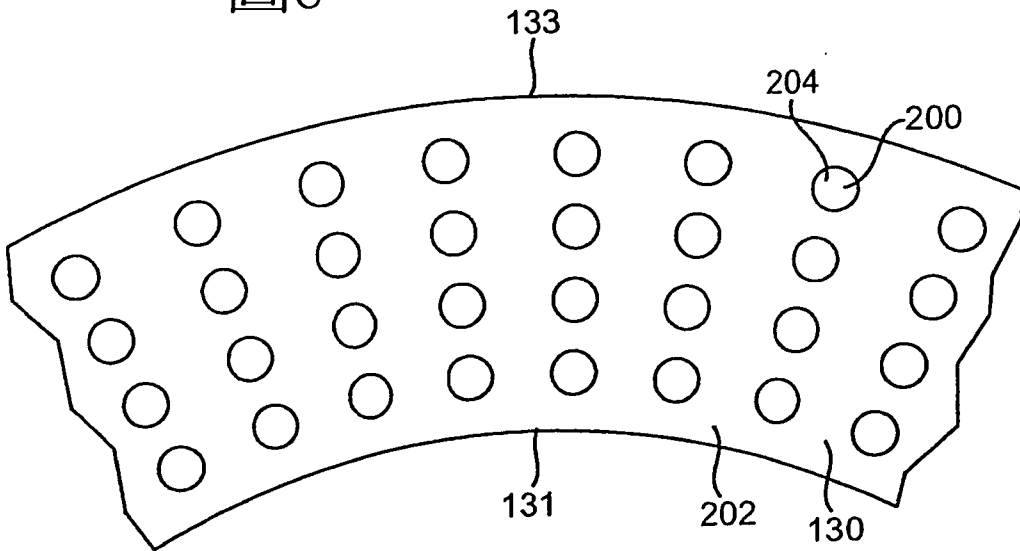


圖8

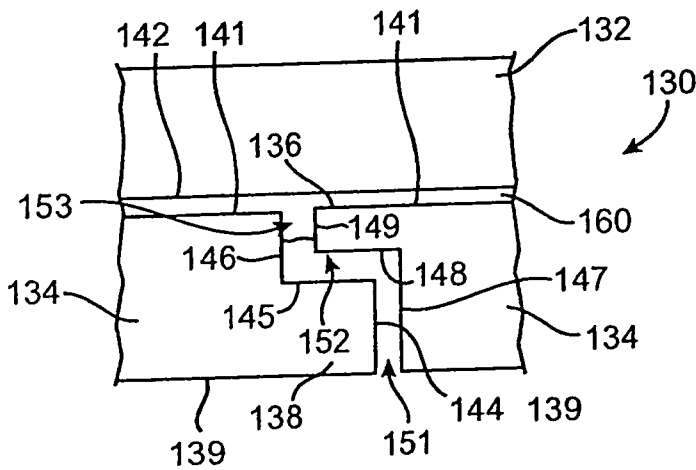


圖9

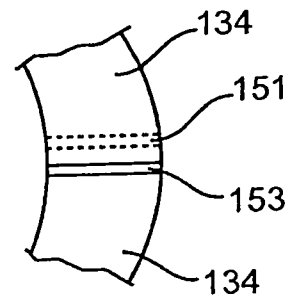


圖10

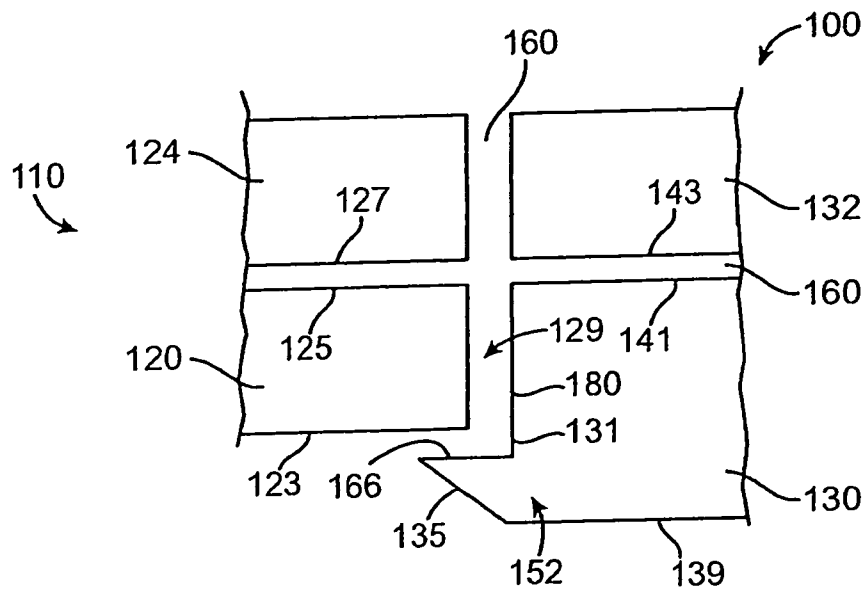


圖 11

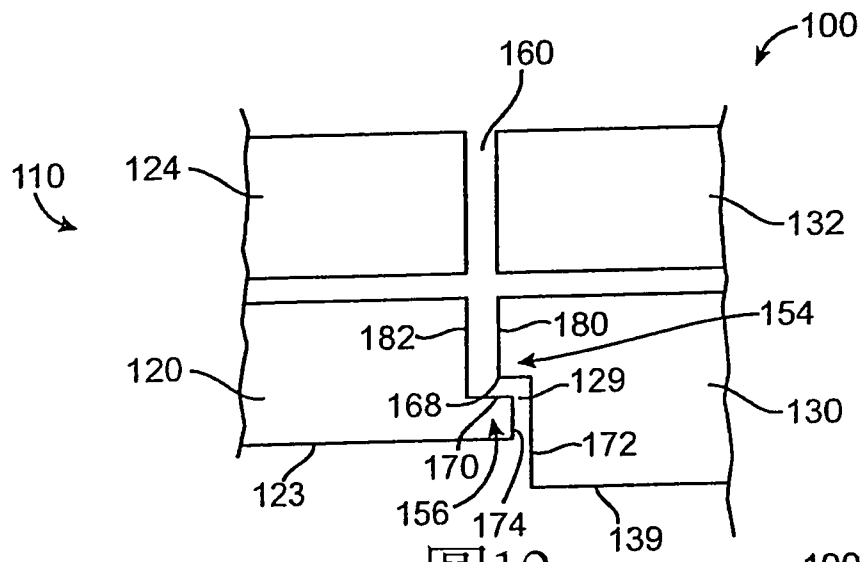


圖 12

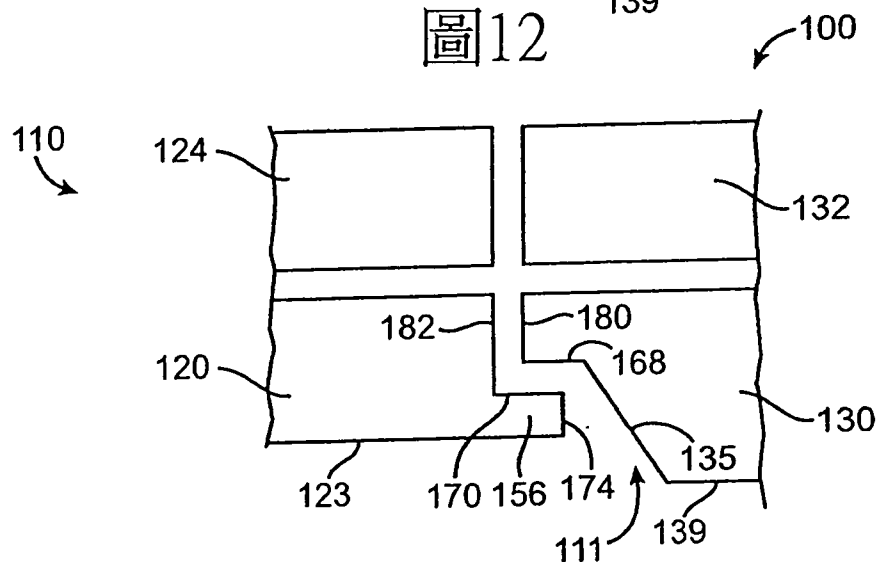


圖 13

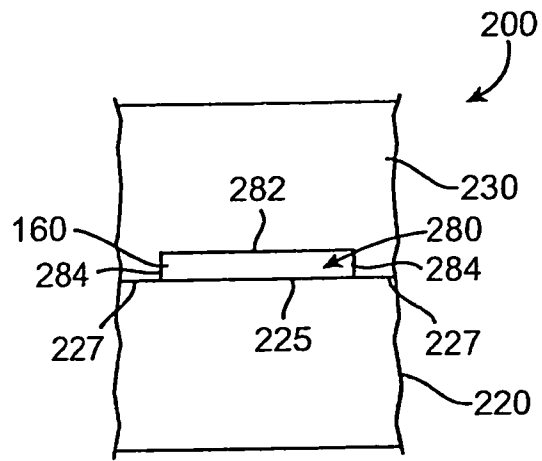


圖14

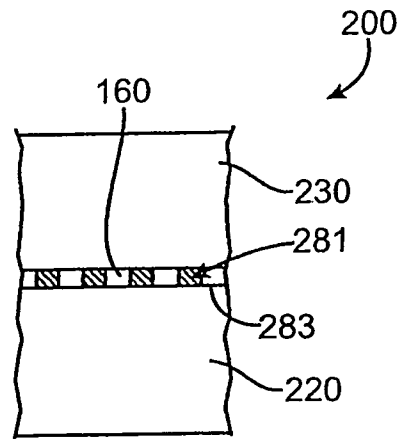


圖15

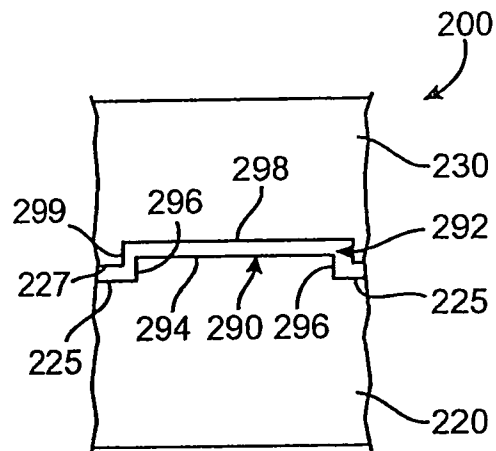


圖16

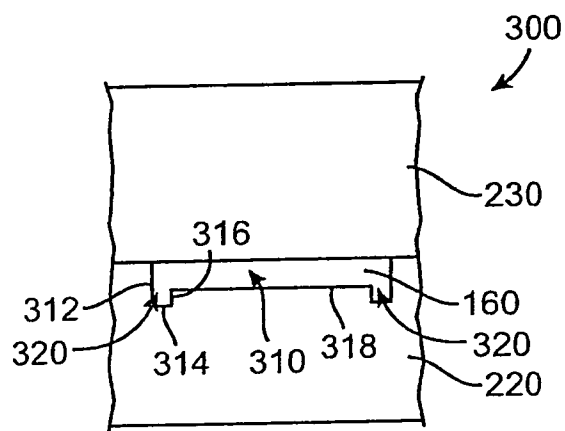


圖17