

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-158513

(P2009-158513A)

(43) 公開日 平成21年7月16日(2009.7.16)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/8247 (2006.01)	HO 1 L 27/10 4 3 4	5 B 1 2 5
HO 1 L 27/115 (2006.01)	HO 1 L 29/78 3 7 1	5 F 0 8 3
HO 1 L 29/788 (2006.01)	G 1 1 C 17/00 6 1 1 G	5 F 1 0 1
HO 1 L 29/792 (2006.01)	G 1 1 C 17/00 6 1 2 F	
G 1 1 C 16/02 (2006.01)	G 1 1 C 17/00 6 2 3 A	

審査請求 未請求 請求項の数 13 O L (全 21 頁) 最終頁に続く

(21) 出願番号 特願2007-331533 (P2007-331533)
 (22) 出願日 平成19年12月25日 (2007.12.25)

(71) 出願人 503291439
 株式会社GENUSION
 兵庫県尼崎市道意町7丁目1番3号 尼崎
 リサーチ・インキュベーションセンター
 (74) 代理人 100123940
 弁理士 村上 辰一
 (72) 発明者 味香 夏夫
 兵庫県尼崎市道意町7丁目1番3号 尼崎
 リサーチインキュベーションセンター 株
 式会社GENUSION内
 (72) 発明者 宿利 章二
 兵庫県尼崎市道意町7丁目1番3号 尼崎
 リサーチインキュベーションセンター 株
 式会社GENUSION内

最終頁に続く

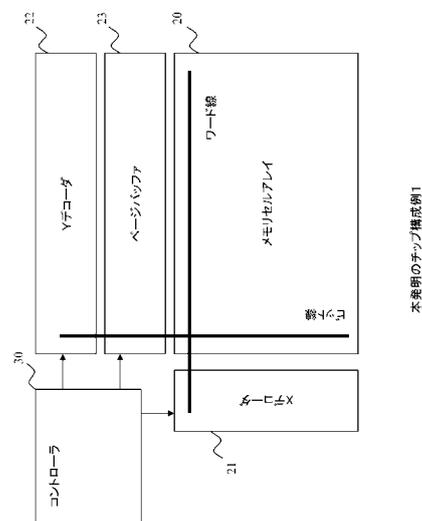
(54) 【発明の名称】 不揮発性半導体記憶素子、不揮発性半導体記憶装置、不揮発性半導体記憶素子のデータ書き込み方法、および、不揮発性半導体記憶装置のデータ書き換え方法

(57) 【要約】

【課題】 スケーラビリティが高く、ビットまたはバイト単位の書き換えが可能な不揮発性半導体記憶装置を提供する。

【解決手段】 不揮発性半導体記憶素子をマトリクスに配列し、Y側にページバッファを設ける。1本のワード線に接続されたメモリセルのデータをページバッファに読み出したのち、これらのメモリセルのデータを消去する。そして、ページバッファに読み出したデータのうち1または複数のデータを書き換え、書き換えられたページバッファの内容を前記1本のワード線に接続された各メモリセルに書き戻す。これを高速に行うことにより、ビットまたはバイト単位の書き換えをエミュレートする。

【選択図】 図12



【特許請求の範囲】

【請求項 1】

半導体基板に形成された n 型ウエルと、

前記 n 型ウエル表面に所定の間隔を開けて形成された第 1 の p + 領域、第 2 の p + 領域および第 3 の p + 領域と、

前記 n 型ウエルの前記第 1、第 2 の p + 領域間を第 1 のチャンネル領域とし、この第 1 のチャンネル領域の上方に形成された第 1 のゲート絶縁膜および第 1 のゲート電極と、

前記 n 型ウエルの前記第 2、第 3 の p + 領域間を第 2 のチャンネル領域とし、この第 2 のチャンネル領域の上方に形成されたトンネル絶縁膜、電荷蓄積層、第 2 のゲート絶縁膜および第 2 のゲート電極と、

を有する不揮発性半導体記憶素子であって、

前記第 1 のゲート絶縁膜の厚さが、標準電源電圧 (V c c) 用のトランジスタのゲート絶縁膜の厚さ、または、外部入出力 (I / O) 用のトランジスタのゲート絶縁膜の厚さと同じであることを特徴とする不揮発性半導体記憶素子。

【請求項 2】

半導体基板に形成された n 型ウエルと、

前記 n 型ウエル表面に所定の間隔を開けて形成された第 1 の p + 領域、第 2 の p + 領域および第 3 の p + 領域と、

前記 n 型ウエルの前記第 1、第 2 の p + 領域間を第 1 のチャンネル領域とし、この第 2 のチャンネル領域の上方に形成された第 1 のゲート絶縁膜および第 1 のゲート電極と、

前記 n 型ウエルの前記第 2、第 3 の p + 領域間を第 2 のチャンネル領域とし、この第 2 のチャンネル領域の上方に形成されたトンネル絶縁膜、電荷蓄積層、第 2 のゲート絶縁膜および第 2 のゲート電極と、

を有する不揮発性半導体記憶素子であって、

前記第 1 のゲート絶縁膜の厚さと前記トンネル絶縁膜の厚さが同じであることを特徴とする不揮発性半導体記憶素子。

【請求項 3】

前記第 2 の p + 領域と前記第 3 の p + 領域の前記第 2 のチャンネル領域との境界付近の構造が異なることを特徴とする請求項 1 または請求項 2 に記載の不揮発性半導体記憶素子。

【請求項 4】

前記第 2 の p + 領域の前記第 2 のチャンネル領域付近の不純物濃度が前記第 3 の p + 領域の前記第 2 のチャンネル領域付近の不純物濃度よりも高いことを特徴とする請求項 3 に記載の不揮発性半導体記憶素子。

【請求項 5】

請求項 1 乃至請求項 2 のいずれかに記載の不揮発性半導体記憶素子を X (行) Y (列) のマトリックスに配列し、各行ごとに設けられたワード線と、各列ごとに設けられたビット線とを有するメモリセルアレイと、

各ワード線の電圧を制御する X デコーダと、

各ビット線の電圧を制御するとともに、各ビット線に現れるセンス電圧を検出する Y デコーダと、

全てのビット線に現れたセンス電圧をバッファするとともに、全てのビット線に印加する書き込み電圧をバッファするページバッファと、

前記 X デコーダ、Y デコーダを制御して各メモリセルに対するデータの書き込み、消去、読み出しを行う制御部と、

を備えた不揮発性半導体記憶装置であって、

前記制御部は、1 本のワード線に接続されたメモリセルのデータを前記ページバッファに読み出したのち、これらのメモリセルのデータを消去し、さらに、前記読み出したデータのうち 1 または複数のデータを書き換えたのち、書き換えられたページバッファの内容を前記 1 本のワード線に接続された各メモリセルに書き戻すよう制御する不揮発性半導体記憶装置。

10

20

30

40

50

【請求項 6】

前記ページバッファが、標準電源電圧 (V_{cc}) 用のトランジスタまたは外部入出力 (I/O) 用のトランジスタと同じ構造に形成されている請求項 5 に記載の不揮発性半導体記憶装置。

【請求項 7】

記憶トランジスタと選択トランジスタからなるメモリセルを X (行) Y (列) のマトリックスに配列し、各行ごとに設けられたワード線と、各列ごとに設けられたビット線とを有するメモリセルアレイと、各ワード線の電圧を制御する X デコーダと、各ビット線の電圧を制御するとともに、各ビット線に現れるセンス電圧を検出する Y デコーダと、全てのビット線に現れたセンス電圧をバッファするとともに全てのビット線に印加する書き込み電圧をバッファするページバッファとを備えた不揮発性半導体記憶装置に、

1本のワード線に接続されたメモリセルのデータを前記ページバッファに読み出す手順、

これらのメモリセルのデータを消去する手順、

前記ページバッファに読み出したデータのうち 1 または複数のデータを書き換える手順、

書き換えたページバッファの内容を前記 1本のワード線に接続された各メモリセルに書き戻す手順、

を実行させることを制御とする不揮発性半導体記憶装置のデータ書き換え方法。

【請求項 8】

半導体基板に形成された n 型ウエルと、前記 n 型ウエル表面に所定の間隔を開けて形成された第 1 の $p+$ 領域、第 2 の $p+$ 領域および第 3 の $p+$ 領域と、前記 n 型ウエルの前記第 1、第 2 の $p+$ 領域間を第 1 のチャンネル領域とし、この第 1 のチャンネル領域の上方に形成された第 1 のゲート絶縁膜および第 1 のゲート電極と、前記 n 型ウエルの前記第 2、第 3 の $p+$ 領域間を第 2 のチャンネル領域とし、この第 1 のチャンネル領域の上方に形成されたトンネル絶縁膜、電荷蓄積層、第 2 のゲート絶縁膜および第 2 のゲート電極と、を有する不揮発性半導体記憶素子にビットデータを書き込む方法であって、

前記 n 型ウエルに電源電圧 (V_{cc}) よりも高電圧の正の書き込みバックゲート電圧 $V_{we11}(p)$ を印加し、前記第 1 のゲート電極に前記第 1 のチャンネル領域を導通状態にする負の電圧 $V_{sg}(p)$ を印加し、前記第 2 のゲート電極に電源電圧よりも高電圧の正の電圧 $V_{cg}(p)$ を印加し、第 1、第 2 の $p+$ 領域を接地電位にすることにより、第 2 の $p+$ 領域と第 2 のゲート電極が接する領域の近傍でバンド間トンネリングにより発生した電子によるホットエレクトロンを発生させ、このホットエレクトロンを前記電荷蓄積層に注入してデータの書き込みを行なうことを特徴とする不揮発性半導体記憶素子のデータ書き込み方法。

【請求項 9】

半導体基板に形成された n 型ウエルと、

前記 n 型ウエル表面に所定の間隔を開けて形成された第 1 の $p+$ 領域、第 2 の $p+$ 領域および第 3 の $p+$ 領域と、

前記 n 型ウエルの前記第 1、第 2 の $p+$ 領域間を第 1 のチャンネル領域とし、この第 1 のチャンネル領域の上方に形成された第 1 のゲート絶縁膜および第 1 のゲート電極と、

前記 n 型ウエルの前記第 2、第 3 の $p+$ 領域間を第 2 のチャンネル領域とし、この第 2 のチャンネル領域の上方に形成されたトンネル絶縁膜、電荷蓄積層、第 2 のゲート絶縁膜および第 2 のゲート電極と、

を有する不揮発性半導体記憶素子あって、

前記第 2 の $p+$ 領域と前記第 3 の $p+$ 領域の前記第 2 のチャンネル領域との境界付近の構造が異なることを特徴とする不揮発性半導体記憶素子。

【請求項 10】

前記第 2 の $p+$ 領域の前記第 2 のチャンネル領域付近の不純物濃度が前記第 3 の $p+$ 領域の前記第 2 のチャンネル領域付近の不純物濃度よりも高いことを特徴とする請求項 9 に記載

10

20

30

40

50

の不揮発性半導体記憶素子。

【請求項 1 1】

X (行) Y (列) のマトリクス状に配列された請求項 1 または請求項 2 に記載の複数の不揮発性半導体記憶素子 (以下メモリセルと呼ぶ) と、前記マトリクスの各行毎に設けられ、同じ行のメモリセルの第 2 のゲート電極に接続されるワード線と、を有する n 型ウェルブロック、および、Y 方向に形成されたゲート電圧供給線と、前記各ワード線毎に設けられ、各ワード線を前記ゲート電圧供給線に対して開閉するトランスファゲートと、を有する p 型ウェルブロック、を対応づけたペアを X 方向に複数配列したメモリセルアレイと、

前記メモリセルアレイの各行ごとに設けられ、同じ行のトランスファゲートのゲート電極に接続されるワード線選択線と、

前記メモリセルアレイの各行ごとに設けられ、同じ行のメモリセルの前記第 1 のゲート電極に接続されるメモリセル選択線と、

前記メモリセルアレイの各列ごとに設けられ、同じ行のメモリセルの前記第 1 の p + 領域に接続されるビット線と、

前記メモリセルアレイの各メモリセルの前記第 3 の p + 領域に接続されるソース線と、を備えた不揮発性半導体記憶装置。

【請求項 1 2】

各 n 型ウェルブロックに、データの書込単位の列数 (1 バイト) ずつの前記メモリセルが配列されている請求項 1 1 に記載の不揮発性半導体記憶装置。

【請求項 1 3】

請求項 1 1 または請求項 1 2 に記載の不揮発性半導体記憶装置のメモリセルに記憶されているデータを消去する方法であって、

1 本のゲート電圧供給線に負の高電圧を印加するとともに、1 本のワード線選択線に前記ゲート電圧供給線に印加された電圧よりも高い電圧を印加することにより、

前記 1 本のゲート電圧供給線が属する p 型ウェルブロックに対応する n 型ウェルブロックの、前記 1 本のワード線に接続されているメモリセルのみの記憶内容を消去する不揮発性半導体記憶装置のデータ消去方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ビットまたはバイト単位の書き換えを可能にした不揮発性半導体記憶装置に関するものである。

【背景技術】

【0002】

近年、あらゆる機器にマイコン等の L S I が組み込まれるようになり、これに伴いこれら多くの L S I それぞれに小～中容量のデータを不揮発に記憶させておきたいという要求が高まってきている。このような目的のためには、中程度の容量でよいので小さな単位 (バイト～数バイト程度) でのデータの書き換えが可能な不揮発性メモリが要求される。

【0003】

従来より、このような用途に用いられていた記憶素子として E E P R O M がある。しかし E E P R O M は、セルサイズが大きいうえに動作電圧も高いのでスケラビリティに劣り、現在でも 1 M ビット程度の容量しか実現していない。すなわち、(1) 動作電圧に 20 V 程度の電圧が必要であるため、選択トランジスタ、メモリセルトランジスタのチャンネル長を短くすることができずスケラリング困難、(2) トンネル領域 (ドレイン領域とオーバーラップする薄い酸化膜領域) を形成する必要があるため、記憶トランジスタが大型化する、(3) 構造が複雑でありセル面積のスケラリングが困難というような問題点があった。

【0004】

一方、N A N D 型に代表されるフラッシュメモリが、大容量且つ低価格で現在広く普及

10

20

30

40

50

している。しかし、フラッシュメモリは、書込み単位がバイト～ページ（1kバイト程度）、消去単位はページ（1kバイト程度）～ブロック（64kバイト程度）であり、上記の組み込み用途で要求される書き換え単位を満足するものではなかった。

【0005】

従来、pFLASH（登録商標）（特許文献1参照）およびNeoFlash（登録商標）（特許文献2参照）のようなメモリが提案されている。

【0006】

【特許文献1】国際公開第99/19880号パンフレット

【特許文献2】米国特許第7250654号明細書

【発明の開示】

10

【発明が解決しようとする課題】

【0007】

上に述べたpFLASH（登録商標）、NeoFlash（登録商標）は、ともに2つのトランジスタで構成されたメモリセルからなるメモリデバイスであるが、Pチャネルトランジスタで構成されているため、Nチャネルトランジスタで構成されていた従来のEEPROMに比べて動作電圧が比較的低く、セル面積も比較的小さくなっている。

【0008】

しかし、いずれのメモリデバイスもバイト単位の書き換えは不可能であり、メモリセルのゲート長のスケラビリティもNOR型フラッシュメモリと同程度の100nm程度が限界であった。

20

【0009】

pFLASH（登録商標）（特許文献1参照）は、書き込みにBTBTホットエレクトロン注入を用い、書き込み時の消費電流を小さくしているが、このためにドレインに高電圧（電源電圧よりも絶対値の大きい負の電圧）を印加することが必要であり、選択トランジスタはこの電圧のオン/オフのために長いゲート長が必要になり、記憶トランジスタはパンチスルーを防止するために長いゲート長が必要になるためスケリングが困難である。

【0010】

また、NeoFlash（登録商標）（特許文献2参照）は、書き込みにチャネルホットエレクトロン注入を用いているために書き込み時の消費電流が大きい。また、チャネルホットエレクトロンを発生させるためにドレインに負の高電圧を印加する必要があるため、pFLASH（登録商標）と同様に選択トランジスタ、メモリトランジスタ共にゲート長のスケリングが困難である。

30

【0011】

この発明は、スケラビリティが高く、ビットまたはバイト単位の書き換えが可能な不揮発性半導体記憶装置、および、この不揮発性半導体記憶装置に適した不揮発性半導体記憶素子、不揮発性半導体記憶素子のデータ書き込み方法、不揮発性半導体記憶装置のデータ書き換え方法を提供することを目的とする。

【課題を解決するための手段】

【0012】

40

請求項1の発明は、半導体基板に形成されたn型ウェルと、前記n型ウェル表面に所定の間隔を開けて形成された第1のp+領域、第2のp+領域および第3のp+領域と、前記n型ウェルの前記第1、第2のp+領域間を第1のチャネル領域とし、この第1のチャネル領域の上方に形成された第1のゲート絶縁膜および第1のゲート電極と、前記n型ウェルの前記第2、第3のp+領域間を第2のチャネル領域とし、この第1のチャネル領域の上方に形成されたトンネル絶縁膜、電荷蓄積層、第2のゲート絶縁膜および第2のゲート電極と、を有する不揮発性半導体記憶素子であって、前記第1のゲート絶縁膜の厚さが、標準電源電圧（Vcc）用のトランジスタのゲート絶縁膜の厚さ、または、外部入出力（I/O）用のトランジスタのゲート絶縁膜の厚さと同じであることを特徴とする。

【0013】

50

請求項 2 の発明は、半導体基板に形成された n 型ウエルと、前記 n 型ウエル表面に所定の間隔を開けて形成された第 1 の p + 領域、第 2 の p + 領域および第 3 の p + 領域と、前記 n 型ウエルの前記第 1、第 2 の p + 領域間を第 1 のチャネル領域とし、この第 2 のチャネル領域の上方に形成された第 1 のゲート絶縁膜および第 1 のゲート電極と、前記 n 型ウエルの前記第 2、第 3 の p + 領域間を第 2 のチャネル領域とし、この第 2 のチャネル領域の上方に形成されたトンネル絶縁膜、電荷蓄積層、第 2 のゲート絶縁膜および第 2 のゲート電極と、を有する不揮発性半導体記憶素子であって、前記第 1 のゲート絶縁膜の厚さと前記トンネル絶縁膜の厚さが同じであることを特徴とする。

【 0 0 1 4 】

請求項 3 の発明は、請求項 1、2 の発明において、前記第 2 の p + 領域と前記第 3 の p + 領域の前記第 2 のチャネル領域との境界付近の構造が異なることを特徴とする。

10

【 0 0 1 5 】

請求項 4 の発明は、請求項 3 の発明において、前記第 2 の p + 領域の前記第 2 のチャネル領域付近の不純物濃度が前記第 3 の p + 領域の前記第 2 のチャネル領域付近の不純物濃度よりも高いことを特徴とする。

請求項 3 に記載の不揮発性半導体記憶素子。

【 0 0 1 6 】

請求項 5 の発明は、請求項 1 乃至請求項 2 のいずれかに記載の不揮発性半導体記憶素子を X (行) Y (列) のマトリックスに配列し、各行ごとに設けられたワード線と、各列ごとに設けられたビット線とを有するメモリセルアレイと、各ワード線の電圧を制御する X デコーダと、各ビット線の電圧を制御するとともに、各ビット線に現れるセンス電圧を検出する Y デコーダと、全てのビット線に現れたセンス電圧をバッファするとともに、全てのビット線に印加する書き込み電圧をバッファするページバッファと、前記 X デコーダ、Y デコーダを制御して各メモリセルに対するデータの書き込み、消去、読み出しを行う制御部と、を備えた不揮発性半導体記憶装置であって、前記制御部は、1 本のワード線に接続されたメモリセルのデータを前記ページバッファに読み出したのち、これらのメモリセルのデータを消去し、さらに、前記読み出したデータのうち 1 または複数のデータを書き換えたのち、書き換えられたページバッファの内容を前記 1 本のワード線に接続された各メモリセルに書き戻すよう制御することを特徴とする。

20

【 0 0 1 7 】

請求項 6 の発明は、請求項 5 の発明において、前記ページバッファが、標準電源電圧 (V c c) 用のトランジスタまたは外部入出力 (I / O) 用のトランジスタと同じ構造に形成されていることを特徴とする。

30

【 0 0 1 8 】

請求項 7 の発明である不揮発性半導体記憶装置のデータ書き換え方法は、記憶トランジスタと選択トランジスタからなるメモリセルを X (行) Y (列) のマトリックスに配列し、各行ごとに設けられたワード線と、各列ごとに設けられたビット線とを有するメモリセルアレイと、各ワード線の電圧を制御する X デコーダと、各ビット線の電圧を制御するとともに、各ビット線に現れるセンス電圧を検出する Y デコーダと、全てのビット線に現れたセンス電圧をバッファするとともに全てのビット線に印加する書き込み電圧をバッファするページバッファとを備えた不揮発性半導体記憶装置に、1 本のワード線に接続されたメモリセルのデータを前記ページバッファに読み出す手順、これらのメモリセルのデータを消去する手順、前記ページバッファに読み出したデータのうち 1 または複数のデータを書き換える手順、書き換えられたページバッファの内容を前記 1 本のワード線に接続された各メモリセルに書き戻す手順、を実行させることを制御とする。

40

【 0 0 1 9 】

請求項 8 の発明である不揮発性半導体記憶素子のデータ書き込み方法は、半導体基板に形成された n 型ウエルと、前記 n 型ウエル表面に所定の間隔を開けて形成された第 1 の p + 領域、第 2 の p + 領域および第 3 の p + 領域と、前記 n 型ウエルの前記第 1、第 2 の p + 領域間を第 1 のチャネル領域とし、この第 1 のチャネル領域の上方に形成された第 1 の

50

ゲート絶縁膜および第1のゲート電極と、前記n型ウェルの前記第2、第3のp+領域間を第2のチャンネル領域とし、この第1のチャンネル領域の上方に形成されたトンネル絶縁膜、電荷蓄積層、第2のゲート絶縁膜および第2のゲート電極と、を有する不揮発性半導体記憶素子にビットデータを書き込む方法であって、前記n型ウェルに電源電圧(Vcc)よりも高電圧の正の書き込みバックゲート電圧Vwell(p)を印加し、前記第1のゲート電極に前記第1のチャンネル領域を導通状態にする負の電圧Vsg(p)を印加し、前記第2のゲート電極に電源電圧よりも高電圧の正の電圧Vcg(p)を印加し、第1、第2のp+領域を接地電位にすることにより、第2のp+領域と第2のゲート電極が接する領域の近傍でバンド間トンネリングにより発生した電子によるホットエレクトロンを発生させ、このホットエレクトロンを前記電荷蓄積層に注入してデータの書き込みを行なうことを特徴とする。

10

【0020】

請求項9の発明は、半導体基板に形成されたn型ウェルと、前記n型ウェル表面に所定の間隔を開けて形成された第1のp+領域、第2のp+領域および第3のp+領域と、前記n型ウェルの前記第1、第2のp+領域間を第1のチャンネル領域とし、この第2のチャンネル領域の上方に形成された第1のゲート絶縁膜および第1のゲート電極と、前記n型ウェルの前記第2、第3のp+領域間を第2のチャンネル領域とし、この第2のチャンネル領域の上方に形成されたトンネル絶縁膜、電荷蓄積層、第2のゲート絶縁膜および第2のゲート電極と、を有する不揮発性半導体記憶装置素子あって、前記第2のp+領域と前記第3のp+領域の前記第2のチャンネル領域との境界付近の構造が異なることを特徴とする。

20

【0021】

請求項10の発明は、請求項9の発明において、前記第2のp+領域の前記第2のチャンネル領域付近の不純物濃度が前記第3のp+領域の前記第2のチャンネル領域付近の不純物濃度よりも高いことを特徴とする。

【0022】

請求項11の発明は、X(行)Y(列)のマトリクス状に配列された請求項1または請求項2に記載の複数の不揮発性半導体記憶素子(以下メモリセルと呼ぶ)と、前記マトリクスの各行毎に設けられ、同じ行のメモリセルの第2のゲート電極に接続されるワード線と、を有するn型ウェルブロック、および、Y方向に形成されたゲート電圧供給線と、前記各ワード線毎に設けられ、各ワード線を前記ゲート電圧供給線に対して開閉するトランスファゲートと、を有するp型ウェルブロック、を対応づけたペアをX方向に複数配列したメモリセルアレイと、前記メモリセルアレイの各行ごとに設けられ、同じ行のトランスファゲートのゲート電極に接続されるワード線選択線と、前記メモリセルアレイの各行ごとに設けられ、同じ行のメモリセルの前記第1のゲート電極に接続されるメモリセル選択線と、前記メモリセルアレイの各列ごとに設けられ、同じ行のメモリセルの前記第1のp+領域に接続されるビット線と、前記メモリセルアレイの各メモリセルの前記第3のp+領域に接続されるソース線と、を備えたことを特徴とする。

30

【0023】

請求項12の発明は、請求項11の発明において、各n型ウェルブロックに、データの書込単位の列数(1バイト)ずつの前記メモリセルが配列されていることを特徴とする。

40

【0024】

請求項13の発明は、請求項11または請求項12に記載の不揮発性半導体記憶装置のメモリセルに記憶されているデータを消去する方法であって、

1本のゲート電圧供給線に負の高電圧を印加するとともに、1本のワード線選択線に前記ゲート電圧供給線に印加された電圧よりも高い電圧を印加することにより、前記1本のゲート電圧供給線が属するp型ウェルブロックに対応するn型ウェルブロックの、前記1本のワード線に接続されているメモリセルのみの記憶内容を消去することを特徴とする。

【発明の効果】

【0025】

この発明によれば、記憶トランジスタ(第2のチャンネル領域のトランジスタ)、選択ト

50

ランジスタ（第1のチャンネル領域のランジスタ）とともにスケラビリティを大幅に向上させることができる。

【0026】

また、この発明によれば、高速且つ多ビットの同時書き込みが可能であるため、書き換え単位がワード線1本分であっても、ワード線1本分を読み出して必要なビットのみ書き換えて書き戻すことができ、外部から見ればビット単位の書き換えをエミュレートすることができる。

【発明を実施するための最良の形態】

【0027】

図面を参照してこの発明の実施形態を説明する。

10

図1はこの発明の実施形態であるメモリセルの断面図である。このメモリセルは、記憶ランジスタと選択ランジスタを有するEEPROM型のメモリセルである。同図(A)がフローティングゲート型EEPROM、同図(B)がMONOS型EEPROMの実施形態を示している。

【0028】

図1(A)において、従来より一般的なフローティングゲート型のEEPROMと異なる点は、ランジスタがPチャンネルMOSランジスタである点、および、選択ランジスタの絶縁膜厚が、周辺回路等に用いられているVccランジスタ、I/Oランジスタの膜厚になっている点である。すなわち、従来のEEPROMのランジスタは、たとえば20Vの電圧(ドレイン・ソース間電圧Vds)をオン/オフできる高耐圧ランジスタで構成されていたが、この実施形態のランジスタは、ロジックLSIで一般的に用いられるランジスタと同じ耐圧になっている点である。

20

【0029】

図1(A)において、P型基板100の表面付近にN型ウェル101が形成されている。このN型ウェル101の内部にメモリセル1が形成される。メモリセル1は、記憶ランジスタ10と選択ランジスタ11からなる。記憶ランジスタ10は、フローティングゲート型のランジスタであり、ソースとなるP+領域104とドレインとなる(且つ選択ランジスタ11のソースとなる)P+領域103との間のチャンネル領域110の上方に形成されたトンネル酸化膜111、フローティングゲート112、ゲート絶縁膜113、コントロールゲート114からなる。ゲート絶縁膜113は、フローティングゲート112とコントロールゲート114との静電容量を大きくするため、窒化膜等の誘電体膜を酸化膜でサンドイッチした構造になっている。

30

【0030】

選択ランジスタ11は、ドレインとなるP+領域102とソースとなるP+領域103との間のチャンネル領域116の上方にゲート絶縁膜117およびセレクトゲート118が形成されたものである。ここで、選択ランジスタ11と記憶ランジスタ10の形成プロセスの共通化を図るため、選択ランジスタ11のセレクトゲート118は、記憶ランジスタ10のゲート絶縁膜113に孔を開け、コントロールゲート114のポリシリコン層をフローティングゲート112まで貫通させた構造になっている。

【0031】

40

ここで、選択ランジスタのドレインとなるP+領域102のチャンネル領域116側、および、記憶ランジスタのソースとなるP+領域104のチャンネル領域110側には、LDD領域であるP-領域105、106がそれぞれ設けられている。このP-領域105、106は、後述の書き込み時にNウェル101に高いバックゲート電圧が印加されたときに望まれないBTBT(バンド間トンネリング)が生じないようにするためのものである。

【0032】

記憶ランジスタ10のコントロールゲート114は、このメモリチップをアレイ状に配列して構成されるメモリアレイのワード線の一部として形成される。記憶ランジスタ10のソース(P+領域)104は、メモリアレイのソース線に接続される。選択ラン

50

ジスタ 11 のドレイン (P + 領域) 102 は、メモリアレイのビット線に接続される。選択トランジスタ 11 のセレクトゲート 118 は、メモリアレイの選択線の一部として形成される。

【 0033 】

図 1 (B) において、同図 (A) と同一構成の部分には同一番号を付す。P 型基板 100 の表面付近に N 型ウェル 101 が形成されている。この N 型ウェル 101 の内部にメモリセル 1 が形成される。メモリセル 1 は、記憶トランジスタ 10 と選択トランジスタ 11 からなる。記憶トランジスタ 10 は、MONOS 型のトランジスタであり、ソースとなる P + 領域 104 とドレインとなる (且つ選択トランジスタ 11 のソースとなる) P + 領域 103 との間のチャンネル領域 110 の上方に形成されたトンネル酸化膜 111、電荷蓄積層 112、ゲート絶縁膜 113、コントロールゲート 114 からなる。電荷蓄積層 112 には、窒化膜等の不導体電荷蓄積膜、ナノクリスタル層等を適用することができる。

10

【 0034 】

選択トランジスタ 11 は、ドレインとなる P + 領域 102 とソースとなる P + 型領域 103 との間のチャンネル領域 116 の上方にゲート絶縁膜 117 およびセレクトゲート 118 が形成されたものである。

【 0035 】

記憶トランジスタ 10 のコントロールゲート 114 は、このメモリチップをアレイ状に配列して構成されるメモリアレイのワード線の一部として形成される。記憶トランジスタ 10 のソース (P + 領域) 104 は、メモリアレイのソース線に接続される。選択トランジスタ 11 のドレイン (P + 領域) 102 は、メモリアレイのビット線に接続される。選択トランジスタ 11 のセレクトゲート 118 は、メモリアレイの選択線の一部として形成される。

20

【 0036 】

図 2 は図 1 に示したメモリセルを X, Y のマトリクスアレイ状に配列して構成したメモリセルアレイの平面図構造である。メモリセル 1 は、Y 方向に 2 個のトランジスタ (V c c または I / O トランジスタと記憶トランジスタ) を並べた構造になっている。このうち、- Y 方向 (図面下側) のトランジスタが記憶トランジスタ 10 であり、+ Y 方向 (図面上側) のトランジスタが選択トランジスタ 11 である。記憶トランジスタ 10 の上方にワード線 C G が X 方向に形成され、選択トランジスタ 11 の上方に選択線 S G が X 方向に形成されている。また、ワード線 C G の下方にソース線 S L、選択線 S G のさらに上方にビット線 B L が形成されている。ビット線 B L は各カラム毎に Y 方向に形成されている。ソース線は、メモリアレイの全メモリセルに共通に形成されている。ビット線 B L とメモリセル 1 の選択トランジスタ 11 のドレイン 102 とはコンタクトプラグで接続される。ソース線 S L とメモリセル 1 の記憶トランジスタ 10 のソース 104 とが接続されている。

30

【 0037 】

図 3 ~ 図 11 を参照してメモリセル 1 の書き込み、消去、読み出しの動作を説明する。図 3 (A) は、書き込み、消去、読み出しの動作条件の対比図である。図 4, 図 5 は、書き込み時の電圧印加条件およびパルスシーケンスを示す図である。図 6, 図 7 は、消去時 (第 1 形態) の電圧印加条件およびパルスシーケンスを示す図である。図 8, 図 9 は、消去時 (第 2 形態) の電圧印加条件およびパルスシーケンスを示す図である。図 10, 図 11 は、読み出し時の電圧印加条件およびパルスシーケンスを示す図である。

40

【 0038 】

まず、図 3 (A)、図 4、図 5 を参照して、このメモリセルにデータを書き込む場合、すなわち、記憶トランジスタをプログラム (書き込み) する場合の動作について説明する。

【 0039 】

このメモリセルの書き込み動作の特徴は、B T B T (バンド間トンネリング) によるホットエレクトロン (B B H E) により、記憶トランジスタをプログラムしている点である

50

。BBHEを用いたプログラムは、チャンネルホットエレクトロン(CHE)を用いたプログラムに比して1000倍程度書き込み効率が高く、1000倍のメモリセルの同時書き込み(高速書き込み)が可能になる。またさらに、このメモリセルの書き込み動作の特徴は、書き込み時にN型ウェル101にバックゲート電圧(例えば8V)を印加することにより、小さいVds(記憶トランジスタのドレイン・ソース間電圧)でドレイン付近にBBHEを発生させている点である。これにより、記憶トランジスタのチャンネル長を短くしてスケール効率を高くすることができるとともに、ビット線を駆動する駆動トランジスタを高速のVccトランジスタ(またはI/Oトランジスタ)で構成することができるため、さらなる高速書き込みが可能になる。

【0040】

イニシャル状態では、ビット線BL、選択ゲートSG、コントロールゲートCG、ソース線SLが全てVcc(またはI/O電圧:以下、図3~図11の説明において同じ)である。

【0041】

(1) 予め非選択セルの選択ゲートをVsg(p)(たとえば-3V)にして非選択セルの選択トランジスタをオンしておき、NウェルにVwell(p)(たとえば8V)のバックゲート電圧を印加する。このバックゲート電圧の印加で選択セルにおいてBBHEが発生しやすくなる。非選択セルは選択トランジスタがオンしているため、記憶トランジスタのドレイン(選択トランジスタのソース)はVccに保たれ、Nウェルとのカップリングで電圧が上昇することがない。

非選択セルの選択ゲート電圧は、Nウェルの電圧がVwell(p)に安定したのちVccに戻す。

【0042】

(2) 次に、選択セルのビット線を0Vにし、選択ゲートをVsg(p)(たとえば-3V)まで低下させて選択トランジスタ11をオンさせるとともに、コントロールゲートCGの電圧をVcg(p)(たとえば8V)まで上昇させる。これにより、記憶トランジスタ10のドレイン(P+領域)103が0Vになり、Nウェルとの電位差によってドレイン近傍にBBHEが発生する。このBBHEがコントロールゲートCGの電圧によって吸引され、電荷蓄積層(フローティングゲートを含む)に注入される。

【0043】

(3) こののち、選択セルのビット線、選択ゲート、コントロールゲートをVccにもどし、Nウェルの電圧をVccにもどすことで書き込みが終了する。

【0044】

なお、(2)の動作時に、選択セルとワード線を共有する非選択セルに対する影響を軽減するために非選択セルのビット線にインヒビット電圧Vubl(p)(Vcc、Vioの2倍程度)を印加してもよい。

【0045】

また、上記(1)の動作では、NウェルにVwell(p)のバックゲート電圧を印加するまえに、予め非選択セルの選択ゲートをVsg(p)にして非選択セルの選択トランジスタをオンしているが、これに代えて、図5に点線で示すように、非選択セルのコントロールゲートをVucg(p)(たとえば-3V)まで低下させることによって選択トランジスタをオンするようにしてもよい。

【0046】

図3(A)、図6、図7を参照して、メモリセルのデータを消去する動作(第1形態)を説明する。この消去動作はFN(Fowler-Nordheim)トンネル電流による電荷の引き抜き動作である。

【0047】

イニシャル状態では、ビット線BL、選択ゲートSG、コントロールゲートCG、ソース線SLが全てVccであり、全てのメモリセルの選択トランジスタはオフしている。

【0048】

10

20

30

40

50

この状態で、選択セル（選択行）のコントロールゲートに消去電圧 $V_{cg}(e1)$ （たとえば $-20V$ ）を印加する。これにより、電荷蓄積層から基板に向けて電荷が引き抜かれ、記憶トランジスタがイレーズされる。

【0049】

図3(A)、図8、図9を参照して、メモリセルのデータを消去する動作（第2形態）を説明する。この消去動作も第1形態と同様のFNトンネル電流による電荷の引き抜き動作であるが、メモリセル（メモリセルアレイ）全体を $10V$ 程度バイアスすることにより、コントロールゲートに印加する消去電圧を $-10V$ 程度に低下（絶対値）させている。これにより、コントロールゲートを駆動するトランジスタに耐圧の低い高速なものを用いることを可能にしている。

【0050】

選択セル（行）のコントロールゲートを除く全ての電圧、すなわち、Nウェル、ソース線、選択セルのビット線、選択セルの選択ゲート、非選択セルのビット線、非選択セルの選択ゲート、非選択セルのコントロールゲートに、それぞれ、 $V_{well}(E2)$ 、 $V_{s1}(E2)$ 、 $V_{b1}(E2)$ 、 $V_{sg}(E2)$ 、 $V_{b1}(E2)$ 、 $V_{sg}(E2)$ 、 $V_{ucg}(E2)$ の電圧を印加する。これらの電圧はほぼ同じ電圧でよく、たとえば $10V$ とする。なお、Nウェルは静電容量が大きく電圧の遷移に時間が掛かるため、図9に示すように他の電圧よりも若干早く印加を開始すればよい。そして、同時に選択セルのコントロールゲートを $V_{cg}(E2)$ （たとえば $-10V$ ）まで低下させる。すなわち、バイアス電圧と選択セルのコントロールゲート電圧の和がFNを生じる電圧になっていればよい。

【0051】

図3(A)、図10、図11を参照して、メモリセルのデータを読み出す動作を説明する。選択セルのビット線の V_{cc} 電圧の印加を解除するとともに、選択ゲートを $0V$ に低下させて選択トランジスタをオンさせる。そして、記憶トランジスタのコントロールゲートを所定の電圧まで低下させる。どこまでこの低下させる電圧値 $V_{cg}(R)$ は、記憶トランジスタの仕様によって、すなわち、プログラム時のしきい値電圧を何 V に設定するかによって決定される。プログラム時に記憶トランジスタがデプレッションする場合には、選択トランジスタをオンするのみ（コントロールゲートの電圧はそのまま）で読み出しを行うことができる。これにより、ビット線には記憶トランジスタのオン/オフに応じた電流が流れ、これを読み出し回路（センスアンプ）で検出することにより読み出しが行われる。

【0052】

上に説明した書き込み時、消去時、読み出し時に各部に種々の電圧を印加するが、その電圧の大小関係式を図3(B)に示しておく。なお、この式において“=”は同じ電源回路から供給される等の実質的に等しいことを意味するものであり、厳密に同電圧であることを意味するものではない。

【0053】

図12は、上述のメモリセルを X （行）、 Y （列）のマトリクスに配列したメモリセルアレイを備えたメモリデバイスの構成例を示す図である。また、図13は、このメモリデバイスに組み込まれるページバッファの1セル分の回路ブロック図である。ページバッファは、このセンスアンプ、書込バッファを全てのビット線に対応する個数（たとえば 1024 個）備えている。

【0054】

メモリセルアレイ20は、たとえば、 X （行）方向に $1024 \times Y$ （列）方向に 1024 の上記メモリセルが配列されている。各行ごとにワード線および選択線が設けられ、各列ごとにビット線が設けられている。各ワード線、各選択線は X デコーダ21によって駆動される。また、各ビット線は Y デコーダ22によって駆動される。 Y デコーダ22とメモリセルアレイとの間にはページバッファ23が接続されている。ページバッファ23は

10

20

30

40

50

、ワード線 1 本分のメモリセル（この例の場合 1 0 2 4 個）のデータをバッファする。ページバッファ 2 3 は、メモリセルから読み出されたデータをバッファするとともに、メモリセルに書き込むデータをバッファする。

【 0 0 5 5 】

X デコーダ 2 1、Y デコーダ 2 2、ページバッファ 2 3 の動作は、コントローラ 3 0 によって制御される。コントローラは、外部からの指示に応じて所定のメモリセルへのデータの書き込み、消去、および、所定のメモリセルからのデータの読み出しを制御する。

【 0 0 5 6 】

このメモリデバイスにおいて、特徴的な動作は、1 ビット書き換えのエミュレート動作である。

【 0 0 5 7 】

このメモリデバイスは、ワード線 1 本分のデータをバッファするページバッファ 2 3 を備えているとともに、B B H E 書き込みにより、ワード線 1 本分のデータの高速同時書き込みが可能であり、且つ、各メモリセルに選択トランジスタを備えたことにより、ワード線を共有するメモリセルの単位でデータの消去が可能である。そこで、コントローラ 3 0 に以下の制御をさせることにより、1 ビット単位のデータ書き換えをエミュレートすることができる。

【 0 0 5 8 】

(1) 1 本のワード線に接続されたメモリセルのデータを全てページバッファ 2 3 に読み出す。

(2) このワード線に接続されたメモリセルのデータを消去する。

(3) ページバッファに読み出したデータのうち、外部から書き換えを要求された 1 または複数のデータを書き換える。

(4) この書き換えられたページバッファの内容を前記 1 本のワード線に接続された元のメモリセルに書き戻す。

なお、上記 (2) と (3) の動作は逆の順序であってもよい。

【 0 0 5 9 】

また、図 1 4 ~ 図 1 6 は、メモリデバイスの他の実施形態を示す図である。これらの実施形態は、図 1 2 のメモリデバイスとページバッファの接続形態が異なっている。図 1 4 の実施形態では、Y デコーダ 2 2 から見てページバッファ 2 3 がメモリセルアレイ 2 0 の反対側になるように配置されている。また、図 1 5 の実施形態では、メモリセルアレイ 2 0 から見てページバッファ 2 3 が Y デコーダの反対側になるように配置されている。また、図 1 6 の実施形態では、Y デコーダ 2 2 (2 2 A , 2 2 B) およびページバッファ 2 3 (2 3 A , 2 3 B) をメモリセルアレイ 2 0 の Y 側 (上)、- Y 側 (下) の両側に設け、上側の Y デコーダ 2 2 A、ページバッファ 2 3 A には奇数番のビット線のデコードおよびバッファを行わせ、下側の Y デコーダ 2 2 B、ページバッファ 2 3 B には偶数番のビット線のデコードおよびバッファを行わせるようにしている。Y デコーダ 2 2、ページバッファ 2 3 の回路は、メモリセルに比べて大きいため、このように上下に分割することにより、スペース的に余裕ができ、メモリセル (メモリセルアレイ) のスケーリング効率をより活かすことができる。

メモリセルアレイの他の実施形態

以上の実施形態は、各行ごと 1 本のワード線を設けたメモリセルアレイの例を示した。すなわち、X Y 方向にマトリクス状に複数のメモリセルを配列したメモリセルアレイに、各行ごとにワード線および選択線を配置するとともに、メモリセルアレイ全体に共通のソース線を配した構成であった。

【 0 0 6 0 】

以下に説明する第 2 の実施形態のメモリセルアレイは、メモリセルアレイを行 (X) 方向に 1 バイトずつに分割し、ワード線を分割した 1 バイト毎に別々に設けた構成になっている。ここで、1 バイトとは、データの読み書きの単位 (たとえばデータバス幅) の意であり、8 ビットに限定されるものではない。

10

20

30

40

50

このような構成にすることにより、書き換え（読み出し 消去 書き込み）を1バイト単位で行うことができる。

【0061】

図17～図20は、第2の実施形態のメモリセルアレイの構成を示す平面図であり、且つ、図17は書き込み時の電圧印加条件を示し、図18は消去時（第1形態）の電圧印加条件を示し、図19は消去時（第2形態）の電圧印加条件を示し、図20は読み出し時の電圧印加条件を示している。

【0062】

図17～図20において、メモリセルアレイ100を構成する各メモリセル101は、図1、図2に示したものと同様である。各メモリセルが配置されるNウェル102は、1バイト（同図では4ビット：4列）単位のバイトブロック（n型ウェルブロック）102-nに分割され、分割された各Nウェルの間にPウェル（p型ウェルブロック）103-nが形成されている。メモリセル選択線SGは、複数のバイトブロックを横切ってメモリセルアレイの行方向全体にわたって各行毎に形成されている。一方ワード線CGは、各バイトブロック単位で各行毎に設けられている。バイト単位の各ワード線CGは、トランスファゲートTrを介してゲート電圧供給線MGに接続されている。トランスファゲートTrは、バイト単位の各ワード線CGごとにPウェル103内に形成される。同一のPウェル103-n内に形成され、列（Y）方向に配列されているトランスファゲートTrは、同一のゲート電圧供給線MGに接続されている。また、複数のバイトブロック102-nにわたって同じ行に配列されているトランスファゲートTrのゲートは、メモリセルアレイ100の行方向全体にわたって設けられているワード線選択線WLSGに接続されている。

10

20

【0063】

以上の構成のメモリセルアレイにおいて、図3～図11に示した第1実施形態の書き込み電圧、消去電圧、読み出し電圧のうち、ワード線（コントロールゲート）に印加されるべき電圧が書き換え（読み出し、消去または書き込み）を行いたいバイトが存在するバイトブロックのゲート電圧供給線MGに印加される。各ビット線、ソース線、各Nウェル、各選択線（選択ゲート）に印加される電圧は第1実施形態と同様である。

【0064】

また、この実施形態では、書き換えを行いたいバイトのワード線CGのみに電圧を印加してバイト単位の書き換えを行うために、ワード線選択線WLSGおよび各Pウェルに以下のような電圧を印加する。

30

【0065】

図17に示す書き込み時においては、書き込みバイト110のワード線CGに電圧を印加するトランスファゲートTrのゲート電圧をゲート電圧供給線MGに印加される電圧と同電圧にして、トランスファゲートTrをオンする。ここでは、ゲート電圧供給線MGに10Vが印加されているため、書き込みバイトのトランスファゲートTrのゲートにも10Vを印加する。すなわち選択されたワード線選択線WLSGに10Vを印加する。他の（非選択の）ゲート電圧供給線MGは0Vであり、他の（非選択の）ワード線選択線WLSGは0Vである。Pウェルは全て0Vである。

40

【0066】

図18に示す第1形態の消去時においては、消去バイト111のワード線（コントロールゲート）に電圧を印加するゲート電圧供給線MGに-20Vを印加するとともに、このゲート電圧供給線MGに対応するPウェル103-1にも-20Vを印加する。そして、選択されたワード線選択線WLSGを0Vにして消去バイトのトランスファゲートTrをオンし、非選択のワード線選択線WLSGには-20Vを印加して非選択のトランスファゲートをオフする。なお、非選択のゲート電圧供給線MGおよび非選択のPウェル103-nは0Vである。

【0067】

図19に示す第2形態の消去時においては、消去バイト111のワード線（コントロー

50

ルゲート)に電圧を印加するゲート電圧供給線MGに-10Vを印加するとともに、このゲート電圧供給線MGに対応するPウェル103-1にも-10Vを印加する。そして、選択されたワード線選択線WLSGを0Vにして消去バイトのトランスファゲートTrをオンし、非選択のワード線選択線WLSGには-10Vを印加して非選択のトランスファゲートをオフする。この消去動作では、図8、図9に示したように、消去バイトが配置されているNウェル102-1のみ10Vが印加される。なお、非選択のゲート電圧供給線MGおよび非選択のPウェル103-nは0Vであり、非選択のNウェル102-nには1.8V程度の電圧(VccまたはIO電圧)が印加される。

【0068】

図20に示す読み出し時においては、選択されたゲート電圧供給線MGに所定の電圧(-2V/0V/1.8V)が印加される。どのような電圧が印加されるかは、メモリセルの記憶トランジスタの仕様によって決定される。読み出しバイトのトランスファゲートは、選択されたワード線選択線WLSGに3Vが印加されることによりオンされる。他の非選択のワード線選択線WLSGには、ゲート電圧に応じて-2V~0V程度の電圧が印加される。また、読み出しバイト112のトランスファゲートが配置されるPウェル103-1も同様に、ゲート電圧に応じて-2V~0V程度の電圧が印加される。他の非選択のPウェル103の電圧は0Vである。

【0069】

なお、トランスファゲートTrが形成されるPウェル103-1~nは、共通に形成され、同じ電位に制御されてもよい。

【0070】

図21は、図17~図20に示したメモリセルアレイを備えたメモリデバイスの構成例を示す図である。メモリセルアレイ30のY側周辺には、ビット線を制御するセンスアンプ・書込ドライバ回路31およびゲート電圧供給線を制御するMGドライバ32が設けられている。これらの回路は、書込/読出の単位(1バイト)に対応する数設けられ、書込/読出が行われるビット線、MG線にアサインされる。また、X側周辺には選択線SGを制御するSGドライバ33およびワード線選択線WLSGを制御するWLSGドライバ34が設けられている。各ドライバ31~34の動作は制御回路・電源回路35によって制御される。

以上の構成および電圧印加条件により、バイト単位の書き込み、消去、読み出しが可能になる。

【図面の簡単な説明】

【0071】

【図1】この発明の実施形態であるメモリセル(不揮発性半導体記憶素子)の断面構成図

【図2】同メモリセルを配列したメモリセルアレイの平面構成図

【図3】前記メモリセルの書き込み、消去、読み出しの動作条件の対比図

【図4】前記メモリセルの書き込み電圧印加条件を示す図

【図5】前記メモリセルの書き込み時のパルスシーケンスを示す図

【図6】前記メモリセルの消去(第1態様)電圧印加条件を示す図

【図7】前記メモリセルの消去(第1態様)時のパルスシーケンスを示す図

【図8】前記メモリセルの消去(第2態様)電圧印加条件を示す図

【図9】前記メモリセルの消去(第2態様)時のパルスシーケンスを示す図

【図10】前記メモリセルの読み出し電圧印加条件を示す図

【図11】前記メモリセルの読み出し時のパルスシーケンスを示す図

【図12】前記メモリセルを備えたメモリデバイスの概略構造図

【図13】前記メモリデバイスのページバッファのブロック図

【図14】前記メモリデバイスの他の実施形態を示す図

【図15】前記メモリデバイスの他の実施形態を示す図

【図16】前記メモリデバイスの他の実施形態を示す図

【図17】メモリセルアレイの他の実施形態(書込時)を示す図

10

20

30

40

50

- 【図18】メモリセルアレイの他の実施形態（消去時）を示す図
- 【図19】メモリセルアレイの他の実施形態（消去時）を示す図
- 【図20】メモリセルアレイの他の実施形態（読出時）を示す図
- 【図21】上記メモリセルアレイを備えたメモリデバイスの概略構造図
- 【符号の説明】

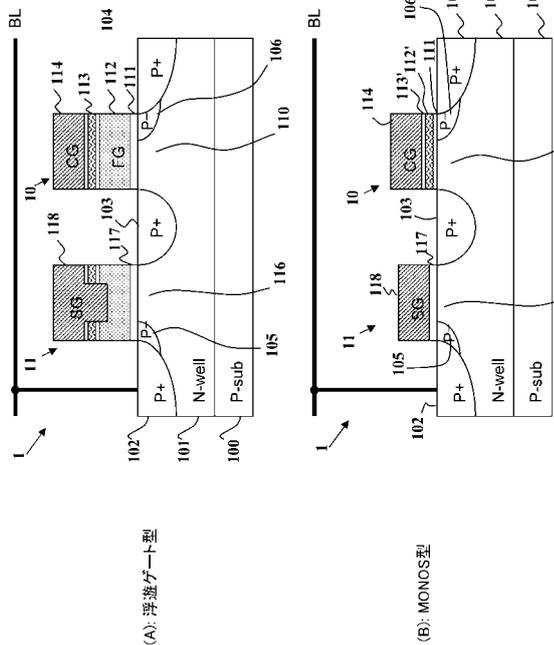
【0072】

- 1 ... メモリセル
- 10 ... 記憶トランジスタ
- 11 ... 選択トランジスタ
- 20 ... メモリセルアレイ
- 21 ... Yデコーダ
- 22 ... Xデコーダ
- 23 ... ページバッファ
- 30 ... コントローラ
- 30 ... メモリセルアレイ
- 31 ... センスアンプ・書込ドライバ回路
- 32 ... MGドライバ
- 33 ... SGドライバ
- 34 ... WLSGドライバ
- 35 ... 制御回路・電源回路

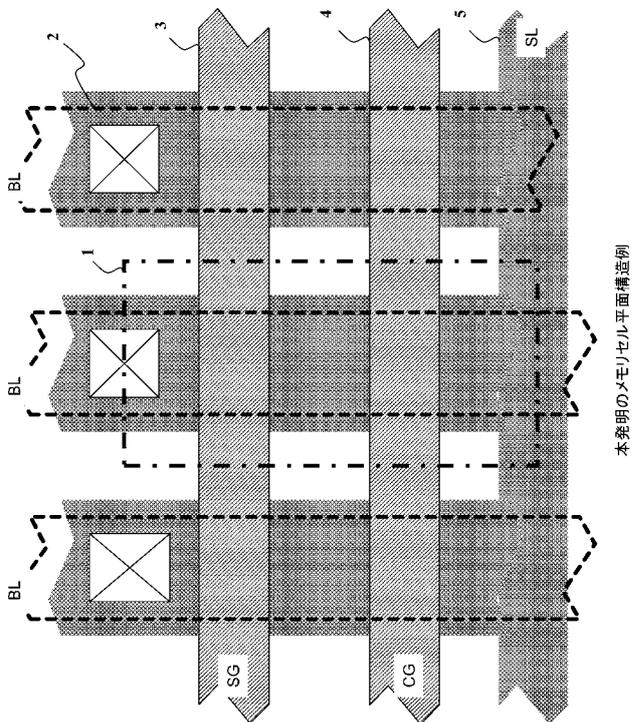
10

20

【図1】



【図2】



本発明のメモリセル断面構造例

本発明のメモリセル平面構造例

【 図 3 】

(A)

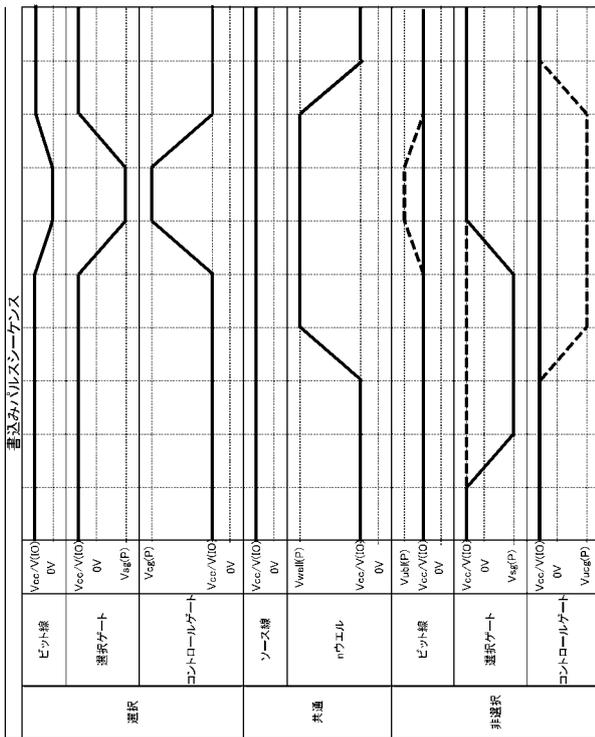
動作条件	書込み		消去1		読み出し
	ビット線	選択ゲート	ビット線	選択ゲート	
選択	0V	V_{cc} or $V_{(IO)}$	$V_{bl}(E2) > V_{cc} > 0V$; 例えは10V	0V	読み出し
	選択ゲート	$V_{sg}(P) < 0V$; 例えは-3V	V_{cc} or $V_{(IO)}$	$V_{sg}(E2) > V_{cc} > 0V$; 例えは10V	0V
	コントロールゲート	$V_{cg}(P) > V_{cc} > 0V$; 例えは8V	$V_{cg}(E1) < 0V$; 例えは-20V	$V_{cg}(E2) < 0V$; 例えは-10V	$V_{(IO)}$ or V_{cc} or 0V or $V_{cg}(E)$; 例えは-3V
共通	ソース	V_{cc} or $V_{(IO)}$	$V_{well}(P) > V_{cc} > 0V$; 例えは10V	$V_{well}(E2) > V_{cc} > 0V$; 例えは10V	V_{cc} or $V_{(IO)}$
	nウェル	V_{cc} or $V_{(IO)}$	$V_{well}(P) > V_{cc} > 0V$; 例えは8V	$V_{well}(E2) > V_{cc} > 0V$; 例えは10V	V_{cc} or $V_{(IO)}$
非選択	ビット線	V_{cc} , (1.8V) or $V_{(IO)}$ or $V_{ubl}(P)$; 例えは2 * V_{cc} or 2 * $V_{(IO)}$	V_{cc} or $V_{(IO)}$	$V_{bl}(E2) > V_{cc} > 0V$; 例えは10V	V_{cc} or $V_{(IO)}$
	選択ゲート	V_{cc} or $V_{(IO)}$	V_{cc} or $V_{(IO)}$	$V_{sg}(E2) > V_{cc} > 0V$; 例えは10V	V_{cc} or $V_{(IO)}$
	コントロールゲート	V_{cc} or $V_{(IO)}$ or $V_{cug}(P) < 0V$; SGがonする電圧; 例えは-3V	V_{cc} or $V_{(IO)}$	$V_{cug}(E2) > V_{cc} > 0V$; 例えは10V	V_{cc} or $V_{(IO)}$

例: $V_{cc}=1.8V$, $V_{(IO)}=2.5V$ or $3.3V$

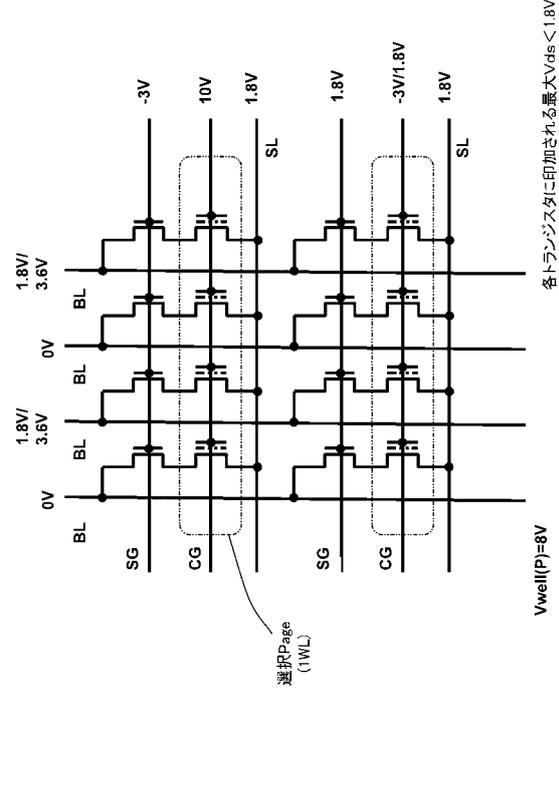
(B)

各電位の大小関係
$V_{bl}(E2) = V_{sg}(E2) = V_{well}(E2) = V_{cug}(E2) \geq V_{well}(P) \geq V_{ubl}(P) > V_{cc} > 0V > V_{sg}(P) \geq V_{cug}(P) > V_{cg}(E1) > V_{cg}(E2) > V_{well}(P) > V_{ubl}(P) > V_{(IO)} > V_{cc} > 0V > V_{sg}(P) \geq V_{cug}(P) > V_{cug}(E2) > V_{cg}(E1)$

【 図 5 】

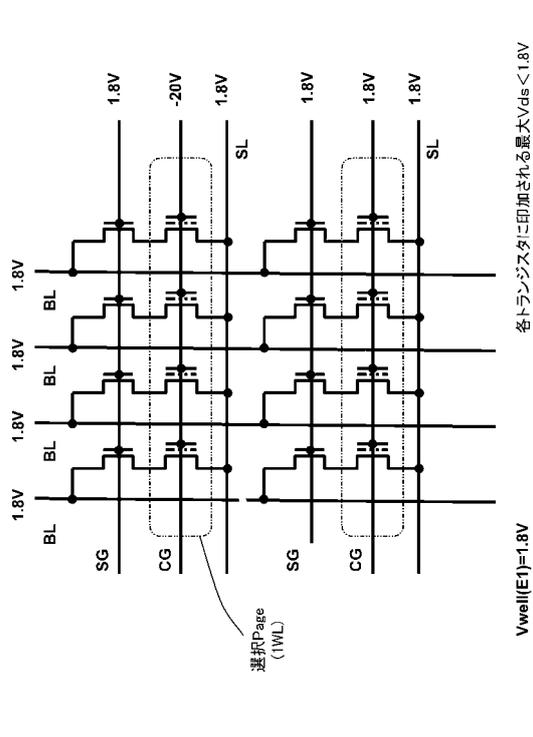


【 図 4 】



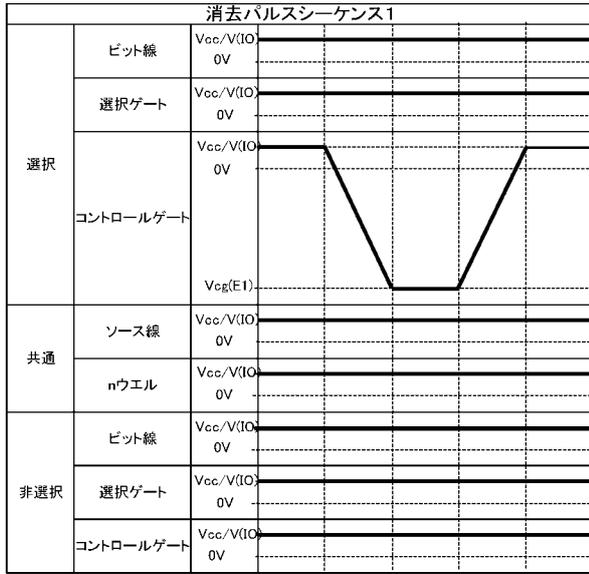
本発明のセル動作 - 書込み -

【 図 6 】

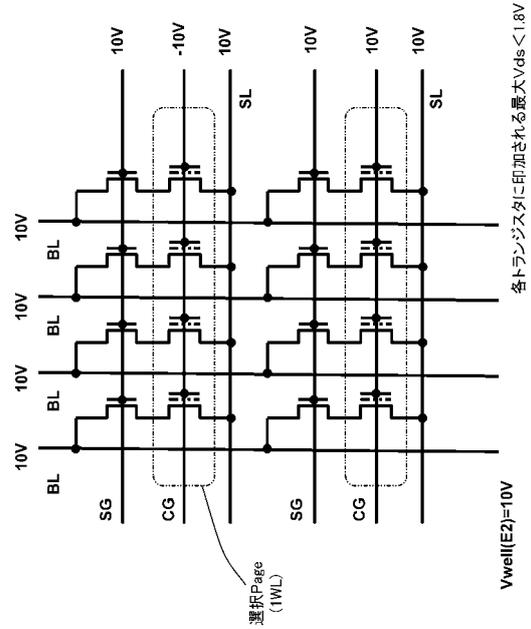


本発明のセル動作 - 消去1 -

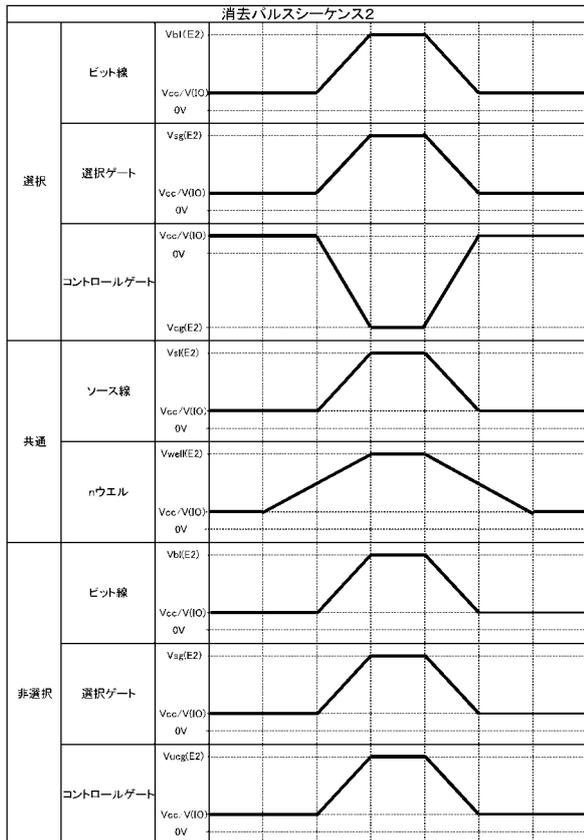
【 図 7 】



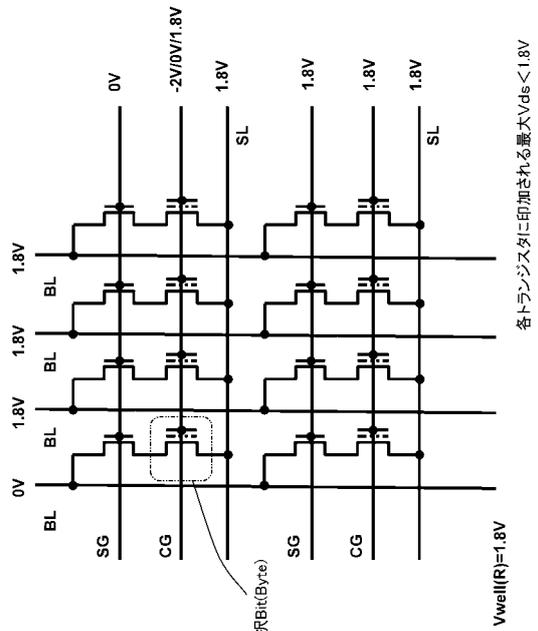
【 図 8 】



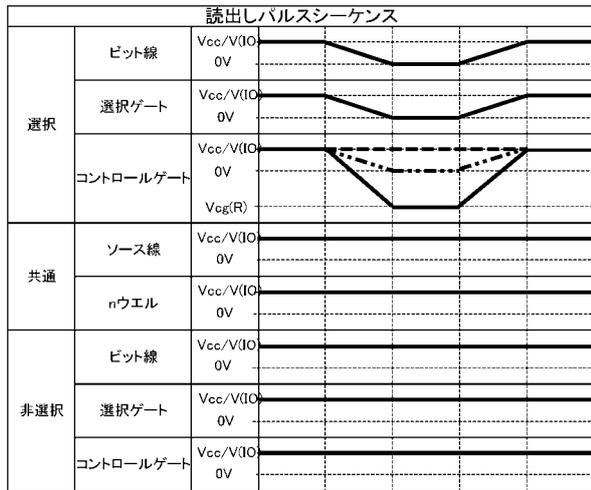
【 図 9 】



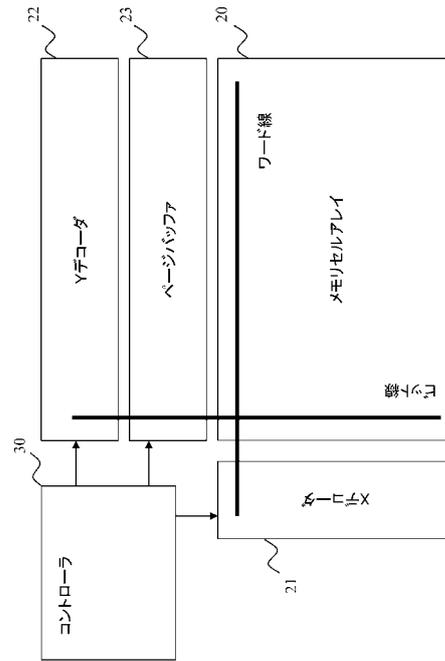
【 図 10 】



【図 1 1】

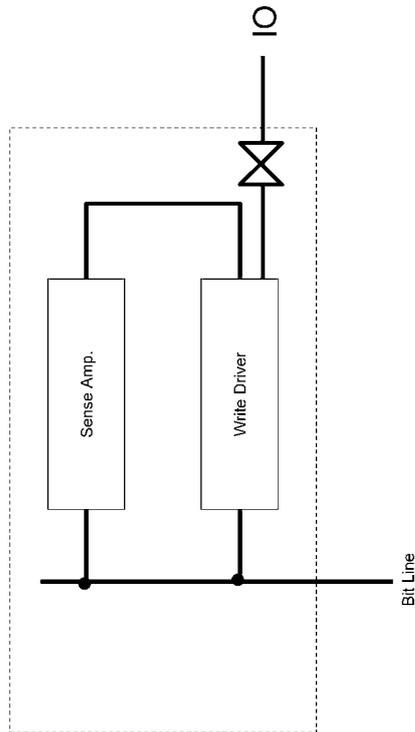


【図 1 2】

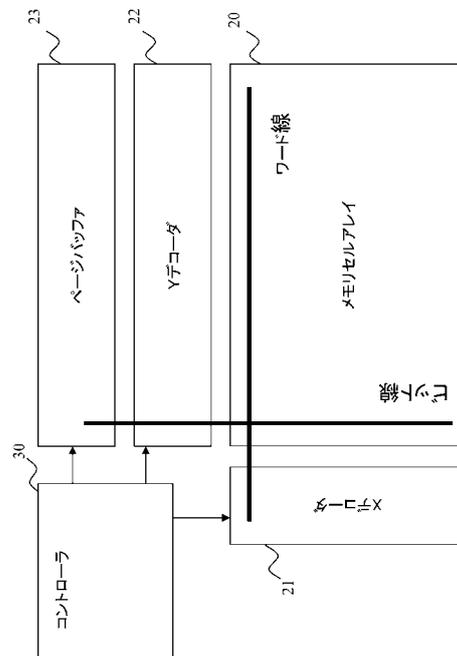


本発明のチップ構成例1

【図 1 3】

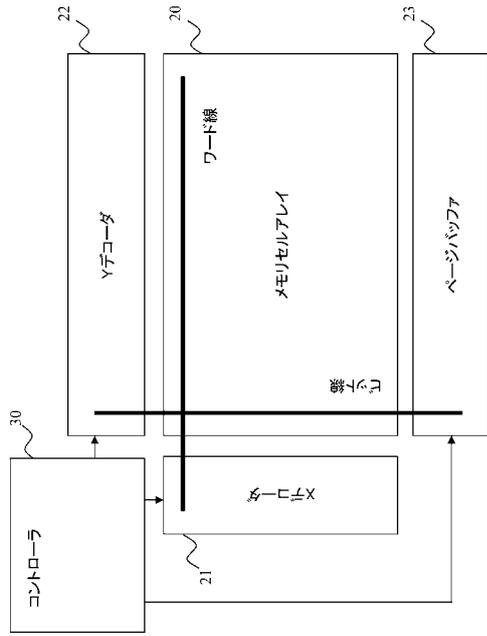


【図 1 4】



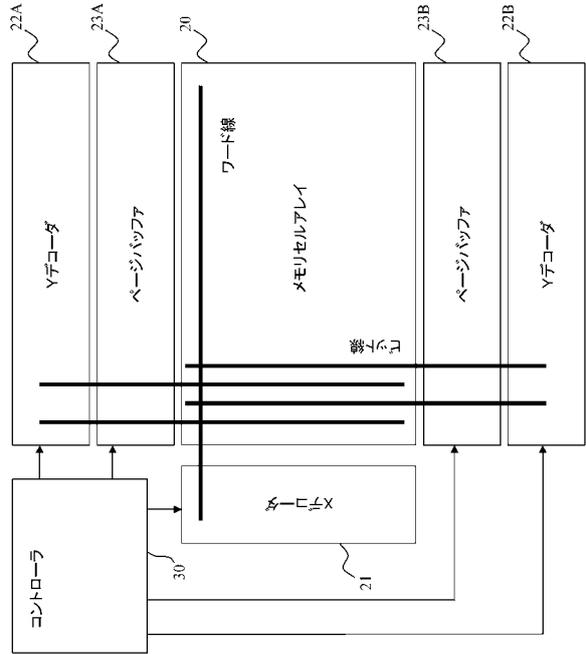
本発明のチップ構成例2

【 図 1 5 】



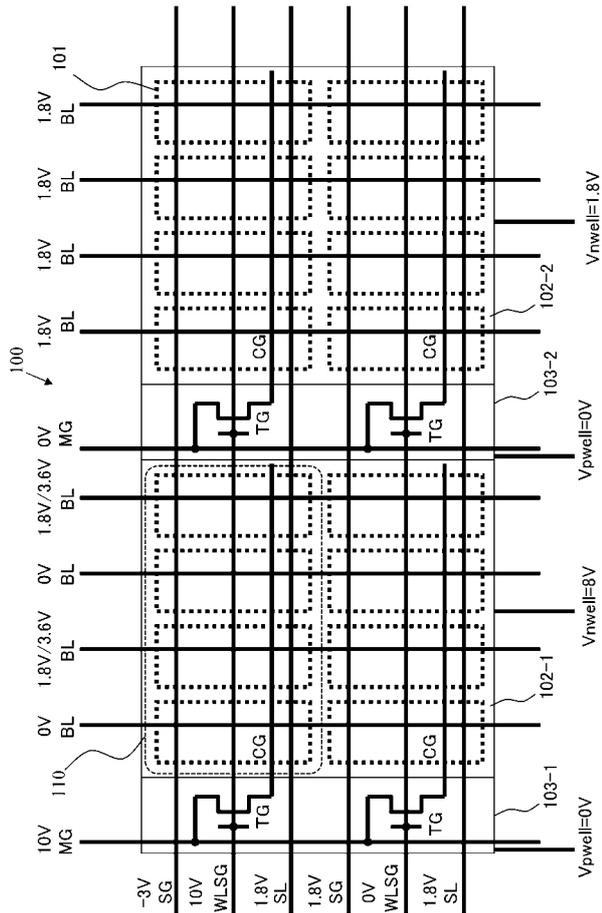
本発明のチップ構成例3

【 図 1 6 】

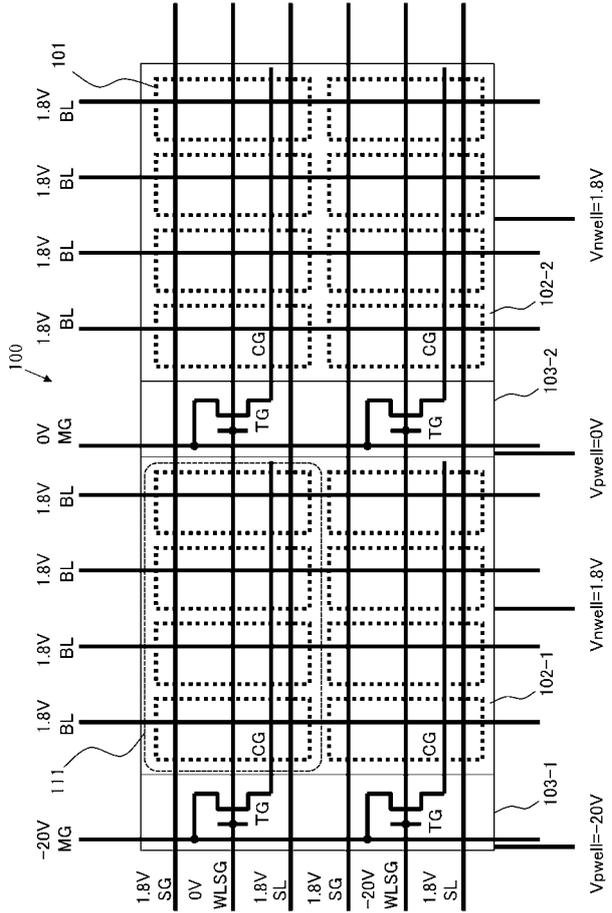


本発明のチップ構成例4

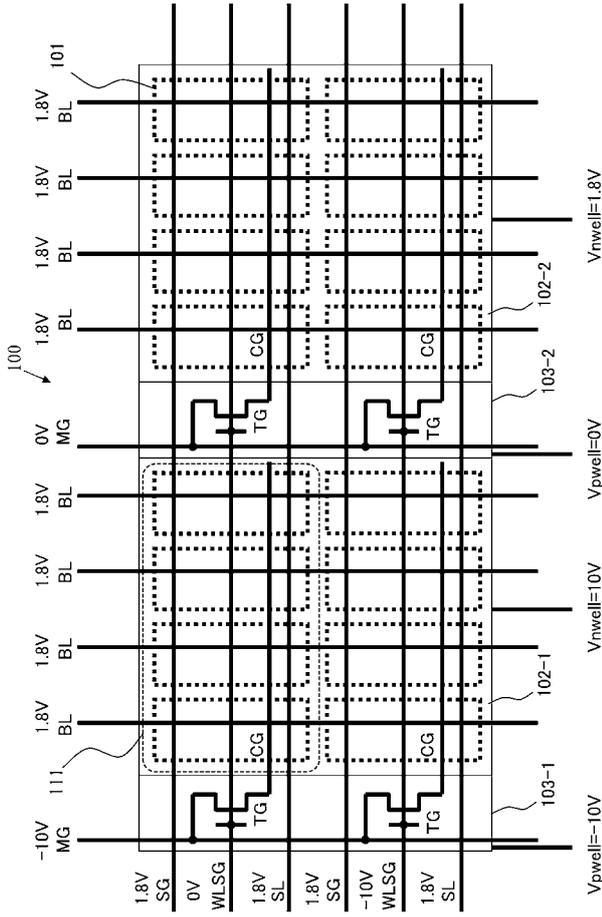
【 図 1 7 】



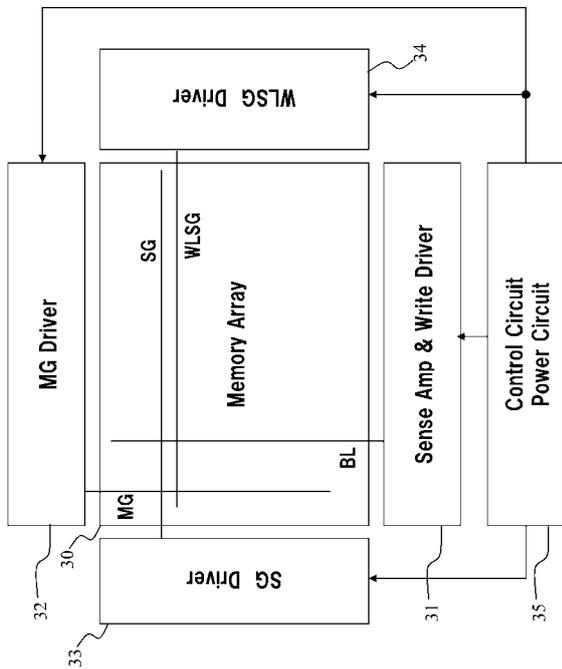
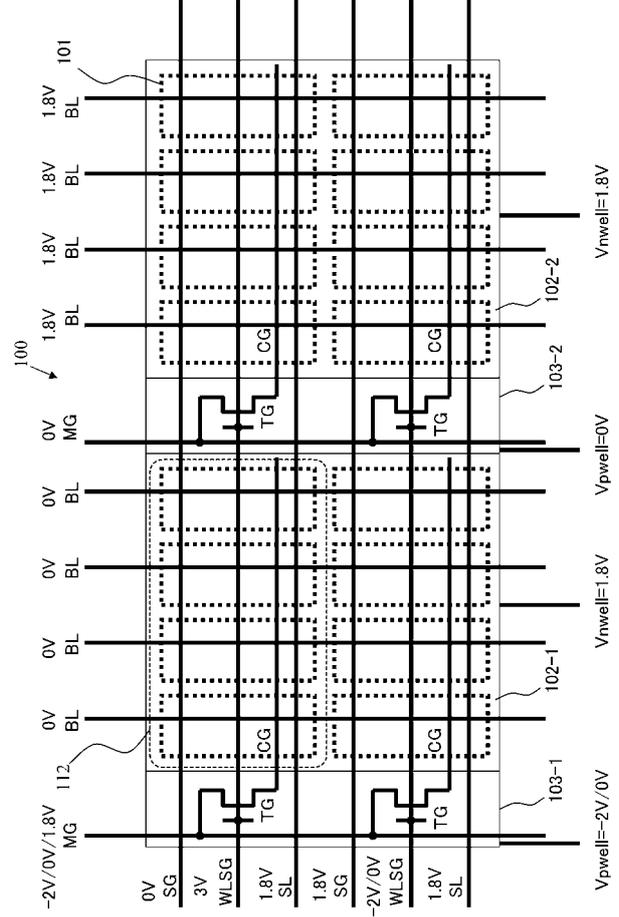
【 図 1 8 】



【 図 19 】



【 図 20 】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
G 1 1 C 16/04 (2006.01) H 0 1 L 27/10 4 8 1
H 0 1 L 27/10 (2006.01)

(72)発明者 清水 悟

兵庫県尼崎市道意町7丁目1番3号 尼崎リサーチインキュベーションセンター 株式会社GEN
USION内

(72)発明者 小倉 卓

兵庫県尼崎市道意町7丁目1番3号 尼崎リサーチインキュベーションセンター 株式会社GEN
USION内

Fターム(参考) 5B125 BA05 BA08 CA08 DA03 DB02 DC02 DC03 DE11 EB04 EB09
EB10 EC09 EF09 FA02 FA06 FA07
5F083 EP02 EP17 EP18 EP22 EP33 ER02 ER19 LA12 LA16 LA20
MA06 MA17 PR43 PR44 PR53 PR54
5F101 BA01 BA45 BA54 BB02 BC11 BD22 BD33 BD36 BE02 BE05
BE07 BH21