(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년07월10일
(11) 등록번호 10-2553630
(24) 등록일자 2023년07월05일

(51) 국제특허분류(Int. Cl.)
H01L 33/48 (2010.01) *H01L 33/02* (2010.01)
H01L 33/36 (2010.01) *H01L 33/50* (2010.01)
H01L 33/58 (2010.01) *H01L 33/62* (2010.01)
H05B 33/10 (2006.01)
(52) CPC특허분류
H01L 33/48 (2013.01)
H01L 33/02 (2013.01)
(21) 출원번호 10-2016-0102473
(22) 출원일자 2016년08월11일
심사청구일자 2021년06월24일
(65) 공개번호 10-2018-0017914
(43) 공개일자 2018년02월21일
(56) 선행기술조사문헌
US20130052759 A1

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
연지혜
충청북도 청주시 흥덕구 진재로 69, 103동 1302호 (복대1동, 현대1차아파트)
심성현
경기도 의왕시 원골로 13, 101동 402호 (오전동, 국화아파트)
(뒷면에 계속)
(74) 대리인
특허법인씨엔에스

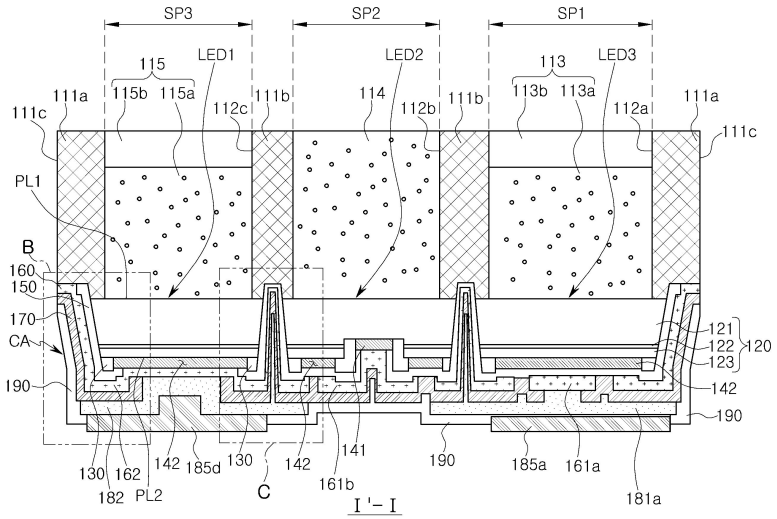
전체 청구항 수 : 총 10 항 심사관 : 김동우

(54) 발명의 명칭 **발광소자 패키지 및 이를 이용한 디스플레이 장치**

(57) 요 약

본 발명의 일 실시예는, 복수의 광방출창을 갖는 성장용 기판; 상기 복수의 광방출창에 대응되며, 제1 도전형 반도체층, 활성층 및 제2 도전형 반도체층을 갖는 반도체 발광부; 상기 복수의 광방출창 내에 배치되며, 상기 반도체 발광부로부터 방출되는 광과 다른 파장의 광을 제공하도록 구성된 파장변환부; 상기 반도체 발광부의 적어도 일면 상에 배치되며, 상기 성장용 기판의 측면과 공면(co-planar)을 형성하는 측면을 갖는 금속 지지층; 및 상기 반도체 발광부와 상기 금속 지지층 사이에 배치되는 절연층; 을 더 포함하는 발광소자 패키지를 제공한다.

대 표 도



(52) CPC특허분류
H01L 33/36 (2013.01)
H01L 33/50 (2013.01)
H01L 33/58 (2013.01)
H01L 33/62 (2013.01)
H05B 33/10 (2013.01)
H01L 2924/12041 (2013.01)
(72) 발명자
임완태
경기도 수원시 영통구 태장로 45, 203동 902호 (망포동, 망포마을현대2차아이파크아파트)
김용일
서울특별시 서초구 신반포로 45, 56동 204호 (반포동, 반포아파트)
유하늘
경기도 고양시 덕양구 화신로 36, 704동 511호 (행신2동, 소만마을7단지아파트)

명 세 서

청구범위

청구항 1

복수의 광방출창을 갖는 기판;

상기 기판과 접하는 제1 면 및 상기 제1 면과 반대에 위치하는 제2 면을 가지며, 상기 복수의 광방출창에 대응되며, 제1 도전형 반도체층, 활성층 및 제2 도전형 반도체층을 갖는 복수의 반도체 발광부;

상기 복수의 광방출창 내에 배치되며, 상기 반도체 발광부로부터 방출되는 광과 다른 파장의 광을 제공하도록 구성된 복수의 파장변환부;

상기 복수의 반도체 발광부의 적어도 일면 상에 배치되며, 상기 기판의 측면과 공면(co-planar)을 형성하는 측면을 갖는 금속 지지층; 및

상기 복수의 반도체 발광부와 상기 금속 지지층 사이에 배치되는 절연층; 을 포함하는 발광소자 패키지.

청구항 2

제1항에 있어서,

상기 복수의 광방출창은 격벽 구조에 의해 정의된 것을 특징으로 하는 발광소자 패키지.

청구항 3

제1항에 있어서,

상기 복수의 반도체 발광부는 각각 상기 제1 및 제2 도전형 반도체층에 전기적으로 접속된 복수의 제1 및 제2 전극을 포함하며,

상기 금속 지지층은,

상기 복수의 반도체 발광부의 복수의 제1 전극과 각각 접속되는 복수의 제1 영역; 및

상기 복수의 제1 영역과 이격하여 배치되며, 상기 복수의 반도체 발광부의 복수의 제2 전극과 공통적으로 접속되는 제2 영역을 포함하는 것을 특징으로 하는 발광소자 패키지.

청구항 4

제3항에 있어서,

상기 복수의 제1 영역은 상기 제2 영역의 내부에 배치된 것을 특징으로 하는 발광소자 패키지.

청구항 5

제3항에 있어서,

상기 제2 영역은 상기 절연층의 가장자리를 포함하는 영역을 덮는 것을 특징으로 하는 발광소자 패키지.

청구항 6

제3항에 있어서,

상기 절연층은 상기 복수의 제1 및 제2 전극 상에 각각 배치된 복수의 제1 개구부 및 제2 개구부를 가지며,

상기 복수의 제1 및 제2 전극은 각각 상기 복수의 제1 개구부 및 상기 제2 개구부를 통하여 상기 금속 지지층의 상기 복수의 제1 영역 및 상기 제2 영역과 각각 접속되는 것을 특징으로 하는 발광소자 패키지.

청구항 7

제1항에 있어서,

상기 절연층은 상기 기판의 측면으로부터 상기 금속 지지층의 두께 보다 크게 이격된 것을 특징으로 하는 발광소자 패키지.

청구항 8

제2항에 있어서,

상기 제1 면과 접하는 상기 격벽 구조의 일면 중 상기 복수의 반도체 발광부와 접하는 영역 이외의 영역에는, 상기 복수의 반도체 발광부를 개별소자 단위로 분리하는 트랜치가 형성된 것을 특징으로 하는 발광소자 패키지.

청구항 9

제1항에 있어서,

상기 절연층은 상기 제1 면 상에서 상기 기판과 상기 금속 지지층의 사이에 매립되는 것을 특징으로 하는 발광소자 패키지.

청구항 10

회로 기판과 상기 회로 기판 상에 행과 열을 이루어 배치된 복수의 발광소자 패키지를 포함하며, 상기 복수의 발광소자 패키지 각각은 하나의 화소를 제공하는 디스플레이 패널;

상기 디스플레이 패널을 구동하기 위한 패널 구동부; 및

상기 패널 구동부를 제어하기 위한 제어부를 포함하고,

복수의 광방출창을 갖는 기판;

상기 복수의 광방출창에 대응되며, 제1 도전형 반도체층, 활성층 및 제2 도전형 반도체층을 갖는 복수의 반도체 발광부;

상기 복수의 광방출창 내에 배치되며, 상기 복수의 반도체 발광부로부터 방출되는 광과 다른 파장의 광을 제공하도록 구성된 복수의 파장변환부;

상기 복수의 반도체 발광부의 적어도 일면 상에 배치되며, 상기 기판의 측면과 공면(co-planar)을 형성하는 측면을 갖는 금속 지지층; 및

상기 복수의 반도체 발광부와 상기 금속 지지층 사이에 배치되는 절연층; 을 포함하는 디스플레이 장치.

발명의 설명

기 술 분 야

[0001] 본 발명의 기술적 사상은 발광소자 패키지 및 이를 이용한 디스플레이 장치에 관한 것이다.

배 경 기 술

[0002] 반도체 발광다이오드(LED)는 조명 장치용 광원뿐만 아니라, 다양한 전자 제품의 광원으로 사용되고 있다. 특히, TV, 휴대폰, PC, 노트북 PC, PDA 등과 같은 각종 디스플레이 장치들을 위한 광원으로 널리 사용되고 있다.

[0003] 종래의 디스플레이 장치는 주로 액정 디스플레이(LCD)로 구성된 디스플레이 패널과 백라이트로 구성되었으나, 최근에는 LED 소자를 그대로 하나의 픽셀로서 사용하여 백라이트가 별도로 요구되지 않는 형태로도 개발되고 있다. 이러한 디스플레이 장치는 컴팩트화할 수 있을 뿐만 아니라, 기존 LCD에 비해 광효율도 우수한 고휘도 디스플레이를 구현될 수 있다. 또한, 디스플레이 화면의 종횡비를 자유롭게 바꾸고 대면적으로 구현할 수 있으므로 다양한 형태의 대형 디스플레이로 제공할 수 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 해결하고자 하는 과제 중 하나는, 빛샘 현상이 감소된 발광소자 패키지 및 디스플레이 장치를 제공하는 데 있다.

과제의 해결 수단

[0005] 본 발명의 일 실시예는, 복수의 광방출창을 갖는 성장용 기판; 상기 복수의 광방출창에 대응되며, 제1 도전형 반도체층, 활성층 및 제2 도전형 반도체층을 갖는 반도체 발광부; 상기 복수의 광방출창 내에 배치되며, 상기 반도체 발광부로부터 방출되는 광과 다른 파장의 광을 제공하도록 구성된 파장변환부; 상기 반도체 발광부의 적어도 일면 상에 배치되며, 상기 성장용 기판의 측면과 공면(co-planar)을 형성하는 측면을 갖는 금속 지지층; 및 상기 반도체 발광부와 상기 금속 지지층 사이에 배치되는 절연층; 을 더 포함하는 발광소자 패키지를 제공한다.

[0006] 본 발명의 일 실시예는, 회로 기판과 상기 회로 기판 상에 행과 열을 이루어 배치된 복수의 발광소자 패키지를 포함하며, 상기 복수의 발광소자 패키지 각각은 하나의 화소를 제공하는 디스플레이 패널; 상기 디스플레이 패널을 구동하기 위한 패널 구동부; 및 상기 패널 구동부를 제어하기 위한 제어부를 포함하고, 상기 발광소자 패키지는, 복수의 광방출창을 갖는 성장용 기판; 상기 복수의 광방출창에 대응되며, 제1 도전형 반도체층, 활성층 및 제2 도전형 반도체층을 갖는 반도체 발광부; 상기 복수의 광방출창 내에 배치되며, 상기 반도체 발광부로부터 방출되는 광과 다른 파장의 광을 제공하도록 구성된 파장변환부; 상기 반도체 발광부의 적어도 일면 상에 배치되며, 상기 성장용 기판의 측면과 공면(co-planar)을 형성하는 측면을 갖는 금속 지지층; 및 상기 반도체 발광부와 상기 금속 지지층 사이에 배치되는 절연층; 을 포함하는 디스플레이 장치를 제공한다.

발명의 효과

[0007] 빛샘 현상이 발생하는 절연층을 금속 지지층으로 덮음으로써, 빛샘 현상이 없는 발광소자 패키지 및 이러한 발광소자 패키지를 이용한 디스플레이 장치를 제공할 수 있다.

도면의 간단한 설명

[0008] 도 1은 본 발명의 일 실시예에 따른 발광소자 패키지를 갖는 디스플레이 패널의 개략 사시도이다.

도 2는 도 1의 A부분을 확대하여 나타낸 평면도이다.

도 3은 도 2의 발광소자 패키지를 확대하여 나타낸 평면도이다.

도 4는 도 3의 I-I'선을 따라 절개하여 본 측 단면도이다.

도 5 및 도 6은 각각 도 4의 B 부분 및 C 부분을 확대한 도면으로, 금속 지지층의 빛샘 차단 효과를 나타내기 위한 도면이다.

도 7a 내지 도 14b는 도 4의 발광소자 패키지의 주요 제조공정을 개략적으로 나타낸 측 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0009] 도 1은 본 발명의 일 실시예에 따른 발광소자 패키지를 갖는 디스플레이 패널의 개략 사시도이다.

[0010] 도 1을 참조하면, 디스플레이 패널(1)은 회로 기판(20)과, 회로 기판(20) 상에 배열된 발광소자 모듈(10)을 포함할 수 있다.

[0011] 본 실시예에 따른 발광소자 모듈(10)은 적색(Red, R), 녹색(Green, G), 청색(Blue, B)의 광을 선택적으로 발광할 수 있는 복수의 발광소자 패키지(100)를 포함한다. 복수의 발광소자 패키지(100)는 각각 디스플레이 패널의 하나의 픽셀(pixel)을 구성할 수 있으며, 회로 기판(20) 상에 행과 열을 이루어 배열될 수 있다. 본 실시예에서는, 15×15의 발광소자 패키지(100)들로 배열된 형태를 예시하였으나, 이는 설명의 편의를 위한 것이며 실제로는 필요한 해상도에 따른 더 많은 수의 발광소자 패키지들(예, 1024×768, 1920×1080)이 배열될 수 있다.

[0012] 발광소자 패키지(100)는 RGB의 광원에 해당하는 서브 픽셀을 포함할 수 있으며, 서브 픽셀들은 서로 이격되어 배치된 구조로 제공될 수 있다. 이에 대해서는, 도 3 내지 도 6을 참조하여 상세히 설명하기로 한다. 다만, 서브 픽셀의 색은 RGB로 한정되는 것은 아니며, CYMK(Cyan, Yellow, Magenta, Black)의 광원이 사용될 수도 있다.

[0013] 실시에 따라서, 회로 기판(20)은 발광소자 모듈(10)의 각각의 발광소자 패키지(100)에 전원을 공급하도록 구성된 구동부 및 발광소자 패키지(100)를 제어하는 제어부를 포함할 수 있다.

[0014] 필요에 따라, 디스플레이 패널(1)은 회로 기판(20) 상에 배치된 제1 몰딩부(11)를 더 포함할 수 있다. 제1 몰딩부(11)는 블랙 매트릭스(black matrix)를 포함할 수 있다. 예를 들어, 블랙 매트릭스는 상기 회로 기판의 둘레에 배치되어 LED 광원모듈(50)의 탑재영역을 정의하는 가이드 라인으로서 역할을 할 수 있다. 상기 블랙 매트릭스는 블랙(black) 색상에 한정되는 것은 아니며 제품의 용도 및 사용처 등에 따라 백색(white) 매트릭스 또는 녹색(green) 등 다른 색깔로도 사용할 수 있으며 필요에 따라서는 투명 재질의 매트릭스를 사용할 수도 있다. 상기 백색 매트릭스는 반사 물질 또는 산란물질을 더 포함할 수 있다. 상기 블랙 매트릭스는 수지를 포함하는 폴리머, 세라믹, 반도체 또는 금속과 같은 재료 중 적어도 하나를 포함할 수 있다.

[0015] 도 2는 도 1에 도시된 디스플레이 패널, 특히 발광소자 모듈(10)의 A 부분을 확대하여 나타낸 평면도이고, 도 3은 도 2의 발광소자 패키지(100)를 확대하여 나타낸 평면도이다. 도 4는 도 3의 I-I'선을 따라 절개하여 본 측단면도이다.

[0016] 도 2를 참조하면, 복수의 발광소자 패키지(100)는 각각 제2 몰딩부(51)에 둘러싸이도록 배치될 수 있다. 제2 몰딩부(51)는 블랙 매트릭스(black matrix)로 이루어질 수 있으며, 제2 몰딩부(51)에 의해 둘러싸인 영역은 각각 발광소자 패키지(100)가 배치된 발광 영역으로 제공되는 반면에, 제2 몰딩부(51)의 외부 영역(52)은 비발광 영역일 수 있다. 제2 몰딩부(51)는 각 발광소자 패키지(100)를 전기적으로 분리시켜, 각 발광소자 패키지(100)가 하나의 픽셀로서 서로 독립적으로 구동될 수 있도록 할 수 있다.

[0017] 도 3을 참조하면, 하나의 픽셀을 이루는 발광소자 패키지(100) 각각은 제1 내지 제3 서브 픽셀(SP1-SP3)을 포함할 수 있으며, 제1 내지 제3 서브 픽셀(SP1-SP3)은 격벽 구조(111)에 둘러싸이도록 배치될 수 있다. 본 실시예에서는, 하나의 발광소자 패키지(100)에 3개의 서브 픽셀이 배치된 형태를 예시하였으나, 이는 설명의 편의를 위한 것이며, 2개 또는 4개의 서브 픽셀이 배치될 수도 있다.

[0018] 도 3 및 도 4를 참조하면, 본 실시예에 따른 발광소자 패키지(100)는 제1 내지 제3 반도체 발광부(LED1, LED2, LED3)를 포함하는 셀 어레이(CA), 제1 내지 제3 반도체 발광부(LED1, LED2, LED3)를 덮는 절연층(150), 절연층(150)을 덮으며 제1 내지 제3 반도체 발광부(LED1, LED2, LED3)를 지지하는 금속 지지층(160), 셀 어레이(CA)

상에 배치된 제1 내지 제3 파장변환부(113, 114, 115), 제1 내지 제3 파장변환부(113, 114, 115)가 서로 분리되도록 배치된 격벽 구조(111)를 포함한다.

[0019] 셀 어레이(CA)는 제1 내지 제3 반도체 발광부(LED1, LED2, LED3)를 포함하며, 서로 대향하는 제1 면(PL1) 및 제2 면(PL2)을 가질 수 있다. 제1 면(PL1)에는 제1 내지 제3 반도체 발광부(LED1, LED2, LED3)가 접하도록 배치되어, 제1 내지 제3 파장변환부(113, 114, 115)가 각각 제1 내지 제3 반도체 발광부(LED1, LED2, LED3)와 직접 접하도록 구성될 수 있다.

[0020] 제1 내지 제3 반도체 발광부(LED1, LED2, LED3)는 동일한 광 또는 서로 다른 광을 방출할 수 있다. 예를 들어, 제1 내지 제3 반도체 발광부(LED1, LED2, LED3)는 동일한 청색 광(예, 440㎚~460㎚) 또는 자외선 광(예, 380㎚~440㎚)을 방출할 수 있으며, 각각 적색 광, 녹색 광 및 청색 광을 방출할 수도 있다. 본 실시예는 제1 내지 제3 반도체 발광부(LED1, LED2, LED3)가 청색 광을 방출하는 경우를 예를 들어 설명한다.

[0021] 제1 내지 제3 반도체 발광부(LED1, LED2, LED3)는 각각 제1 도전형 반도체층(121), 활성층(122) 및 제2 도전형 반도체층(123)이 순차적으로 적층된 발광구조물(120)을 갖는다.

[0022] 제1 도전형 반도체층(121) 및 제2 도전형 반도체층(123)은 각각 p형 반도체층 및 n형 반도체층일 수 있다. 예를 들어, $Al_xIn_yGa_{(1-x-y)}N$(0=x=1, 0=y=1, 0=x+y=1)의 질화물 반도체일 수 있으나, 이에 한정되지 않으며 GaAs계 반도체나 GaP계 반도체도 사용될 수 있다. 활성층(122)은 양자우물층과 양자장벽층이 서로 교대로 적층된 다중 양자우물(MQW) 구조를 포함할 수 있다. 예를 들어, 활성층(122)은 InGaN/GaN, GaN/AlGaN와 같은 질화물계 MQW일 수 있으나, 이에 한정되지 않으며 GaAs/AlGaAs 또는 InGaP/GaP, GaP/AlGaP와 같은 다른 반도체일 수 있다.

[0023] 제1 내지 제3 반도체 발광부(LED1, LED2, LED3)의 활성층(122)은, 서로 다른 파장의 광을 방출하도록 구성될 수 있다. 이러한 방출광 조건은 다양한 방식으로 구현될 수 있다. 본 실시예에서는, 제1 내지 제3 반도체 발광부(LED1, LED2, LED3)의 활성층(122)이 서로 다른 색의 광을 방출하도록 구성될 수 있으며, 동일한 광을 방출하도록 구성될 수도 있다. 예를 들어, 활성층(122)은 각각 적색, 녹색, 청색의 광을 방출할 수 있으며, 동일한 청색 광 또는 자외선 광을 방출할 수 있다.

[0024] 제1 및 제2 도전형 반도체층(121, 123)에는 각각 제1 및 제2 전극(141, 142)이 전기적으로 접속될 수 있다. 제1 및 제2 전극(141, 142)은 각각 제1 도전형 반도체층(121)의 메사 에칭된 영역과 제2 도전형 반도체층(123)에 배치될 수 있다. 예를 들어, 제1 전극(141)은 Al, Au, Cr, Ni, Ti, Sn 중 적어도 하나를 포함할 수 있으며, 제2 전극(142)은 반사성 금속으로 형성될 수 있다. 예를 들어, 제2 전극(142)은 Ag, Ni, Al, Cr, Rh, Pd, Ir, Ru, Mg, Zn, Pt, Au 등의 물질을 포함할 수 있으며, 단일층 또는 2층 이상의 구조로 채용될 수 있다.

[0025] 상기 셀 어레이(CA)의 제2 면(PL2)에는 절연 마스크층(130)이 배치되어 제1 내지 제3 반도체 발광부(LED1, LED2, LED3)의 제1 및 제2 전극(141, 142)이 각각 배치되는 영역을 정의할 수 있다.

[0026] 셀 어레이(CA)의 제1 내지 제3 반도체 발광부(LED1, LED2, LED3) 표면에는 절연층(150)이 배치될 수 있다. 절연층(150)은 제1 내지 제3 반도체 발광부(LED1, LED2, LED3)의 표면을 덮도록 배치되어 각 제1 내지 제3 반도체 발광부(LED1, LED2, LED3)의 발광구조물(120)을 서로 전기적으로 분리할 수 있다. 절연층(150)의 일 영역에는 제1 및 제2 개구부(151, 152)가 배치되어, 제1 및 제2 전극(141, 142)이 접속되는 영역을 정의할 수 있다. 제1 및 제2 전극(141, 142)은 제1 및 제2 개구부(151, 152)를 통해 후술할 금속 지지층(160)의 제1 영역(161a, 161b, 161c) 및 제2 영역(162)과 접속할 수 있다.

[0027] 도 5에 도시된 바와 같이, 절연층(150)은 격벽 구조(111) 중 가장 자리 영역(111a) 상에 연장되어 배치되는 영역을 가지며, 절연층(150)의 측면은 격벽 구조(111)로 이루어진 성장용 기판의 외측면(111c)과 소정의 폭(CD)으로 이격하여 배치될 수 있다. 절연층(150)은 예를 들어, SiO_2, SiO_xN_y, Si_xN_y 등의 실리콘 산화물, 실리콘 질화물

을 포함할 수 있다. 이러한 물질은 비교적 높은 광반사율을 가지나, 100%의 광반사율을 가지는 것은 아니므로, 절연층(150)의 표면을 통해서 활성층(122)에서 방출된 광 중 일부가 입사되는 현상이 발생할 수 있다. 절연층(150)을 통하여 입사된 광은 절연층(150) 중 외부로 노출된 영역에서 방출될 수 있다. 따라서, 절연층(150)의 일 영역이 발광소자 패키지(100)의 측면에 노출된 경우에는, 파장변환부(113)를 거치지 않고 곧바로 외부로 방출되는 문제가 발생할 수 있다. 이 경우, 발광소자 패키지(100)를 측면에서 보았을 때, 파장변환되지 않은 활성층(122)의 광이 새어 보이는 이른바 빛샘(light leakage) 불량이 발생할 수 있다. 이와 같은 빛샘불량이 발생된 발광소자 패키지(100)로 디스플레이 패널(1)을 제조하면, 디스플레이 패널(1)의 전방에서 비스듬하게 보았을 때, 파장변환되지 않은 광이 보이는 문제점이 발생할 수 있다. 본 실시예는 절연층(150)의 가장자리 부분을 격벽 구조(111a)의 외측면(111c)에서 소정의 폭(CD)으로 이격되게 배치하고, 후술하는 금속 지지층(160)으로 덮어, 활성층(122)에서 방출된 광(L1, L2)이 발광소자 패키지(100)의 것을 근본적으로 해결하였다. 절연층(150)이 이격된 소정의 폭(CD)은 금속 지지층(160)의 두께 보다 크게 마련되어, 금속 지지층(160)이 절연층(150)의 가장자리를 덮을 수 있는 충분한 공간을 제공할 수 있다.

[0028] 또한 도 3 및 도 5에 도시된 바와 같이, 제1 내지 제3 반도체 발광부(LED1, LED2, LED3)의 발광구조물(120) 사이에 배치된 격벽 구조(111b)의 표면에 절연층(150)의 두께(RD)보다 큰 깊이(ED)의 트랜치(T)를 형성하면, 제1 내지 제3 반도체 발광부(LED1, LED2, LED3)의 발광구조물(120)의 표면에 배치된 절연층(150)의 광경로가 길어져, 어느 한 반도체 발광부(LED1)에서 방출된 광(L3, L4)이 인접한 반도체 발광부(LED2)로 유입되어, 인접한 반도체 발광부(LED2)의 광(L5, L6)과 혼색되는 것을 방지할 수 있다. 구체적으로, 제1 반도체 발광부(LED1)와 제2 반도체 발광부(LED2) 사이의 절연층(150)은 트랜치(T)의 내부면을 따라 배치되어, 활성층(122)에서 방출된 광 중 인접한 반도체 발광부를 향하는 광(L4, L5)의 광경로가 P1, P2의 두 지점에서 절곡되도록한다. 따라서, 제1 반도체 발광부(LED1)에서 방출된 광(L3, L4)와 제2 반도체 발광부(LED2)에서 방출된 광(L5, L6)이 서로 차단될 수 있다.

[0029] 금속 지지층(160)은 절연층(150)의 가장자리 영역을 포함하는 영역을 덮으며, 높은 반사도와 연성을 가지는 Cu, Au 또는 Al과 금속 재질로 이루어질 수 있다. 따라서, 금속 지지층(160)은 절연층(150)을 통하여 광이 새어나오는 것을 차단하여 발광소자 패키지의 빛샘 불량을 방지할 수 있으며, 제1 내지 제3 반도체 발광부(LED1, LED2, LED3)에 가해진 외력을 흡수하여 제1 내지 제3 반도체 발광부(LED1, LED2, LED3)가 파손되는 것을 완화할 수 있다. 또한, 활성층(122)에서 방출된 광을 파장변환부(113) 방향으로 반사하여, 발광소자 패키지(100)의 외부 광추출 효율을 더욱 향상시킬 수 있다. 금속 지지층(160)은 절연층(150)에서 방출된 광이 투과되지 못하는 소정의 두께로 배치될 수 있다. 예를 들어, 금속 지지층(160)은 약 100nm 이상의 두께를 가질 수 있다.

[0030] 도 3 및 도 4에 도시된 바와 같이, 금속 지지층(160)은 절연층(150)의 제1 개구부(151)를 통해 제1 전극(141)과 접속되는 복수의 제1 영역(161a, 161b, 161c) 및, 절연층(150)의 제2 개구부(152)를 통해 복수의 제2 전극(142)과 공통으로 접속되는 제2 영역(162)을 포함할 수 있다. 본 실시예의 경우, 제2 영역(162)은 복수의 제1 영역(161a, 161b, 161c)을 둘러싸는 형상으로 배치될 수 있으며, 복수의 제1 영역(161a, 161b, 161c)은 서로 동일한 면적을 가지도록 배치될 수 있다.

[0031] 금속 지지층(160) 상에는 층간 절연층(170)이 배치되어 금속 지지층(160)과 후술하는 제1 패드부(181a, 181b, 181c)와 제2 패드부(182)가 접하는 영역을 정의할 수 있다. 층간 절연층(170)은 절연층(150)과 동일한 물질로 이루어질 수 있으나 이에 한정하는 것은 아니다. 층간 절연층(170)은 금속 지지층(160)의 제1 영역(161a, 161b, 161c)및 제2 영역(162)이 제1 패드부(181a, 181b, 181c)및 제2 패드부(182)와 접하는 영역을 정의하기 위한 제1 개구부(171a, 171b, 171c) 및 제2 개구부(172)가 배치될 수 있다.

[0032] 층간 절연층(170) 상에는 제1 패드부(181a, 181b, 181c)와 제2 패드부(182)가 배치될 수 있으며, 금속 지지층(170), 제1 패드부(181a, 181b, 181c) 및 제2 패드부(182)를 덮으며, 제1 개구부(191a, 191b, 191c) 및 제2 개구부(192)를 갖는 패시베이션층(190)이 배치될 수 있으며, 본 실시예의 경우 패시베이션층(190)은 PEOX(physical enhanced oxidation)로 이루어질 수 있다. 또한, 실시예에 따라서, 패시베이션층(190)은 빛을

반사시키기 위한 광반사성 입자를 포함할 수 있다. 광반사성 입자로는 이산화 티타늄(TiO_2) 또는 산화 알루미늄(Al_2O_3)이 사용될 수 있으나, 이에 한정되는 것은 아니다.

[0033] 상기 셀 어레이(CA)의 제1 면(PL1) 상에는 제1 내지 제3 파장변환부(113, 114, 115)가 서로 분리되도록 배치된 격벽 구조(111)가 배치될 수 있다.

[0034] 격벽 구조(111)는, 셀 어레이(CA)의 제1 면(PL1)과 접하여 배치되며, 제1 내지 제3 반도체 발광부(LED1, LED2, LED3)에 대응되는 위치에 제1 내지 제3 광방출창(112a, 112b, 112c)을 갖는다. 제1 내지 제3 광방출창(112a, 112b, 112c)은 각각 제1 내지 제3 파장변환부(113, 114, 115)를 형성하기 위한 공간으로 제공될 수 있다. 격벽 구조(111)는 제1 내지 제3 파장변환부(113, 114, 115)를 투과하는 광이 서로 간섭하지 않도록 광차단 물질을 포함할 수 있다. 또한, 상기 격벽 구조(111)는 제1 내지 제3 반도체 발광부(LED1, LED2, LED3)를 성장시키기 위한 성장용 기판으로 사용된 웨이퍼를 식각하여 이루어질 수 있다. 격벽 구조(111)는 제1 내지 제3 파장변환부(113, 114, 115)를 분리하도록, 제1 내지 제3 파장변환부(113, 114, 115)의 측면을 둘러싸도록 배치될 수 있다.

[0035]

[0036] 제1 내지 제3 파장변환부(113, 114, 115)는 제1 내지 제3 반도체 발광부(LED1, LED2, LED3)로부터 방출되는 광을 조정하여 각각 서로 다른 색의 광으로 변환시킬 수 있다. 본 실시예에서, 제1 내지 제3 파장변환부(113, 114, 115)는 각각 적색 광, 청색 광 및 녹색 광을 제공하도록 구성될 수 있다.

[0037] 본 실시예와 같이, 제1 내지 제3 반도체 발광부(LED1, LED2, LED3)가 청색 광을 방출하는 경우에, 제1 및 제3 파장변환부(113, 115)는 각각 적색 및 녹색 형광체를 포함할 수 있다. 제1 및 제3 파장변환부(113, 115)는 적색 또는 녹색 형광체와 같은 파장변환물질이 혼합된 광투과성 액상 수지를 제1 및 제3 광방출창(112a, 113)에 디스펜싱함으로써 형성될 수 있으나, 다른 다양한 공정으로 형성될 수 있다. 예를 들어, 파장변환 필름으로 제공될 수 있다.

[0038] 필요에 따라, 상기 제1 및 제3 파장변환부(113, 115)는 청색 광을 선택적으로 차단하는 광 필터층(113b, 115b)을 더 포함할 수 있다. 광 필터층(113b, 115b)을 이용함으로써 제2 및 제3 광방출창(112a, 112c)에서는 원하는 적색 광 및 녹색 광만을 제공할 수 있다.

[0039] 본 실시예와 같이, 제1 내지 제3 반도체 발광부(LED1, LED2, LED3)가 청색 광을 방출하는 경우에, 상기 제2 파장변환부(114)는 형광체가 포함되지 않을 수 있다. 따라서, 제2 파장변환부(114)는 제1 반도체 발광부(LED1)에서 방출된 청색 광과 동일한 청색 광을 제공할 수 있다.

[0040] 제2 파장변환부(114)는 형광체가 혼합되지 않은 광투과성 액상 수지를 디스펜싱함으로써 형성될 수 있으나, 실시예에 따라서는, 제2 파장변환부(114)에 청색 광의 색좌표를 조절하기 위한 청색 또는 청록색(예, 480㎚~520㎚) 형광체를 포함할 수 있다. 이러한 형광체는 제2 파장변환부(114)에 의해 제공될 청색 광의 색좌표를 조절하는 목적으로 채용되므로, 다른 색으로 변환하기 위한 제1 및 제3 파장변환부(113, 115)에 혼합된 형광체의 양보다는 적은 양의 형광체가 혼합될 수 있다.

[0041] 본 발명의 일 실시예는, 회로 기판과 상기 회로 기판 상에 행과 열을 이루어 배치된 복수의 발광소자 패키지를 갖는 디스플레이 패널과 상기 디스플레이 패널을 구동하기 위한 패널 구동부 및 상기 패널 구동부를 제어하기 위한 제어부를 포함하고, 상기 발광소자 패키지는, 각각 제1 도전형 반도체층, 활성층 및 제2 도전형 반도체층을 갖는 복수의 발광구조물을 포함하며, 제1 면 및 상기 제1 면과 반대에 위치하는 제2 면을 갖는 셀 어레이와, 상기 셀 어레이의 제1 면 상에, 상기 복수의 발광구조물에 각각 대응되도록 배치되며, 상기 복수의 발광구조물로부터 방출되는 광과 다른 파장의 광을 제공하도록 구성된 복수의 파장변환부와, 상기 복수의 파장변환부가 서로 분리되도록 상기 복수의 파장변환부를 둘러싸는 격벽 구조와, 상기 제2 면으로부터 상기 제1 면까지 연장되어 상기 발광 구조물을 복수의 발광 영역으로 구분하며, 상기 격벽 구조의 외측면과 소정의 폭으로 이격되어 배치된 절연층과, 상기 절연층의 가장자리를 포함하는 영역을 덮는 금속 지지층을 포함하는 디스플레이 장치를 제공할 수 있다.

[0042] 다음으로, 본 발명의 일 실시예에 의한 발광소자 패키지의 제조방법에 대해 설명한다.

[0043] 도 7a 내지 도 14b는 발광소자 패키지의 주요 제조공정을 개략적으로 나타낸 측 단면도이다. 구체적으로 상기 발광소자 패키지의 제조방법은 웨이퍼 레벨 칩스케일 패키지의 제조방법에 대한 것이다. 이하, 주요 공정 도면은 보다 용이한 이해를 위해서 일부 칩 스케일 패키지 공정에서의 하나의 발광소자 패키지를 기준으로 도시한다.

[0044] 도 7a 및 도 7b를 참조하면, 발광소자 패키지를 제조하는 공정은, 성장용 기판(110) 상에 제1 도전형 반도체층(121), 활성층(122) 및 제2 도전형 반도체층(123)을 포함하는 발광구조물(120)을 형성하고 일 영역을 메사 에칭하는 단계로 시작될 수 있다. 본 명세서에서, 성장용 기판(110)은 '기판'으로 지칭될 수 있다.

[0045] 상기 성장용 기판(110)은 필요에 따라 절연성, 도전성 또는 반도체 기판이 사용될 수 있다. 상기 성장용 기판(110)은 일 면에 발광구조물(120)을 형성할 수 있는 반도체 기판이 사용될 수 있다. 제1 도전형 반도체층(121)은 n형 $In_xAl_yGa_{1-x-y}N$ ($0\leq x<1$, $0\leq<1$, $0\leq x+y<1$)을 만족하는 질화물 반도체일 수 있으며, n형 불순물은 Si, Ge, Se, Te 등일 수 있다. 활성층(122)은 양자우물층과 양자장벽층이 서로 교대로 적층된 다중 양자우물(MQW) 구조일 수 있다. 예를 들어, 상기 양자우물층과 양자장벽층은 서로 다른 조성을 가지는 $In_xAl_yGa_{1-x-y}N$ ($0\leq x\leq 1$, $0\leq y\leq 1$, $0\leq x+y\leq 1$)일 수 있다. 특정 예에서, 상기 양자우물층은 $In_xGa_{1-x}N$ ($0<x\leq 1$)이며, 상기 양자장벽층은 GaN 또는 AlGaN일 수 있다. 제2 도전형 반도체층(123)은 p형 $In_xAl_yGa_{1-x-y}N$ ($0\leq x<1$, $0\leq y<1$, $0\leq x+y<1$)을 만족하는 질화물 반도체층일 수 있으며, p형 불순물은 Mg, Zn, Be 등일 수 있다.

[0046] 이어, 제1 도전형 반도체층(121)의 일부 영역이 노출되도록 상기 발광구조물(120)을 메사 에칭할 수 있다. 본 에칭공정은 상기 제2 도전형 반도체층(123)과 상기 활성층(122)의 일부 영역을 제거하여 메사 에칭된 영역(124, 125)을 형성하는 과정으로 수행될 수 있다.

[0047] 다음으로, 도 8a 및 도 8b에 도시된 바와 같이, 복수의 발광구조물(120)에 각각 제1 및 제2 전극(141, 142)을 배치한 후, 복수의 발광 영역들인 반도체 발광부(LED1-LED3)로 분리하기 위한 아이솔레이션 공정이 수행될 수 있다.

[0048] 분리 영역(ISOa, ISOb)은 성장용 기판(110)의 표면이 노출되도록 발광구조물(120)을 관통하도록 형성될 수 있다. 상기 공정을 통하여 발광구조물(120)은 복수의 발광 영역들로 분리되어 성장용 기판(110)에 의해 지지되게 된다.

[0049] 분리 영역은 개별 반도체 발광소자 패키지가 분리되는 영역인 소자 분리 영역(ISOa)과 복수의 발광 영역을 분리하는 서브 분리 영역(ISOb)를 포함할 수 있다. 소자 분리 영역(ISOa)은 세 개의 발광 영역(LED1, LED2, LED3)마다 형성될 수 있으며, 세 개의 발광 영역(LED1, LED2, LED3) 사이에는 서브 분리 영역(ISOb)이 형성될 수 있다. 이러한 아이솔레이션 공정은 블레이드를 이용하여 발광구조물(120)을 분리하는 형성하는 공정으로 이루어질 수 있으나, 이에 한정되는 것은 아니다. 서브 분리 영역(ISOb)은 소자 분리 영역(ISOa)과 다른 별도의 공정에 의해 형성될 수 있으나, 소자 분리 영역(ISOa)과 동일한 공정에 의해 형성될 수 있다. 서브 분리 영역(ISOb)은 소자 분리 영역(ISOa)보다 폭이 더 좁게 형성될 수 있다. 또한, 이 과정에서 소자 분리 영역(ISOa)과 서브 분리 영역(ISOb)에 노출되는 성장용 기판(110)의 표면이 제거되어 트랜치(T)가 형성될 수 있다. 트랜치(T)의 깊이(ED)는 후속 공정에서 적층되는 절연층(150)의 두께보다 크게 형성될 수 있다.

[0050] 다음으로, 도 9a 및 도 9b를 참조하면, 상기 발광구조물(120) 및 상기 성장용 기판(110)의 표면을 덮도록 절연층(150)이 증착될 수 있다. 절연층(150)에는 제1 및 제2 전극(141, 142)이 각각 노출되는 제1 및 제2 개구부(151, 152)가 형성될 수 있다. 이때, 증착되는 절연층(150)의 두께(RD)를 트랜치(T)의 깊이(ED)보다 작게 하면, 어느 하나의 발광구조물에서 방출된 광이 인접한 발광구조물에 입사되어 혼색되는 것을 방지할 수 있다. 또한, 서브 분리 영역(ISOb) 상에 증착된 절연층(150)을 소정의 폭(RA)으로 제거함으로써, 후속 공정에서 금속 지지층(160)이 절연층(150)을 덮는 영역을 정의할 수 있다.

[0051] 다음으로, 도 10a 및 도 10b를 참조하면, 절연층(150)의 가장자리를 포함하는 영역을 덮도록 금속 지지층(160)이 증착될 수 있다. 금속 지지층(160)은 복수의 발광구조물에 각각 배치된 제1 전극(141)과 각각 접속되는 복수의 제1 영역(161a, 161b, 161c) 및 복수의 제1 영역(161a, 161b, 161c)과 이격하여 배치되며 복수의 발광구조물에 각각 배치된 제2 전극(142)과 공통적으로 접속되는 제2 영역(162)을 포함할 수 있다. 복수의 제1 영역(161a, 161b, 161c)은 제2 영역(162)의 내부에 이격되어 배치될 수 있다. 금속 지지층(160)은 절연층(150)을 통하여 새어나오는 광을 차단하도록 절연층(150)의 가장자리를 포함하는 영역을 덮도록 배치될 수 있으며, 본 실시예의 경우에는 제2 영역(162)이 절연층(150)의 가장자리를 포함하는 영역을 덮도록 배치될 수 있다. 금속 지지층(160)은 높은 반사율 및 연성을 가지는 Cu, Au, Al과 같은 금속 물질로 이루어질 수 있다. 따라서, 절연층(150)에서 새오나오는 광을 차단하며, 제조공정 중에서 발광구조물에 가해지는 스트레스를 완화시킬 수 있다. 또한, 활성층(122)에서 방출된 광을 반사하여 후술하는 파장변환부 방향으로 광경로를 변경시킬 수 있으므로, 발광소자 패키지(100)의 외부 광추출 효율이 향상될 수 있다.

[0052] 다음으로, 도 11a 및 도 11b를 참조하면, 금속 지지층(160)의 복수의 제1 영역(161a, 161b, 161c)과 제2 영역(162)을 각각 노출시키는 제1 개구부(171a, 171b, 171c)와 제2 개구부(172)를 갖는 층간 절연층(170)을 증착할 수 있다. 층간 절연층(170)은 후속 공정에서 형성되는 패드 전극이 배치되는 영역을 정의할 수 있다.

[0053] 다음으로, 도 12a 및 도 12b를 참조하면, 층간 절연층(170)의 제1 개구부(171a, 171b, 171c)와 제2 개구부(172)와 각각 접속되는 제1 패드부(181a, 181b, 181c) 및 제2 패드부(182)를 증착할 수 있다.

[0054] 다음으로, 도 13a 및 도 13b를 참조하면, 금속 지지층(170), 제1 패드부(181a, 181b, 181c) 및 제2 패드부(182)를 덮으며, UBM층(under bump matal layer)이 증착되는 영역을 정의하는 제1 개구부(191a, 191b, 191c) 및 제2 개구부(192)를 갖는 패시베이션층(190)을 증착하고, 제1 개구부(191a, 191b, 191c) 및 제2 개구부(192) 내에 UBM층(185a, 185b, 185c, 185d)을 증착할 수 있다.

[0055] 다음으로, 도 14a 및 14b를 참조하면, 제1 내지 제3 반도체 발광부(LED1-LED3)에 대응되는 성장용 기판(110)의 일 영역을 식각하여 제1 내지 제3 광방출창(112a, 112b, 112c)을 형성할 수 있다.

[0056] 다음으로, 제1 내지 제3 광방출창(112a, 112b, 112c)에 각각 파장변환물질이 혼합된 광투과성 액상 수지를 디스펜싱하여 제1 내지 제3 파장변환부(113, 114, 115)를 형성하고, 블레이드를 이용하여 개별 반도체 발광소자 단위로 절단하면, 도 3 및 도 4에 도시된 발광소자 패키지(100)를 제조할 수 있다.

[0057] 본 발명은 상술한 실시형태 및 첨부된 도면에 의해 한정되는 것이 아니며, 첨부된 청구범위에 의해 한정하고자 한다. 따라서, 청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 당 기술분야의 통상의 지식을 가진 자에 의해 다양한 형태의 치환, 변형 및 변경이 가능할 것이며, 이 또한 본 발명의 범위에 속한다고 할 것이다.

부호의 설명

[0058] 1: 디스플레이 패널

10: 발광소자 모듈

20: 회로 기판

50: LED 광원모듈

51: 몰딩부

100: 발광소자 패키지

110: 성장용 기판

120: 발광구조물

130: 절연 마스크층

141: 제1 전극

142: 제2 전극

170: 층간 절연층

190: 패시베이션층

CA: 셀 어레이

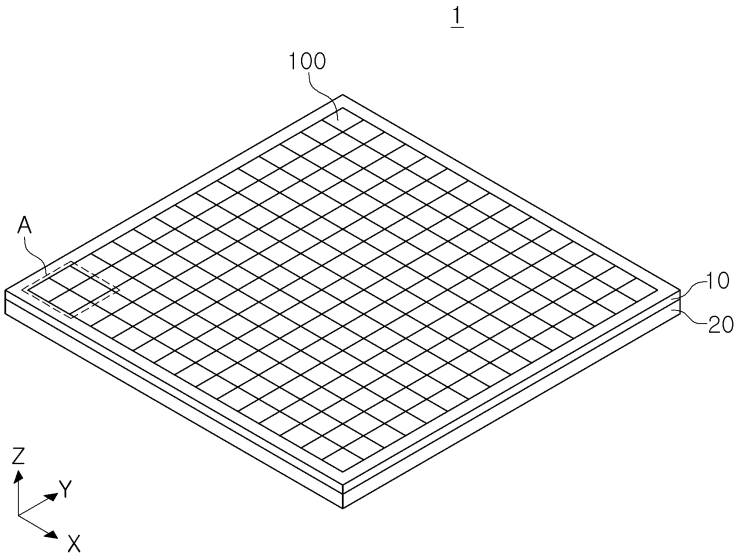
SP1-SP3: 제1 내지 제3 서브 픽셀

SW1-SW3: 제1 내지 제3 스위칭부

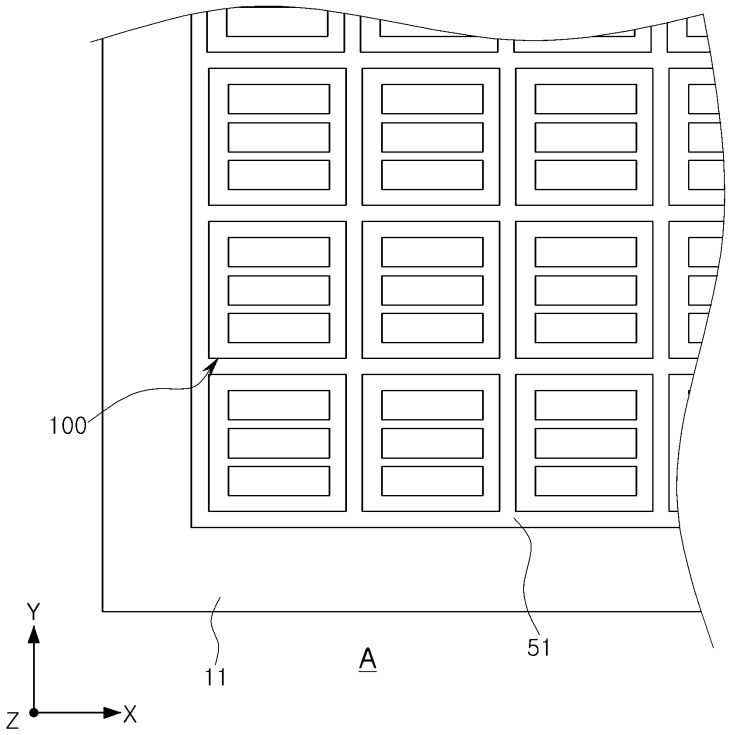
LED1-LED3: 제1 내지 제3 반도체 발광부

도면

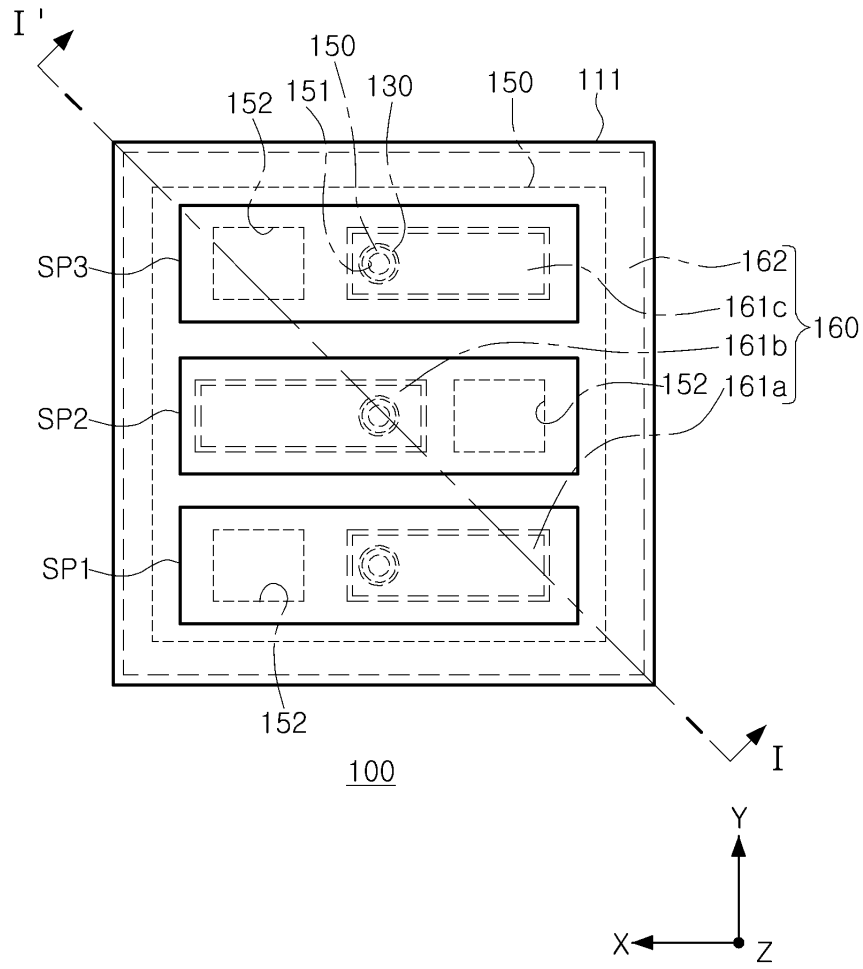
도면1



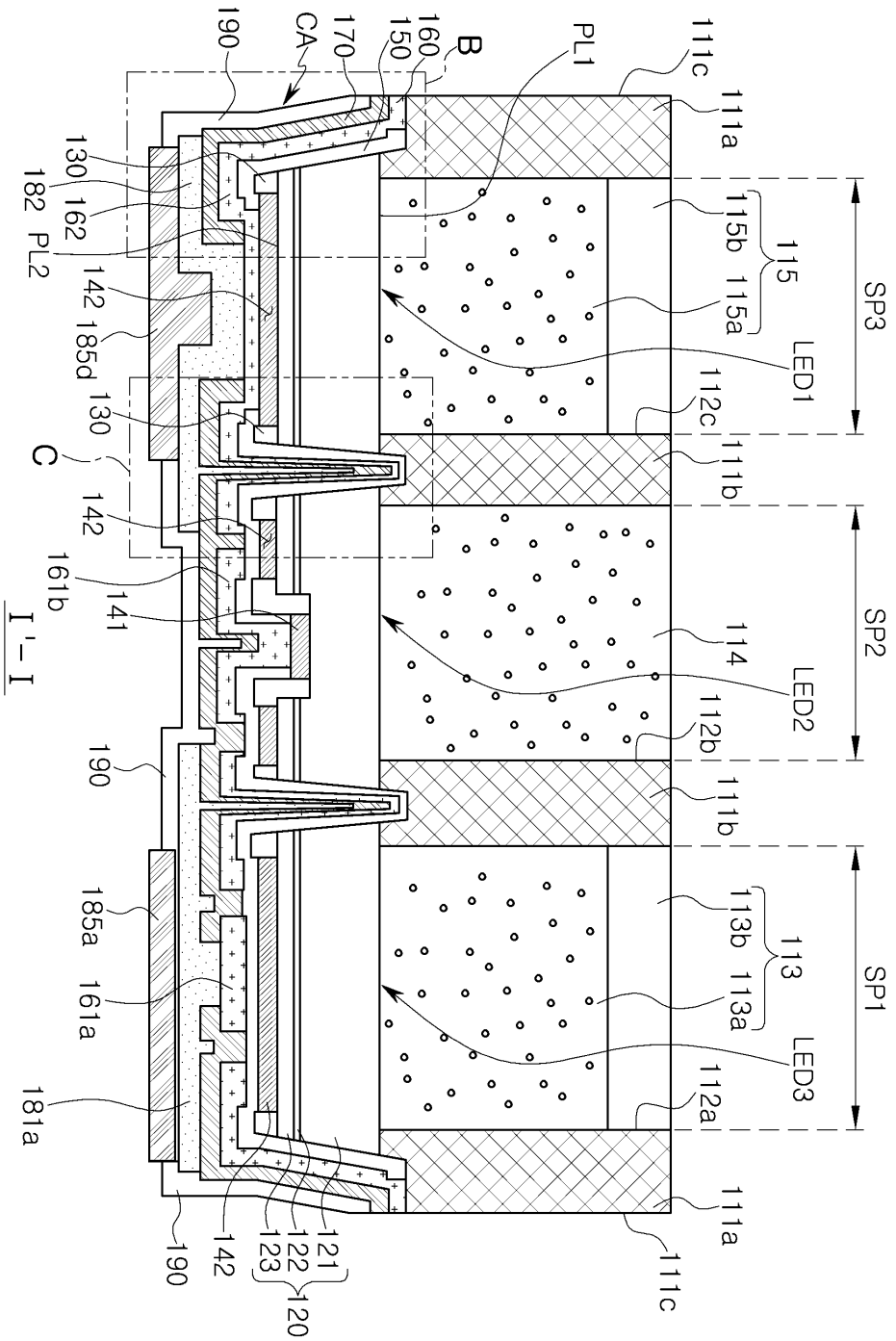
도면2



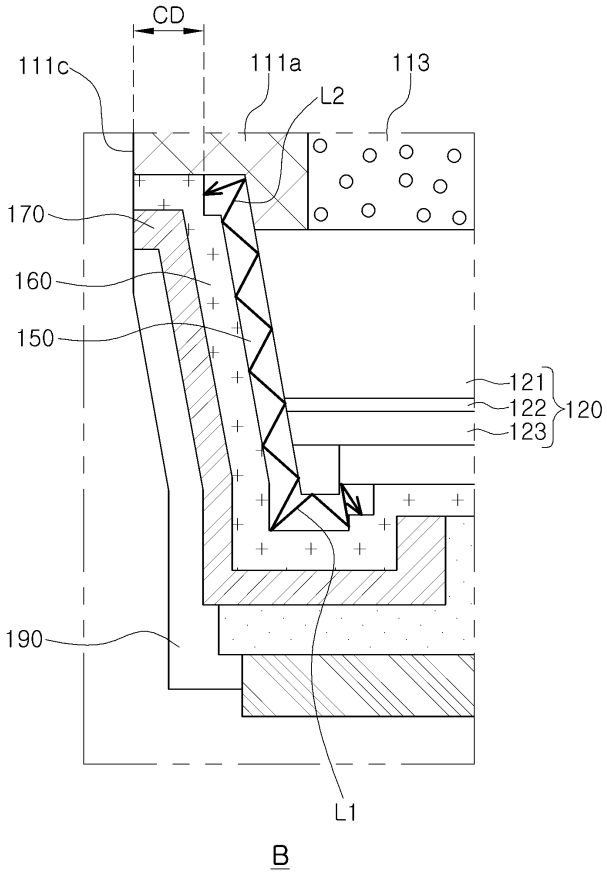
도면3


I'
150
152
151
130
150
111
SP3
162
161c
160
161b
152
161a
SP2
SP1
152
I
100
Y
X
Z

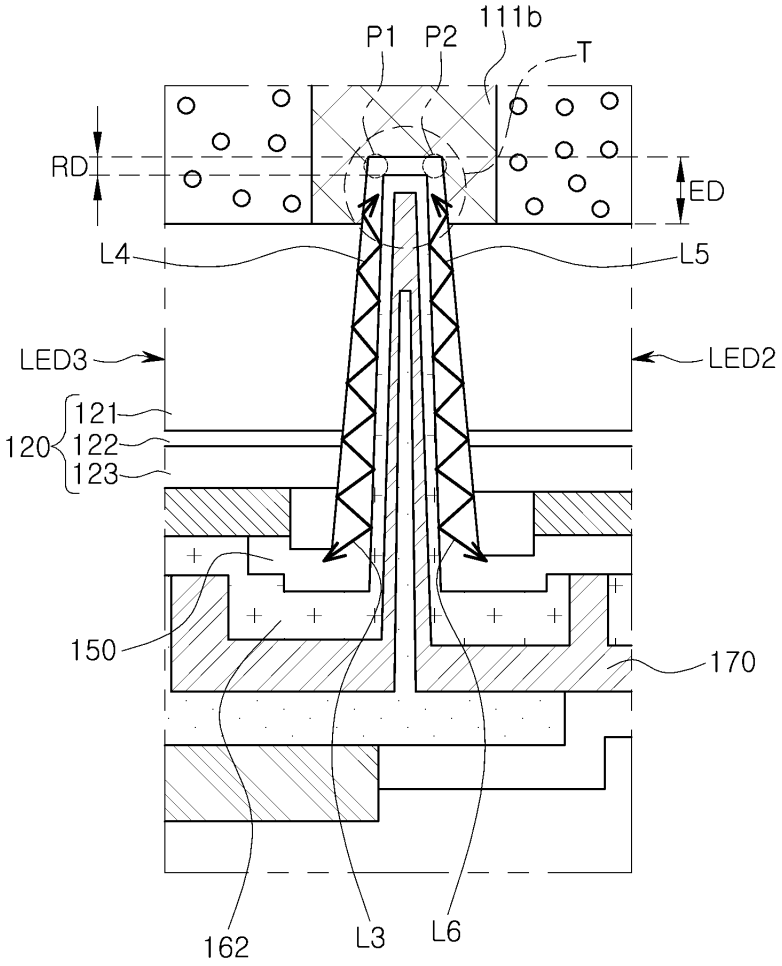
도면4


190
CA
170
160
150
B
PL1
111c
111a
130
182
162
PL2
142
185d
130
C
142
161b
141
I'-I
190
185a
161a
181a
190
142
123
122
121
120
111c
111a
115b
115
115a
LED1
112c
111b
114
LED2
112b
111b
113b
113
113a
LED3
112a
SP3
SP2
SP1

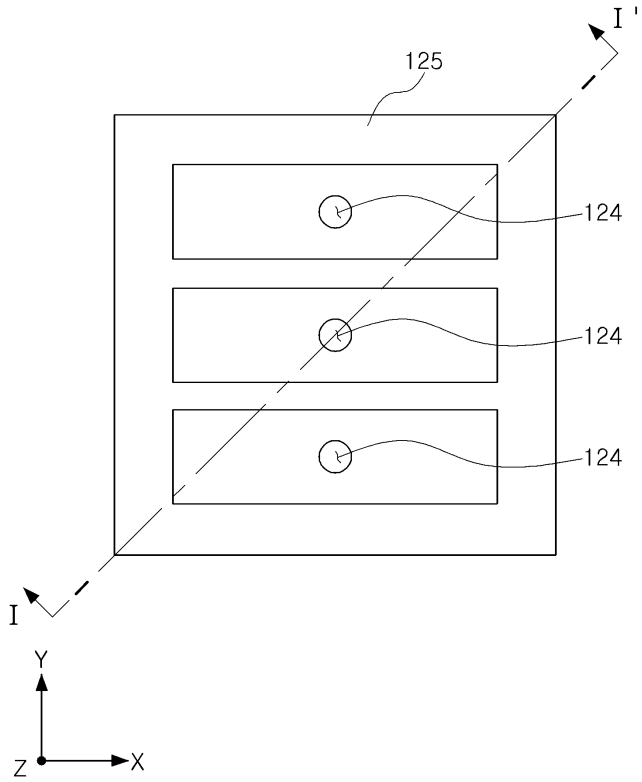
도면5



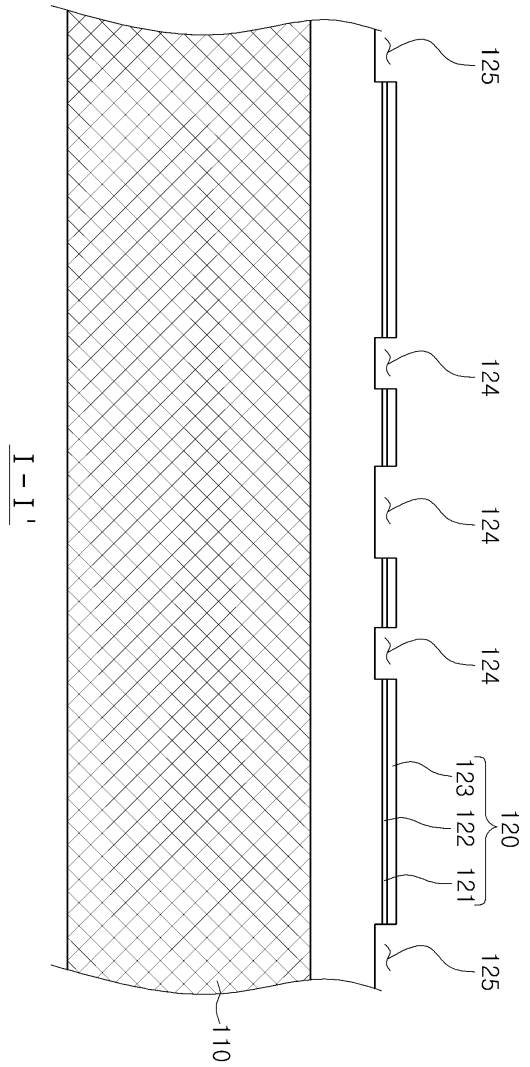
도면6


P1
P2
111b
T
RD
ED
L4
L5
LED3
LED2
121
120
122
123
150
170
162
L3
L6
C

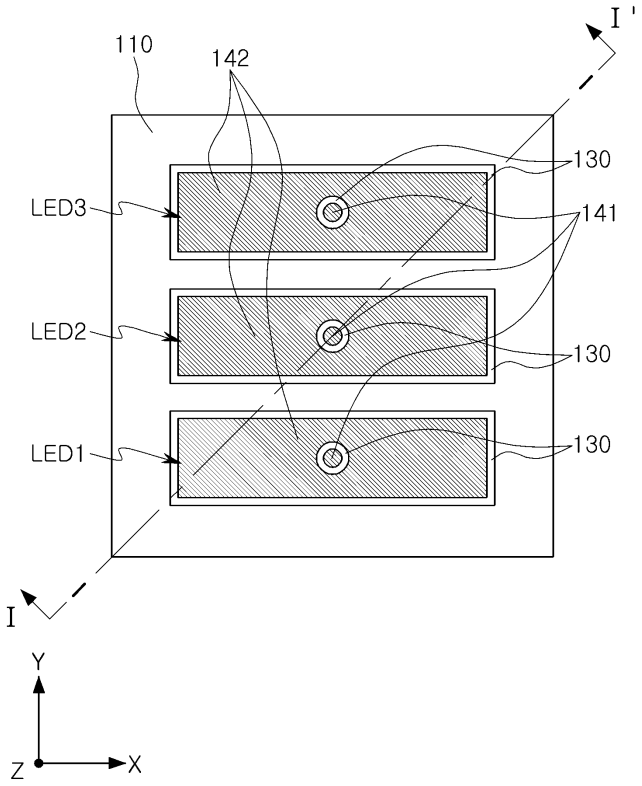
도면7a



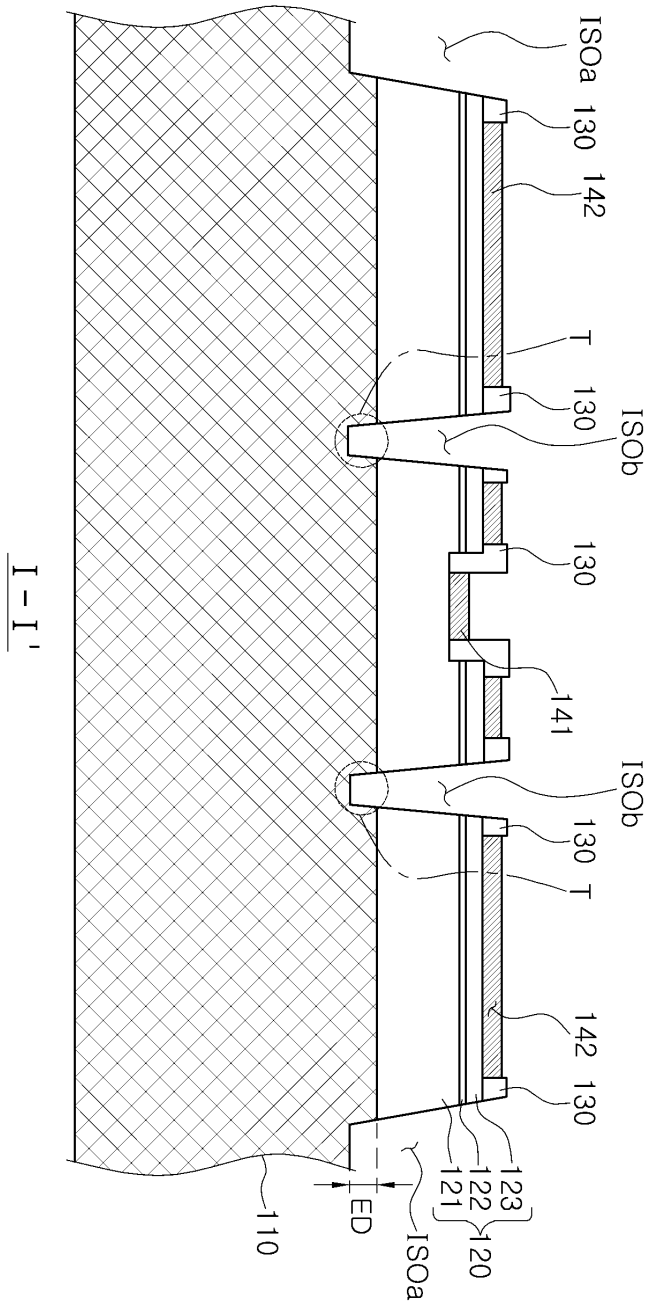
도면7b



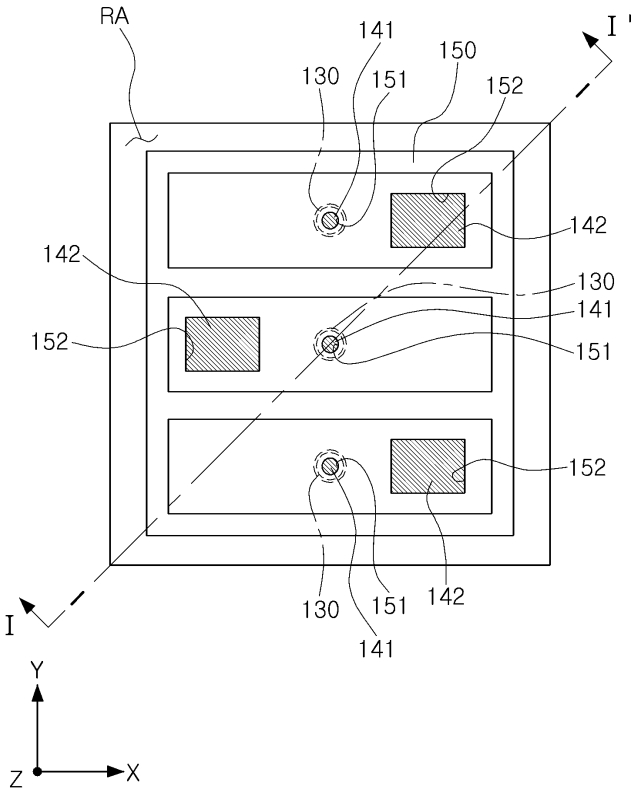
도면8a



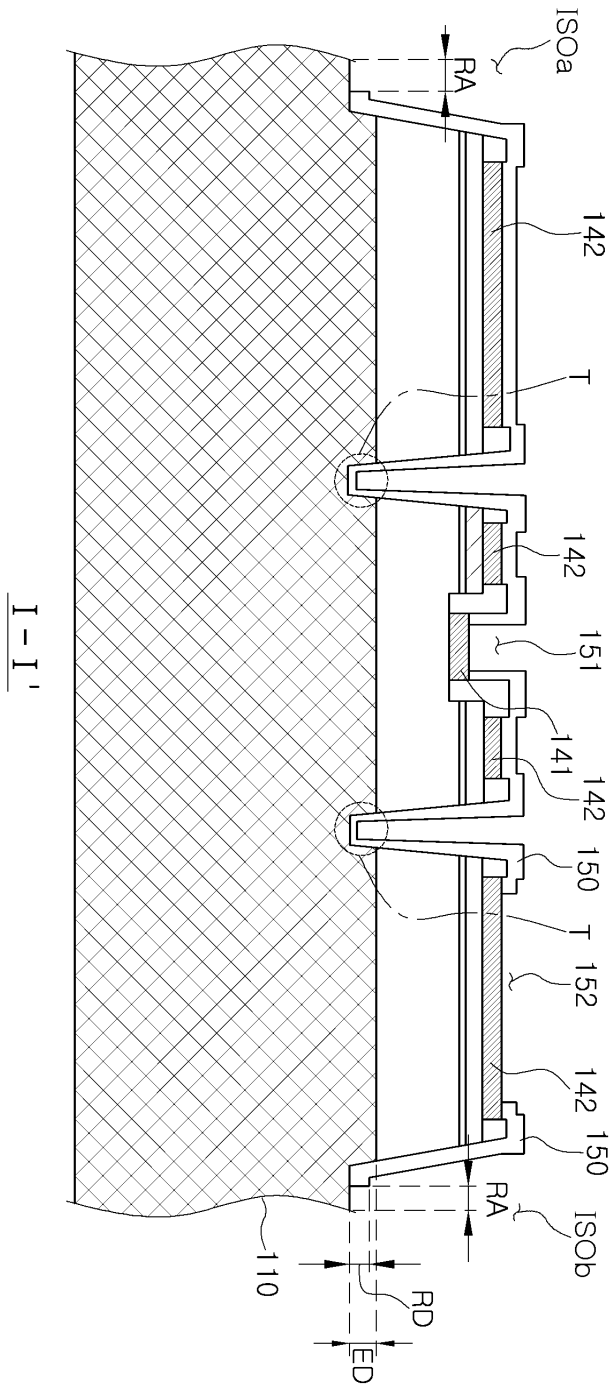
도면8b


I - I'
ISOa
130
142
T
130
ISOb
130
141
ISOb
130
T
142
130
123
122
121
120
ISOa
ED
110

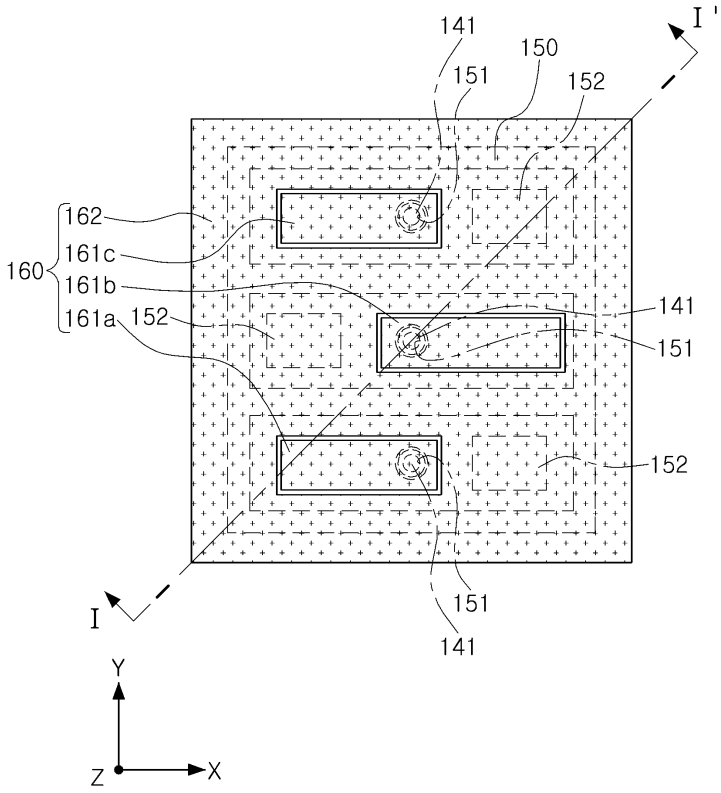
도면9a


RA
141
150
130
151
152
I '
142
142
130
141
152
151
152
I
130
151
142
141
Y
Z
X

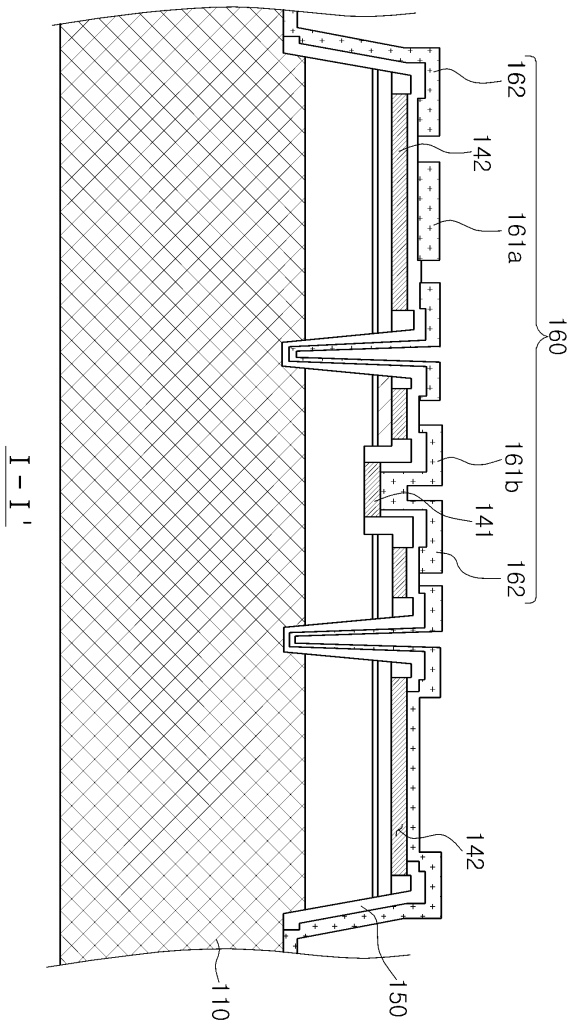
도면9b


I - I'
ISOa
RA
142
T
142
151
141
142
150
T
152
142
150
RA
ISOb
110
RD
ED

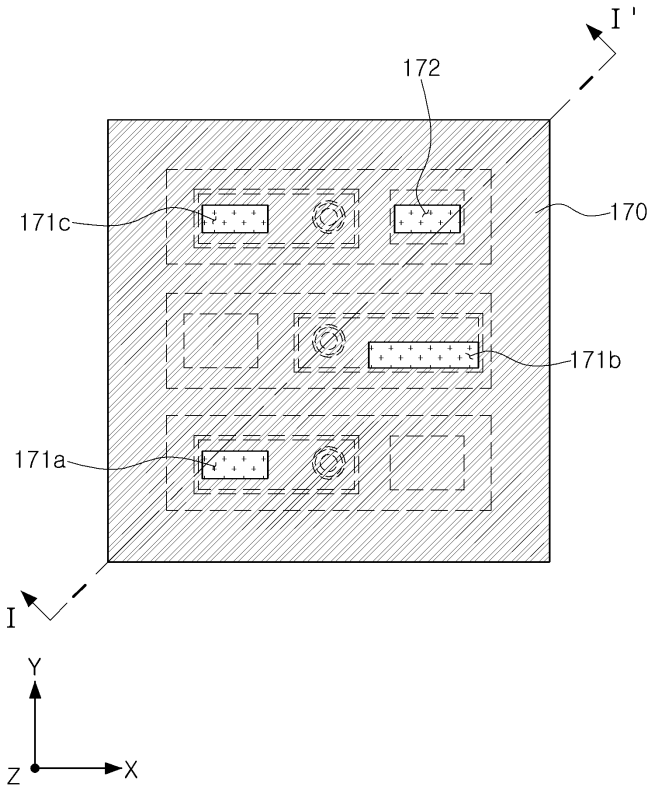
도면10a


141
150
151
152
I '
162
161c
160
161b
161a
152
141
151
152
151
141
I
Y
Z
X

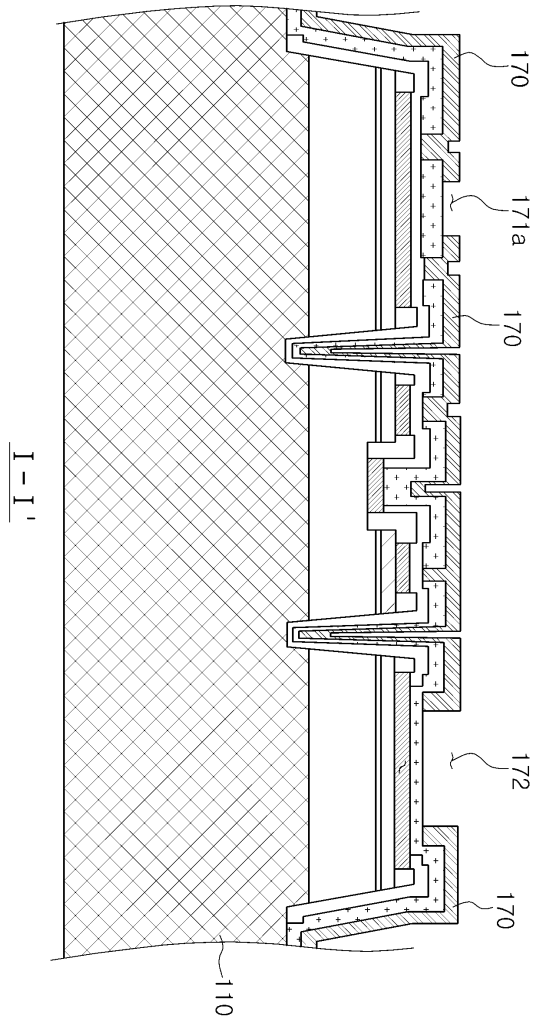
도면10b



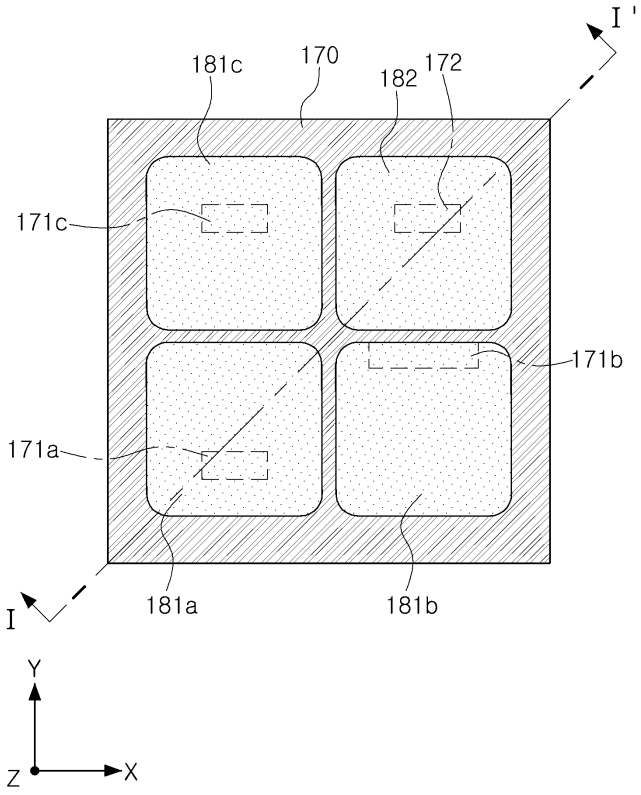
도면11a



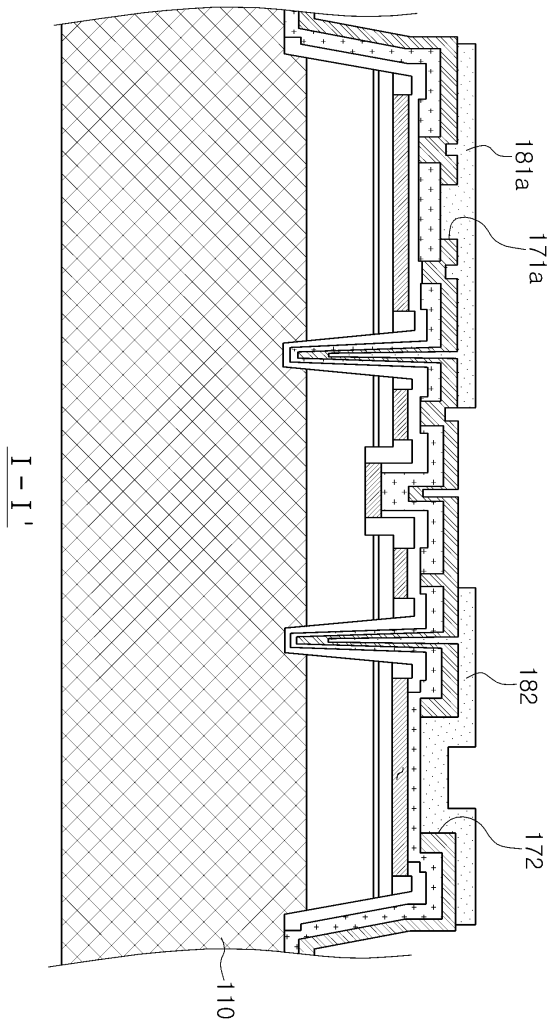
도면11b



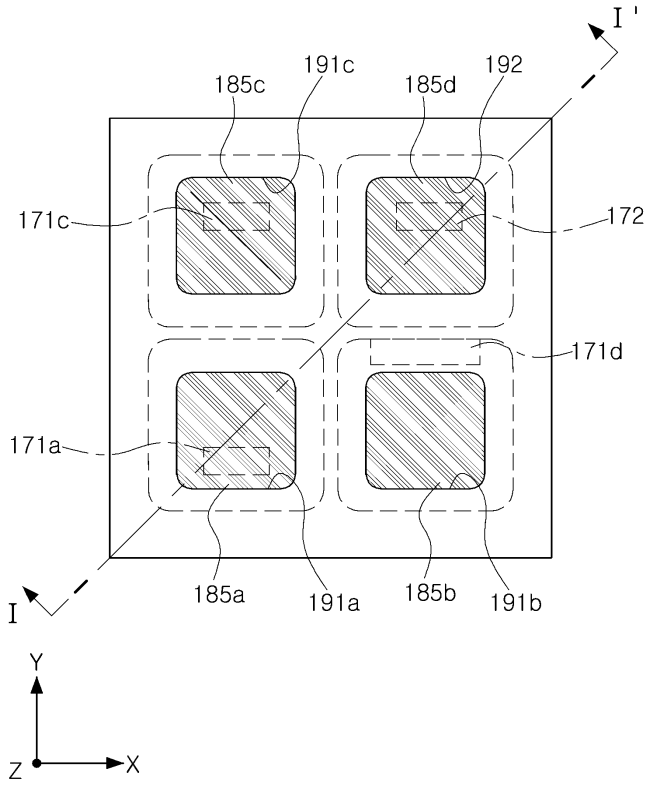
도면12a



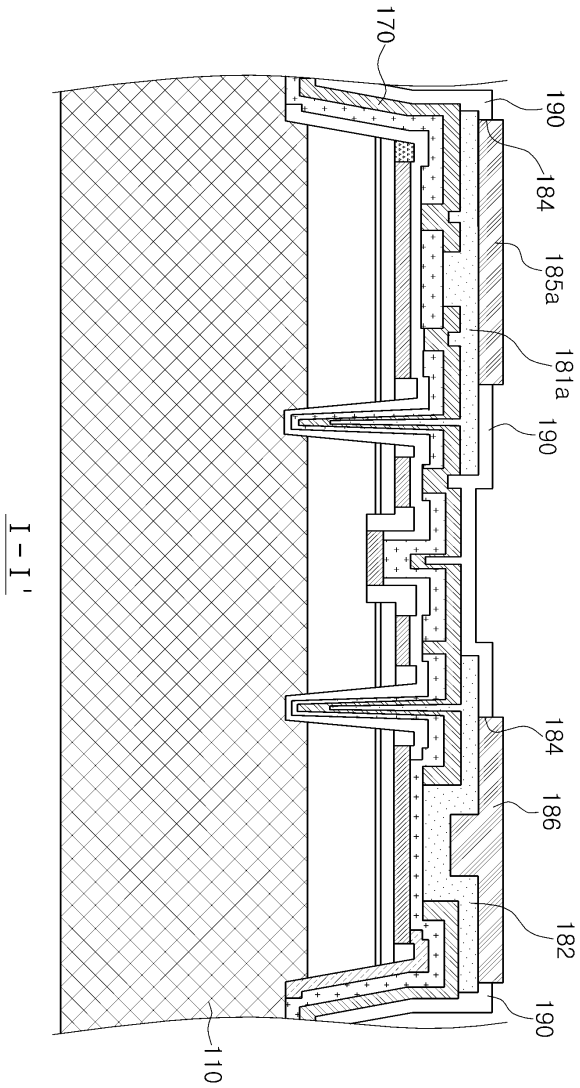
도면12b



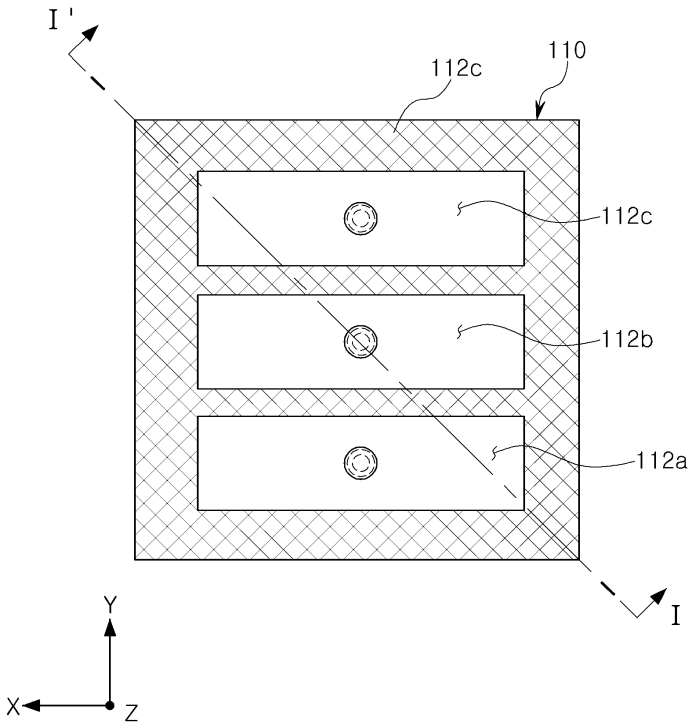
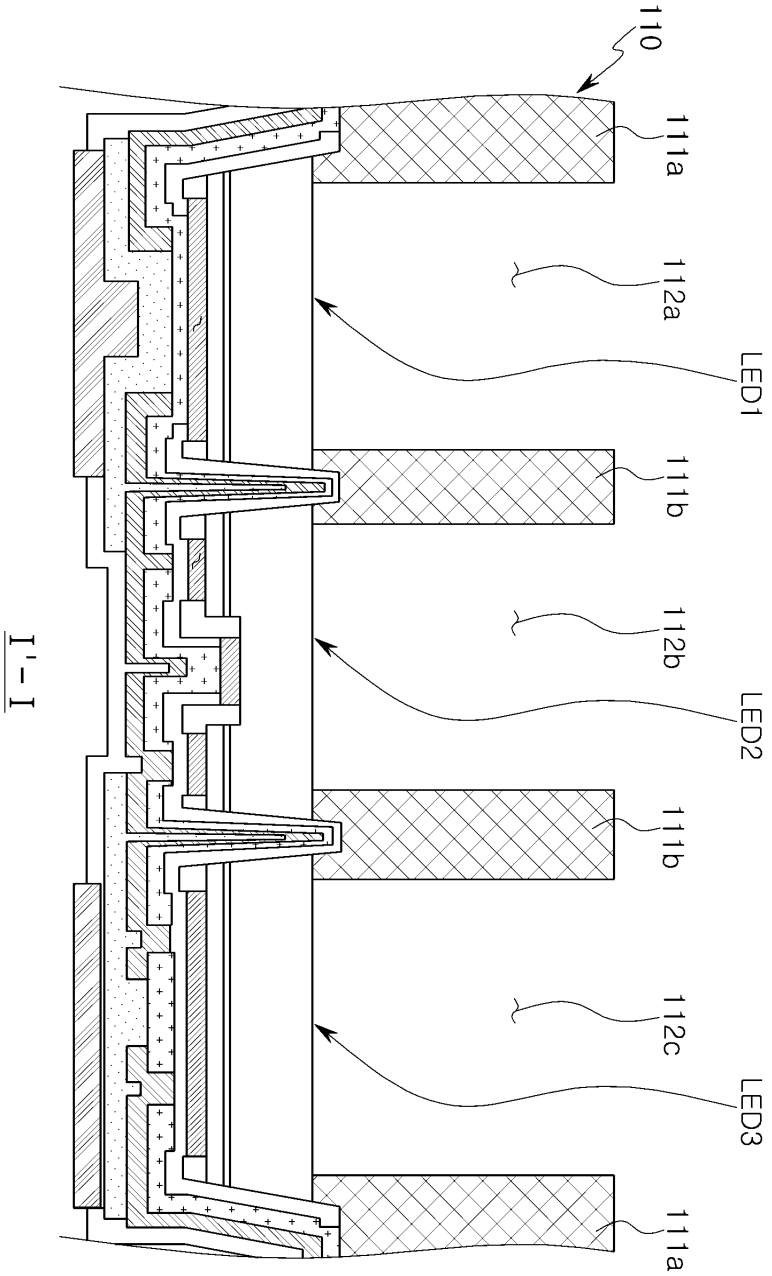
도면13a


I '
185c
191c
185d
192
171c
172
171d
171a
I
185a
191a
185b
191b
Y
Z
X

도면13b



도면14a



도면14b