



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I411858 B

(45)公告日：中華民國 102 (2013) 年 10 月 11 日

(21)申請案號：098134412 (22)申請日：中華民國 98 (2009) 年 10 月 09 日  
 (51)Int. Cl. : G02F1/136 (2006.01) G02F1/1343 (2006.01)  
 (30)優先權：2009/06/12 美國 12/483,390  
 (71)申請人：友達光電股份有限公司(中華民國) AU OPTRONICS CORPORATION (TW)  
 新竹市新竹科學工業園區力行二路 1 號  
 (72)發明人：林祥麟 LIN, HSIANGLIN (TW)；林敬桓 LIN, CHINGHUAN (TW)；石志鴻 SHIH,  
 CHIHUNG (TW)；黃偉明 HUANG, WEIMING (TW)  
 (74)代理人：蔡坤財；李世章  
 (56)參考文獻：  
 TW I226712 CN 1837936A  
 US 6118506  
 審查人員：譚漢民  
 申請專利範圍項數：19 項 圖式數：16 共 0 頁

## (54)名稱

用於液晶顯示器的畫素結構及製造畫素結構的方法

PIXEL STRUCTURE FOR LCD AND METHOD OF MANUFACTURING PIXEL STRUCTURE

## (57)摘要

本發明是一種關於提升開口率的畫素結構。在一個具體實施方式中，畫素結構包含形成於基板上的掃描線和形成於基板上的資料線，並以此定義畫素區。開關形成於基板上的畫素區之內。遮蔽電極具有第一部份和延伸自第一部份的第二部份，形成於掃描線、資料線和開關之上，其中第一部份與開關部分重疊，且第二部份與資料線部分重疊。畫素電極具有第一部份和延伸自第一部份的第二部份，形成於畫素區內的遮蔽電極之上，其中畫素電極的第一部份與遮蔽電極的第一部份重疊，以定義出其間的儲存電容器，畫素電極的第二部份未與遮蔽電極的第二部份重疊。

This invention in one aspect relates to a pixel structure. In one embodiment, the pixel structure includes a scan line formed on a substrate and a data line formed over the pixel area on the substrate, a shielding electrode having a first portion and a second portion extending from the first portion, and formed over the scan line, the data line and the switch, where the first portion is overlapped with the switch and the second portion is overlapped with the data line, and a pixel electrode having a first portion and a second portion extending from the first portion, and formed over the shielding electrode in the pixel area, where the first portion is overlapped with the first portion of the shielding electrode so as to define a storage capacitor therebetween and the second portion has no overlapping with the second portion of the shielding electrode.

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：P8134412

※申請日：98.10.9

※IPC分類：G02F 1/136 (2006.01)

G02F 1/1343 (2006.01)

一、發明名稱：(中文/英文)

用於液晶顯示器的畫素結構及製造畫素結構的方法

PIXEL STRUCTURE FOR LCD AND METHOD OF  
MANUFACTURING PIXEL STRUCTURE

二、中文發明摘要：

本發明是一種關於提升開口率的畫素結構。在一個具體實施方式中，畫素結構包含形成於基板上的掃描線和形成於基板上的資料線，並以此定義畫素區。開關形成於基板上的畫素區之內。遮蔽電極具有第一部份和延伸自第一部份的第二部份，形成於掃描線、資料線和開關之上，其中第一部份與開關部分重疊，且第二部份與資料線部分重疊。畫素電極具有第一部份和延伸自第一部份的第二部份，形成於畫素區內的遮蔽電極之上，其中畫素電極的第一部份與遮蔽電極的第一部份重疊，以定義出其間的儲存電容器，畫素電極的第二部份未與遮蔽電極的第二部份重疊。

三、英文發明摘要：

This invention in one aspect relates to a pixel structure. In one embodiment, the pixel structure includes a scan line formed on a substrate and a data line formed over the 5

pixel area on the substrate, a shielding electrode having a first portion and a second portion extending from the first portion, and formed over the scan line, the data line and the switch, where the first portion is overlapped with the switch and the second portion is overlapped with the data line, and a pixel electrode having a first portion and a second portion extending from the first portion, and formed over the shielding electrode in the pixel area, where the first portion is overlapped with the first portion of the shielding electrode so as to define a storage capacitor therebetween and the second portion has no overlapping with the second portion of the shielding electrode.

#### 四、指定代表圖：

(一)本案指定代表圖為：第(1A)圖。

(二)本代表圖之元件符號簡單說明：

100	畫素結構	140	畫素電極
105	畫素區	142	第一部份
110	掃描線	144	第二部份
120	資料線	150	開關
122	資料線	151	閘極
130	遮蔽電極	155	源極
132	第一部份	156	汲極
134	第二部份	160	儲存電容器

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

## 六、發明說明：

### 【發明所屬之技術領域】

本發明是有關於一種液晶顯示器(liquid crystal display, LCD)，且特別是有關於一種利用畫素設計(pixel design)以增進開口率(aperture ratio)的液晶顯示器和其製造方法。

### 【先前技術】

液晶顯示器(Liquid Crystal Display, LCD)包含液晶顯示器(LCD)面板，其中負責趨動薄膜電晶體陣列基板(TFT array substrate)，是由複數個畫素結構(pixel structure)所組成，每一畫素結構具有掃描線(scan line)、畫素電極(pixel electrode)和開關(switch)；開關具有閘極、源極、和一汲極，分別電性連接至掃描線、資料線(data line)和畫素電極。一般而言，畫素的開口率(aperture ratio)直接影響背光源的利用和 LCD 面板亮度。在畫素結構之中，一個主要影響開口率的因素是介於畫素電極和資料線之間的電容( $C_{pd}$ )。電容( $C_{pd}$ )是由畫素電極和資料線之間的距離來決定。畫素電極和資料線的距離愈近，電容( $C_{pd}$ )的值就愈大，此時畫素電極上的電壓，容易受資料線的影響而產生串音(cross-talk)現象，影響 LCD 的顯示品質。一般而言，資料線會設計成與畫素電極間隔一段距離以避免串音。然而，資料線和畫素電極的間隔距離愈大，畫素的開口率減少的幅度也愈大。

為了減少畫素結構內的串音，並將畫素結構的開口率保持在一定程度，已發展出了各種畫素結構的設計。例如，其中一個畫素設計為在畫素電極和資料線之間設置一遮蔽

電極(shielding electrode)以減少電容( $C_{pd}$ )的效應。

在第 6 圖所示的畫素設計 600 中，遮蔽電極 640 形成於資料線 620 和開關 650 之上，但位於畫素電極 610 之下。這種遮蔽電極 640 之一區域 660 與畫素電極 610 周圍一部份彼此重疊。這種畫素設計是利用在遮蔽電極 640 與畫素電極 610 周圍部份重疊區域 660 間產生儲存電容，相較於沒有遮蔽電極的畫素設計而言，這種方式可改善其之開口率。然而，因為阻抗的原因，遮蔽電極 640 通常以不透明的導電材料製成。所以，當使用遮蔽電極 640 與畫素電極 610 周圍部分重疊區域 660 所產生的儲存電容時，本身也會造成某種程度的開口率下降。

另外，如第 7 圖所示，某些畫素設計也會利用梳狀畫素電極 710 來輔助液晶的定向。在畫素設計 700 中，由遮蔽電極 740 與畫素電極 710 周圍部分彼此重疊所產生的儲存電容區域 760，會因畫素電極 710 的梳狀結構而減少。利用增加儲存電容區面積來增加儲存電容的方式，也會使孔徑比減少。

因此，為了解決前述之匱乏和不足之處，此技術中存在一個迄今為止尚未解決的需求。

### 【發明內容】

本發明的一個面向是關於一種用於液晶顯示器(LCD)的畫素結構。在一個具體實施例方式中，畫素結構具有形成於基板上的掃描線，和形成於基板上的資料線，以及由該資料線和該掃描線相關(associated with)的畫素區。畫素

結構也具有形成於基板上之畫素區內的開關。

另外，畫素結構包含遮蔽電極，此遮蔽電極具有第一部份和延伸自第一部份的第二部份，這些結構形成於掃描線、資料線和開關之上，其中第一部份與開關部分重疊，第二部份與資料線部分重疊。遮蔽電極的第二部可以遮蔽由該資料線所產生之電場。在一個具體實施方式中，該遮蔽電極以不透明的導電性材料製成。

此外，畫素結構具有畫素電極，具有第一部份和延伸自第一部份的第二部份，形成於該畫素區中的遮蔽電極之上。畫素結構的第一部份與該遮蔽電極的第一部份重疊，以定義其間之儲存電容器。該畫素電極的第二部份未與該遮蔽電極的第二部份重疊。在一個具體實施方式中，畫素電極為梳狀電極。該畫素電極以透明的導電性材料製成。

畫素結構也具有第一絕緣層，形成於該掃描線和該資料線之間；第二絕緣層，形成於該資料線和該遮蔽電極之間；和第三絕緣層，形成於該遮蔽電極和該畫素電極之間。

開關具有閘極、源極、汲極，分別電性連接於該掃描線、該資料線和該畫素電極。開關的閘極形成於基板上，開關的源極和汲極形成於該第一絕緣層和該第二絕緣層之間。

在一個具體實施方式中，開關更包含半導體層，形成於源極、汲極和第一絕緣層之間。該半導體層包含形成於第一絕緣層之上的通道層，和一形成於該通道層之上的歐姆接觸層。在一個具體實施方式中，通道層以非晶矽 (amorphous silicon) 形成，歐姆接觸層以  $N^+$  摻雜或化學氣相

沉積(Chemical Vapor Deposition, CVD)之半導體形成。開關等同於一薄膜電晶體(Thin Film Transistor, TFT)。

本發明另一實施例是關於液晶顯示器(LCD)，包含以矩陣方式排列的複數個畫素結構。

本發明又一實施例是關於一種製造畫素結構的方法。在一個具體實施方式中，此方法包含下列步驟：首先，提供基板，並於此基板上形成掃描線和閘極，所形成之閘極電性連接至掃描線。其次，在基板上形成第一絕緣層，並與掃描線和閘極部分重疊。

之後，半導體層形成在第一絕緣層之上，並與閘極部分重疊。在一個具體實施方式中，形成半導體層的步驟包含下列步驟：形成通道層在第一絕緣層之上，形成歐姆接觸層在通道層之上，並圖形化通道層和歐姆接觸層以形成半導體層，歐姆接觸層被圖形化以具有第一部份和與第一部份分離的第二部份。其次，資料線形成於第一絕緣層之上。同時，分別在歐姆接觸層的第一部份和第二部份之上形成源極和汲極。在另一步驟中，在形成通道層和歐姆接觸層之後，可在通道層和歐姆接觸層上進行前圖形化步驟以定義通道層的形狀。在形成源極和汲極之後，可進行圖形化通道層和歐姆接觸層的步驟，其中歐姆接觸層被圖形化以形成第一部份和與第一部份分離的第二部份，源極和汲極分別實質接觸歐姆接觸層的第一部份和第二部份。在另一步驟中，使用了半色調(half-tone)製程。在形成源極和汲極之後，可使用半色調光罩(half-tone mask)進行通道層和歐姆接觸層的圖形化步驟，其中歐姆接觸層被圖形化以



形成第一部份和與第一部份分離的第二部份，且源極和汲極分別實質接觸歐姆接觸層的第一部份和第二部份。該開關極、通道層、歐姆接觸層、源極和汲極定義一開關。

下一步驟為在第一絕緣層之上形成第二絕緣層，與資料線和開關部分重疊。遮蔽電極形成於第二絕緣層之上。該遮蔽電極具有與開關重疊的第一部份，和與資料線部分重疊之延伸自第一部份的第二部份。

接下來，第三絕緣層形成於第二絕緣層之上，覆蓋(overlays)遮蔽電極。之後，畫素電極形成在第三絕緣層之上。畫素電極具有第一部份，與遮蔽電極的第一部份重疊，用以定義其間的儲存電容器；以及延伸自第一部份的第二部份，其中畫素電極的第二部份未與遮蔽電極的第二部份重疊。

開關的源極和汲極分別電性連接至資料線和畫素電極。

通道層以非晶矽(amorphous silicon)形成，歐姆接觸層以  $N^+$  摻雜或化學氣相沉積之半導體形成。

在一個具體實施方式中，遮蔽電極包含不透明的導電性材料。

畫素電極為梳狀電極。畫素電極以透明的導電性材料製成。

在下面對於較佳的具體實施方式和其附圖的敘述中，將可瞭解本發明之上述和其它的面向，在不偏離所揭露之新概念的精神和範圍的情況下，可能有各種變更和修正。

## 【實施方式】

下文中將利用實例敘述本發明，其圖式僅為了使在本技術中具有通常知識的人瞭解本發明可具有各種變更和修正。現在將詳細敘述本發明的各種具體實施方式。在全部附圖中，相同的數字表示相同的元件。在說明書中和接下來的申請專利範圍中，所使用之「一(a, an)」或「此或該(the)」可能包含複數的意含，除非內文中已明確指出其意義。同樣地，在說明書中和接下來的申請專利範圍中，「在其中(in)」的意思包含「在其中(in)」和「在其上(on)」，除非內文中清楚地表達其它意思。以下依據本發明之具體實施方式所提供典型的設備和方法及其有關的結果，並非用以限制本發明的範圍。

以下將參照第 1-5 圖之附圖來說明本發明具體實施方式，依據本發明在此廣泛揭示的目的與實施方式，本發明一面向是與畫素結構有關，以及包含多個以矩陣形式排列之畫素結構的液晶顯示器。

請參考第 1A-1C 圖，畫素結構 100 具有掃描線 110、資料線 120、畫素區 105(定義為介於資料線 120 和相鄰畫素結構(未繪示)之資料線 122 之間)、開關 150、遮蔽電極 130 和畫素電極 140。開關 150 和畫素電極 140 形成於畫素區 105 之內。畫素結構 100 更包含第一絕緣層 172，第二絕緣層 174 和第三絕緣層 176。開關 150 具有閘極 151、源極 155 和汲極 156，分別電性連接至掃描線 110、資料線 120 和畫素電極 140。另外，開關 150 也包含通道層 152、歐姆接觸層 153/154(形成於閘極 151 和源極 155/汲極 156

之間)。在一個具體實施方式中，通道層 152 以非晶矽 (amorphous silicon, a-Si) 形成，歐姆接觸層 153/154 以  $N^+$  摻雜或化學氣相沉積 (CVD) 半導體形成。開關 150 等同於薄膜電晶體 (thin film transistor, TFT)。

閘極 151、資料線 120 和掃描線 110 間隔形成於基板 101 之上。閘極 151 定義開關區域的範圍。第一絕緣層 172 形成在基板 101 之上，並覆蓋掃描線 110 和閘極 151。通道層 152 形成在第一絕緣層 172 之上。通道層 152 層與閘極 151 部分重疊。歐姆接觸層 153/154 形成在通道層 152 之上。歐姆接觸層 153/154 具有第一部份 153 和一與第一部份 153 分離的第二部份 154。資料線 120 和源極 155、汲極 156 為同時形成。源極 155 和汲極 156 分別形成於歐姆接觸層 153/154 的第一部份 153 和第二部份 154 之上。

第二絕緣層 174 形成在第一絕緣層 172 之上，並覆蓋資料線 120 和開關 150。遮蔽電極 130 形成在第二絕緣層 174 之上。遮蔽電極 130 包含第一部份 132 (與開關 150 部分重疊)，和延伸自第一部份 132 的第二部份 134 (與資料線 120 部分重疊)。第三絕緣層 176 形成於第二絕緣層 174 之上，且覆蓋遮蔽電極 130。考慮到畫素的阻抗，遮蔽電極 130 通常以不透明的導電性材料製成。

畫素電極 140 形成在第三絕緣層 176 之上。畫素電極包含第一部份 142 (與遮蔽電極 130 的第一部份 132 重疊)，和延伸自第一部份 142 的第二部份 144。畫素電極 140 以透明的導電性材料製成，例如氧化銦鋅 (indium zinc oxide, IZO)、非晶氧化銦錫 (amorphous indium tin oxide, ITO)、多

晶氧化銦錫(polymorphous indium tin oxide, poly ITO)，或其它類似物。

依據本發明，開關 150 形成於畫素區 105 之內。遮蔽電極 130 的第一部份 132、畫素電極 140 的第一部份 142、以及介於遮蔽電極 130 的第一部份 132 和畫素電極 140 的第一部份 142 之間的第三絕緣層 176，三者構成儲存電容器 160，適以產生儲存電容。即，儲存電容區 160 定義為：遮蔽電極 130、畫素電極 140、和介於遮蔽電極 130 和畫素電極 140 的第三絕緣層 176，且位於開關 150 之上的區域。另外，畫素電極 140 的第二部份 144，並未與遮蔽電極 130 的第二部份 134 部分重疊。如第 1A 圖和第 1C 圖所示，畫素電極 140 的第二部份 144 和和遮蔽電極 130 的第二部份 134 以一縫隙  $d(d \geq 0$ ，且較佳為  $d \approx 0)$  間隔。因此，畫素區 105 可使傳送的畫素電極 144 的光線利用最佳化，並藉此增加畫素的開口率。

在此例示的具體實施方式中，開關 150 形成於畫素區 105 的中間區域。在實際應用中，開關 150 也可形成於畫素區 105 其它區域的內部。

第 2 圖為依據本發明之一具體實施方式所繪示之畫素設計 200。在作為範例的畫素設計 200 中，只繪示設置在一個矩陣(matrix)內的四個畫素結構 205a、205b、205c、205d。每一畫素結構 205a、205b、205c、205d 與第 1A-1C 圖中所示之畫素結構實質相同。延著資料線 220 方向的兩個相鄰的畫素結構 205a 和 205b 之畫素電極 240a 和 240b，以第一間隔 280 分離，延著掃描線 210 的方向的兩個相鄰

的畫素結構 205a 和 205c 之畫素電極 240a 和 240c，以第二間隔 290 分離。資料線 220 位於第二間隔 290 之內。另外，遮蔽電極 230 形成於第二間隔 290 之內，並覆蓋資料線 220。如第 2 圖所示，第一間隔 280 之內未包含遮蔽電極 230 的任何部份。

在實際應用中，可以使用任何數目的畫素結構。

第 3 圖為依據本發明的另一具體實施方式所繪示之畫素設計 300。畫素設計 300 與第 2 圖所繪示之畫素設計 200 相似，不同之處在於部份的遮蔽電極 330 形成於第一間隔 380 之內。

請參考第 4 圖，此圖為依據本發明之另一實施方式所繪示之畫素結構 400。畫素結構 400 與第 1A-1C 圖所繪示之畫素結構 100 相似，不同之處在於畫素電極 440 為梳狀結構。依此設計的畫素結構 400 可增加畫素的開口率。

第 5A-5H 圖為依據本發明之一具體實施方式所繪示之製造畫素結構的方法。此方法包含下列步驟：首先，提供基板 501。第一基板 501 的材質為玻璃、塑膠，或其它類似物。之後，在基板 501 之上間隔形成掃描線 510 和閘極 551。閘極 551 的材質為金屬，例如 Al、Mo、Cr、Ta 或合金。閘極 551 電性連接於掃描線 510。

第一絕緣層(閘絕緣層)572 形成在基板 501 之上，且覆蓋掃描線 510 和閘極 551。第一絕緣層 572 的材質為氮化矽( $\text{SiN}_x$ )、氧化矽( $\text{SiO}_x$ )、或氮氧化矽( $\text{SiON}$ )等。

之後，在第一絕緣層 572 上形成半導體層 559。半導體層 559 包含通道層 552(形成於第一絕緣層 572 之上，並

與閘極 551 部分重疊)。在通道層 552 上形成歐姆接觸層 558，並圖形化歐姆接觸層 558 以形成第一接觸部份 553，和與第一接觸部份 553 分離的第二接觸部份 554。通道層 552 可以非晶矽(a-Si)或其它類似物形成。接觸層 558 可以摻雜的非晶矽形成，例如摻雜  $N^+$  的非晶矽。在一個具體實施方式中，通道層 552 和接觸層 558 的形成方式為，非晶矽(a-Si)和摻雜的非晶矽( $N^+$ 摻雜 a-Si 或  $P^+$ 摻雜 a-Si)先後以電漿輔助化學氣相沉積法(Plasma-Enhanced Chemical Vapor Deposition, PECVD)沉積，之後再進行圖形化。接著，形成資料線 520、源極 555 和汲極 556。源極 555 和汲極 556 分別形成於歐姆接觸層的第一部份 553 和第二部份 554 之上。在另一步驟中，在形成通道層 552 和歐姆接觸層 558 之後，可進行通道層 552 和歐姆接觸層 558 的前圖形化的步驟，以定義通道層 552 的形狀。在形成源極 555 和汲極 556 之後，可進行通道層 552 和歐姆接觸層 558 的圖形化步驟，其中圖形化歐姆接觸層 558 以形成第一接觸部份 553，以及與第一接觸部份 553 分離的第二接觸部份 554。源極 555 和汲極 556 分別實質接觸於歐姆接觸層 558 的第一接觸部份 553 和第二接觸部份 554。在其它的步驟中則使用了半色調(half-tone)製程：在形成源極 555 和汲極 556 之後，以半色調光罩進行通道層 552 和歐姆接觸層 558 的圖形化步驟。其中，歐姆接觸層 558 被圖形化而形成第一接觸部份 553，和與第一接觸部份 553 分離的第二接觸部份 554。源極 555 和汲極 556 分別實質接觸於歐姆接觸層 558 的第一接觸部份 553 和第二接觸部份 554。

開關 550 的源極 555 和汲極 556 電性連接於資料線 520 和畫素電極 540。閘極 551、閘絕緣層 572、通道層 552 歐姆接觸層 558、源極 555 和汲極 556 定義出之開關 550，其等同於一個薄膜電晶體(TFT)。

之後，第二絕緣層 574 形成於第一絕緣層 572 之上，並覆蓋資料線 520 和開關 550。接著，遮蔽電極 530 形成於第二絕緣層 574 之上。遮蔽電極 530 具有與開關 550 重疊的第一部份 532，和與資料線 520 重疊且延伸自第一部份 532 的第二部份 534。遮蔽電極 530 以不透明的導電性材料製成。

下一步驟為在第二絕緣層 574 之上形成覆蓋遮蔽電極 530 的第三絕緣層 576。之後，畫素電極 540 形成在第三絕緣層 576 之上。畫素電極 540 具有第一部份 542 和延伸自第一部份 542 的第二部份 544。畫素電極 540 的第一部份 542 與遮蔽電極 530 的第一部份 532 重疊，並與中間的第三絕緣層 576 定義出儲存電容器 560。畫素電極 540 的第二部份 544 未與遮蔽電極 530 的第二部份 534 重疊。畫素電極 540 以透明的導電性材料製成。

綜上所述，本發明主要詳列出了一畫素結構，包含開關、遮蔽電極、和一個在多層結構的畫素區內中所形成的畫素電極。位於開關上的遮蔽電極的第一部份，和畫素電極的第一部份，以及二者間的第三絕緣層，三者做為儲存電容器以產生儲存電容。另外，畫素電極的第二部份未與遮蔽電極的第二部份(位於資料線的上方)重疊。基於此，畫素區可使穿過畫素電極的光線使用最佳化，並藉此增加

畫素的開口率。

以上對於本發明典型之具體實施方式的敘述僅為了以圖示和文字敘述本發明，並非為了徹底描述本發明或將本發明完全限制於所揭露的形式。由上述所教示的內容可啟發各種修正和改良。

所選擇並描述的具體實施方式是為了解釋本發明的原則和其實際的應用，藉此促使其它在本技術中具有通常知識者可利用本發明和其各種具體實施方式，並藉由各種具體的實施方式思考出合適之特定的使用模式。在維持本發明且沒有悖離其精神和範圍的情況下，此技術中具有通常知識者可發現其它的具體實施方式。基於此，本發明的範圍由下文中之申請專利範圍定義，而非由上述例示之具體實施方式的敘述定義。

### 【圖式簡單說明】

附圖繪示了本發明之一或多個具體實施方式，並且與上述說明書內容共同解釋本發明的原則。在附圖中，相同的參考數字代表具體實施方式中相同或相似的元件，其中：

第 1A-1C 圖為依據本發明之一具體實施方式所繪示之畫素結構簡圖，(a)為俯視圖，(b)為強調儲存電容的俯視圖，和(c)為剖面圖；

第 2 圖為依據本發明之另一具體實施方式所繪示之，包含四個畫素的畫素設計；

第 3 圖為依據本發明之另一具體實施方式所繪示之，包含四個畫素的畫素設計；



第 4 圖為依據本發明的具體實施方式所繪示之畫素結構，(a)為俯視圖，(b)為特別強調儲存電容的俯視圖；

第 5A-5H 圖為依據本發明之一具體實施方式所繪示之，製造畫素結構的方法剖面簡圖。

第 6 圖所示為一般畫素結構的簡圖，(a)為俯視圖，(b)為特別強調儲存電容的俯視圖；及

第 7 圖所示為另一習知之畫素結構的簡圖，(a)為俯視圖，(b)為特別強調儲存電容的俯視圖。

#### 【主要元件符號說明】

100	畫素結構	330	遮蔽電極
101	掃描線	380	間隔
105	畫素區	400	畫素結構
110	掃描線	440	畫素電極
120	資料線	501	基板
122	資料線	510	掃描線
130	遮蔽電極	520	資料線
132	第一部份	530	遮蔽電極
134	第二部份	532	第一部份
140	畫素電極	534	第二部份
142	第一部份	540	畫素電極
144	第二部份	542	第一部份

150	開關	544	第二部份
151	閘極	550	開關
152	通道層	551	閘極
153	歐姆接觸層	552	通道層
154	歐姆接觸層	553	接觸部份
155	源極	554	接觸部份
156	汲極	555	源極
160	儲存電容器	556	汲極
172	絕緣層	558	接觸層
174	絕緣層	559	半導體層
176	絕緣層	560	儲存電容器
200	畫素設計	572	絕緣層
205a	畫素結構	574	絕緣層
205b	畫素結構	576	絕緣層
205c	畫素結構	600	畫素設計
205d	畫素結構	610	畫素電極
210	掃描線	620	資料線
220	資料線	630	掃描線
230	遮蔽電極	640	遮蔽電極
240a	畫素電極	650	開關
240b	畫素電極	660	區域

240c	畫素電極	700	畫素設計
280	間隔	710	畫素電極
290	間隔	740	遮蔽電極
300	畫素設計	760	儲存電容區

## 七、申請專利範圍：

1. 一種用於液晶顯示器的畫素結構，包含：
  - (a) 一掃描線，形成於一基板之上；
  - (b) 一資料線，形成於該基板之上；
  - (c) 一畫素區，與該掃描線和該資料線相關連 (associated with)；
  - (d) 一開關，形成於該基板上的該畫素區內部；
  - (e) 一遮蔽電極，具有一第一部份和一延伸自該第一部份之第二部份，並形成於該掃描線、該資料線和該開關之上，其中該第一部份與該開關部分重疊，且其中該第二部份與該資料線部分重疊；及
  - (f) 一畫素電極，具有一第一部份和一延伸自該第一部份之第二部份，並形成於該畫素區內的該遮蔽電極之上，其中該第一部份與該遮蔽電極的第一部份重疊，以定義一儲存電容器於其間，其中該畫素電極的該第二部份未與該遮蔽電極的該第二部份重疊，

其中該開關具有一閘極、一源極、和一汲極，分別電性連接至該掃描線、該資料線和該畫素電極，且其中該畫素電極的該第二部份之上視輪廓與該遮蔽電極的該第二部份之上視輪廓之間存在一縫隙。

2. 如申請專利範圍第 1 項所述之畫素結構，更包含：
  - (a) 一第一絕緣層，形成於該掃描線和該資料線之間；

- (b) 一第二絕緣層，形成於該資料線和該遮蔽電極之間；及
- (c) 一第三絕緣層，形成於該遮蔽電極和該畫素電極之間。

3. 如申請專利範圍第 2 項所述之畫素結構，其中該開關的該閘極形成於該基板上，且該開關的該源極和該汲極形成於該第一絕緣層和該第二絕緣層之間。

4. 如申請專利範圍第 3 項所述之畫素結構，其中該開關更包含一半導體層，形成該源極和該汲極與該第一絕緣層之間。

5. 如申請專利範圍第 4 項所述之畫素結構，其中該半導體層包含一形成於該第一絕緣層之上的通道層，和一形成於該通道層之上的歐姆接觸層。

6. 如申請專利範圍第 5 項所述之畫素結構，其中該通道層以非晶矽(a-Si)製成，且其中該歐姆接觸層以  $N^+$  摻雜或以化學氣相沉積之半導體製成。

7. 如申請專利範圍第 1 項所述之畫素結構，其中該開關包含一薄膜電晶體。

8. 如申請專利範圍第 1 項所述之畫素結構，其中該遮蔽電極的該第二部份適以遮蔽由該資料線所產生之電場。

9. 如申請專利範圍第 1 項所述之畫素結構，其中該遮蔽電極以不透明的導電性材料製成。

10. 如申請專利範圍第 1 項所述之畫素結構，其中該畫素電極為梳狀電極。

11. 如申請專利範圍第 1 項所述之畫素結構，其中該畫素電極以透明的導電性材料製成。

12. 一種液晶顯示器，包含複數個以矩陣方式排列之如申請專利範圍第 1 項所述之畫素結構。

13. 一種製造畫素結構的方法，包含下列步驟：

- (a) 提供一基板；
- (b) 形成一掃描線和一閘極於該基板上，其中該閘極電性連接至該掃描線；
- (c) 形成一第一絕緣層於該基板上，覆蓋該掃描線和該閘極；
- (d) 形成一半導體層於該第一絕緣層之上，其中該半導體層與該閘極部分重疊；

- (e) 分別形成一源極和一汲極於該半導體層之上，和形成一資料線於該第一絕緣層之上，其中該源極電性連接至該資料線，且其中該閘極、該半導體層、該源極和該汲極定義出一開關；
- (f) 形成一第二絕緣層在該第一絕緣層之上，覆蓋該資料線和該開關；
- (g) 形成一遮蔽電極於該第二絕緣層之上，其中該遮蔽電極有一第一部份與該開關部分重疊，和一延伸自該第一部份的第二部份，與該資料線部分重疊；
- (h) 形成一第三絕緣層在該第二絕緣層之上，以覆蓋該遮蔽電極；及
- (i) 形成一畫素電極於該第三絕緣層之上，其中該畫素電極具有一第一部份，與該遮蔽電極的第一部份重疊，以定義一儲存電容器於其間，以及一延伸自該第一部份的第二部份，其中該畫素電極的第二部份未與該遮蔽電極的第二部份重疊，

其中該開關的該源極和該汲極分別電性連接至該資料線和該畫素電極。

14. 如申請專利範圍第 13 項所述之方法，其中形成該半導體層的步驟包含下列步驟：

- (a) 形成一通道層於該第一絕緣層之上；
- (b) 形成一歐姆接觸層於該通道層之上；及
- (c) 圖形化該通道層和該歐姆接觸層，以形成該半導體層。

15. 如申請專利範圍第 14 項所述之方法，其中該通道層以非晶矽(a-Si)製成，且其中該歐姆接觸層以  $N^+$  摻雜或化學氣相沉積之半導體形成。

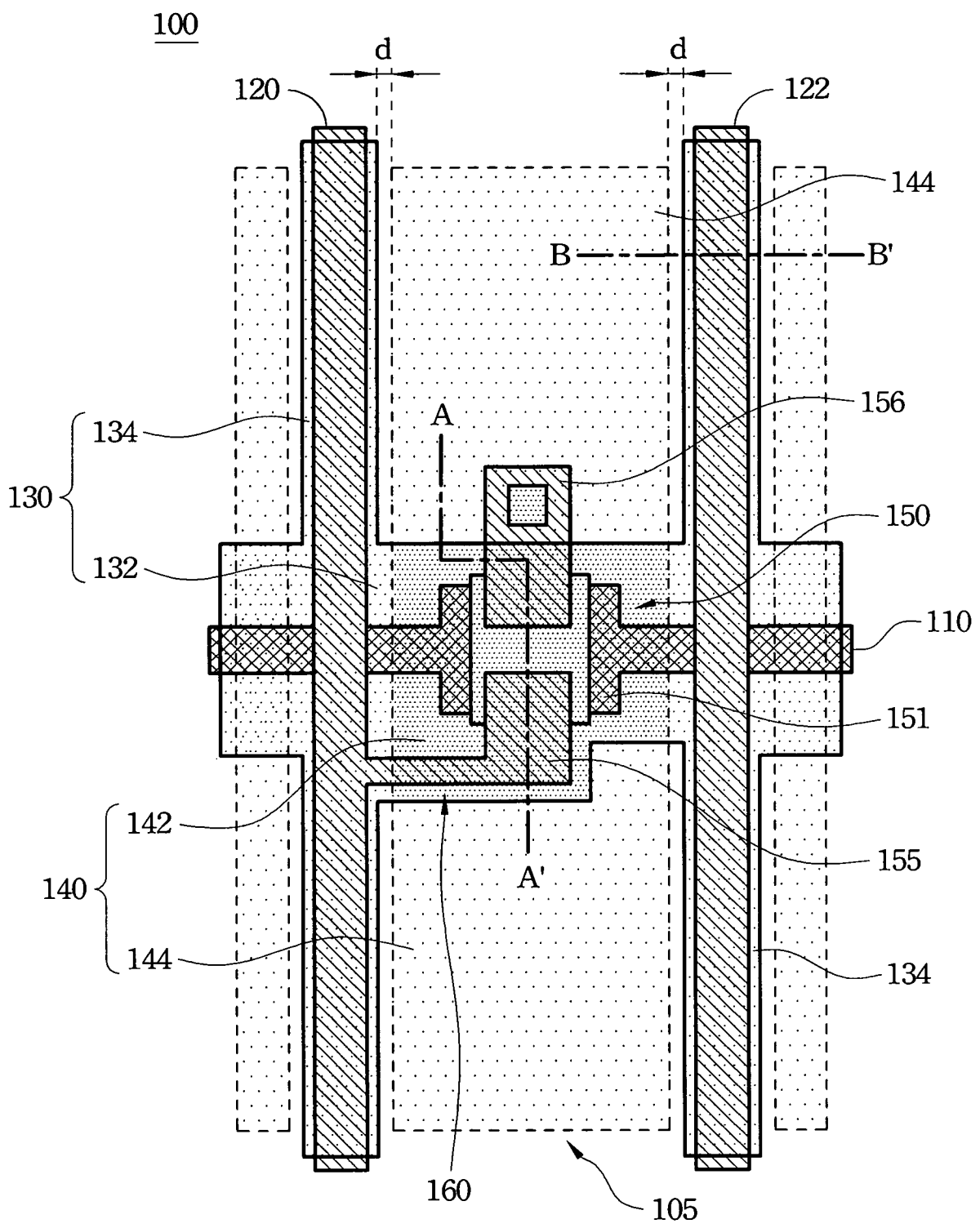
16. 如申請專利範圍第 14 項所述之方法，其中該歐姆接觸層被圖形化以形成一第一部份和一與該第一部份分離之第二部份，且該源極和汲極分別實質接觸該歐姆接觸層的該第一部份和該第二部份。

17. 如申請專利範圍第 13 項所述之方法，其中該遮蔽電極包含不透明的導電材料。

18. 如申請專利範圍第 13 項所述之方法，其中該畫素電極為梳狀電極。

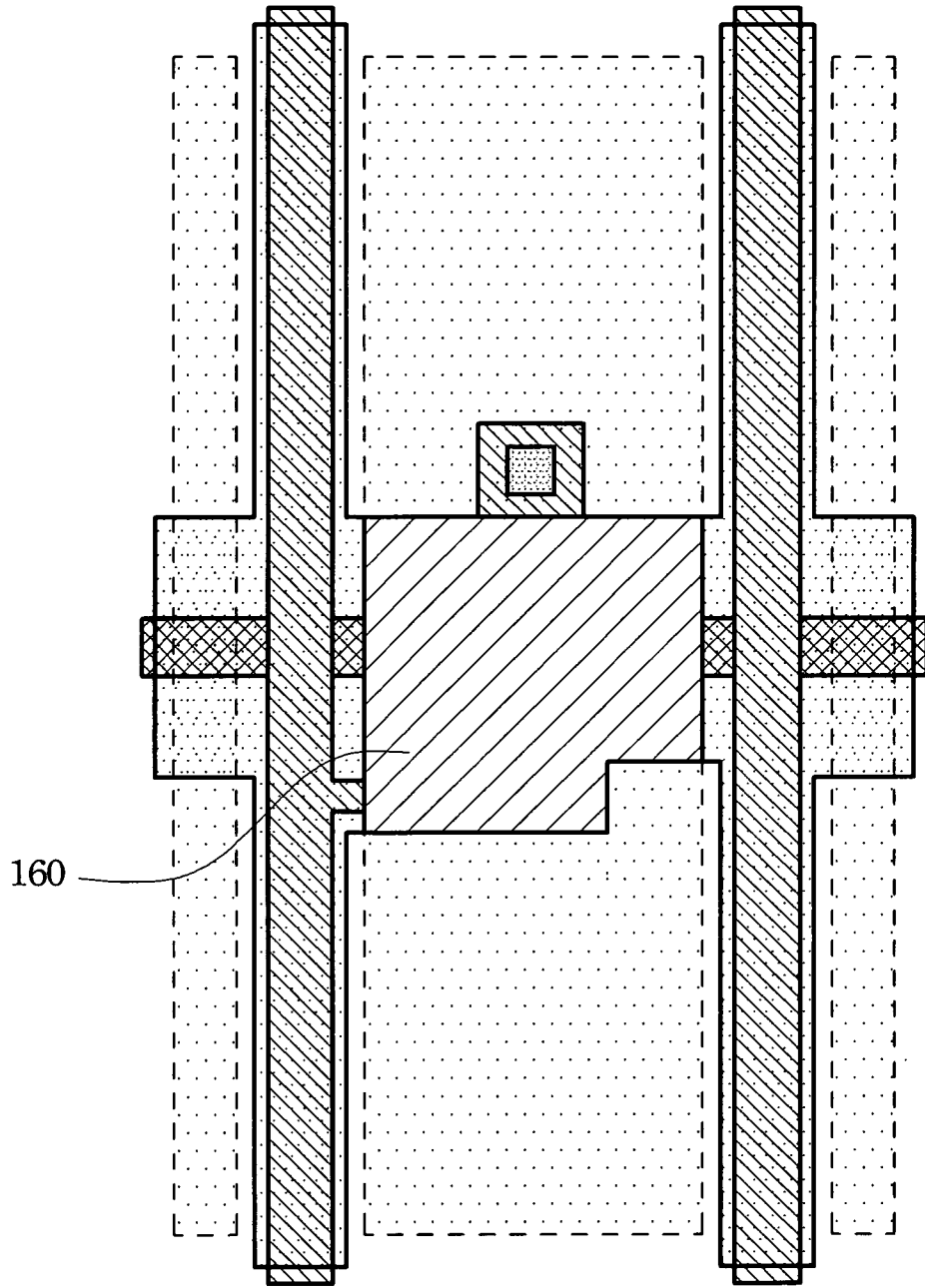
19. 如申請專利範圍第 13 項所述之方法，其中該畫素電極以透明的導電材料製成。





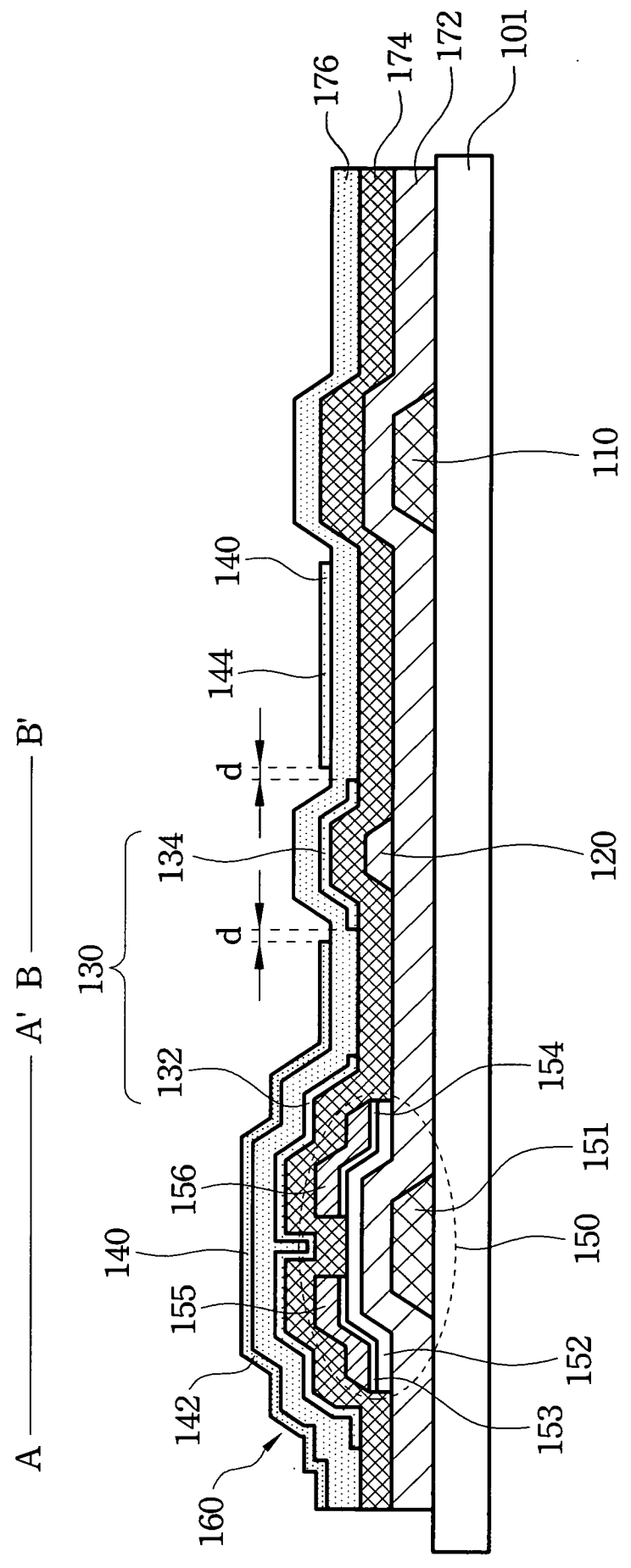
第 1a 圖

100

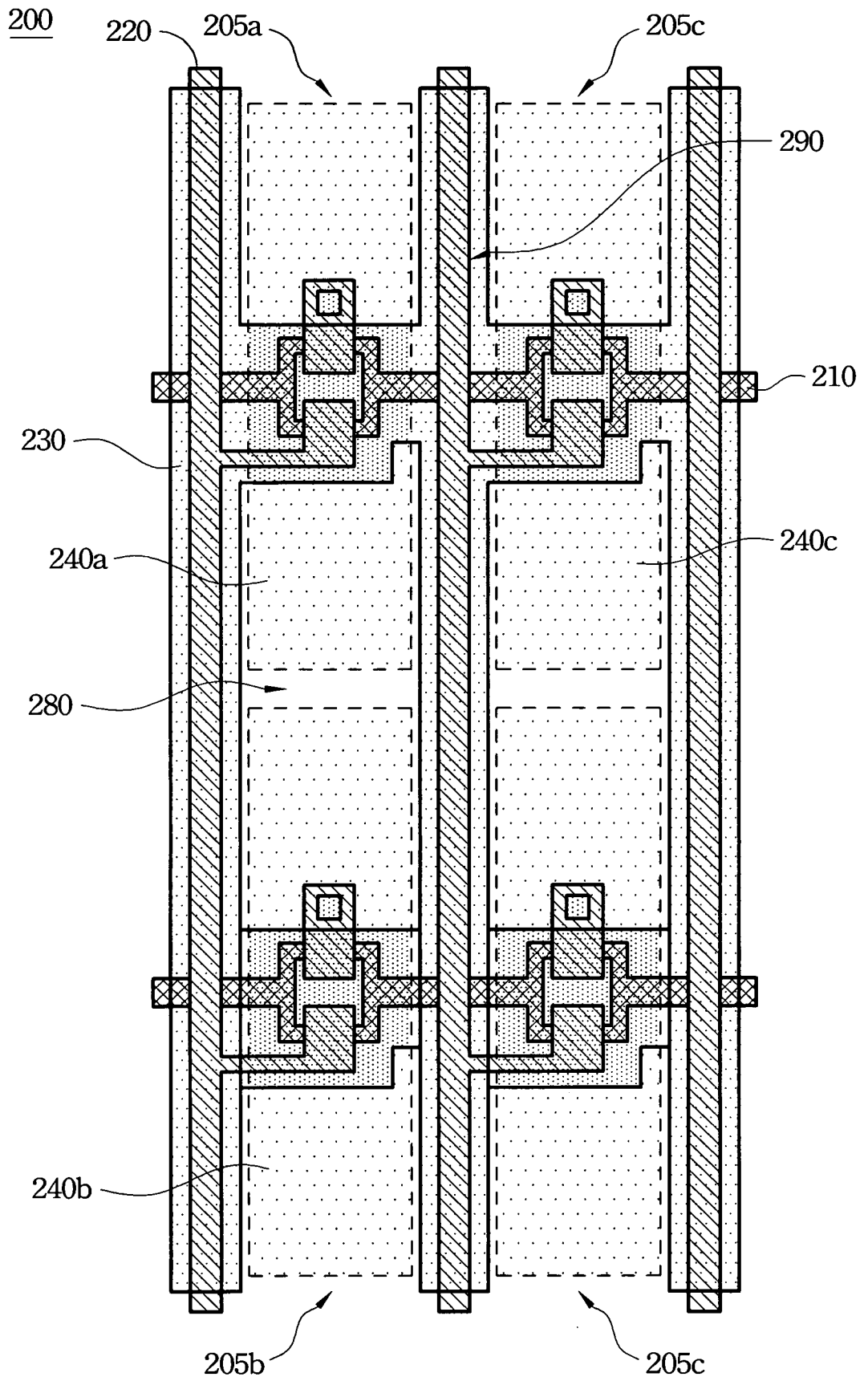


第 1b 圖

100

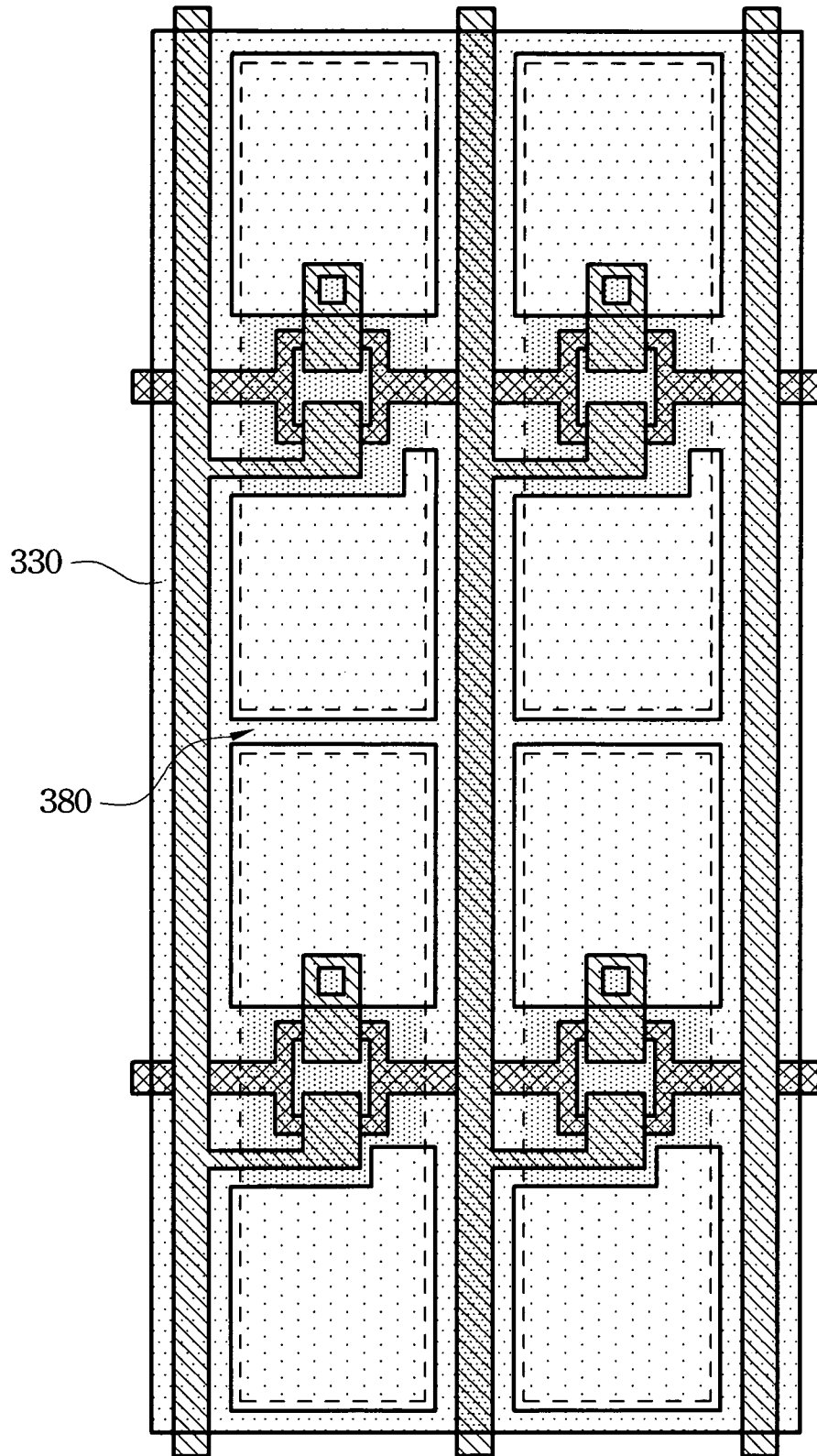


第 1c 圖

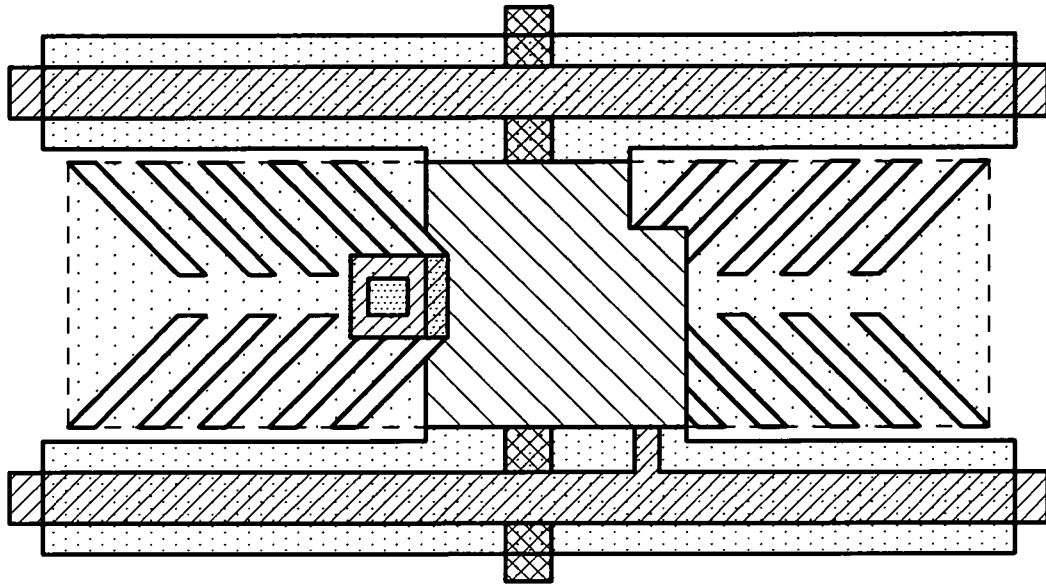


第 2 圖

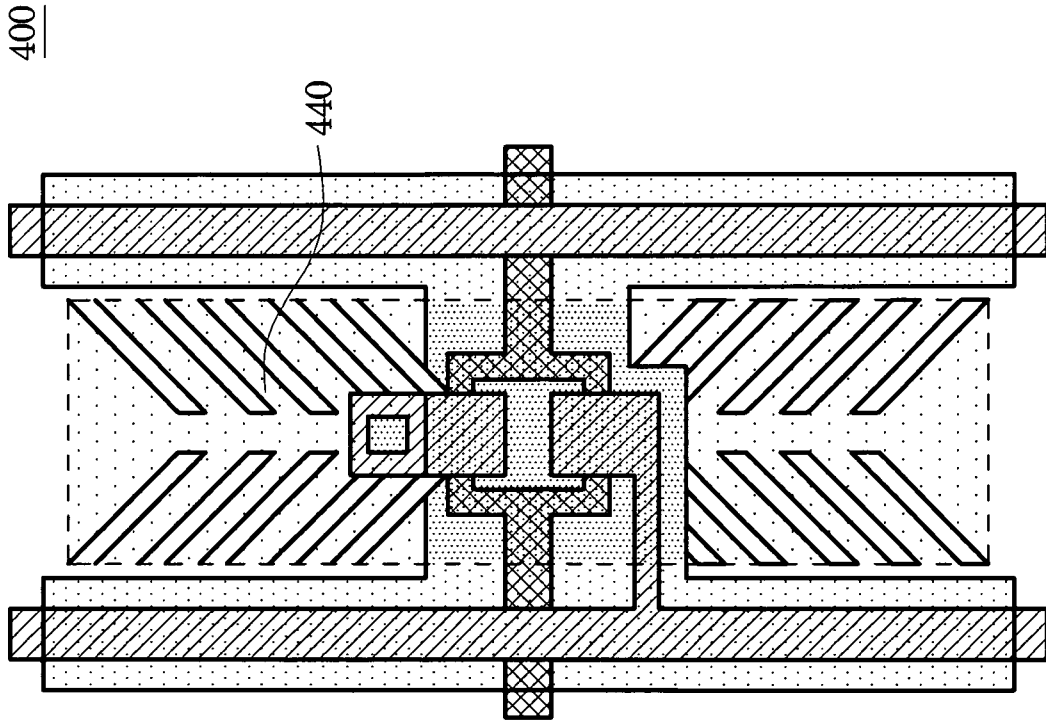
300



第 3 圖



(b)

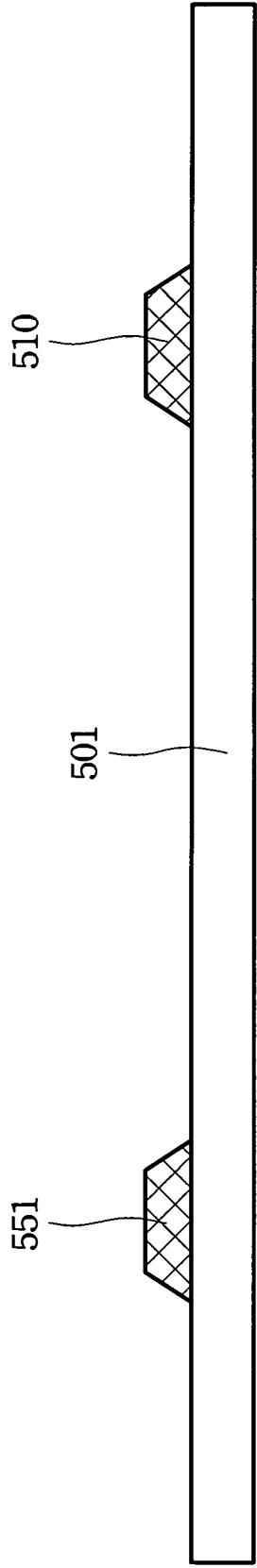


400

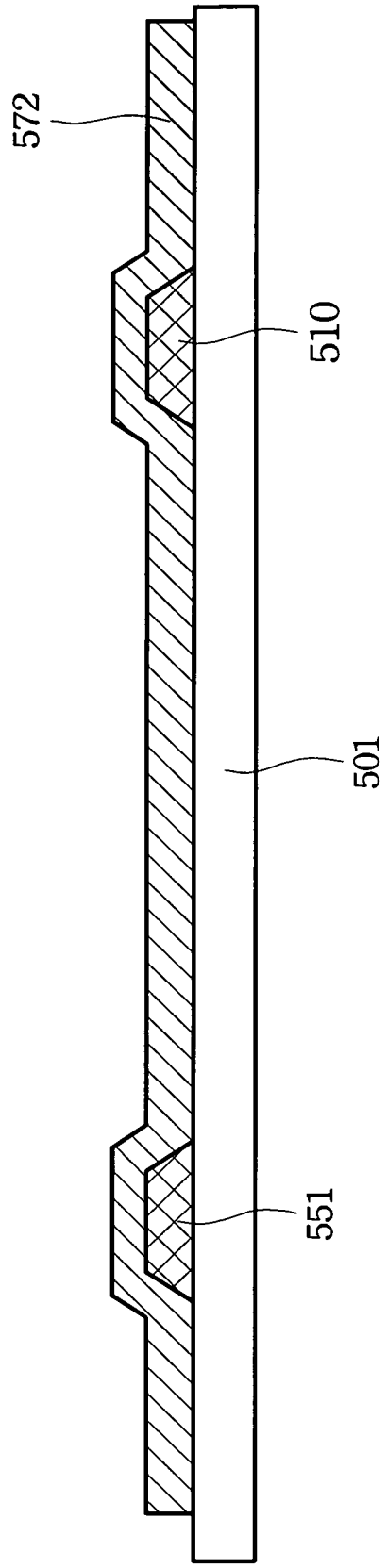
440

(a)

第 4 圖

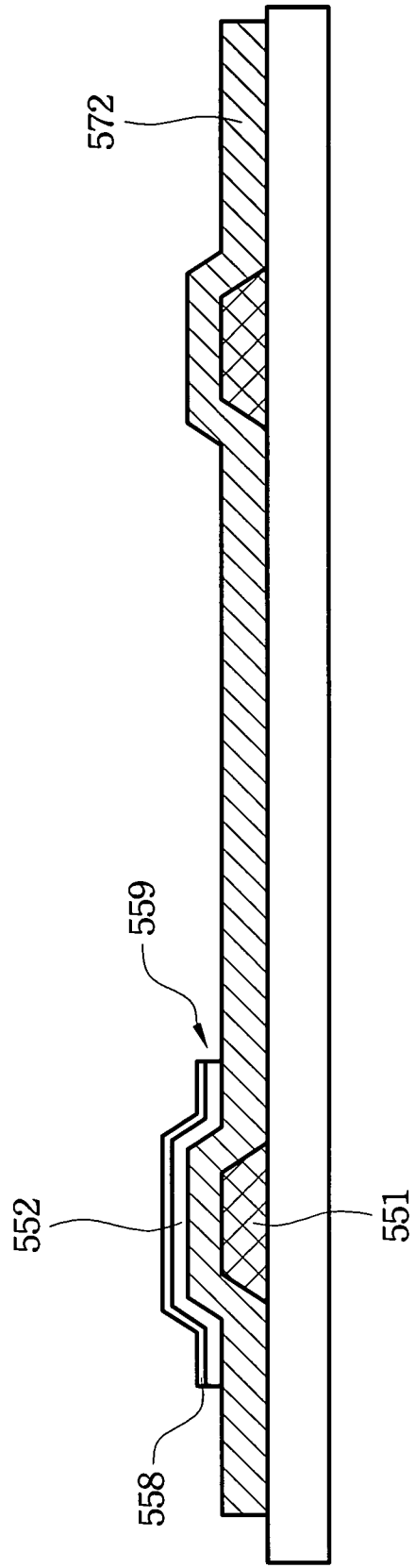


第 5a 圖

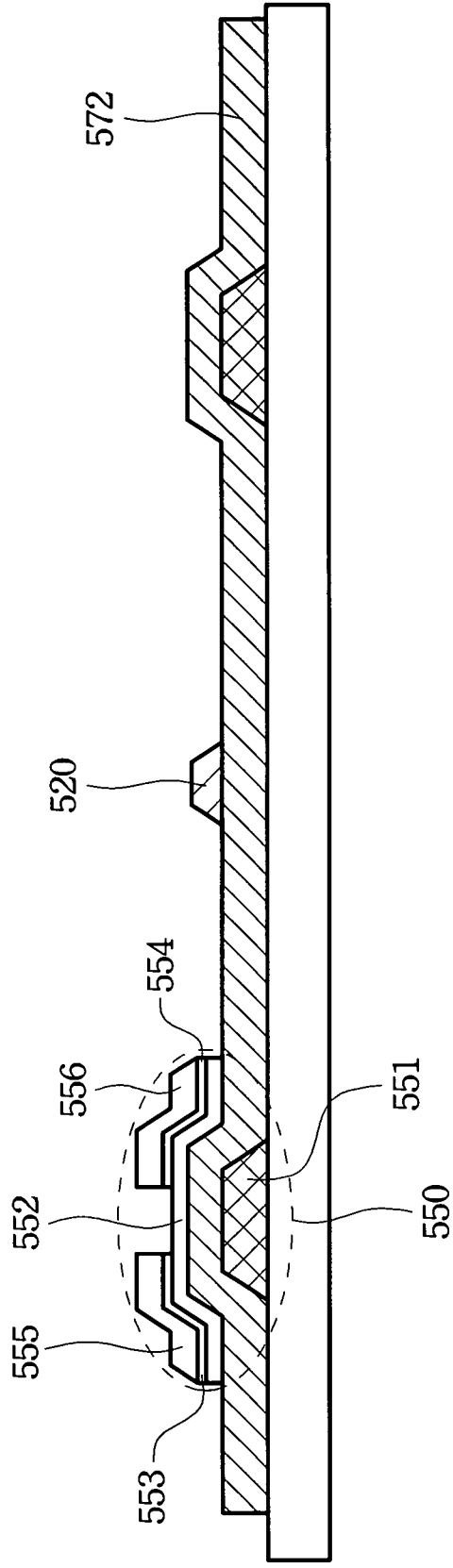


第 5b 圖

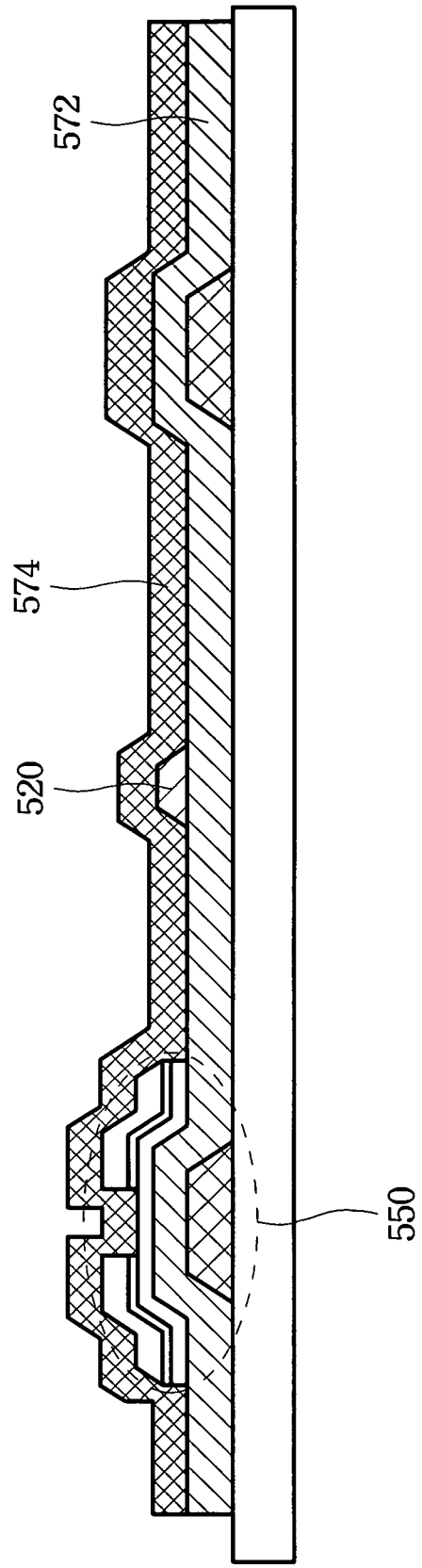




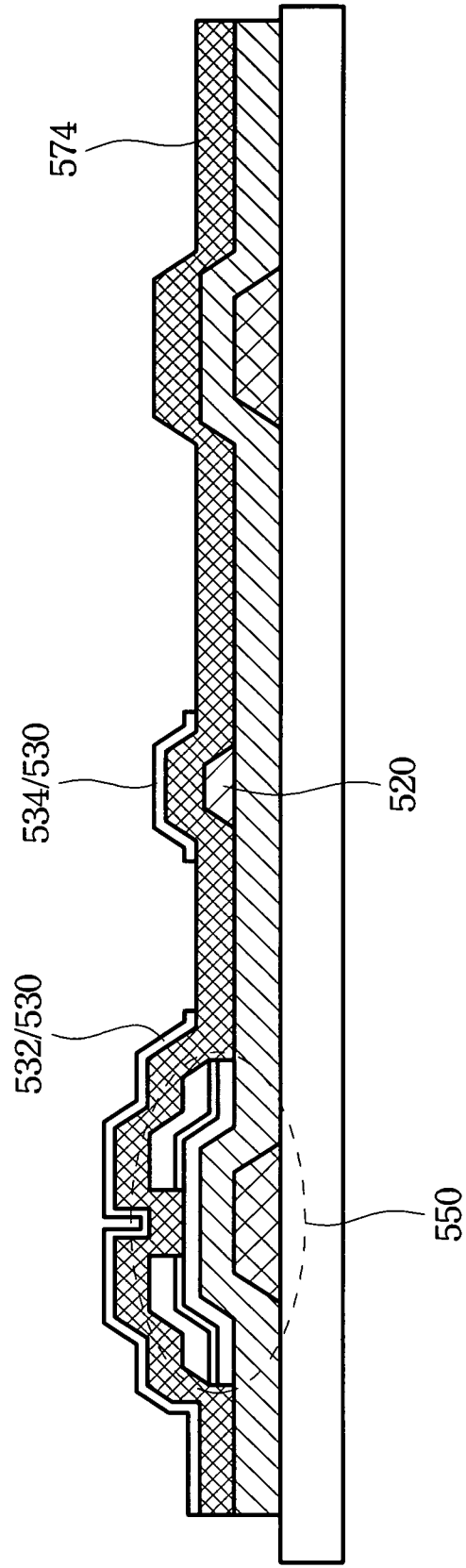
第 5c 圖



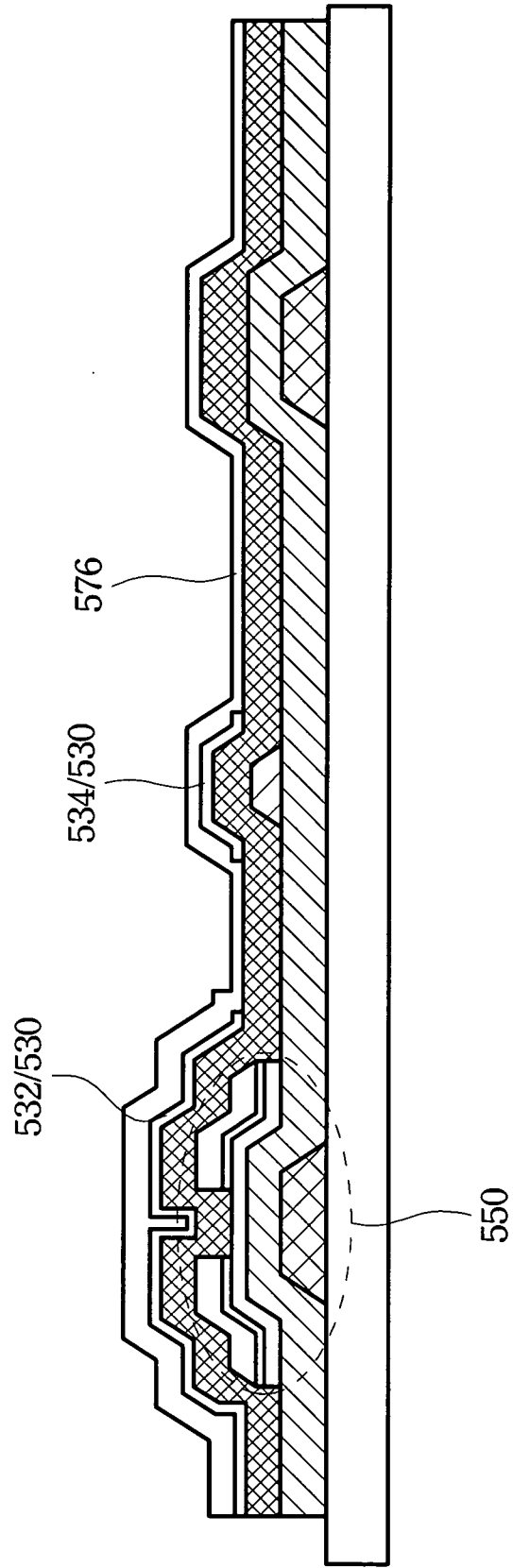
第 5d 圖



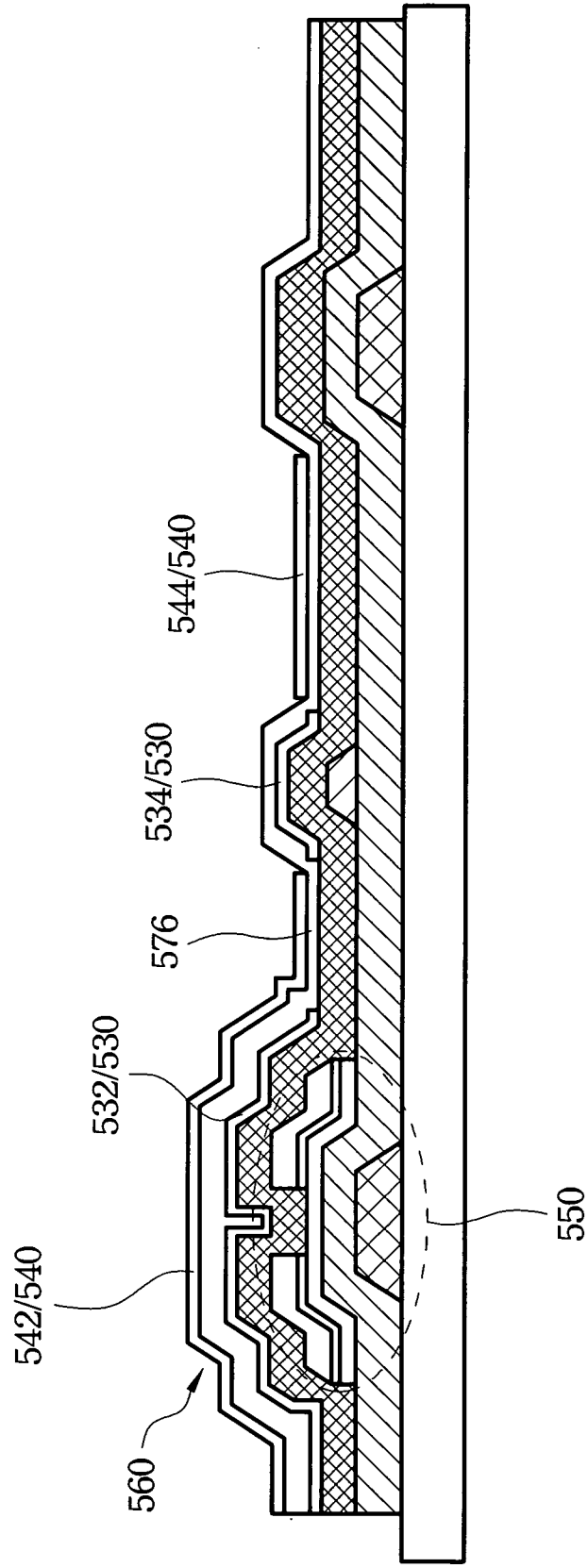
第 5e 圖



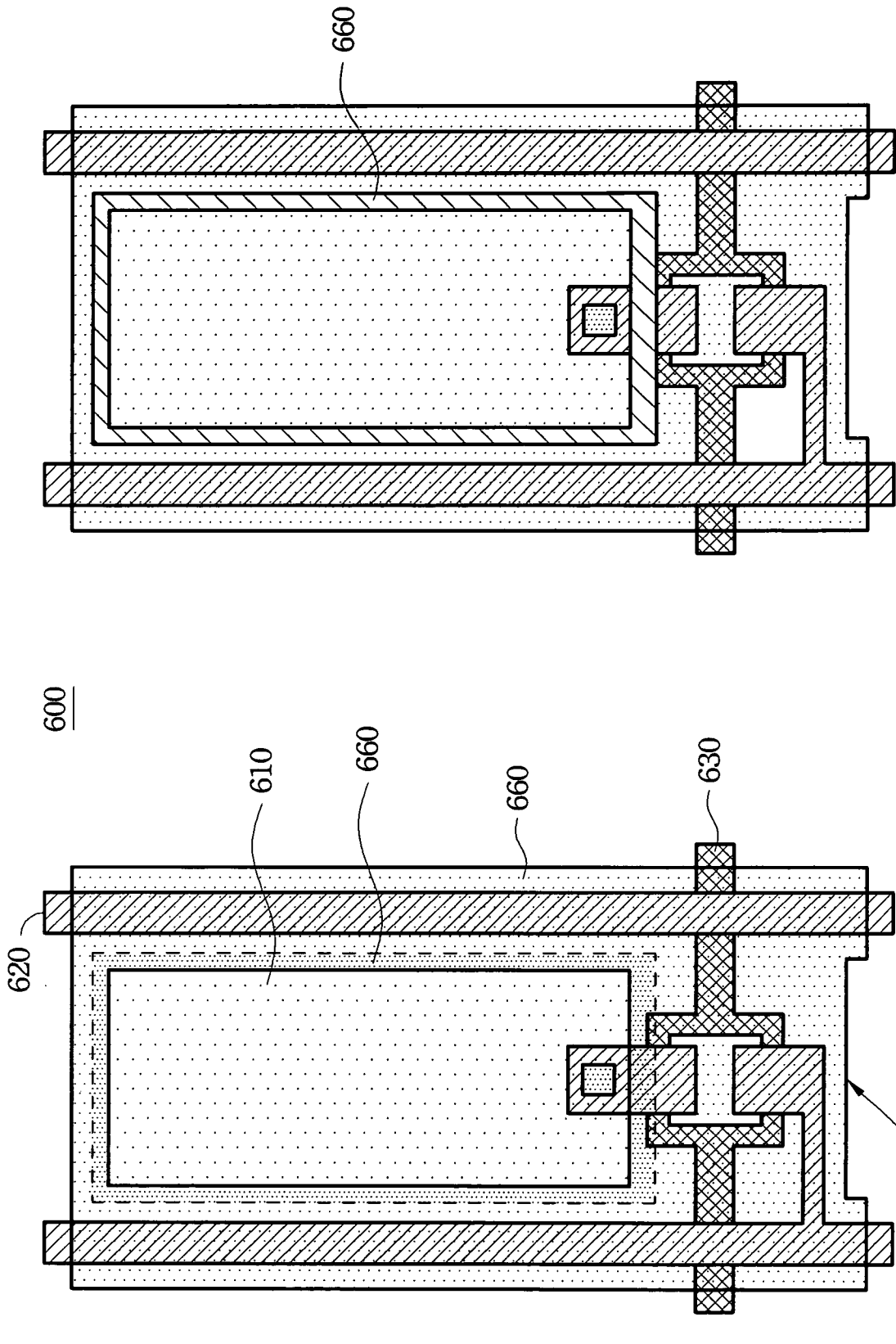
第 5f 圖



第 5g 圖



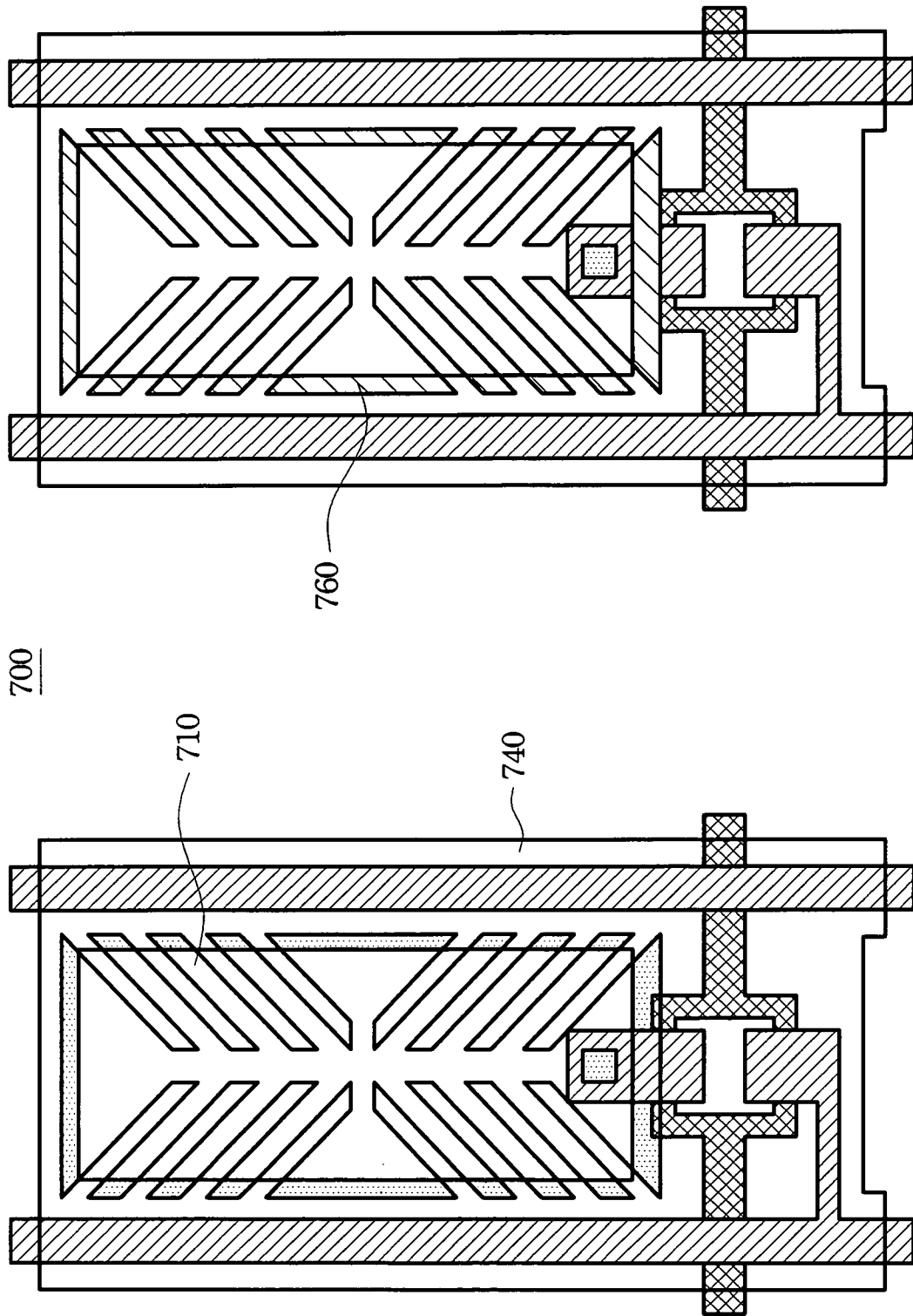
第 5h 圖



(b)

(a)

第 6 圖



(b)

第 7 圖

(a)