

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6862900号
(P6862900)

(45) 発行日 令和3年4月21日(2021.4.21)

(24) 登録日 令和3年4月5日(2021.4.5)

(51) Int. Cl.		F I			
H03K	5/26	(2006.01)	H03K	5/26	P
G04F	10/04	(2006.01)	G04F	10/04	A
H03L	7/08	(2006.01)	H03L	7/08	250
H03L	7/18	(2006.01)	H03L	7/18	

請求項の数 15 (全 43 頁)

(21) 出願番号	特願2017-30680 (P2017-30680)	(73) 特許権者	000002369
(22) 出願日	平成29年2月22日 (2017.2.22)		セイコーエプソン株式会社
(65) 公開番号	特開2018-137600 (P2018-137600A)		東京都新宿区新宿四丁目1番6号
(43) 公開日	平成30年8月30日 (2018.8.30)	(74) 代理人	100104710
審査請求日	令和1年12月13日 (2019.12.13)		弁理士 竹腰 昇
		(74) 代理人	100090479
			弁理士 井上 一
		(74) 代理人	100124682
			弁理士 黒田 泰
		(72) 発明者	堤 昭夫
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		(72) 発明者	倉科 隆
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

(54) 【発明の名称】 回路装置、物理量測定装置、電子機器及び移動体

(57) 【特許請求の範囲】

【請求項1】

第1の発振子を用いて生成された第1のクロック周波数の第1のクロック信号と、基準クロック信号とが入力され、前記第1のクロック信号と前記基準クロック信号との位同期を行う第1のPLL回路と、

第2の発振子を用いて生成され、前記第1のクロック周波数と異なる第2のクロック周波数の第2のクロック信号と、前記基準クロック信号とが入力され、前記第2のクロック信号と前記基準クロック信号との位同期を行う第2のPLL回路と、

前記第1のクロック信号と前記第2のクロック信号とを用いて時間をデジタル値に変換する時間デジタル変換回路と、

を含み、

前記第1のクロック周波数を f_1 とし、前記第2のクロック周波数を f_2 とし、前記基準クロック信号のクロック周波数を f_r とし、 N_1 及び M_1 を2以上の互いに異なる整数とし、 N_2 及び M_2 を2以上の互いに異なる整数とした場合に、

前記第1のPLL回路は、

$N_1 / f_1 = M_1 / f_r$ となるように、前記第1のクロック信号と前記基準クロック信号との位同期を行い、

前記第2のPLL回路は、

$N_2 / f_2 = M_2 / f_r$ となるように、前記第2のクロック信号と前記基準クロック信号との位同期を行うことを特徴とする回路装置。

【請求項 2】

請求項 1 に記載の回路装置において、
前記時間デジタル変換回路は、

前記第 1 の PLL 回路及び前記第 2 の PLL 回路による前記第 1 のクロック信号と前記第 2 のクロック信号の位相同期タイミングの後、前記第 1 のクロック信号に基づいて第 1 の信号の信号レベルを遷移させ、前記第 1 の信号に対応して信号レベルが遷移する第 2 の信号と、前記第 2 のクロック信号との位相比較を行うことで、前記第 1 の信号と前記第 2 の信号の遷移タイミングの時間差をデジタル値に変換することを特徴とする回路装置。

【請求項 3】

請求項 2 に記載の回路装置において、
前記時間デジタル変換回路は、

前記位相同期タイミングの後、前記第 1 のクロック信号のクロックサイクル毎に、前記第 1 の信号の信号レベルを遷移させることを特徴とする回路装置。

10

【請求項 4】

請求項 2 に記載の回路装置において、
前記時間デジタル変換回路は、

前記第 1 の信号に対応して信号レベルが遷移する前記第 2 の信号と、前記第 2 のクロック信号との位相比較を行い、位相比較の結果に基づいて、前記第 1 の信号の信号レベルを遷移させる前記第 1 のクロック信号のクロックサイクルを指定するクロックサイクル指定情報を更新することを特徴とする回路装置。

20

【請求項 5】

請求項 1 乃至 4 のいずれか一項に記載の回路装置において、

前記基準クロック信号は、第 3 の発振子を用いて生成されたクロック信号であることを特徴とする回路装置。

【請求項 6】

請求項 1 乃至 5 のいずれか一項に記載の回路装置において、

前記時間デジタル変換回路は、

前記第 1 のクロック周波数と前記第 2 のクロック周波数との周波数差に対応する分解能で時間をデジタル値に変換することを特徴とする回路装置。

【請求項 7】

請求項 6 に記載の回路装置において、

前記時間デジタル変換回路は、

前記第 1 のクロック周波数を f_1 とし、前記第 2 のクロック周波数を f_2 とした場合に、 $t = |f_1 - f_2| / (f_1 \times f_2)$ となる分解能 t で、時間をデジタル値に変換することを特徴とする回路装置。

30

【請求項 8】

請求項 1 乃至 7 のいずれか一項に記載の回路装置において、

$|N_1 \times M_2 - N_2 \times M_1| = 1$ の関係が成り立つように N_1 、 M_1 、 N_2 、 M_2 が設定されていることを特徴とする回路装置。

【請求項 9】

請求項 1 乃至 8 のいずれか一項に記載の回路装置において、

時間デジタル変換の分解能を t とし、 $N = N_1 \times M_2$ 、 $M = N_2 \times M_1$ とした場合に、

$t = |N - M| / (N \times f_2) = |N - M| / (M \times f_1)$ となるように、前記第 1 の PLL 回路及び前記第 2 の PLL 回路により前記第 1 のクロック信号と前記第 2 のクロック信号の位相同期が行われることを特徴とする回路装置。

40

【請求項 10】

請求項 1 乃至 9 のいずれか一項に記載の回路装置において、

前記第 1 の PLL 回路は、

前記第 1 のクロック信号又は前記第 1 のクロック信号に基づく信号と、前記基準クロック信号又は前記基準クロック信号に基づく信号との位相比較を行う第 1 の位相検出器を含

50

み、

前記第2のPLL回路は、

前記第2のクロック信号又は前記第2のクロック信号に基づく信号と、前記基準クロック信号又は前記基準クロック信号に基づく信号との位相比较を行う第2の位相検出器を含むことを特徴とする回路装置。

【請求項11】

請求項10に記載の回路装置において、

前記第1のPLL回路は、

前記第1のクロック信号を分周して、第1の分周クロック信号を前記第1のクロック信号に基づく信号として前記第1の位相検出器に出力する第1の分周回路と、

前記基準クロック信号を分周して、第2の分周クロック信号を前記基準クロック信号に基づく信号として前記第1の位相検出器に出力する第2の分周回路と、

を含み、

前記第2のPLL回路は、

前記第2のクロック信号を分周して、第3の分周クロック信号を前記第2のクロック信号に基づく信号として前記第2の位相検出器に出力する第3の分周回路と、

前記基準クロック信号を分周して、第4の分周クロック信号を前記基準クロック信号に基づく信号として前記第2の位相検出器に出力する第4の分周回路と、

を含むことを特徴とする回路装置。

【請求項12】

請求項11に記載の回路装置において、

前記第1のクロック周波数を f_1 とし、前記第2のクロック周波数を f_2 とし、前記基準クロック信号の周波数を f_r とした場合に、

$N_1 / f_1 = M_1 / f_r$ となるように、前記第1の分周回路が前記第1のクロック信号を分周し、前記第2の分周回路が前記基準クロック信号を分周し、

$N_2 / f_2 = M_2 / f_r$ となるように、前記第3の分周回路が前記第2のクロック信号を分周し、前記第4の分周回路が前記基準クロック信号を分周することを特徴とする回路装置。

【請求項13】

請求項1乃至12のいずれか一項に記載の回路装置と、

前記第1のクロック信号を生成するための前記第1の発振子と、

前記第2のクロック信号を生成するための前記第2の発振子と、

を含むことを特徴とする物理量測定装置。

【請求項14】

請求項1乃至12のいずれか一項に記載の回路装置を含むことを特徴とする電子機器。

【請求項15】

請求項1乃至12のいずれか一項に記載の回路装置を含むことを特徴とする移動体。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、回路装置、物理量測定装置、電子機器及び移動体等に関する。

【背景技術】

【0002】

従来より、時間デジタル変換回路を有する回路装置が知られている。時間デジタル変換回路は時間をデジタル値に変換する。このような時間デジタル変換回路を有する回路装置の従来例としては、例えば特許文献1～4に開示される従来技術が知られている。

【0003】

特許文献1～3の従来技術では、いわゆるバーニア遅延回路を用いて時間デジタル変換を実現している。バーニア遅延回路では、半導体素子である遅延素子を用いて時間デジタ

10

20

30

40

50

ル変換を実現する。

【0004】

特許文献4には、第1のクロックパルスを出力する第1の水晶発振器、第2のクロックパルスを出力する第2の水晶発振器、エッジ一致検出回路、同期カウンター、マイコン、及び送信時刻コントロール部を備えた微小時間計測装置が開示されている。エッジ一致検出回路は、第1、第2のクロックパルスの同期点を検出する。同期カウンターは、第1、第2のクロックパルスに同期してカウント処理を行う。マイコンは、同期カウンターの値に基づきスタートパルスからストップパルスまでの未知時間を算出する。送信時刻コントロール部は、エッジ一致検出回路の出力並びに同期カウンター及びマイコンの値に応じてスタートパルスを出力する。

10

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2009-246484号公報

【特許文献2】特開2007-110370号公報

【特許文献3】特開2010-119077号公報

【特許文献4】特開平5-87954号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

特許文献4の従来技術では、エッジ一致検出回路が、第1、第2のクロックパルスの立ち下がりエッジが相互に一致する同期点を検出する。そして同期点が検出された場合に、同期カウンターが第1、第2のクロックパルスに同期してカウント処理を開始し、カウント処理の結果に基づいて、スタートパルスからストップパルスまでの未知時間を算出する時間測定を行う。

20

【0007】

しかしながら、この従来技術では、同期点が検出されない限り、時間測定を開始できないため、時間デジタル変換の変換時間が長くなってしまふ。また第1、第2のクロックパルスのクロック周波数の関係が、同期点においてエッジが一致しないような周波数の関係である場合には、時間デジタル変換の実現が困難である。また時間デジタル変換の処理の基準となるタイミングを適正に設定できないため、時間デジタル変換の処理が複雑化する。更に同期点においてクロックパルスのエッジの一致検出に誤差があると、時間デジタル変換の精度が低下してしまふ。

30

【0008】

本発明の幾つかの態様によれば、時間デジタル変換の処理の高性能化や簡素化等を実現できる回路装置、物理量測定装置、電子機器及び移動体等を提供できる。

【課題を解決するための手段】

【0009】

本発明は、上述の課題の少なくとも一部を解決するためになされたものであり、以下の形態又は態様として実現することが可能である。

40

【0010】

本発明の一態様は、第1の発振子を用いて生成された第1のクロック周波数の第1のクロック信号と、基準クロック信号とが入力され、前記第1のクロック信号と前記基準クロック信号との位同期を行う第1のPLL回路と、第2の発振子を用いて生成され、前記第1のクロック周波数と異なる第2のクロック周波数の第2のクロック信号と、前記基準クロック信号とが入力され、前記第2のクロック信号と前記基準クロック信号との位同期を行う第2のPLL回路と、前記第1のクロック信号と前記第2のクロック信号とを用いて時間をデジタル値に変換する時間デジタル変換回路と、を含む回路装置に係する。

【0011】

本発明の一態様によれば、第1のPLL回路により第1のクロック信号と基準クロック

50

信号の位相同期が行われ、第2のPLL回路により第2のクロック信号と基準クロック信号の位相同期が行われる。これにより、第1、第2のクロック信号の位相同期が実現される。この場合に、第1、第2のPLL回路を用いて位相同期を行うことで、1つのPLL回路により第1、第2のクロック信号の位相同期を行う場合に比べて、位相同期の頻度を高めることが可能になる。そして、時間デジタル変換回路は、このように位相同期された第1、第2のクロック周波数の第1、第2のクロック信号を用いて時間をデジタル値に変換する時間デジタル変換を行う。このようにすれば、第1、第2のクロック信号を用いた時間デジタル変換の処理の高性能化や簡素化等を実現できるようになる。

【0012】

また本発明の一態様では、前記基準クロック信号は、第3の発振子を用いて生成されたクロック信号であってもよい。

10

【0013】

このようにすれば、基準クロック信号についても第3の発振子を用いて生成することで、時間デジタル変換の更なる高性能化を実現できる。

【0014】

また本発明の一態様では、前記時間デジタル変換回路は、前記第1のクロック周波数と前記第2のクロック周波数との周波数差に対応する分解能で時間をデジタル値に変換してもよい。

【0015】

このようにすれば、第1、第2のクロック周波数の周波数差を用いて、時間デジタル変換の分解能を設定できるようになり、時間デジタル変換の高性能化を実現できる。

20

【0016】

また本発明の一態様では、前記時間デジタル変換回路は、前記第1のクロック周波数を f_1 とし、前記第2のクロック周波数を f_2 とした場合に、 $t = |f_1 - f_2| / (f_1 \times f_2)$ となる分解能 t で、時間をデジタル値に変換してもよい。

【0017】

このようにすれば、例えば第1、第2のクロック周波数の周波数差を小さくしたり、第1、第2のクロック周波数を高い周波数にすることで、分解能を小さくできるようになり、時間デジタル変換の高性能化を実現できる。

【0018】

30

また本発明の一態様では、前記第1のクロック周波数を f_1 とし、前記第2のクロック周波数を f_2 とし、前記基準クロック信号のクロック周波数を f_r とした場合に、前記第1のPLL回路は、 $N_1 / f_1 = M_1 / f_r$ (N_1 及び M_1 は、2以上の互いに異なる整数) となるように、前記第1のクロック信号と前記基準クロック信号との位相同期を行い、前記第2のPLL回路は、 $N_2 / f_2 = M_2 / f_r$ (N_2 及び M_2 は、2以上の互いに異なる整数) となるように、前記第2のクロック信号と前記基準クロック信号との位相同期を行ってもよい。

【0019】

このようにすれば、適切な位相同期タイミングでの位相同期が可能になり、時間デジタル変換の処理の高性能化や簡素化を図れるようになる。

40

【0020】

また本発明の一態様では、 $|N_1 \times M_2 - N_2 \times M_1| = 1$ の関係が成り立つように N_1 、 M_1 、 N_2 、 M_2 が設定されてもよい。

【0021】

このようにすれば、例えば位相同期の期間毎に、第1のクロック信号と第2のクロック信号が例えば1クロックサイクル分ずつずれるようになり、時間デジタル変換の処理の簡素化等を図れるようになる。

【0022】

また本発明の一態様では、時間デジタル変換の分解能を t とし、 $N = N_1 \times M_2$ 、 $M = N_2 \times M_1$ とした場合に、 $t = |N - M| / (N \times f_2) = |N - M| / (M \times f_1)$

50

)となるように、前記第1のPLL回路及び前記第2のPLL回路により前記第1のクロック信号と前記第2のクロック信号の位相同期が行われてもよい。

【0023】

このようにすれば、時間デジタル変換に要求される分解能 t に応じて $N = N_1 \times M_2$ 、 $M = N_2 \times M_1$ 等を設定して、第1、第2のクロック信号を位相同期させることが可能になる。

【0024】

また本発明の一態様では、前記第1のPLL回路は、前記第1のクロック信号又は前記第1のクロック信号に基づく信号と、前記基準クロック信号又は前記基準クロック信号に基づく信号との位相比較を行う第1の位相検出器を含み、前記第2のPLL回路は、前記第2のクロック信号又は前記第2のクロック信号に基づく信号と、前記基準クロック信号又は前記基準クロック信号に基づく信号との位相比較を行う第2の位相検出器を含んでもよい。

10

【0025】

このようにすれば、第1、第2の位相検出器での位相比較結果のフィードバック制御を行うことによる第1、第2のクロック信号の位相同期を実現できるようになる。

【0026】

また本発明の一態様では、前記第1のPLL回路は、前記第1のクロック信号を分周して、第1の分周クロック信号を前記第1のクロック信号に基づく信号として前記第1の位相検出器に出力する第1の分周回路と、前記基準クロック信号を分周して、第2の分周クロック信号を前記基準クロック信号に基づく信号として前記第1の位相検出器に出力する第2の分周回路と、を含み、前記第2のPLL回路は、前記第2のクロック信号を分周して、第3の分周クロック信号を前記第2のクロック信号に基づく信号として前記第2の位相検出器に出力する第3の分周回路と、前記基準クロック信号を分周して、第4の分周クロック信号を前記基準クロック信号に基づく信号として前記第2の位相検出器に出力する第4の分周回路と、を含んでもよい。

20

【0027】

このような第1、第2の分周回路や第3、第4の分周回路を設ければ、第1の位相検出器での第1、第2の分周クロック信号の位相比較結果のフィードバック制御や、第2の位相検出器での第3、第4の分周クロック信号の位相比較結果のフィードバック制御を行って、第1、第2のクロック信号の位相同期を実現できるようになる。

30

【0028】

また本発明の一態様では、前記第1のクロック周波数を f_1 とし、前記第2のクロック周波数を f_2 とし、前記基準クロック信号の周波数を f_r とした場合に、 $N_1 / f_1 = M_1 / f_r$ (N_1 及び M_1 は、2以上の互いに異なる整数)となるように、前記第1の分周回路が前記第1のクロック信号を分周し、前記第2の分周回路が前記基準クロック信号を分周し、 $N_2 / f_2 = M_2 / f_r$ (N_2 及び M_2 は、2以上の互いに異なる整数)となるように、前記第3の分周回路が前記第2のクロック信号を分周し、前記第4の分周回路が前記基準クロック信号を分周してもよい。

【0029】

このようにすれば、適切な位相同期タイミングでの位相同期が可能になり、時間デジタル変換の処理の高性能化や簡素化を図れるようになる。

40

【0030】

また本発明の一態様では、前記第1の位相検出器の位相比較結果に基づき制御され、前記第1の発振子を発振させて、前記第1のクロック信号を生成する第1の発振回路と、前記第2の位相検出器の位相比較結果に基づき制御され、前記第2の発振子を発振させて、前記第2のクロック信号を生成する第2の発振回路と、を含んでもよい。

【0031】

このようにすれば、第1、第2の位相検出器での位相検出結果に基づいて、例えば第1、第2のクロック信号の第1、第2のクロック周波数を調整して、第1、第2のクロック

50

信号の位相同期を実現できるようになる。

【0032】

また本発明の一態様では、第3の発振子を発振させて、前記基準クロック信号を生成する第3の発振回路を含んでもよい。

【0033】

このようにすれば、基準クロック信号についても第3の発振子を用いて生成されるようになり、時間デジタル変換の更なる高性能化を実現できる。

【0034】

また本発明の一態様では、前記時間デジタル変換回路は、第1の信号と第2の信号との遷移タイミングの時間差をデジタル値に変換してもよい。

10

【0035】

このようにすれば、第1、第2の信号の遷移タイミングの時間差を、第1、第2の発振子により生成された第1、第2のクロック信号を用いて、高精度でデジタル値に変換できるようになる。

【0036】

また本発明の他の態様は、上記のいずれかに記載の回路装置と、前記第1のクロック信号を生成するための前記第1の発振子と、前記第2のクロック信号を生成するための前記第2の発振子と、を含む物理量測定装置に係する。

【0037】

このように第1、第2の発振子を利用して時間デジタル変換を行うことで、より高精度な物理量の測定処理が可能になる。

20

【0038】

また本発明の他の態様は、上記のいずれかに記載の回路装置を含む電子機器に係する。

【0039】

また本発明の他の態様は、上記のいずれかに記載の回路装置を含む移動体に係する。

【図面の簡単な説明】

【0040】

【図1】本実施形態の回路装置の構成例。

【図2】クロック周波数差を用いた時間デジタル変換手法の説明図。

30

【図3】信号STA、STPの関係を示す図。

【図4】信号STA、STPを用いた物理量測定の例を示す図。

【図5】本実施形態の回路装置の詳細な第1の構成例。

【図6】回路装置の動作を説明する信号波形図。

【図7】回路装置の動作を説明する信号波形図。

【図8】回路装置の全体的な動作を説明する信号波形図。

【図9】分周比の設定の一例を示す図。

【図10】回路装置の詳細な動作を説明する信号波形図。

【図11】本実施形態の回路装置の詳細な第2の構成例。

【図12】発振回路の第1の構成例。

40

【図13】発振回路の第2の構成例。

【図14】時間デジタル変換回路の構成例。

【図15】位相検出器の構成例。

【図16】信号STAの繰り返し手法を説明する信号波形図。

【図17】信号STAの繰り返し手法を説明する信号波形図。

【図18】クロックサイクル指定値の更新手法を説明する信号波形図。

【図19】クロックサイクル指定値の更新手法を説明する信号波形図。

【図20】クロックサイクル指定値の更新手法を説明する信号波形図。

【図21】バイナリサーチ手法を説明する信号波形図。

【図22】物理量測定装置の構成例。

50

【図 2 3】電子機器の構成例。

【図 2 4】移動体の構成例。

【発明を実施するための形態】

【0041】

以下、本発明の好適な実施の形態について詳細に説明する。なお以下に説明する本実施形態は特許請求の範囲に記載された本発明の内容を不当に限定するものではなく、本実施形態で説明される構成の全てが本発明の解決手段として必須であるとは限らない。

【0042】

1. 回路装置

図 1 に本実施形態の回路装置 10 の構成例を示す。回路装置 10 は時間デジタル変換回路 20 と PLL 回路 120、130 (第 1、第 2 の PLL 回路。同期化回路) を含む。また発振回路 101、102 (第 1、第 2 の発振回路) を含むことができる。なお回路装置 10 は図 1 の構成に限定されず、これらの一部の構成要素 (例えば発振回路) を省略したり、他の構成要素を追加するなどの種々の変形実施が可能である。

10

【0043】

時間デジタル変換回路 20 は、クロック信号 CK1 とクロック信号 CK2 を用いて時間をデジタル値に変換する。具体的には時間デジタル変換回路 20 には、クロック周波数 f_1 (第 1 のクロック周波数) のクロック信号 CK1 (第 1 のクロック信号) と、クロック周波数 f_2 (第 2 のクロック周波数) のクロック信号 CK2 (第 2 のクロック信号) が入力され、これらのクロック信号 CK1、CK2 を用いて時間をデジタル値に変換する。図 1 の例では、時間デジタル変換回路 20 は、クロック周波数 f_1 、 f_2 のクロック信号 CK1、CK2 を用いて、信号 STA (第 1 の信号。例えばスタート信号) と信号 STP (第 2 の信号。例えばストップ信号) の遷移タイミングの時間差をデジタル値 DQ に変換する。なお、以下では、信号 STA、STP (第 1、第 2 の信号) の遷移タイミングの時間差をデジタル値に変換する時間デジタル変換に、本実施形態の手法を適用した場合について主に説明するが、本実施形態はこれに限定されない。例えば絶対時刻等を測定するための時間デジタル変換等に本実施形態の手法を適用してもよい。

20

【0044】

クロック周波数 f_2 は、クロック周波数 f_1 とは異なる周波数であり、例えばクロック周波数 f_1 よりも低い周波数である。また信号 STA と信号 STP の遷移タイミングの時間差は、信号 STA と信号 STP のエッジ間 (例えば立ち上がりエッジ間又は立ち下がりエッジ間) の時間差である。また時間デジタル変換回路 20 は、デジタル値 DQ のフィルター処理 (デジタルフィルター処理、ローパスフィルター処理) を行い、フィルター処理後のデジタル値 DQ を出力してもよい。

30

【0045】

PLL 回路 120 (第 1 の PLL 回路) はクロック信号 CK1 と基準クロック信号 CKR の位相同期を行う。具体的には PLL 回路 120 は、発振子 XTAL1 (第 1 の発振子) を用いて生成されたクロック周波数 f_1 のクロック信号 CK1 と、基準クロック信号 CKR とが入力され、クロック信号 CK1 と基準クロック信号 CKR との位相同期を行う。例えば PLL 回路 120 は、クロック信号 CK1 と基準クロック信号 CKR を第 1 の位相同期タイミング毎 (第 1 の期間毎) に位相同期させる。具体的には、クロック信号 CK1 と基準クロック信号 CKR の遷移タイミングを第 1 の位相同期タイミング毎に一致させる位相同期を行う。

40

【0046】

ここで基準クロック信号 CKR のクロック周波数は f_r である。例えばクロック周波数 f_r は、クロック信号 CK1、CK2 のクロック周波数 f_1 、 f_2 とは異なる周波数であり、例えばクロック周波数 f_1 、 f_2 よりも低い周波数である。

【0047】

PLL 回路 130 (第 2 の PLL 回路) はクロック信号 CK2 と基準クロック信号 CKR の位相同期を行う。具体的には PLL 回路 130 は、発振子 XTAL2 (第 2 の発振子

50

)を用いて生成されたクロック周波数 f_2 のクロック信号 CK_2 と、基準クロック信号 CK_R とが入力され、クロック信号 CK_2 と基準クロック信号 CK_R との位相同期を行う。例えばPLL回路130は、クロック信号 CK_2 と基準クロック信号 CK_R を第2の位相同期タイミング毎(第2の期間毎)に位相同期させる。具体的には、クロック信号 CK_2 と基準クロック信号 CK_R の遷移タイミングを第2の位相同期タイミング毎に一致させる位相同期を行う。

【0048】

このように本実施形態では、PLL回路120によりクロック信号 CK_1 と基準クロック信号 CK_R が位相同期され、PLL回路130によりクロック信号 CK_2 と基準クロック信号 CK_R が位相同期される。これによりクロック信号 CK_1 とクロック信号 CK_2 が位相同期するようになる。即ちPLL回路120、130により、クロック信号 CK_1 、 CK_2 が位相同期タイミング毎に位相同期するようになり、クロック信号 CK_1 、 CK_2 の遷移タイミングが位相同期タイミング毎に一致するようになる。なお3つ以上のPLL回路(3つ以上の発振子)を設けてクロック信号 CK_1 、 CK_2 の位相同期を行う変形実施も可能である。

【0049】

基準クロック信号 CK_R は、例えば発振子 X_{TAL3} (第3の発振子)を用いて生成されるクロック信号である。例えば発振子 X_{TAL3} を発振回路(第3の発振回路)により発振させることで生成されるクロック信号である。このように基準クロック信号 CK_R を、例えば回路装置10の発振回路により発振させた発振子 X_{TAL3} を用いて生成することで、例えばジッターや位相ノイズが少ない基準クロック信号 CK_R を用いて、当該基準クロック信号 CK_R とクロック信号 CK_1 、 CK_2 の各々を位相同期できるようになる。従って、クロック信号 CK_1 、 CK_2 を適正に位相同期させることが可能になり、例えば位相同期タイミングでのクロック信号 CK_1 、 CK_2 の遷移タイミングの時間差に起因する誤差を、最小限にできる。なお基準クロック信号 CK_R として回路装置10の外部から入力される外部クロック信号などを用いてもよい。

【0050】

時間デジタル変換回路20は、クロック信号 CK_1 、 CK_2 の位相同期タイミングの後、クロック信号 CK_1 に基づいて信号 STA の信号レベルを遷移させる。例えばPLL回路120、130よるクロック信号 CK_1 、 CK_2 の位相同期が行われ、この位相同期のタイミングの後、時間デジタル変換回路20が、クロック信号 CK_1 を用いて信号 STA の信号レベルを遷移させる。例えば信号 STA の信号レベルを第1の電圧レベル(例えばLレベル)から第2の電圧レベル(例えばHレベル)に変化させる。具体的には時間デジタル変換回路20は、パルス信号の信号 STA を生成する。

【0051】

そして時間デジタル変換回路20は、信号 STA に対応して信号レベルが遷移する信号 STP と、クロック信号 CK_2 との位相比較を行うことで、時間差に対応するデジタル値 DQ を求める。例えば位相比較により、信号 STP とクロック信号 CK_2 の位相の前後関係が入れ替わるタイミングを判断して、デジタル値 DQ を求める。位相の前後関係が入れ替わるタイミングは、信号 STP とクロック信号 CK_2 の一方の信号の方が他方の信号よりも位相が遅れている状態から、一方の信号の方が他方の信号よりも位相が進んでいる状態に入れ替わるタイミングである。この信号 STP とクロック信号 CK_2 の位相比較は、例えば信号 STP 及びクロック信号 CK_2 の一方の信号に基づき他方の信号をサンプリングすることなどで実現できる。

【0052】

このように本実施形態では、PLL回路120、130によりクロック信号 CK_1 、 CK_2 の位相同期が行われ、この位相同期のタイミングの後に、クロック信号 CK_1 に基づき信号 STA が生成される。そして、このように生成された信号 STA に対応して信号レベルが遷移する信号 STP と、クロック信号 CK_2 との位相比較が行われて、信号 STA と信号 STP の遷移タイミングの時間差に対応するデジタル値 DQ が求められる。このよ

10

20

30

40

50

うにすれば、時間デジタル変換に用いられる第1の信号を自発的に生成しながら、高性能（高精度、高分解能）の時間デジタル変換を実現できるようになる。

【0053】

また本実施形態では、回路装置10にPLL回路120、130を設けることで、位相同期タイミング毎にクロック信号CK1、CK2の遷移タイミングを一致させることが可能になる。従って、位相同期タイミングを基準タイミングとして、回路処理を開始することが可能になるため、回路処理や回路構成の簡素化を図れる。またクロック信号CK1、CK2の遷移タイミングが偶然に一致するのを待つことなく、PLL回路120、130による位相同期タイミングから、直ぐに時間デジタル変換の処理を開始できるようになる。従って、時間デジタル変換の高速化を図れる。またPLL回路120、130を設けることで、位相同期タイミングでのクロック信号CK1、CK2の遷移タイミングの時間差に起因する誤差を、最小限にできる。従って、この時間差に起因して系統的に発生する誤差を十分に低減して、精度の向上等を図れるようになる。

10

【0054】

例えば前述の特許文献4の従来手法では、エッジ一致検出回路により、第1、第2のクロックパルスのエッジの一致を検出し、エッジの一致が検出されたことを条件に、時間計測を開始する。しかしながら、この従来手法では、第1、第2のクロックパルスのエッジの一致が検出されない限り、時間計測を開始できないため、時間計測の開始が遅れてしまい、時間デジタル変換の変換時間が長くなってしまふという第1の問題点がある。また第1、第2のクロックパルスのクロック周波数の関係が、同期点においてエッジが一致しないような周波数の関係である場合には、偶然でしかエッジが一致しないようになり、時間デジタル変換の実現が困難になるという第2の問題点がある。また第1、第2のクロックパルスの同期点のタイミングを、系統的に確定できないため、回路処理や回路構成が複雑化してしまうという第3の問題点がある。更に第1、第2のクロックパルスのエッジの一致検出に誤差がある場合には、その誤差が原因で精度が低下してしまうという第4の問題点がある。

20

【0055】

これに対して本実施形態では、PLL回路120、130を設けることで、位相同期タイミング毎に、強制的にクロック信号CK1、CK2の遷移タイミングを一致させることができる。従って、位相同期タイミングの後に、直ぐに時間デジタル変換処理を開始できるため、従来手法の上述の第1の問題点を解消できる。また本実施形態によれば、クロック信号CK1、CK2のクロック周波数の関係が、遷移タイミングが一致しないような周波数の関係である場合にも、PLL回路120、130により、位相同期タイミング毎に強制的にクロック信号CK1、CK2の遷移タイミングが一致するようになる。従って、従来手法の第2の問題点を解消できる。また、位相同期タイミングは、PLL回路120、130の位相同期により系統的に確定できるため、回路処理や回路装置を簡素化でき、従来手法の第3の問題点を解消できる。またクロック信号CK1、CK2の遷移タイミングが位相同期タイミング毎に一致することで、クロック信号CK1、CK2の遷移タイミングのずれに起因する変換誤差を低減でき、従来手法の第4の問題点も解消できる。

30

【0056】

また本実施形態では、複数のPLL回路120、130を用いてクロック信号CK1、CK2の位相同期を行っている。このように複数のPLL回路120、130を用いれば、1つのPLL回路を用いる場合に比べて、クロック信号の位相比較（位相同期）の頻度を高くでき、位相比較によるクロック信号のクロック周波数の修正の頻度を高頻度にできる。例えば1つPLL回路だけを用いる手法では、位相比較が行われる期間の長さが長くなってしまふが、複数のPLL回路120、130を用いる手法によれば、位相比較が行われる期間の長さを短くできる。従って、位相比較によるクロック周波数の修正が、より頻繁に行われるようになり、クロック信号CK1、CK2の位相誤差やジッター等を低減できる。従って、例えば、位相同期タイミングでのクロック信号CK1、CK2の遷移タイミングの時間差に起因する誤差等を、最小限にでき、時間デジタル変換の高精度化等を

40

50

図れるようになる。

【 0 0 5 7 】

発振回路 1 0 1、1 0 2 は、発振子 X T A L 1、X T A L 2 を発振させる回路である。例えば発振回路 1 0 1 (第 1 の発振回路) は、発振子 X T A L 1 (第 1 の発振子) を発振させて、クロック周波数 f_1 のクロック信号 C K 1 を生成する。発振回路 1 0 2 (第 2 の発振回路) は、発振子 X T A L 2 (第 2 の発振子) を発振させて、クロック周波数 f_2 のクロック信号 C K 2 を生成する。例えばクロック周波数は $f_1 > f_2$ の関係になる。

【 0 0 5 8 】

発振子 (X T A L 1、X T A L 2、X T A L 3) は例えば圧電振動子である。具体的には発振子は例えば水晶振動子である。水晶振動子としては、例えばカット角が A T カットや S C カットなどの厚みすべり振動する水晶振動子である。例えば発振子は、恒温槽を備える恒温槽型水晶発振器 (O C X O) に内蔵されている振動子、或いは恒温槽を備えない温度補償型水晶発振器 (T C X O) に内蔵されている振動子、或いはシンプルパッケージ水晶発振器 (S P X O) に内蔵されている振動子などであってもよい。また発振子として、S A W (Surface Acoustic Wave) 共振子、シリコン基板を用いて形成されたシリコン製振動子としての M E M S (Micro Electro Mechanical Systems) 振動子等を採用してもよい。

【 0 0 5 9 】

このように図 1 では、クロック信号 C K 1 は、発振子 X T A L 1 を用いて生成されるクロック信号であり、クロック信号 C K 2 は、発振子 X T A L 2 を用いて生成されるクロック信号である。また基準クロック信号 C K R も発振子 X T A L 3 を用いて生成できる。このように発振子により生成したクロック信号を用いることで、発振子を用いない手法に比べて、時間デジタル変換の精度の向上等を図れる。但し、本実施形態はこれに限定されず、クロック信号 C K 1、C K 2、基準クロック信号 C K R は、少なくともクロック周波数が異なっていればよく、発振回路と発振子がパッケージに収容された発振器からのクロック信号を用いてもよい。

【 0 0 6 0 】

図 2 は、クロック周波数差を用いた時間デジタル変換手法の説明図である。 t_0 で、クロック信号 C K 1、C K 2 の遷移タイミング (位相) が一致している。その後、 t_1 、 t_2 、 $t_3 \dots$ では、クロック信号 C K 1、C K 2 の遷移タイミングの時間差であるクロック間時間差 T_R (位相差) が、 t 、 $2 \times t$ 、 $3 \times t$ というように長くなって行く。図 2 では、クロック間時間差を、 T_R の幅のパルス信号で表している。

【 0 0 6 1 】

そして本実施形態の時間デジタル変換では、例えば複数の発振子を用い、そのクロック周波数差を用いて時間をデジタル値 D Q に変換する。即ち、クロック信号 C K 1、C K 2 のクロック周波数を f_1 、 f_2 とした場合に、時間デジタル変換回路 2 0 は、クロック周波数 f_1 、 f_2 の周波数差 $|f_1 - f_2|$ に対応する分解能で時間をデジタル値 D Q に変換する。例えば図 2 に示すようにノギスの原理を利用して時間をデジタル値 D Q に変換する。

【 0 0 6 2 】

このようにすれば、クロック周波数 f_1 、 f_2 の周波数差 $|f_1 - f_2|$ を用いて、時間デジタル変換の分解能を設定できるようになり、時間デジタル変換の精度や分解能などの性能の向上等が可能になる。

【 0 0 6 3 】

具体的には本実施形態の時間デジタル変換の分解能 (時間分解能) は、 $t = |1/f_1 - 1/f_2| = |f_1 - f_2| / (f_1 \times f_2)$ と表すことができる。そして時間デジタル変換回路 2 0 は、 $t = |1/f_1 - 1/f_2| = |f_1 - f_2| / (f_1 \times f_2)$ となる分解能 t で、時間をデジタル値 D Q に変換する。分解能は $t = |f_1 - f_2| / (f_1 \times f_2)$ と表され、周波数差 $|f_1 - f_2|$ に対応する分解能となっている。

【 0 0 6 4 】

10

20

30

40

50

このようにすれば、クロック周波数 f_1 、 f_2 の設定により、時間デジタル変換の分解能を設定できるようになる。例えばクロック周波数 f_1 、 f_2 の周波数差 $|f_1 - f_2|$ を小さくすることで、分解能 t を小さくでき、高分解能の時間デジタル変換を実現できるようになる。またクロック周波数 f_1 、 f_2 を高い周波数にすることで、分解能 t を小さくでき、高分解能の時間デジタル変換を実現できるようになる。そしてクロック周波数 f_1 、 f_2 のクロック信号 CK_1 、 CK_2 を、発振子 XAL_1 、 XAL_2 等を用いて生成すれば、半導体素子の遅延素子を用いる場合に比べて、時間デジタル変換の精度の向上も図れるようになる。

【0065】

図3は、信号 STA (第1の信号、スタート信号) と信号 STP (第2の信号、ストップ信号) の関係を示す図である。本実施形態の時間デジタル変換回路20は、信号 STA と信号 STP の遷移タイミングの時間差 TDF をデジタル値に変換する。なお図3では、 TDF は、信号 STA と信号 STP の立ち上がりの遷移タイミング間(立ち上がりエッジ間)の時間差となっているが、信号 STA と信号 STP の立ち下りの遷移タイミング間(立ち下りエッジ間)の時間差であってもよい。

10

【0066】

図4は、信号 STA 、 STP を用いた物理量測定の例を示す図である。例えば本実施形態の回路装置10を含む物理量測定装置は、信号 STA を用いて照射光(例えばレーザー光)を対象物(例えば車の周囲の物体)に出射する。そして対象物からの反射光の受光により信号 STP が生成される。例えば物理量測定装置は、受光信号を波形整形することで信号 STP を生成する。このようにすれば、信号 STA と信号 STP の遷移タイミングの時間差 TDF をデジタル値に変換することで、例えばタイムオブフライト(TOF)の方式で、対象物との距離を物理量として測定でき、例えば車の自動運転などに利用できる。

20

【0067】

或いは物理量測定装置は、信号 STA を用いて送信音波(例えば超音波)を対象物(例えば生体)に送信する。そして対象物からの受信音波の受信により信号 STP が生成される。例えば物理量測定装置は、受信音波を波形整形することで信号 STP を生成する。このようにすれば、信号 STA と信号 STP の遷移タイミングの時間差 TDF をデジタル値に変換することで、対象物との距離等を測定でき、超音波による生体情報の測定などが可能になる。

30

【0068】

なお図3、図4において、信号 STA により送信データを送信し、受信データの受信による信号 STP を用いることで、送信データを送信してから受信データを受信するまでの時間を測定してもよい。また本実施形態の物理量測定装置により測定される物理量は、時間、距離には限定されず、流量、流速、周波数、速度、加速度、角速度又は角加速度等の種々の物理量が考えられる。

【0069】

2. 第1の構成例

図5に本実施形態の回路装置10の詳細な第1の構成例を示す。図5ではPLL回路120、130の具体的な構成例が示されている。

40

【0070】

図5のPLL回路120は、分周回路122、124(第1、第2の分周回路)と、位相検出器126(第1の位相比較器)を含む。分周回路122は、クロック信号 CK_1 を分周して、分周クロック信号 DCK_1 (第1の分周クロック信号) を出力する。具体的には、クロック信号 CK_1 のクロック周波数 f_1 を $1/N_1$ にする分周を行って、クロック周波数が f_1/N_1 となる分周クロック信号 DCK_1 を出力する。

【0071】

分周回路124は、基準クロック信号 CK_R を分周して、分周クロック信号 DCK_2 (第2の分周クロック信号) を出力する。具体的には、基準クロック信号 CK_R のクロック周波数 f_r を $1/M_1$ にする分周を行って、クロック周波数が f_r/M_1 となる分周クロ

50

ック信号 D C K 2 を出力する。そして位相検出器 1 2 6 は、分周クロック信号 D C K 1 と分周クロック信号 D C K 2 の位相比較を行う。

【 0 0 7 2 】

具体的には分周回路 1 2 2 は、クロック信号 C K 1 に基づいてカウント値のカウント動作を行う分周用のカウンタを有しており、このカウンタは、カウント値が例えば N 1 になるとリセットされる。分周回路 1 2 4 は、基準クロック信号 C K R に基づいてカウント値のカウント動作を行う分周用のカウンタを有しており、このカウンタは、カウント値が例えば M 1 になるとリセットされる。

【 0 0 7 3 】

また回路装置 1 0 は発振回路 1 0 1 を含む。発振回路 1 0 1 は、 P L L 回路 1 2 0 の位相検出器 1 2 6 の位相比較結果に基づき制御されて、発振子 X T A L 1 を発振させる。この発振回路 1 0 1 は例えば P L L 回路 1 2 0 の構成要素でもある。具体的には発振回路 1 0 1 は、例えば電圧制御で発振周波数が制御される電圧制御型の発振回路 (V C X O) である。

【 0 0 7 4 】

そして P L L 回路 1 2 0 は、チャージポンプ回路 1 2 8 を含んでおり、位相検出器 1 2 6 は、位相比較結果である信号 P Q 1 をチャージポンプ回路 1 2 8 に出力する。信号 P Q 1 は、例えばアップ/ダウン信号であり、チャージポンプ回路 1 2 8 は、この信号 P Q 1 に基づく制御電圧 V C 1 を、発振回路 1 0 1 に出力する。チャージポンプ回路 1 2 8 はループフィルタを含んでおり (或いはチャージポンプ回路 1 2 8 の後段にループフィルタが設けられており)、このループフィルタにより、信号 P Q 1 であるアップ/ダウン信号が制御電圧 V C 1 に変換される。発振回路 1 0 1 は、制御電圧 V C 1 に基づいて発振周波数が制御される発振子 X T A L 1 の発振動作を行って、クロック信号 C K 1 を生成する。例えば後述の図 1 2、図 1 3 に示すように発振回路 1 0 1 は可変容量回路 (C B 1、C B 2、C X 1) を有しており、制御電圧 V C (V C 1、V C 2) に基づいて可変容量回路の容量値が制御されることで、発振周波数が制御される。

【 0 0 7 5 】

具体的には位相検出器 1 2 6 は、基準信号である分周クロック信号 D C K 2 に対して、フィードバック信号である分周クロック信号 D C K 1 の位相が遅れている場合には、信号 P Q 1 としてアップ信号を出力する。一方、分周クロック信号 D C K 2 に対して分周クロック信号 D C K 1 の位相が進んでいる場合には、信号 P Q 1 としてダウン信号を出力する。

【 0 0 7 6 】

チャージポンプ動作を行うチャージポンプ回路 1 2 8 は、例えば V D D (高電位側電源電圧) と V S S (低電位側電源電圧) の間に直列に接続されたアップ用トランジスタとダウン用トランジスタを含む。そして、アップ信号がアクティブになると、アップ用トランジスタがオンになる。これによりループフィルタが有するキャパシタの充電動作が行われ、制御電圧 V C 1 が V D D 側に変化する。制御電圧 V C 1 が V D D 側に変化すると、発振回路 1 0 1 の発振周波数が高周波数側に変化し、クロック信号 C K 1 のクロック周波数 f_1 も高周波数側に変化する。一方、ダウン信号がアクティブになると、ダウン用トランジスタがオンになる。これによりループフィルタが有するキャパシタの放電動作が行われ、制御電圧 V C 1 が V S S 側に変化する。制御電圧 V C 1 が V S S 側に変化すると、発振回路 1 0 1 の発振周波数が低周波数側に変化し、クロック信号 C K 1 のクロック周波数 f_1 も低周波数側に変化する。

【 0 0 7 7 】

P L L 回路 1 3 0 は、分周回路 1 3 2、1 3 4 (第 3、第 4 の分周回路) と、位相検出器 1 3 6 (第 2 の位相比較器) を含む。分周回路 1 3 2 は、クロック信号 C K 2 を分周して、分周クロック信号 D C K 3 (第 3 の分周クロック信号) を出力する。具体的には、クロック信号 C K 2 のクロック周波数 f_2 を $1/N_2$ にする分周を行って、クロック周波数が f_2/N_2 となる分周クロック信号 D C K 3 を出力する。

10

20

30

40

50

【 0 0 7 8 】

分周回路 1 3 4 は、基準クロック信号 C K R を分周して、分周クロック信号 D C K 4 (第 4 の分周クロック信号) を出力する。具体的には、基準クロック信号 C K R のクロック周波数 f_r を $1 / M 2$ にする分周を行って、クロック周波数が $f_r / M 2$ となる分周クロック信号 D C K 4 を出力する。そして位相検出器 1 3 6 は、分周クロック信号 D C K 3 と分周クロック信号 D C K 4 の位相比較を行う。なお分周回路 1 3 2、1 3 4 の構成、動作は分周回路 1 2 2、1 2 4 と同様であるため、詳細な説明は省略する。

【 0 0 7 9 】

また回路装置 1 0 は発振回路 1 0 2 を含む。発振回路 1 0 2 は、P L L 回路 1 3 0 の位相検出器 1 3 6 の位相比較結果に基づき制御されて、発振子 X T A L 2 を発振させる。この発振回路 1 0 2 は例えば P L L 回路 1 3 0 の構成要素でもある。具体的には発振回路 1 0 2 は、例えば電圧制御で発振周波数が制御される電圧制御型の発振回路 (V C X O) である。

10

【 0 0 8 0 】

そして P L L 回路 1 3 0 は、チャージポンプ回路 1 3 8 を含んでおり、位相検出器 1 3 6 は、位相比較結果である信号 P Q 2 をチャージポンプ回路 1 3 8 に出力する。チャージポンプ回路 1 3 8 は、この信号 P Q 2 に基づく制御電圧 V C 2 を、発振回路 1 0 2 に出力する。チャージポンプ回路 1 3 8 はループフィルタを含んでおり、このループフィルタにより、信号 P Q 2 であるアップ/ダウン信号が制御電圧 V C 2 に変換される。発振回路 1 0 2 は、制御電圧 V C 2 に基づいて発振周波数が制御される発振子 X T A L 2 の発振動作を行って、クロック信号 C K 2 を生成する。なお位相検出器 1 3 6、チャージポンプ回路 1 3 8、発振回路 1 0 2 の構成、動作は、位相検出器 1 2 6、チャージポンプ回路 1 2 8、発振回路 1 0 1 と同様であるため、詳細な説明は省略する。

20

【 0 0 8 1 】

また回路装置 1 0 は発振回路 1 0 3 (第 3 の発振回路) を含み、この発振回路 1 0 3 は、発振子 X T A L 3 を発振させて、基準クロック信号 C K R を生成する。発振子 X T A L 3 としては、例えば水晶振動子を用いることができる。水晶振動子を用いることで、ジッターや位相誤差が小さい高精度の基準クロック信号 C K R を生成でき、結果的に、クロック信号 C K 1、C K 2 のジッターや位相誤差も低減でき、時間デジタル変換の高精度化等を図れるようになる。

30

【 0 0 8 2 】

図 6、図 7 は本実施形態の回路装置 1 0 の動作を説明する信号波形図である。なお図 6、図 7 では、説明の簡素化のために $N 1 = 4$ 、 $M 1 = 3$ 、 $N 2 = 5$ 、 $M 2 = 4$ に設定した例を示しているが、実際には、時間デジタル変換の分解能を高めるために $N 1$ 、 $M 1$ 、 $N 2$ 、 $M 2$ は非常に大きな数に設定される。

【 0 0 8 3 】

図 6 は、P L L 回路 1 2 0 によりクロック信号 C K 1、基準クロック信号 C K R の位相同期が行われて、P L L 回路 1 2 0 がロック状態である場合を示している。

【 0 0 8 4 】

図 6 に示すようにクロック信号 C K 1 を $N 1 = 4$ 分周した信号が、分周クロック信号 D C K 1 となる。また基準クロック信号 C K R を $M 1 = 3$ 分周した信号が、分周クロック信号 D C K 2 となる。前述のように位相検出器 1 2 6 が分周クロック信号 D C K 1、D C K 2 の位相比較を行い、この位相比較結果に基づいて発振回路 1 0 1 の発振周波数が制御されるフィードバック制御が行われる。これにより位相同期タイミング T M 1、T M 2 において、分周クロック信号 D C K 1、D C K 2 の遷移タイミング (立ち上がりエッジ) が一致 (略一致) するようになり、クロック信号 C K 1、基準クロック信号 C K R の遷移タイミングも一致 (略一致) するようになる。

40

【 0 0 8 5 】

例えば図 6 において位相同期タイミング T M 1 と T M 2 の間の期間を T 1 2 とする。クロック周波数が f_1 であるクロック信号 C K 1 の 1 クロックサイクルの時間の長さは $1 /$

50

f_1 である。またクロック周波数が f_r である基準クロック信号 CKR の1クロックサイクルの時間の長さは $1/f_r$ である。そしてPLL回路120により、位相同期タイミング TM_1 、 TM_2 において分周クロック信号 DCK_1 と DCK_2 の遷移タイミングが一致するようにフィードバック制御が行われる。これにより期間 T_{12} の長さは、 N_1/f_1 となり、クロック信号 CK_1 の N_1 クロック数に対応する長さになる。また期間 T_{12} の長さは、 M_1/f_r となり、基準クロック信号 CKR の M_1 クロック数に対応する長さになる。即ち、PLL回路120により、 $T_{12} = N_1/f_1 = M_1/f_r$ の関係が成り立つように、クロック信号 CK_1 、基準クロック信号 CKR の位相同期が行われる。

【0086】

図7は、PLL回路130によりクロック信号 CK_2 、基準クロック信号 CKR の位相同期が行われて、PLL回路130がロック状態である場合を示している。

10

【0087】

図7に示すようにクロック信号 CK_2 を $N_2 = 5$ 分周した信号が、分周クロック信号 DCK_3 となる。また基準クロック信号 CKR を $M_2 = 4$ 分周した信号が、分周クロック信号 DCK_4 となる。前述のように位相検出器136が分周クロック信号 DCK_3 、 DCK_4 の位相比較を行い、この位相比較結果に基づいて発振回路102の発振周波数が制御されるフィードバック制御が行われる。これにより位相同期タイミング TM_3 、 TM_4 において、分周クロック信号 DCK_3 、 DCK_4 の遷移タイミング(立ち上がりエッジ)が一致(略一致)するようになり、クロック信号 CK_2 、基準クロック信号 CKR の遷移タイミングも一致(略一致)するようになる。

20

【0088】

例えば図7において位相同期タイミング TM_3 と TM_4 の間の期間を T_{34} とする。クロック周波数が f_2 であるクロック信号 CK_2 の1クロックサイクルの時間の長さは $1/f_2$ である。また基準クロック信号 CKR の1クロックサイクルの時間の長さは $1/f_r$ である。そしてPLL回路130により、位相同期タイミング TM_3 、 TM_4 において分周クロック信号 DCK_3 と DCK_4 の遷移タイミングが一致するようにフィードバック制御が行われる。これにより期間 T_{34} の長さは、 N_2/f_2 となり、クロック信号 CK_2 の N_2 クロック数に対応する長さになる。また期間 T_{34} の長さは、 M_2/f_r となり、基準クロック信号 CKR の M_2 クロック数に対応する長さになる。即ち、PLL回路130により、 $T_{34} = N_2/f_2 = M_2/f_r$ の関係が成り立つように、クロック信号 CK_2 、基準クロック信号 CKR の位相同期が行われる。

30

【0089】

図8は本実施形態の回路装置10の全体的な動作を説明する信号波形図である。図6で説明したようにPLL回路120により、期間 T_{12} 毎に、クロック信号 CK_1 と基準クロック信号 CKR が位相同期している。図7で説明したようにPLL回路130により、期間 T_{34} 毎に、クロック信号 CK_2 と基準クロック信号 CKR が位相同期している。これによりクロック信号 CK_1 、 CK_2 は、期間 T_{AB} 毎に位相同期されることになる。

【0090】

期間 T_{AB} は、クロック信号 CK_1 、 CK_2 の位相同期タイミング T_{MA} 、 T_{MB} の間の期間であり、図8に示すように、 $T_{AB} = T_{12} \times M_2 = T_{34} \times M_1$ の関係が成り立つ。例えば $M_2 = 4$ 、 $M_1 = 3$ の場合には、 $T_{AB} = T_{12} \times 4 = T_{34} \times 3$ になる。ここで、図6、図7で前述したように、 $T_{12} = N_1/f_1 = M_1/f_r$ 、 $T_{34} = N_2/f_2 = M_2/f_r$ の関係が成り立っている。

40

【0091】

図5の分周回路122、124、132、134の分周比 N_1 、 M_1 、 N_2 、 M_2 は、実際には非常に大きい数に設定される。図9に分周比の設定の一例を示す。例えば基準クロック信号 CKR のクロック周波数が $f_r = 101\text{MHz}$ の場合に、図5の分周回路122、124の分周比を $N_1 = 101$ 、 $M_1 = 100$ に設定することで、PLL回路120により $f_1 = 102.01\text{MHz}$ のクロック信号 CK_1 が生成される。また分周回路132、134の分周比を $N_2 = 102$ 、 $M_2 = 101$ に設定することで、PLL回路130

50

により $f_2 = 102 \text{ MHz}$ のクロック信号 CK_2 が生成される。これにより、図 2 で説明した時間デジタル変換の分解能（時間分解能）を、 $t = |1/f_1 - 1/f_2| = 0.96 \text{ ps}$ （ピコセカンド）に設定でき、非常に高い分解能の時間デジタル変換を実現できるようになる。

【0092】

図 9 に示すように、 N_1 と M_1 は 2 以上の異なる整数であり、 N_2 と M_2 も 2 以上の異なる整数である。また N_1 、 M_1 の少なくとも 1 つと、 N_2 、 M_2 の少なくとも 1 つは異なる整数になっている。また、望ましくは、 N_1 と N_2 は、最大公約数が 1 で、最小公倍数が $N_1 \times N_2$ になっており、 M_1 と M_2 は、最大公約数が 1 で、最小公倍数が $M_1 \times M_2$ になっている。

10

【0093】

また図 9 では $|N_1 \times M_2 - N_2 \times M_1| = 1$ の関係が成り立っている。即ち、 $|N_1 \times M_2 - N_2 \times M_1| = 1$ の関係が成り立つように N_1 、 M_1 、 N_2 、 M_2 が設定されている。 $N_1 = 4$ 、 $M_1 = 3$ 、 $N_2 = 5$ 、 $M_2 = 4$ に設定される図 8 を例にとれば、 $|N_1 \times M_2 - N_2 \times M_1| = |4 \times 4 - 5 \times 3| = 1$ になる。これはクロック信号 CK_1 の 16 個分の長さ（クロック信号 CK_2 の 15 個分の長さ）が等しいことを意味する。即ち図 8 のように、 $T_{AB} = (N_1/f_1) \times M_2 = (4/f_1) \times 4 = (1/f_1) \times 16 = (N_2/f_2) \times M_1 = (5/f_2) \times 3 = (1/f_2) \times 15$ が成り立つことを意味している。このようにすれば期間 T_{AB} 毎に、クロック信号 CK_1 とクロック信号 CK_2 が、1 クロックサイクル分（1 クロック期間）ずつずれるようになる。これにより、後述の図 10 に示すようなノギス（バーニア）の原理を利用した時間デジタル変換を容易に実現できるようになる。

20

【0094】

例えば本実施形態の比較例の手法として、1 つの PLL 回路を用いてクロック信号 CK_1 、 CK_2 の位相同期を行う手法が考えられる。図 8 を例にとれば、期間 T_{AB} 毎にクロック信号 CK_1 、 CK_2 の位相比較を行って位相同期を行う手法である。しかしながら、この比較例の手法では、位相比較を行う頻度が少なくなり、位相同期を行う期間 T_{AB} が長くなってしまったため、クロック信号 CK_1 、 CK_2 のジッターや位相ノイズが大きくなってしまふという不利点がある。

【0095】

これに対して図 8 では、期間 T_{AB} よりも短い期間 T_{12} 毎にクロック信号 CK_1 と基準クロック信号 CK_R の位相同期が行われ、期間 T_{AB} よりも短い期間 T_{34} 毎にクロック信号 CK_2 と基準クロック信号 CK_R の位相同期が行われる。従って、上述の比較例の手法に比べて位相比較を行う頻度が多くなり、クロック信号 CK_1 、 CK_2 のジッターや位相ノイズの低減等を図れるようになる。特に図 9 に示すように、高分解能の t を実現するために、 N_1 、 M_1 、 N_2 、 M_2 を大きな数に設定した場合に、上述の比較例の手法では、期間 T_{AB} の長さが非常に長くなってしまい、誤差が積算されることでジッターや位相誤差が大きくなってしまふ。即ち、PLL 回路の分周回路の分周比が非常に大きな数に設定されるため、積算誤差による悪影響が大きくなってしまふ。これに対して図 8 では、期間 T_{AB} よりも短い期間 T_{12} 、 T_{34} 毎に位相比較が行われるため、積算誤差を小さくでき、ジッターや位相誤差を向上できるという利点がある。即ち、比較例の手法に比べて分周回路の分周比を小さな数に設定できるため、積算誤差による悪影響を低減できる。

30

40

【0096】

図 10 は、本実施形態の回路装置 10 の詳細な動作を説明する信号波形図である。図 10 では位相同期タイミング T_{MA} において、PLL 回路 120、130 による位相同期が行われて、クロック信号 CK_1 、 CK_2 の遷移タイミングが一致している。その後、図 2 で説明したように、クロック信号 CK_1 、 CK_2 の遷移タイミングの時間差が、 t 、 $2 \times t$ 、 $3 \times t$ 、 \dots というように、クロックサイクル（ CC_T ）毎に t ずつ増えて行く。そして次の位相同期タイミング T_{MB} において、PLL 回路 120、130 による

50

位相同期が行われて、クロック信号CK1、CK2の遷移タイミングが一致する。

【0097】

図10に示すように、位相同期タイミングTMAとTMBの間の期間TABの長さは、クロック信号CK1のクロック数 $N = N1 \times M2$ に対応する長さになっている。即ち、 $TAB = (N1 / f1) \times M2$ となる。 $N1 = 4$ 、 $M2 = 4$ に設定される図8を例にとれば、期間TABの長さは、クロック信号CK1の16クロック数に対応する長さになっている。また期間TABの長さは、クロック信号CK2のクロック数 $M = N2 \times M1$ に対応する長さになっている。即ち、 $TAB = (N2 / f2) \times M1$ となる。 $N2 = 5$ 、 $M1 = 3$ に設定される図8を例にとれば、期間TABの長さは、クロック信号CK1の15クロック数に対応する長さになっている。このように、図10では $TAB = (N1 / f1) \times M2 = (N2 / f2) \times M1$ の関係が成り立っている。例えば $N = N1 \times M2$ 、 $M = N2 \times M1$ とすれば、 $N / f1 = M / f2$ の関係が成り立っている。

10

【0098】

また図8で説明したように、 $|N1 \times M2 - N2 \times M1| = |4 \times 4 - 5 \times 3| = 1$ の関係が成り立っている。これにより図10に示すように、期間TAB毎に、クロック信号CK1、CK2が1クロックサイクル分ずつずれるようになる。

【0099】

このようにすれば図10に示すように、位相同期タイミングTMAでクロック信号CK1、CK2の遷移タイミングが一致した後、クロック信号CK1、CK2のクロック間時間差TRが、 t 、 $2 \times t$ 、 $3 \times t$ ・・・というように t ずつ増えて行くようになる。即ち、位相同期タイミングTMAの後、クロックサイクル毎に t ずつ増えて行くクロック信号CK1、CK2のクロック間時間差TRを作り出すことができる。そして次の位相同期タイミングTMBでは、クロック信号CK1、CK2の遷移タイミングが一致してクロック間時間差TRが0になる。その後、クロックサイクル毎にクロック間時間差TRが t ずつ増えて行くようになる。

20

【0100】

このように、PLL回路120、130による位相同期により、位相同期タイミングで0になり、その後 t (分解能) ずつ増えて行くクロック間時間差TRを作り出すことで、後述する時間デジタル変換(繰り返し手法、更新手法、バイナリー手法)の処理を実現できるようになる。即ち、ノギス(バーニア)の原理を利用して分解能 t で時間をデジタル値に変換する時間デジタル変換を実現できる。そして、このような分解能 t での時間デジタル変換の処理において、図10に示すように、期間TAB内の各クロックサイクル(CCT)でのクロック間時間差TRを、一意に特定できるため、時間デジタル変換の処理や回路構成の簡素化を図れる。またPLL回路120、130による位相同期により、位相同期タイミングTMA、TMBにおいてクロック信号CK1、CK2の遷移タイミングを一致(略一致)させることができるため、時間デジタル変換の精度向上等も図れるようになる。

30

【0101】

例えば本実施形態の比較例の手法として、PLL回路120、130による位相同期は行わずに、 $N / f1 = M / f2$ の関係が成り立つように、設計上のクロック周波数を設定する手法が考えられる。例えば前述の特許文献4の従来手法において第1、第2の水晶発振器の設計上のクロック周波数の関係として、 $N / f1 = M / f2$ の関係を成り立たせる手法である。なお、図10では、 $TAB = (N1 / f1) \times M2 = (N2 / f2) \times M1$ が成り立っており、 $N = N1 \times M2$ 、 $M = N2 \times M1$ とすれば、 $N / f1 = M / f2$ の関係が成り立っている。

40

【0102】

しかしながら、上記の従来手法では、第1、第2の水晶発振器は、発振動作が制御されないフリーランの発振動作を行っている。このため、 $N / f1 = M / f2$ の関係が成り立っていたとしても、位相同期タイミングにおいてクロック信号CK1、CK2の遷移タイミングを一致させることは困難である。例えば第1、第2の水晶発振器の発振の起動タイ

50

ミングは異なるため、本実施形態のような位相同期を行わない比較例の手法では、位相同期タイミングにおいて、クロック信号CK1、CK2の遷移タイミングを一致させることはできない。また第1、第2の水晶発振器によるクロック周波数は、製造ばらつきや温度変動等の環境変動が原因で変動する。従って、設計上において $N/f_1 = M/f_2$ の関係を成り立たせたととしても、実際の製品では $N/f_1 = M/f_2$ の関係は成り立たなくなる。このため、遷移タイミングにズレ等が生じるため、時間デジタル変換の変換精度が低下してしまう。

【0103】

これに対して本実施形態では、製造ばらつきや環境変動によるクロック周波数の変動があった場合にも、PLL回路120、130が、制御電圧VC1、VC2に基づき発振回路101、102の発振周波数を調整することで、当該変動が補償されるように、クロック周波数 f_1 、 f_2 が調整される。従って、このようなクロック周波数の変動があった場合にも、 $N/f_1 = M/f_2$ の関係を成り立たせることが可能になり、適正な時間デジタル変換の実現が可能になる。また図7のように位相同期タイミングTMA、TMBにおいてクロック信号CK1、CK2の遷移タイミングを一致させることができるため、遷移タイミングのズレに起因する変換誤差の低下を防止でき、時間デジタル変換の高性能化を図れるようになる。

10

【0104】

以上のように本実施形態では、クロック信号CK1、CK2のクロック周波数を f_1 、 f_2 とした場合に、 $N/f_1 = M/f_2$ となるように、PLL回路120、130により、クロック信号CK1、CK2の位相同期が行われる。具体的には、 $(N_1/f_1) \times M_2 = (N_2/f_2) \times M_1$ となるように位相同期が行われる。

20

【0105】

このようにすれば適切な位相同期タイミングでの位相同期が可能になり、不適切な位相同期タイミングでの位相同期を原因とする不具合の発生等を防止できる。具体的には、後述の図16、図17で説明する信号STAの繰り返し手法においては、期間TABを測定期間(TS)とする時間デジタル変換が可能になる。また後述の図18～図21で説明するクロックサイクル指定値の更新手法やバイナリサーチ手法では、期間TABを更新期間(TP、TP1～TP4)とする時間デジタル変換が可能になる。従って、期間TABを処理期間とする時間デジタル変換が可能になり、処理シーケンスや回路構成の簡素化等

30

【0106】

また時間デジタル変換の分解能を t とし、 $N = N_1 \times M_2$ 、 $M = N_2 \times M_1$ とした場合に、 $t = |N - M| / (N \times f_2) = |N - M| / (M \times f_1)$ となるように、PLL回路120、130により、クロック信号CK1、CK2の位相同期が行われる。

【0107】

即ち、図8、図10に示すように、 $(N_1/f_1) \times M_2 = (N_2/f_2) \times M_1$ となるように、PLL回路120、130により位相同期が行われており、 $N = N_1 \times M_2$ 、 $M = N_2 \times M_1$ とすれば、 $N/f_1 = M/f_2$ となるように位相同期が行われている。また図2、図10で説明したように、本実施形態の時間デジタル変換の分解能 t は、 $t = |f_1 - f_2| / (f_1 \times f_2)$ の関係式で表すことができる。従って、これらの2つの関係式から、下式(1)が成り立つようになる。

40

【0108】

$$t = |N - M| / (N \times f_2) = |N - M| / (M \times f_1) \quad (1)$$

このようにすれば、時間デジタル変換に要求される分解能 t に応じて $N = N_1 \times M_2$ 、 $M = N_2 \times M_1$ を設定して、クロック信号CK1、CK2を位相同期させることが可能になる。

【0109】

例えば図9において基準クロック信号CKRのクロック周波数が $f_r = 101 \text{ MHz}$ であったとする。この場合に $N = N_1 \times M_2 = 101 \times 101 = 10201$ 、 $M = N_2 \times M_1$

50

1 = 102 × 100 = 10200 に設定する。ここでは、 $|N1 \times M2 - N2 \times M1| = |10201 - 10200| = 1$ の関係が成り立っている。こうすることで、図9に示すように、クロック信号CK1、CK2のクロック周波数は、各々、 $f1 = \underline{102.01} \text{ MHz}$ 、 $f2 = \underline{102} \text{ MHz}$ に設定される。即ち、図5の発振回路101は、 $f1 = \underline{102.01} \text{ MHz}$ となるように、制御電圧VC1に基づいてクロック信号CK1のクロック周波数f1を調整する。発振回路102は、 $f2 = \underline{102} \text{ MHz}$ となるように、制御電圧VC2に基づいてクロック信号CK2のクロック周波数f2を調整する。これにより、時間デジタル変換の分解能 t は、 $t = |N - M| / (N \times f2) = |10201 - 10200| / (10201 \times f2)$ の関係式から、 $\underline{0.96} \text{ ps}$ (ピコセカンド) に設定でき、非常に高い分解能の時間デジタル変換を実現できるようになる。

10

【0110】

このように本実施形態では、要求される分解能 t に対応して、上式(1)を満たすような $N = N1 \times M2$ 、 $M = N2 \times M1$ を適切に設定することで、当該要求を満たす分解能 t での時間デジタル変換を実現できるようになる。

【0111】

なおクロック周波数f1、f2の大小関係は、 $f1 > f2$ は限定されず、 $f1 < f2$ であってもよい。また図5では分周回路122、124、132、134による分周動作により、 $N/f1 = M/f2$ の関係が満たされるようにしているが、本実施形態はこれに限定されない。例えば、周波数比 $f1/f2 = N/M$ となるような回路動作により実現してもよい。例えば分数分周タイプのPLL回路120、130により、 $f1/f2 = N/M$ の関係を実現してもよい。

20

【0112】

また本実施形態のPLL回路120は、クロック信号CK1又はCK1に基づく信号と、基準クロック信号CKR又はCKRに基づく信号との位相比較を行う位相検出器126(140)を含む。例えば図5の位相検出器126は、クロック信号CK1に基づく信号である分周クロック信号DCK1と、基準クロック信号CKRに基づく信号である分周クロック信号DCK2の位相比較を行っている。後述する図11の位相検出器140は、クロック信号CK1と基準クロック信号CKRの位相比較を行っている。そして位相検出器126、140は、位相比較結果の信号を後段の回路に出力する。図5では、位相検出器126は、アップ/ダウン信号であるアナログの信号PQ1を、後段のチャージポンプ回路128に出力している。後述の図11では、位相検出器140は、デジタルデータDPQ1を後段のデジタル演算部146に出力している。

30

【0113】

また本実施形態のPLL回路130は、クロック信号CK2又はCK2に基づく信号と、基準クロック信号CKR又はCKRに基づく信号との位相比較を行う位相検出器136(150)を含む。例えば図5の位相検出器136は、クロック信号CK2に基づく信号である分周クロック信号DCK3と、基準クロック信号CKRに基づく信号である分周クロック信号DCK4の位相比較を行っている。後述する図11の位相検出器150は、クロック信号CK2と基準クロック信号CKRの位相比較を行っている。そして位相検出器136、150は、位相比較結果の信号を後段の回路に出力する。図5では、位相検出器136は、アップ/ダウン信号であるアナログの信号PQ2を、後段のチャージポンプ回路138に出力している。後述の図11では、位相検出器150は、デジタルデータDPQ2を後段のデジタル演算部156に出力している。

40

【0114】

このような位相検出器126、136(140、150)を設ければ、クロック信号CK1又はCK1に基づく信号と基準クロック信号CKR又はCKRに基づく信号の位相比較結果をフィードバックする制御や、クロック信号CK2又はCK2に基づく信号と基準クロック信号CKR又はCKRに基づく信号の位相比較結果をフィードバックする制御を実現できる。これにより、クロック信号CK1、CK2の遷移タイミングを位相同期タイ

50

ミングで一致させる位相同期を実現できるようになる。

【0115】

そして図5ではPLL回路120は、クロック信号CK1を分周して分周クロック信号DCK1を位相検出器126に出力する分周回路122と、基準クロック信号CKRを分周して分周クロック信号DCK2を位相検出器126に出力する分周回路124を有している。またPLL回路130は、クロック信号CK2を分周して分周クロック信号DCK3を位相検出器136に出力する分周回路132と、基準クロック信号CKRを分周して分周クロック信号DCK4を位相検出器136に出力する分周回路134を有している。

【0116】

このように、PLL回路120に分周回路122、124を設けることで、位相検出器126での分周クロック信号DCK1、DCK2の位相比較結果をフィードバックする制御を行って、クロック信号CK1と基準クロック信号CKRの位相同期を実現できるようになる。またPLL回路130に分周回路132、134を設けることで、位相検出器136での分周クロック信号DCK3、DCK4の位相比較結果をフィードバックする制御を行って、クロック信号CK2と基準クロック信号CKRの位相同期を実現できるようになる。そしてクロック信号CK1と基準クロック信号CKRの位相同期と、クロック信号CK2と基準クロック信号CKRの位相同期を行うことで、クロック信号CK1、CK2の位相同期を実現できるようになる。

【0117】

具体的には図5では、 $N1/f1 = M1/fr$ となるように、分周回路122がクロック信号CK1を分周し、分周回路124が基準クロック信号CKRを分周している。例えば分周回路122がクロック周波数f1を $1/N1$ にする分周を行い、分周回路124がクロック周波数frを $1/M1$ にする分周を行う。そして、分周により得られた分周クロック信号DCK1、DCK2の遷移タイミングを一致させるフィードバック制御を行うことで、図6に示すように $N1/f1 = M1/fr$ の関係が満たされるようになる。また図5では、 $N2/f2 = M2/fr$ となるように、分周回路132がクロック信号CK2を分周し、分周回路134が基準クロック信号CKRを分周している。例えば分周回路132がクロック周波数f2を $1/N2$ にする分周を行い、分周回路134がクロック周波数frを $1/M2$ にする分周を行う。そして、分周により得られた分周クロック信号DCK3、DCK4の遷移タイミングを一致させるフィードバック制御を行うことで、図7に示すように $N2/f2 = M2/fr$ の関係が満たされるようになる。これらにより、適切な位相同期タイミングでの位相同期が可能になり、不適切な位相同期タイミングでの位相同期を原因とする不具合の発生等を防止できる。具体的には、期間TABを処理期間とした時間デジタル変換の処理が可能になる。

【0118】

また図5に示すように本実施形態の回路装置10は、位相検出器126の位相比較結果に基づき制御され、発振器XTAL1を発振させて、クロック信号CK1を生成する発振回路101を含む。例えば位相検出器126からの位相比較結果の信号PQ1(アップ/ダウン信号)に基づいて、チャージポンプ回路128がチャージポンプ動作を行い、チャージポンプ動作により生成された制御電圧VC1に基づいて、発振回路101がクロック信号CK1を生成する。また回路装置10は、位相検出器136の位相比較結果に基づき制御され、発振器XTAL2を発振させて、クロック信号CK2を生成する発振回路102を含む。例えば位相検出器136からの位相比較結果の信号PQ2(アップ/ダウン信号)に基づいて、チャージポンプ回路138がチャージポンプ動作を行い、チャージポンプ動作により生成された制御電圧VC2に基づいて、発振回路102がクロック信号CK2を生成する。

【0119】

このようにすれば、位相検出器126、136での位相比較結果に基づいて、クロック信号CK1、CK2のクロック周波数f1、f2を調整して、例えば $N/f1 = M/f2$ の関係を満たすようなクロック信号CK1、CK2の位相同期を実現できるようになる。

このような位相同期を実現することで、時間デジタル変換の処理や回路構成の簡素化や、時間デジタル変換の処理の高性能化（高精度化等）を図れるようになる。

【 0 1 2 0 】

このようにクロック信号 $CK1$ 、 $CK2$ を、発振子 $XAL1$ 、 $XAL2$ を用いて生成し、これらのクロック信号 $CK1$ 、 $CK2$ を用いて時間デジタル変換を行えば、時間デジタル変換の高精度化等を図れる。また基準クロック信号 CKR についても、発振子 $XAL3$ を用いて生成すれば、時間デジタル変換の更なる高精度化等を図れる。特に、半導体素子である遅延素子を用いて時間デジタル変換を実現する従来手法に比べて、時間デジタル変換の精度を大幅に向上できるようになる。

【 0 1 2 1 】

3. 第2の構成例

図11に本実施形態の回路装置10の第2の構成例を示す。図11の第2の構成例は図5の第1の構成例に比べて、PLL回路120、130の回路構成が異なっている。例えば図5のPLL回路120、130はアナログ方式の回路構成になっているのに対して、図11のPLL回路120、130はデジタル方式（ADPLL）の回路構成になっている。

【 0 1 2 2 】

図11のPLL回路120は、位相検出器140、デジタル演算部146を含む。また発振回路101が、周波数制御データ $DCV1$ に基づいて発振周波数が制御されるデジタル制御の発振回路（ $DCXO$ ）となっている。

【 0 1 2 3 】

位相検出器140は、発振回路101からのクロック信号 $CK1$ （フィードバック信号）と、発振回路103からの基準クロック信号 CKR の位相比較を、デジタル方式で行う回路である。位相検出器140はカウンター142、 $TDC144$ （時間デジタル変換器）を含む。カウンター142は、基準クロック信号 CKR のクロック周波数 f_r （基準周波数）を、クロック信号 $CK1$ のクロック周波数 f_1 で除算した結果の整数部に相当するデジタルデータを生成する。 $TDC144$ は、当該除算結果の小数部に相当するデジタルデータを生成する。これらの整数部と小数部の加算結果に対応するデータがデジタルデータ $DPQ1$ として出力される。ここで $TDC144$ は、例えば複数の遅延素子と、複数のラッチ回路と、複数のラッチ回路の出力信号に基づいて除算結果の小数部に相当するデジタルデータを生成するロジック回路などにより構成できる。

【 0 1 2 4 】

デジタル演算部146は、設定周波数データ $FCW1$ と位相検出器140からの比較結果のデジタルデータ $DPQ1$ に基づいて、設定周波数データ $FCW1$ との位相誤差を検出する。そして位相誤差の平滑化処理を行うことで、周波数制御データ $DCV1$ を生成して、発振回路101に出力する。発振回路101は、周波数制御データ $DCV1$ に基づいて発振周波数が制御されて、クロック信号 $CK1$ を生成する。そして、生成されたクロック信号 $CK1$ が位相検出器140にフィードバックされる。

【 0 1 2 5 】

また図11のPLL回路130は、位相検出器150、デジタル演算部156を含む。また発振回路102が、周波数制御データ $DCV2$ に基づいて発振周波数が制御されるデジタル制御の発振回路（ $DCXO$ ）となっている。

【 0 1 2 6 】

位相検出器150は、発振回路102からのクロック信号 $CK2$ と、発振回路103からの基準クロック信号 CKR の位相比較を、デジタル方式で行う回路である。位相検出器150はカウンター152、 $TDC154$ を含む。カウンター152は、基準クロック信号 CKR のクロック周波数 f_r を、クロック信号 $CK2$ のクロック周波数 f_2 で除算した結果の整数部に相当するデジタルデータを生成する。 $TDC154$ は、当該除算結果の小数部に相当するデジタルデータを生成する。これらの整数部と小数部の加算結果に対応するデータがデジタルデータ $DPQ2$ として出力される。

10

20

30

40

50

【 0 1 2 7 】

デジタル演算部 1 5 6 は、設定周波数データ F C W 2 と位相検出器 1 5 0 からの比較結果のデジタルデータ D P Q 2 に基づいて、設定周波数データ F C W 2 との位相誤差を検出する。そして位相誤差の平滑化処理を行うことで、周波数制御データ D C V 2 を生成して、発振回路 1 0 2 に出力する。発振回路 1 0 2 は、周波数制御データ D C V 2 に基づいて発振周波数が制御されて、クロック信号 C K 2 を生成する。そして、生成されたクロック信号 C K 2 が位相検出器 1 5 0 にフィードバックされる。

【 0 1 2 8 】

図 1 1 の P L L 回路 1 2 0 では、 $f 1 = F C W 1 \times f r$ の関係が成り立つように、周波数制御データ D C V 1 が生成されて、発振回路 1 0 1 の発振周波数が制御される。従って、前述の図 6 のように $N 1 / f 1 = M 1 / f r$ の関係が満たされるようにするためには、設定周波数データを例えば $F C W 1 = N 1 / M 1$ に設定すればよい。このようにすれば、 $F C W 1 = N 1 / M 1 = f 1 / f r$ となるように周波数制御データ D C V 1 が生成され、 $N 1 / f 1 = M 1 / f r$ の関係が満たされるようになる。

10

【 0 1 2 9 】

また P L L 回路 1 3 0 では、 $f 2 = F C W 2 \times f r$ の関係が成り立つように、周波数制御データ D C V 2 が生成されて、発振回路 1 0 2 の発振周波数が制御される。従って、前述の図 7 のように $N 2 / f 2 = M 2 / f r$ の関係が満たされるようにするためには、設定周波数データを例えば $F C W 2 = N 2 / M 2$ に設定すればよい。このようにすれば、 $F C W 2 = N 2 / M 2 = f 2 / f r$ となるように周波数制御データ D C V 2 が生成され、 $N 2 / f 2 = M 2 / f r$ の関係が満たされるようになる。

20

【 0 1 3 0 】

なおデジタル方式の P L L 回路 1 2 0、1 3 0 は図 1 1 の構成に限定されず、種々の変形実施が可能である。例えば T D C 1 4 4、1 5 4 を用いる代わりに、B a n g - B a n g タイプの位相検出器と P I 制御を用いた構成で、デジタル方式の P L L 回路 1 2 0、1 3 0 を実現してもよい。

【 0 1 3 1 】

4 . 発振回路

図 1 2 に発振回路 1 0 0 の第 1 の構成例を示す。ここでは発振回路 1 0 1、1 0 2 を代表して、発振回路 1 0 0 と記載している。

30

【 0 1 3 2 】

図 1 2 の発振回路 1 0 0 (1 0 1、1 0 2) は、発振用のバッファ回路 B A B、可変容量回路 C B 1、C B 2 (可変容量キャパシター。広義にはキャパシター)、帰還抵抗 R B を含む。バッファ回路 B A B は 1 又は複数段 (奇数段) のインバータ回路により構成できる。図 1 2 ではバッファ回路 B A B は、3 段のインバータ回路 I V 1、I V 2、I V 3 により構成されている。このバッファ回路 B A B (I V 1 ~ I V 3) は、発振のイネーブル・ディスエーブルの制御や、流れる電流の制御が可能な回路であってもよい。

【 0 1 3 3 】

発振子 X T A L の一端 (N B 1)、他端 (N B 2) には、各々、可変容量回路 C B 1、C B 2 が設けられている。また発振子 X T A L の一端と他端の間には、帰還抵抗 R B が設けられている。可変容量回路 C B 1、C B 2 は、制御電圧 V C 1、V C 2 (広義には制御信号) に基づいて、その容量値が制御される。可変容量回路 C B 1、C B 2 は、可変容量ダイオード (バラクター) などにより実現される。このように容量値を制御することで、発振回路 1 0 0 の発振周波数 (クロック周波数) を調整 (微調整) することが可能になる。

40

【 0 1 3 4 】

なお、発振子 X T A L の一端及び他端の一方にのみ可変容量回路を設けてもよい。また可変容量回路の代わりに、容量値が可変ではない通常のキャパシターを設けてもよい。

【 0 1 3 5 】

50

図13に発振回路100の第2の構成例を示す。この発振回路100は、電流源IBX、バイポーラートランジスタTRX、抵抗RX、キャパシターCX2、CX3、可変容量回路CX1(可変容量キャパシター)を有する。例えば電流源IBX、バイポーラートランジスタTRX、抵抗RX、キャパシターCX3により発振用のバッファ回路BAXが構成される。

【0136】

電流源IBXは、バイポーラートランジスタTRXのコレクターにバイアス電流を供給する。抵抗RXは、バイポーラートランジスタTRXのコレクターとベースの間に設けられる。

【0137】

容量が可変である可変容量回路CX1の一端は、発振子XTALの一端(NX1)に接続される。具体的には、可変容量回路CX1の一端は、回路装置10の発振子用の第1の端子(発振子用パッド)を介して発振子XTALの一端に接続される。キャパシターCX2の一端は、発振子XTALの他端(NX2)に接続される。具体的には、キャパシターCX2の一端は、回路装置10の発振子用の第2の端子(発振子用パッド)を介して発振子XTALの他端に接続される。キャパシターCX3は、その一端が発振子XTALの一端に接続され、その他端がバイポーラートランジスタTRXのコレクターに接続される。

【0138】

バイポーラートランジスタTRXには、発振子XTALの発振により生じたベース・エミッター間電流が流れる。そしてベース・エミッター間電流が増加すると、バイポーラートランジスタTRXのコレクター・エミッター間電流が増加し、電流源IBXから抵抗RXに分岐するバイアス電流が減少するので、コレクター電圧VCXが低下する。一方、バイポーラートランジスタTRXのベース・エミッター間電流が減少すると、コレクター・エミッター間電流が減少し、電流源IBXから抵抗RXに分岐するバイアス電流が増加するので、コレクター電圧VCXが上昇する。このコレクター電圧VCXはキャパシターCX3を介して発振子XTALの一端にフィードバックされる。即ちキャパシターCX3によりAC成分がカットされて、DC成分がフィードバックされる。このようにバイポーラートランジスタTRX等により構成される発振用のバッファ回路BAXは、ノードNX2の信号の反転信号(位相差が180度の信号)をノードNX1に出力する反転回路(反転増幅回路)として動作する。

【0139】

可変容量ダイオード(バラクター)などにより構成される可変容量回路CX1の容量値は、制御電圧VC(制御信号)に基づいて制御される。これにより発振回路100の発振周波数の調整が可能になる。例えば発振子XTALの発振周波数が温度特性を有している場合に、発振周波数の温度補償等も可能になる。

【0140】

なお発振回路100(101、102)は図12、図13の構成に限定されず、種々の変形実施が可能である。例えばバッファ回路の構成や、可変容量回路やキャパシターの接続構成として、種々の構成を採用できる。例えば可変容量回路(CB1、CB2、CX1)の容量値をデジタル値で調整できるようにしてもよい。この場合には、可変容量回路は、複数のキャパシター(キャパシターアレイ)と、デジタル値である周波数制御データ(広義には制御信号)に基づき各スイッチ素子のオン、オフが制御される複数のスイッチ素子(スイッチアレイ)により構成される。これらの複数のスイッチ素子の各スイッチ素子は、複数のキャパシターの各キャパシターに電氣的に接続される。そして、これらの複数のスイッチ素子がオン又はオフされることで、複数のキャパシターのうち、発振子XTALの一端に、その一端が接続されるキャパシターの個数が変化する。これにより、可変容量回路の容量値が制御されて、発振子XTALの一端の容量値が変化する。従って、周波数制御データにより、可変容量回路の容量値が直接に制御されて、発振信号の発振周波数を制御できるようになる。

10

20

30

40

50

【 0 1 4 1 】

5 . 時間デジタル変換回路の構成

図 1 4 に時間デジタル変換回路 2 0 の構成例を示す。時間デジタル変換回路 2 0 は、位相検出器 2 1、2 2、処理部 3 0、カウンター部 4 0 を含む。なお時間デジタル変換回路 2 0 は図 1 4 の構成には限定されず、これらの一部の構成要素を省略したり、他の構成要素を追加するなどの種々の変形実施が可能である。

【 0 1 4 2 】

位相検出器 2 1 (位相比較器)は、クロック信号 C K 1、C K 2 が入力され、リセット信号 R S T をカウンター部 4 0 に出力する。例えば位相同期タイミングにおいてアクティブになるパルス信号のリセット信号 R S T を出力する。

10

【 0 1 4 3 】

位相検出器 2 2 (位相比較器)は、信号 S T P とクロック信号 C K 2 が入力され、位相比較結果の信号 P Q 2 を出力する。位相検出器 2 2 は、例えば信号 S T P、クロック信号 C K 2 の一方の信号を他方の信号でサンプリングすることで、信号 S T P とクロック信号 C K 2 の位相比較を行う。位相比較結果の信号 P Q 2 は処理部 3 0 に出力される。

【 0 1 4 4 】

カウンター部 4 0 は、カウント値のカウント処理を行う。例えばカウンター部 4 0 は、クロック信号 C K 1 に基づいてカウント処理を行う第 1 のカウンターと、クロック信号 C K 2 に基づいてカウント処理を行う第 2 のカウンターの少なくとも一方を含む。これらの第 1、第 2 のカウンターは、例えば位相検出器 2 2 からのリセット信号 R S T に基づいて、そのカウント値がリセットされる。そしてカウンター部 4 0 でのカウント値 C Q は処理部 3 0 に出力される。カウント値 C Q は、クロック信号 C K 1、C K 2 に基づいてカウント処理を行う第 1、第 2 のカウンターの少なくとも一方のカウンターのカウント値であり、後述の C C T、T C N T などに相当する。

20

【 0 1 4 5 】

処理部 3 0 は、時間をデジタル値 D Q に変換する処理を行う。即ち、時間デジタル変換についての種々の演算処理を行う。例えば処理部 3 0 は、信号 S T A と信号 S T P の時間差に対応するデジタル値 D Q を求める演算処理を行う。具体的には、処理部 3 0 は、カウンター部 4 0 からのカウント値 C Q や位相検出器 2 2 からの位相比較結果の信号 P Q 2 に基づいて、時間デジタル変換の演算処理を行う。処理部 3 0 は、例えば A S I C のロジック回路や、或いは C P U 等のプロセッサなどにより実現できる。

30

【 0 1 4 6 】

処理部 3 0 は、出力コード生成部 3 1、信号出力部 3 2、レジスター部 3 3 を含む。出力コード生成部 3 1 は、時間デジタル変換の演算処理を実行して、最終的なデジタル値 D Q を、最終的な出力コードとして出力する。信号出力部 3 2 は、信号 S T A を生成して出力する。信号出力部 3 2 は、クロック信号 C K 1 に基づいて信号 S T A を出力する。例えば信号出力部 3 2 は、後述するように、例えばクロック信号 C K 1 に基づいて、クロック信号 C K 1 のクロックサイクル毎に信号 S T A を出力する。或いは信号出力部 3 2 は、例えばクロックサイクル指定値で指定されるクロックサイクルで、信号 S T A を出力する。レジスター部 3 3 は 1 又は複数のレジスターにより構成される。例えばレジスター部 3 3 は、後述するクロックサイクル指定情報を記憶するレジスターなどを含む。レジスター部 3 3 は例えばフリップフロップ回路やメモリー素子などにより実現できる。

40

【 0 1 4 7 】

図 1 5 に、位相検出器 2 2 の構成例を示す。位相検出器 2 2 は、例えばフリップフロップ回路 D F B により構成される。フリップフロップ回路 D F B のデータ端子には信号 S T P が入力され、クロック端子にはクロック信号 C K 2 が入力される。これにより、信号 S T P をクロック信号 C K 2 でサンプリングすることによる位相比較を実現できる。なおフリップフロップ回路 D F B のデータ端子にクロック信号 C K 2 を入力し、クロック端子に信号 S T P を入力するようにしてもよい。これにより、クロック信号 C K 2 を信号 S T P でサンプリングすることによる位相比較を実現できる。

50

【 0 1 4 8 】

6 . 信号 S T A の繰り返し手法

次に本実施形態の時間デジタル変換手法の種々の例について説明する。まず、信号 S T A をクロックサイクル毎に繰り返して生成する手法について説明する。

【 0 1 4 9 】

図 1 6 は、本実施形態の信号 S T A の繰り返し手法（以下、適宜、単に、繰り返し手法と記載する）を説明する信号波形図である。図 1 6 では位相同期タイミング T M においてクロック信号 C K 1、C K 2 の位相同期が行われている。具体的には位相同期タイミング T M においてクロック信号 C K 1、C K 2 の遷移タイミング（例えば立ち上がり遷移タイミング、立ち上がりエッジ）を一致させる位相同期が行われている。この位相同期は図 1 の P L L 回路 1 2 0、1 3 0 により行われる。この位相同期タイミング T M において、カウンタ部 4 0（第 2 のカウンタ）のカウント値 T C N T が例えば 0 にリセットされる。

10

【 0 1 5 0 】

なお、位相同期タイミング T M が、回路装置 1 0 のシステムにおいて既知のタイミングとなる場合には、位相同期タイミング T M は、例えばタイミング制御部（不図示）により設定される。この場合には図 1 4 の位相検出器 2 1 の機能はタイミング制御部により実現されることになる。即ちタイミング制御部が、位相同期タイミング T M においてアクティブになるリセット信号 R S T を、カウンタ部 4 0 に出力する。

【 0 1 5 1 】

そして時間デジタル変換回路 2 0 は、クロック信号 C K 1、C K 2 の位相同期タイミング T M の後、クロック信号 C K 1 に基づいて信号 S T A の信号レベルを遷移させる。具体的には、位相同期タイミング T M の後、クロック信号 C K 1 のクロックサイクル毎に信号 S T A の信号レベルを遷移させる。例えば図 1 4 の信号出力部 3 2 が、クロック信号 C K 1 をバッファ回路によりバッファリングした信号を、信号 S T A として出力することで、クロックサイクル毎に信号 S T A の信号レベルが遷移するようになる。

20

【 0 1 5 2 】

図 1 6 において C C T はクロックサイクル値である。クロックサイクル値 C C T は、クロック信号 C K 1 のクロックサイクル毎に更新される。具体的にはクロックサイクル毎にインクリメントされる。なお、ここでは、説明の便宜上、最初のクロックサイクルのクロックサイクル値を C C T = 0 としている。このため次のクロックサイクルのクロックサイクル値は C C T = 1 になる。また図 1 6 では、C C T はクロック信号 C K 1 のクロックサイクル値となっているが、クロック信号 C K 2 のクロックサイクル値を用いてもよい。

30

【 0 1 5 3 】

このように、位相同期タイミング T M の後、クロック信号 C K 1 に基づいて信号 S T A の信号レベルが遷移すると、図 3、図 4 で説明したように、信号 S T A に対応して信号 S T P の信号レベルが遷移する。ここでは、信号 S T A、S T P の遷移タイミングの時間差は T D F となっている。

【 0 1 5 4 】

この場合に時間デジタル変換回路 2 0 は、図 1 6 の G 1 ~ G 6 に示すように、信号 S T P とクロック信号 C K 2 との位相比較を行う。そして位相比較の結果に基づいて、信号 S T A、S T P の遷移タイミングの時間差 T D F に対応するデジタル値 D Q を求める。具体的には図 1 4 の処理部 3 0 が、位相検出器 2 2 からの位相比較結果の信号 P Q 2 に基づいて、デジタル値 D Q を求める演算処理を行う。

40

【 0 1 5 5 】

例えば図 2 で説明したように、位相同期タイミング T M の後、クロック信号 C K 1、C K 2 の遷移タイミングの時間差であるクロック間時間差 T R は、例えば t 、 $2 \times t$ 、 $3 \times t$ 、 \dots 、 $6 \times t$ というように、クロック信号 C K 1 のクロックサイクル毎に増加して行く。本実施形態の繰り返し手法では、位相同期タイミング T M の後に、このように t ずつ増加するクロック間時間差 T R に着目して、時間デジタル変換を実現している。

50

【 0 1 5 6 】

具体的には時間デジタル変換回路 20 は、図 16 の G 1 ~ G 6 に示すようにクロックサイクル毎に信号 S T P とクロック信号 C K 2 の位相比較を行う。この位相比較は、例えば信号 S T P 及びクロック信号 C K 2 の一方の信号を他方の信号でサンプリングすることで実現できる。

【 0 1 5 7 】

そして図 16 の G 1 ~ G 3 では、信号 S T P をクロック信号 C K 2 でサンプリングした信号である位相比較結果の信号 P Q 2 は、L レベルになっている。即ち G 1 ~ G 3 では、信号 S T P の方がクロック信号 C K 2 よりも位相が遅れているため、信号 P Q 2 は L レベルになる。

10

【 0 1 5 8 】

このように図 16 の G 1 ~ G 3 では、信号 S T P とクロック信号 C K 2 の位相比較の結果により、信号 S T P の方がクロック信号 C K 2 よりも位相が遅れていると判断されている。別の言い方をすれば、G 1、G 2、G 3 では、各々、 $TDF > TR = t$ 、 $TDF > TR = 2 \times t$ 、 $TDF > TR = 3 \times t$ となっており、信号 S T A、S T P の遷移タイミングの時間差 T D F の方が、クロック信号 C K 1、C K 2 のクロック間時間差 T R よりも長くなっている。

【 0 1 5 9 】

そして図 16 の G 4 では、信号 S T P とクロック信号 C K 2 の位相の前後関係が入れ替わっている。例えば信号 S T P の方がクロック信号 C K 2 よりも位相が遅れている状態から、信号 S T P の方がクロック信号 C K 2 よりも位相が進んでいる状態に入れ替わっている。

20

【 0 1 6 0 】

このように位相の前後関係が入れ替わると、G 4 ~ G 6 に示すように、信号 S T P をクロック信号 C K 2 でサンプリングした信号である位相比較結果の信号 P Q 2 は、H レベルになる。即ち G 4 ~ G 6 では、信号 S T P の方がクロック信号 C K 2 よりも位相が進んでいるため、信号 P Q 2 は H レベルになる。

【 0 1 6 1 】

このように G 4 ~ G 6 では、信号 S T P とクロック信号 C K 2 の位相比較の結果により、信号 S T P の方がクロック信号 C K 2 よりも位相が進んでいると判断されている。別の言い方をすれば、G 4、G 5、G 6 では、各々、 $TDF < TR = 4 \times t$ 、 $TDF < TR = 5 \times t$ 、 $TDF < TR = 6 \times t$ となっており、信号 S T A、S T P の遷移タイミングの時間差 T D F の方が、クロック信号 C K 1、C K 2 のクロック間時間差 T R よりも短くなっている。

30

【 0 1 6 2 】

そして図 16 の G 1 ~ G 3 では、位相比較結果の信号 P Q 2 が L レベルであり、信号 S T P の方がクロック信号 C K 2 よりも位相が遅れていると判断されている。この場合には、カウント値 T C N T は非更新になる。例えば、カウント値 T C N T は 0 から増加しない。一方、G 4 ~ G 6 では、位相比較結果の信号 P Q 2 が H レベルであり、信号 S T P の方がクロック信号 C K 2 よりも位相が進んでいると判断されている。この場合には、カウント値 T C N T が更新される。例えば、カウント値 T C N T はクロックサイクル毎に例えば 1 ずつインクリメントされる。

40

【 0 1 6 3 】

時間デジタル変換回路 20 (処理部 30) は、このようにして求められたカウント値 T C N T を用いて、時間差 T D F に対応するデジタル値 D Q を求める。例えばカウント値 T C N T で表されるコードの変換処理を行うことで、最終的なデジタル値 D Q である出力コードを求めて出力する。

【 0 1 6 4 】

図 17 は本実施形態の繰り返し手法の説明図である。位相同期タイミング T M A、T M B において、P L L 回路 1 2 0、1 3 0 によりクロック信号 C K 1、C K 2 の位相同期が

50

行われる。これによりクロック信号CK1、CK2の遷移タイミングが位相同期タイミングTMA、TMBにおいて一致するようになる。そして、位相同期タイミングTMAとTMBの間が測定期間TSとなる。本実施形態の繰り返し手法ではこの測定期間TSにおいて、時間差TDFに対応するデジタル値DQを求める。

【0165】

具体的には図16、図17のG4に示すように、時間デジタル変換回路20は、信号STPとクロック信号CK2の位相の前後関係が入れ替わるタイミング（クロックサイクル）を特定することで、時間差TDFに対応するデジタル値DQを求める。例えばG4に示すCCT=4となるクロックサイクルを特定することで、時間差TDFに対応するデジタル値DQは、例えば $TR = 4 \times t$ に対応するデジタル値（或いは $3 \times t$ と $4 \times t$ の間の値に対応するデジタル値）であると判断できる。従って、図17の1回の測定期間TSで、時間差TDFをデジタル値DQに変換することが可能になるため、時間デジタル変換の高速化を図れる。

10

【0166】

例えば前述の特許文献4の従来手法では、時間計測を行う1回の測定期間において1つのスタートパルスしか発生しないため、最終的なデジタル値を得るためには、非常に多い回数の測定期間を繰り返す必要がある。

【0167】

これに対して本実施形態の繰り返し手法によれば、図16、図17に示すように1回の測定期間TSにおいて、信号STAを、複数回発生させ、複数回（例えば1000回以上）の位相比較を行うことで、デジタル値DQを求めている。これにより、最終的なデジタル値DQを1回の測定期間TS内で求めることが可能になるため、従来手法に比べて時間デジタル変換を大幅に高速化できる。

20

【0168】

なお図17において、測定期間TSの長さは、この測定期間TSでの例えばクロック信号CK1のクロック数N（クロックサイクル数）に相当する。例えば、設定されたクロック数Nに対応する測定期間TS毎に、クロック信号CK1、CK2の位相同期が行われることになる。そして本実施形態の繰り返し手法では、高分解能の時間デジタル変換を実現するために、この測定期間TSでのクロック数Nを、例えば1000以上（或いは5000以上）というように非常に大きな数に設定する。例えばクロック信号CK1、CK2のクロック周波数を f_1 、 f_2 とした場合に、本実施形態での時間デジタル変換の分解能は、 $t = |f_1 - f_2| / (f_1 \times f_2)$ と表すことができる。従って、周波数差 $|f_1 - f_2|$ が小さいほど、或いは $f_1 \times f_2$ が大きいほど、分解能 t は小さくなり、高分解能の時間デジタル変換を実現できる。そして分解能 t が小さくなれば、測定期間TSでのクロック数Nも大きくなる。

30

【0169】

そしてカウント値TCNTは、図17の期間TSBの長さに相当する。ここでは、位相同期タイミングTMAから、位相の前後関係が入れ替わるG4のタイミングまでの前半の期間をTSFとし、G4のタイミングから位相同期タイミングTMBまでの後半の期間をTSBとしている。例えば期間TSFでのクロック信号CK1のクロック数（クロックサイクル数）をNFとした場合には、例えば $N = NF + TCNT$ が成り立つ。例えば図16では $NF = 4$ となるため、最終的なデジタル値 $DQ = 4 \times t$ に対応する値は、クロック数NFに対応するデジタル値になる。このため時間デジタル変換回路20（処理部30）は、カウント値TCNTに基づいて、 $NF = N - TCNT$ に対応するデジタル値を求めることになる。例えばデジタル値DQが8ビットである場合には、クロック数Nに対応するデジタル値は例えば11111111になる。但し、クロック数NFのカウント処理を行って、デジタル値DQを求めるようにしてもよい。

40

【0170】

なお、測定期間TSに対応するクロック数Nを大きくした場合には、図16において測定可能な時間差TDFが短くなるため、ダイナミックレンジが小さくなってしまう。しか

50

しながら本実施形態の繰り返し手法では、クロック数Nを大きくして分解能を高めながら、1回の測定期間TSにおいて時間デジタル変換を完了させている。これにより、例えばフラッシュ型のA/D変換のように変換処理の高速化を実現しながら、高分解能化も実現できるようになる。

【0171】

この場合に本実施形態の繰り返し手法では、常にクロックサイクル毎に信号STAを発生して位相比較を行うのではなく、特定の期間においてだけ信号STAを発生して位相比較を行うようにしてもよい。例えば後述するバイナリサーチの手法により、デジタル値DQの探索範囲を絞った後に、その探索範囲に対応する期間において、クロックサイクル毎に信号STAを発生して位相比較を行い、最終的なデジタル値DQを求めるようにしてもよい。この場合には、例えば図17の測定期間TSにおいて、絞られた探索範囲に対応する期間においてだけ、クロックサイクル毎に信号STAを発生して位相比較を行う時間デジタル変換を行えばよい。また、位相の前後関係が入れ替わるタイミング(G4)が特定された後は、信号STAを発生しないようにして、省電力化を図るようにしてもよい。

10

【0172】

また本実施形態では、図1に示すように、クロック信号CK1、CK2は、各々、発振子XTAL1、XTAL2を用いて生成されるクロック信号になっている。このように、発振子XTAL1、XTAL2により生成されたクロック信号CK1、CK2を用いる手法によれば、バーニア遅延回路のように半導体素子を用いて時間デジタル変換を実現する従来手法に比べて、時間(物理量)の測定の精度を大幅に向上できる。

20

【0173】

例えば半導体素子を用いた従来手法は、分解能の向上については比較的容易であるが、精度の向上については難しいという課題がある。即ち、半導体素子である遅延素子の遅延時間は、製造ばらつきや環境の変化により大きく変動する。このため、この変動が原因で、測定の高精度化には限界がある。例えば相対的な精度については、ある程度保証できるが、絶対的な精度を保証することは難しい。

【0174】

これに対して発振子の発振周波数は、半導体素子である遅延素子の遅延時間に比べて、製造ばらつきや環境の変化による変動が極めて小さい。従って、発振子XTAL1、XTAL2により生成されたクロック信号CK1、CK2を用いて時間デジタル変換を行う手法によれば、半導体素子を用いる従来手法に比べて、精度を大幅に向上できる。またクロック信号CK1、CK2の周波数差を小さくすることで、分解能についても高めることができる。

30

【0175】

例えばクロック信号CK1、CK2の周波数差を $f = |f_1 - f_2| = 1 \text{ MHz}$ とし、 f_1 、 f_2 を100MHz程度とすれば、時間測定の分解能 $t = |f_1 - f_2| / (f_1 \times f_2)$ を、100ps(ピコセカンド)程度とすることができる。同様に、 f_1 、 f_2 を100MHz程度とし、 $f = 100 \text{ kHz}$ 、 10 kHz 、 1 kHz とすれば、各々、分解能を $t = 10 \text{ ps}$ 、 1 ps 、 0.1 ps 程度とすることができる。そして、発振子XTAL1、XTAL2の発振周波数の変動は、半導体素子を用いる手法に比べて、極めて小さい。従って、分解能の向上と精度の向上を両立して実現できる。

40

【0176】

また前述した特許文献4の従来手法では、水晶発振器を用いて時間デジタル変換を実現している。しかしながら、この従来手法では、第1、第2のクロックパルスのエッジが一致する同期点のタイミングから、時間計測の開始タイミングを順次に遅らせて行く構成となっている。そして各時間計測は、第1、第2のクロックパルスのエッジが一致した同期点のタイミングから行われ、この時間計測を何回も繰り返す必要がある。このため、時間デジタル変換の変換時間が非常に長くなってしまいうという問題がある。

【0177】

これに対して本実施形態の繰り返し手法では、測定期間TSにおいて、信号STAを、

50

複数回発生させ、複数回の位相比較を行うことで、時間デジタル変換を実現している。従って、従来手法に比べて時間デジタル変換を大幅に高速化できる。

【 0 1 7 8 】

7. クロックサイクル指定値の更新手法

次に本実施形態の時間デジタル変換手法として、クロックサイクル指定値（広義にはクロックサイクル指定情報）の更新により時間デジタル変換を実現する手法について説明する。

【 0 1 7 9 】

図 1 8 ~ 図 2 0 は、クロックサイクル指定値の更新手法（以下、適宜、単に、更新手法と記載する）を説明する信号波形図である。C I N はクロックサイクル指定情報である。以下では C I N が、クロックサイクル指定情報で表されるクロックサイクル指定値であるとして説明を行う。

【 0 1 8 0 】

T M A、T M B は位相同期タイミングである。図 1 8 ~ 図 2 0 では位相同期タイミング T M A、T M B は、クロック信号 C K 1、C K 2 の遷移タイミング（立ち上がりエッジ）が一致するタイミングとなっている。但し本実施形態の更新手法はこれに限定されず、位相同期タイミング T M A、T M B は、クロック信号 C K 1、C K 2 の位相の前後関係が入れ替わるタイミングであってもよい。位相の前後関係が入れ替わるタイミングは、一方のクロック信号の方が他方のクロック信号よりも位相が進んでいる状態から、一方のクロック信号の方が他方のクロック信号よりも位相が遅れている状態に入れ替わるタイミングである。

【 0 1 8 1 】

更新期間 T P は位相同期タイミング T M A、T M B の間の期間である。本実施形態の更新手法では更新期間 T P において、クロックサイクル指定値の例えば 1 回の更新が行われる。なお図 1 8 ~ 図 2 0 では説明の簡素化のために、更新期間 T P でのクロック信号 C K 1 のクロック数が 1 4 である場合を示している。しかし実際には、高い分解能に設定するために、更新期間 T P でのクロック数を、例えば 1 0 0 0 以上（或いは 5 0 0 0 以上）というように非常に大きな数に設定する。

【 0 1 8 2 】

図 1 8 の更新期間 T P（第 1 の更新期間）では、クロックサイクル指定値が C I N = 3 になっている。従って、C I N = 3 で指定されるクロックサイクル（C C T = 3）で信号 S T A の信号レベルを遷移させる。このように本実施形態の更新手法ではクロックサイクル指定値 C I N（クロックサイクル指定情報）に基づき指定されるクロック信号 C K 1 のクロックサイクルで、信号 S T A の信号レベルを遷移させている。そして、図 3、図 4 で説明したように、この信号 S T A に対応して信号 S T P の信号レベルが遷移しており、信号 S T A、S T P の遷移タイミングの時間差は T D F となっている。

【 0 1 8 3 】

一方、C I N = 3 で指定されるクロックサイクル（C C T = 3）では、図 2 で説明したようにクロック信号 C K 1、C K 2 の遷移タイミングの時間差であるクロック間時間差は、 $T R = C I N \times t = 3 \times t$ になっている。

【 0 1 8 4 】

この場合に本実施形態の更新手法では、図 1 8 の A 1 に示すように、信号 S T P とクロック信号 C K 2 の位相比較を行う。この位相比較は、例えば信号 S T P 及びクロック信号 C K 2 の一方の信号を他方の信号でサンプリングすることで実現できる。

【 0 1 8 5 】

そして図 1 8 の A 1 では、信号 S T P をクロック信号 C K 2 でサンプリングした結果である位相比較結果が L レベルになっている。この位相比較の結果により、信号 S T P の方がクロック信号 C K 2 よりも位相が遅れていると判断する。別の言い方をすれば、図 1 8 の A 1 では $T D F > T R = 3 \times t$ となっており、信号 S T A、S T P の遷移タイミングの時間差 T D F の方が、クロック信号 C K 1、C K 2 のクロック間時間差 $T R = 3 \times t$

10

20

30

40

50

よりも長くなっている。この場合には、クロックサイクル指定値 CIN を増加させる更新を行う。

【0186】

図19の更新期間 TP (第2の更新期間)では、クロックサイクル指定値が $CIN = 9$ になっている。例えば図18に示す前回の更新期間 TP において、上述のようにクロックサイクル指定値を、 $CIN = 3$ から増加させる更新が行われることで、 $CIN = 9$ に更新されている。従って、 $CIN = 9$ で指定されるクロックサイクル ($CC T = 9$) で信号 STA の信号レベルを遷移させる。そして信号 STA に対応して信号 STP の信号レベルが遷移しており、信号 STA 、 STP の遷移タイミングの時間差は TDF になっている。

【0187】

一方、 $CIN = 9$ で指定されるクロックサイクル ($CC T = 9$) では、クロック信号 $CK1$ 、 $CK2$ のクロック間時間差は、 $TR = CIN \times t = 9 \times t$ になっている。

【0188】

そして本実施形態の更新手法では、図19のA2に示すように、信号 STP とクロック信号 $CK2$ の位相比較を行う。この場合に信号 STP をクロック信号 $CK2$ でサンプリングした結果である位相比較結果が H レベルになっているため、信号 STP の方がクロック信号 $CK2$ よりも位相が進んでいると判断する。別の言い方をすれば、図19のA2では $TDF < TR = 9 \times t$ となっており、時間差 TDF の方がクロック間時間差 $TR = 9 \times t$ よりも短くなっている。この場合には、クロックサイクル指定値 CIN を減少させる更新を行う。

【0189】

図20の更新期間 TP (第3の更新期間)では、クロックサイクル指定値が $CIN = 6$ になっている。例えば図19に示す前回の更新期間 TP において、上述のようにクロックサイクル指定値を、 $CIN = 9$ から減少させる更新が行われることで、 $CIN = 6$ に更新されている。従って、 $CIN = 6$ で指定されるのクロックサイクル ($CC T = 6$) で信号 STA の信号レベルを遷移させる。そして信号 STA に対応して信号 STP の信号レベルが遷移しており、信号 STA 、 STP の遷移タイミングの時間差は TDF になっている。

【0190】

一方、 $CIN = 6$ で指定されるクロックサイクル ($CC T = 6$) では、クロック信号 $CK1$ 、 $CK2$ のクロック間時間差は、 $TR = CIN \times t = 6 \times t$ になっている。

【0191】

そして本実施形態の更新手法では、図20のA3に示すように、信号 STP とクロック信号 $CK2$ の位相比較を行う。この場合に図20のA3では信号 STP とクロック信号 $CK2$ の遷移タイミング (位相) は一致 (略一致) している。別の言い方をすれば、図20のA3では $TDF = TR = 6 \times t$ となっている。従って、この場合には、信号 STA 、 STP の時間差 TDF を変換したデジタル値として、 $DQ = TR = 6 \times t$ に対応するデジタル値を最終結果として出力する。

【0192】

なお、図18～図20では説明を簡素化するために、各更新期間でのクロックサイクル指定値 CIN の増減値を、1よりも大きな値にしているが、実際には、シグマ型の A/D 変換のように、クロックサイクル指定値 CIN の増減値は、1又は1以下の小さな値である GK とすることができる。 GK はゲイン係数であり、 $GK \geq 1$ となる値である。

【0193】

例えば図18、図19では、クロックサイクル指定値 CIN を3から9に増加させているが、実際には、例えば更新期間毎に、クロックサイクル指定値 CIN を所与の値 $GK \geq 1$ だけ増加させる更新を行う。例えば $GK \geq 1$ となるゲイン係数を GK とした場合に、クロックサイクル指定値 CIN を $+ GK$ する更新を行う。例えば $GK = 0.1$ である場合には、例えば $+ GK$ の更新が10回連続した場合に、クロックサイクル指定値 CIN は1だけインクリメントされることになる。

【0194】

10

20

30

40

50

また図19、図20では、クロックサイクル指定値CINを9から6に減少させているが、実際には、例えば更新期間毎に、クロックサイクル指定値CINを所与の値GKだけ減少させる更新を行う。例えば、クロックサイクル指定値CINを-GKする更新を行う。例えばGK=0.1である場合には、例えば-GKの更新が10回連続した場合に、クロックサイクル指定値CINは1だけデクリメントされることになる。

【0195】

また図20のA3において、信号STPとクロック信号CK2の遷移タイミングが略一致した後も、クロックサイクル指定値CINを更新して行き、例えばCINが6、7、6、7・・・というように変化したとする。この場合には、最終結果として出力されるデジタル値DQは、 $6 \times t$ と $7 \times t$ の間の値(例えば $6.5 \times t$ など)とすることができる。このように本実施形態の更新手法によれば、シグマ型のA/D変換のように、実質的な分解能を小さくすることもできる。

10

【0196】

以上のように本実施形態の更新手法では、信号STAに対応して信号レベルが遷移する信号STPと、クロック信号CK2との位相比較を行い、位相比較の結果に基づいて、信号STAの信号レベルを遷移させるクロックサイクル指定値CINを更新している。

【0197】

具体的にはクロックサイクル指定値CINで指定されるクロックサイクルで信号STAの信号レベルを変化させる。例えば図18ではCIN=3で指定されるクロックサイクルで信号STAの信号レベルを遷移させている。図19ではCIN=9で指定されるクロックサイクルで信号STAの信号レベルを遷移させている。図20も同様である。

20

【0198】

そして信号STAに対応して信号STPの信号レベルが遷移すると、信号STPとクロック信号CK2の位相比較を行い、位相比較結果に基づいてクロックサイクル指定値CINを更新する。例えば図18では、信号STAの方がクロック信号CK2よりも位相が遅れているという位相比較結果であったため、図18のCIN=3が、図19ではCIN=9に更新されている。図19では、信号STAの方がクロック信号CK2よりも位相が進んでいるという位相比較結果であったため、図19のCIN=9が、図20ではCIN=6に更新されている。このようにして更新されるクロックサイクル指定値CINの最終的な値が、信号STA、STPの時間差TDFのデジタル値DQとして出力される。

30

【0199】

また本実施形態の更新手法では、各更新期間においてクロックサイクル指定値CINを更新して行く。そして更新されたクロックサイクル指定値CINがフィードバックされる構成になっている。従って、測定対象となる時間又は物理量が動的に変化した場合にも、この動的変化に追従した時間デジタル変換を実現できる。例えば図20のA3に示すように、測定対象の時間(時間差TDF)に対応するクロックサイクル指定値CINに近づいた後、当該時間が動的に変化した場合にも、それに応じてクロックサイクル指定値CINを順次に更新することで、このような動的な変化に対応することができる。

【0200】

また本実施形態の更新手法において、クロック信号CK1、CK2の遷移タイミングの不一致による誤差成分を低減する場合には、時間デジタル変換回路20は、クロックサイクル指定値と、クロックサイクル指定値の更新期間でのクロック信号CK1又はクロック信号CK2のクロック数情報とに基づいて、時間差をデジタル値DQに変換する処理を行うことが望ましい。例えば信号STPとクロック信号CK2の位相比較結果とクロック数情報とに基づいて、クロックサイクル指定値CINの更新を行うことで、デジタル値DQを求める。

40

【0201】

即ち、本実施形態の更新手法では、位相同期タイミングにおいてクロック信号CK1、CK2の遷移タイミングが厳密に一致しなくても、時間デジタル変換を実現できる。例えば本実施形態の更新手法では、位相同期タイミングTMA、TMBは、クロック信号CK

50

1、CK2の位相の前後関係が入れ替わるタイミングであればよく、クロック信号CK1、CK2の遷移タイミングが完全に一致しなくてもよい。即ち、本実施形態ではPLL回路120、130を設けない変形実施も可能である。

【0202】

例えば位相同期タイミングにおいてクロック信号CK1、CK2の遷移タイミングを厳密に一致させるためには、 $N/f_1 = M/f_2$ の関係を満たす必要がある。ここで、N、Mは、各々、更新期間でのクロック信号CK1、CK2のクロック数であり、2以上の整数である。ところが、図1の発振子XTAL1、XTAL2によるクロック周波数 f_1 、 f_2 を、 $N/f_1 = M/f_2$ の関係を厳密に満たすような周波数に設定することは実際には難しい場合がある。そして $N/f_1 = M/f_2$ の関係が満たされない場合において、PLL回路120、130を設けないと、位相同期タイミングTMA、TMBにおいて、クロック信号CK1、CK2の遷移タイミングにずれが生じ、このずれが変換誤差になってしまうおそれがある。

10

【0203】

そこで本実施形態の更新手法では、各更新期間でのクロック数Nを測定する。位相同期タイミングTMA、TMBにおいて、クロック信号CK1、CK2の遷移タイミングにずれがあることで、クロック数Nは、常には同じ値にはならなくなり、更新期間に応じて変動する。時間デジタル変換回路20は、このように変動するクロック数Nと、信号STP、クロック信号CK2の位相比較結果に基づいて、クロックサイクル指定値CINの更新を行う。こうすることで、位相同期タイミングTMA、TMBでのクロック信号CK1、CK2の遷移タイミングのずれに起因する変換誤差を低減できる。

20

【0204】

8. バイナリーサーチ手法

次に本実施形態の時間デジタル変換手法として、バイナリーサーチ手法について説明する。

【0205】

図21は、バイナリーサーチ手法を説明する信号波形図である。図21では、クロック周波数 f_1 、 f_2 の周波数差に対応する分解能で、信号STAと信号STPの遷移タイミングの時間差に対応するデジタル値を、バイナリーサーチにより求めている。具体的には、信号STPとクロック信号CK2の位相比較結果に基づくクロックサイクル指定値CINの更新を、バイナリーサーチにより実現している。

30

【0206】

バイナリーサーチ(二分探索、二分割法)は、探索範囲を次々に分割(2分割)することで、探索範囲を狭めながら、最終的なデジタル値を求めて行く手法である。例えば時間差を変換したデジタル値DQを4ビットのデータとし、4ビットの各ビットを b_4 、 b_3 、 b_2 、 b_1 とする。 b_4 がMSBであり、 b_1 がLSBである。図21では、デジタル値DQの各ビット b_4 、 b_3 、 b_2 、 b_1 を、バイナリーサーチにより求めている。例えば逐次比較のA/D変換と同様の手法により、デジタル値DQの各ビット b_4 、 b_3 、 b_2 、 b_1 を順次に求める。

40

【0207】

例えば図21において、クロック信号CK1、CK2のクロック周波数は、例えば $f_1 = 100\text{MHz}$ (周期 = 10ns)、 $f_2 = 94.12\text{MHz}$ (周期 = 10.625ns)となっており、分解能は $t = 0.625\text{ns}$ となっている。そして図21のE1、E2は位相同期タイミングであり、クロック信号CK1、CK2の遷移タイミングが例えば一致しているタイミングである。そして、クロックサイクル指定値CINは、例えば初期値である $CIN = 8$ に設定されている。この初期値である $CIN = 8$ は、最初の探索範囲内の例えば真ん中付近の値に相当する。

【0208】

このように $CIN = 8$ に設定されると、最初の更新期間TP1(第1の更新期間)では、図21のE3に示すように、クロックサイクル値が $CCT = 8$ になった場合に、信号S

50

T Aの信号レベルを遷移させる。この信号S T Aに対応して信号S T Pの信号レベルが遷移すると、信号S T Pとクロック信号C K 2の位相比較が行われる。例えば信号S T Pでクロック信号C K 2をサンプリングする位相比較が行われ、E 4に示すようにクロック信号C K 2のHレベルがサンプリングされて、このHレベルが位相比較結果になる。このように位相比較結果がHレベルである場合には、デジタル値D QのM S Bであるビットb 4の論理レベルは、 $b 4 = 1$ であると判断される。

【0209】

このように $b 4 = 1$ が求められたことで、バイナリサーチの探索範囲が狭まり、最終的なデジタル値D Qに対応するC I Nは、例えば8 ~ 15の探索範囲内にあると判断される。そして、この探索範囲内の値（例えば中央付近の値）に設定されるように、クロック

10

サイクル指定値を、例えばC I N = 12に更新する。

【0210】

このようにC I N = 12に更新されると、次の更新期間T P 2（第2の更新期間）では、E 5に示すように、クロックサイクル値がC C T = 12になった場合に、信号S T Aの信号レベルを遷移させる。そして信号S T Pとクロック信号C K 2の位相比較が行われ、例えばE 6に示すようにクロック信号C K 2のLレベルがサンプリングされたため、このLレベルが位相比較結果になる。このように位相比較結果がLレベルである場合には、デジタル値D Qの次のビットb 3の論理レベルは、 $b 3 = 0$ であると判断される。

【0211】

このように $b 4 = 1$ 、 $b 3 = 0$ が求められたことで、バイナリサーチの探索範囲が狭まり、最終的なデジタル値D Qに対応するC I Nは、例えば8 ~ 11の探索範囲内にあると判断される。そして、この探索範囲内の値（例えば中央付近の値）に設定されるように、クロックサイクル指定値を、例えばC I N = 10に更新する。

20

【0212】

このようにC I N = 10に更新されると、次の更新期間T P 3（第3の更新期間）では、E 7に示すように、クロックサイクル値がC C T = 10になった場合に、信号S T Aの信号レベルを遷移させる。そして信号S T Pとクロック信号C K 2の位相比較が行われ、例えばE 8に示すようにクロック信号C K 2のHレベルがサンプリングされたため、このHレベルが位相比較結果になる。このように位相比較結果がHレベルである場合には、デジタル値D Qの次のビットb 2の論理レベルは、 $b 2 = 1$ であると判断される。

30

【0213】

最後にC I N = 11に更新されて、次の更新期間T P 4（第4の更新期間）では、E 9に示すように、クロックサイクル値がC C T = 11になった場合に、信号S T Aの信号レベルを遷移させる。そして信号S T Pとクロック信号C K 2の位相比較が行われ、例えばE 10に示すようにクロック信号C K 2のHレベルがサンプリングされたため、このHレベルが位相比較結果になる。このように位相比較結果がHレベルである場合には、デジタル値D QのL S Bであるビットb 1は、 $b 1 = 1$ に設定される。そしてE 11に示すように、最終的なデジタル値である出力コードとして、D Q = 1011（2進数）が出力される。

【0214】

このようなバイナリサーチの手法を用いれば、信号S T A、S T Pの遷移タイミングの時間差に対応するデジタル値D Qを、高速に求めることが可能になる。例えば前述の特許文献4の従来手法では、図21の場合には、最終的なデジタル値D Qを求めるのに、最大で例えば15回の時間計測が必要になってしまう。これに対して本実施形態の手法によれば、図21に示すように、例えば4回の更新期間で最終的なデジタル値D Qを求めることができ、時間デジタル変換の高速化を図れる。

40

【0215】

特に、分解能 t を小さくして、デジタル値D Qのビット数Lが大きくなった場合に、従来手法では、例えば 2^L 程度の回数の時間計測が必要になってしまい、変換時間が非常に長くなってしまふ。これに対して本実施形態の手法によれば、例えばL回の更新期間で

50

最終的なデジタル値DQを求めることができ、従来手法に比べて時間デジタル変換の大幅な高速化を図れる。

【0216】

なお、デジタル値DQの上位ビット側を図21のバイナリサーチ手法で求めた後、下位ビット側（例えばLSBを含む下位ビット。或いはLSBの下位ビット）については、例えば図18～図20で説明した更新手法で求めるようにしてもよい。例えば図21では、逐次比較型のA/D変換のように、探索範囲（逐次比較範囲）を順次に狭めながら、探索範囲内の値になるようにクロックサイクル指定値CINを更新している。これに対して図18～図20の更新手法では、シグマ型のA/D変換のように、位相比較結果に基づいて、CINを±GKだけ増減させる更新を行っている。GKはゲイン係数であり、GK 1である。具体的には、信号STPの方がクロック信号CK2よりも位相が遅れているという位相比較結果である場合には、CINを+GKだけ増加させる更新（デジタル演算処理）を行う。一方、信号STPの方がクロック信号CK2よりも位相が進んでいるという位相比較結果である場合には、CINを-GKだけ減少させる更新（デジタル演算処理）を行う。このように2つの手法を組み合わせることで、時間デジタル変換の高速化と高精度化を両立して実現することが可能になる。

【0217】

9. 物理量測定装置、電子機器、移動体

図22に本実施形態の物理量測定装置400の構成例を示す。物理量測定装置400は、本実施形態の回路装置10と、クロック信号CK1を生成するための発振子XTAL1（第1の発振子、第1の振動片）と、クロック信号CK2を生成するための発振子XTAL2（第2の発振子、第2の振動片）を含む。また基準クロック信号CKRを生成するための発振子XTAL3（第3の発振子、第3の振動片）を含むことができる。また物理量測定装置400は、回路装置10、発振子XTAL1、XTAL2、XTAL3が収容されるパッケージ410を含むことができる。パッケージ410は、例えばベース部412とリッド部414により構成される。ベース部412は、セラミック等の絶縁材料からなる例えば箱型等の部材であり、リッド部414は、ベース部412に接合される例えば平板状等の部材である。ベース部412の例えば底面には外部機器と接続するための外部接続端子（外部電極）が設けられている。ベース部412とリッド部414により形成される内部空間（キャビティ）に、回路装置10、発振子XTAL1、XTAL2、XTAL3が収容される。そしてリッド部414により密閉することで、回路装置10、発振子XTAL1、XTAL2、XTAL3がパッケージ410内に気密に封止される。

【0218】

回路装置10と発振子XTAL1、XTAL2、XTAL3は、パッケージ410内に実装される。そして発振子XTAL1、XTAL2、XTAL3の端子と、回路装置10（IC）の端子（パッド）は、パッケージ410の内部配線により電氣的に接続される。回路装置10には、発振子XTAL1、XTAL2、XTAL3を発振させるための発振回路101、102、103が設けられ、これらの発振回路101、102、103により発振子XTAL1、XTAL2、XTAL3を発振させることで、クロック信号CK1、CK2、基準クロック信号CKRが生成される。

【0219】

例えば前述の特許文献4の従来手法では、第1、第2の発振回路は第1、第2の水晶発振器に設けられており、回路装置は第1、第2の発振回路を内蔵していない。このためPLL回路120、130による第1、第2のクロック信号の位相同期を実現することはできない。また第1、第2の発振回路に共通する制御処理を、回路装置において実行することができないという不利点がある。

【0220】

なお、物理量測定装置400の構成としては種々の変形実施が可能である。例えばベース部412が、平板状の形状であり、リッド部414が、その内側に凹部が形成されるような形状であってもよい。またパッケージ410内での回路装置10、発振子XTAL1

、X T A L 2、X T A L 3の実装形態や配線接続などについても種々の変形実施が可能である。また発振子X T A L 1、X T A L 2、X T A L 3は完全に別体に構成されている必要は無く、1つの部材に形成された第1、第2の発振領域であってもよい。また物理量測定装置400(パッケージ410)に4つ以上の発振子を設けてもよい。この場合には回路装置10に、それに対応する4つ以上の発振回路を設ければよい。

【0221】

図23に、本実施形態の回路装置10を含む電子機器500の構成例を示す。この電子機器500は、本実施形態の回路装置10、発振子X T A L 1、X T A L 2、X T A L 3、処理部520を含む。また通信部510、操作部530、表示部540、記憶部550、アンテナA N Tを含むことができる。回路装置10と発振子X T A L 1、X T A L 2、X T A L 3により物理量測定装置400が構成される。なお電子機器500は図23の構成に限定されず、これらの一部の構成要素を省略したり、他の構成要素を追加するなどの種々の変形実施が可能である。

10

【0222】

電子機器500としては、例えば距離、時間、流速又は流量等の物理量を計測する計測機器、生体情報を測定する生体情報測定機器(超音波測定装置、脈波計、血圧測定装置等)、車載機器(自動運転用の機器等)、基地局又はルーター等のネットワーク関連機器、頭部装着型表示装置や時計関連機器などのウェアラブル機器、印刷装置、投影装置、ロボット、携帯情報端末(スマートフォン、携帯電話機、携帯型ゲーム装置、ノートPC又はタブレットPC等)、コンテンツを配信するコンテンツ提供機器、或いはデジタルカメラ又はビデオカメラ等の映像機器などの種々の機器を想定できる。

20

【0223】

通信部510(無線回路)は、アンテナA N Tを介して外部からデータを受信したり、外部にデータを送信する処理を行う。処理部520は、電子機器500の制御処理や、通信部510を介して送受信されるデータの種々のデジタル処理などを行う。また処理部520は、物理量測定装置400で測定された物理量情報を用いた種々の処理を行う。この処理部520の機能は、例えばマイクロコンピューターなどのプロセッサにより実現できる。

【0224】

操作部530は、ユーザーが入力操作を行うためのものであり、操作ボタンやタッチパネルディスプレイをなどにより実現できる。表示部540は、各種の情報を表示するものであり、液晶や有機E Lなどのディスプレイにより実現できる。なお操作部530としてタッチパネルディスプレイを用いる場合には、このタッチパネルディスプレイが操作部530及び表示部540の機能を兼ねることになる。記憶部550は、データを記憶するものであり、その機能はR A MやR O Mなどの半導体メモリーやH D D(ハードディスクドライブ)などにより実現できる。

30

【0225】

図24に、本実施形態の回路装置10を含む移動体の例を示す。本実施形態の回路装置10(発振器)は、例えば、車、飛行機、バイク、自転車、ロボット、或いは船舶等の種々の移動体に組み込むことができる。移動体は、例えばエンジンやモーター等の駆動機構、ハンドルや舵等の操舵機構、各種の電子機器(車載機器)を備えて、地上や空や海上を移動する機器・装置である。図24は移動体の具体例としての自動車206を概略的に示している。自動車206(移動体)には、本実施形態の回路装置10と発振子(不図示)を有する物理量測定装置(不図示)が組み込まれる。制御装置208は、この物理量測定装置により測定された物理量情報に基づいて種々の制御処理を行う。例えば物理量情報として、自動車206の周囲の物体の距離情報が測定された場合に、制御装置208は、測定された距離情報を用いて自動運転のための種々の制御処理を行う。制御装置208は、例えば車体207の姿勢に応じてサスペンションの硬軟を制御したり、個々の車輪209のブレーキを制御する。なお本実施形態の回路装置10や物理量測定装置が組み込まれる機器は、このような制御装置208には限定されず、自動車206等の移動体に設けられ

40

50

る種々の機器（車載機器）に組み込むことが可能である。

【0226】

なお、上記のように本実施形態について詳細に説明したが、本発明の新規事項および効果から実体的に逸脱しない多くの変形が可能であることは当業者には容易に理解できるであろう。従って、このような変形例はすべて本発明の範囲に含まれるものとする。例えば、明細書又は図面において、少なくとも一度、より広義または同義な異なる用語（クロックサイクル指定情報、制御信号、同期化回路等）と共に記載された用語（クロックサイクル指定値、制御電圧、PLL回路等）は、明細書又は図面のいかなる箇所においても、その異なる用語に置き換えることができる。また本実施形態及び変形例の全ての組み合わせも、本発明の範囲に含まれる。また回路装置、物理量測定装置、電子機器、移動体の構成・動作や、PLL回路の構成、位相同期処理、発振処理、時間デジタル変換処理、第1、第2の信号の生成処理、位相比較処理等も本実施形態で説明したものに限定されず、種々の変形実施が可能である。

10

【符号の説明】

【0227】

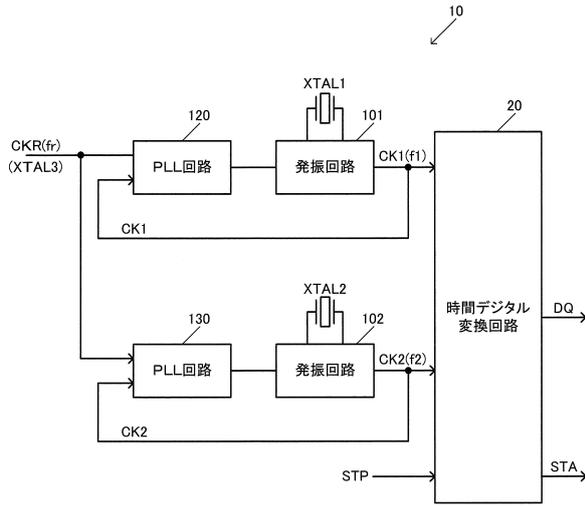
CK1、CK2...クロック信号（第1、第2のクロック信号）、
 f1、f2...クロック周波数（第1、第2のクロック周波数）、
 CKR...基準クロック信号、fr...基準クロック信号のクロック周波数、
 XTAL1、XTAL2、XTAL3...発振子（第1、第2、第3の発振子）、
 t...分解能、STA、STP...信号（第1、第2の信号）、
 CIN...クロックサイクル指定値（クロックサイクル指定情報）、
 CCT...クロックサイクル値、DQ...デジタル値、TDF...時間差、
 TR...クロック間時間差、TCNT...カウント値、TS...測定期間、
 TM、TMA、TMB...位相同期タイミング、
 TP、TP1~TP4...更新期間、N、M...クロック数、
 DCK1~DCK4...分周クロック信号（第1~第4の分周クロック信号）、
 10...回路装置、20...時間デジタル変換回路、
 21、22...位相検出器（第1、第2の位相検出器）、30...処理部、
 31...出力コード生成部、32...信号出力部、33...レジスター部、40...カウンター部
 、
 100...発振回路、101、102、103...発振回路（第1、第2、第3の発振回路）
 、
 120...PLL回路（第1のPLL回路）、
 122、124...分周回路（第1、第2の分周回路）、
 126...位相検出器（第1の位相検出器）、128...チャージポンプ回路、
 130...PLL回路（第2のPLL回路）、
 132、134...分周回路（第3、第4の分周回路）、
 136...位相検出器（第2の位相検出器）、138...チャージポンプ回路、
 140...位相検出器、142...カウンター、144...TDC、146...デジタル演算部、
 150...位相検出器、152...カウンター、154...TDC、156...デジタル演算部、
 206...自動車（移動体）、207...車体、208...制御装置、209...車輪、
 400...物理量測定装置、410...パッケージ、412...ベース部、414...リッド部、
 500...電子機器、510...通信部、520...処理部、530...操作部、
 540...表示部、550...記憶部

20

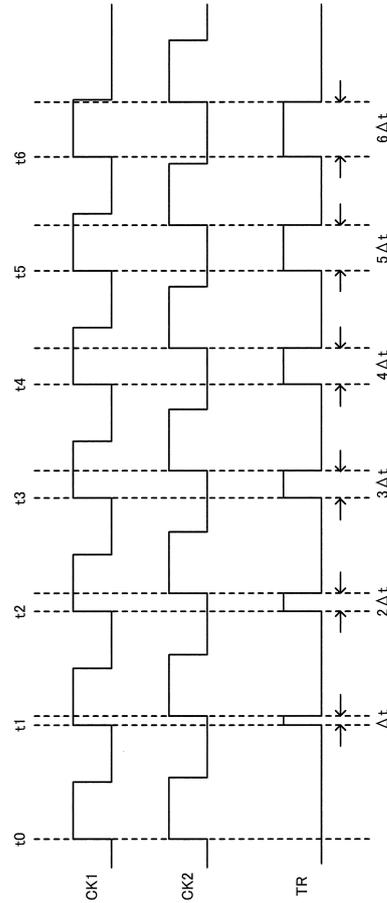
30

40

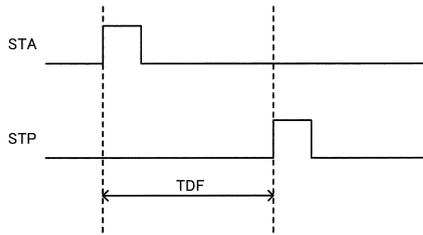
【図1】



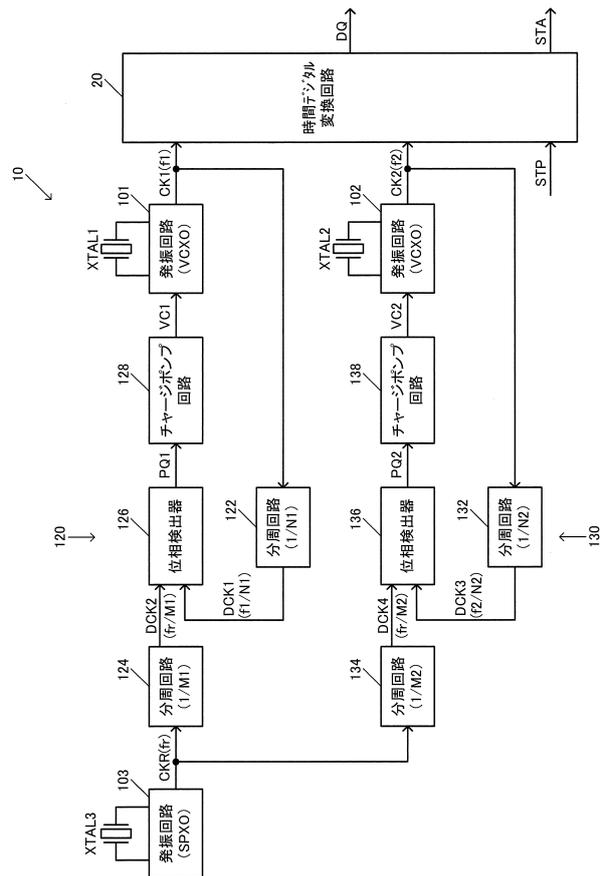
【図2】



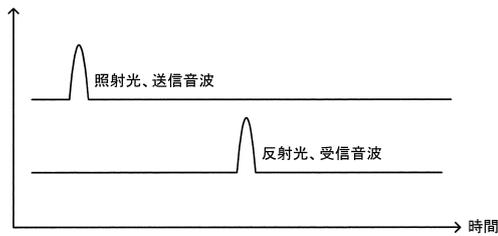
【図3】



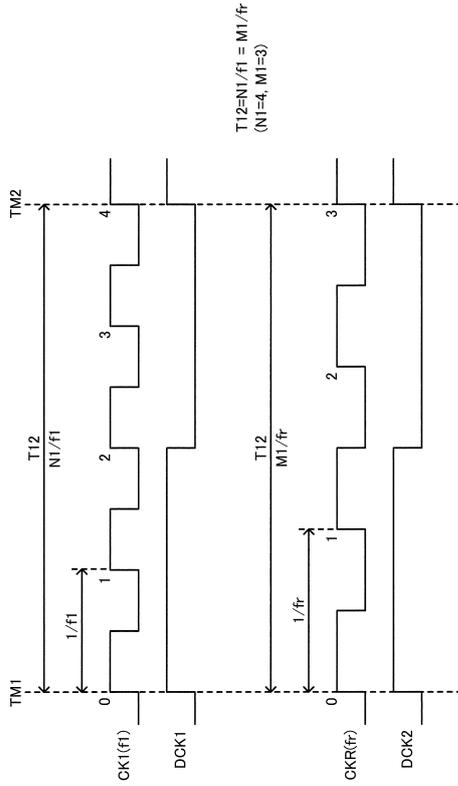
【図5】



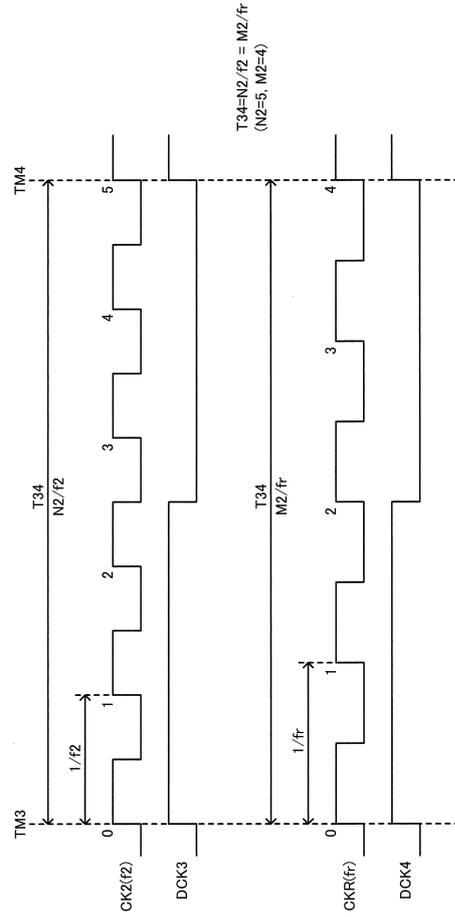
【図4】



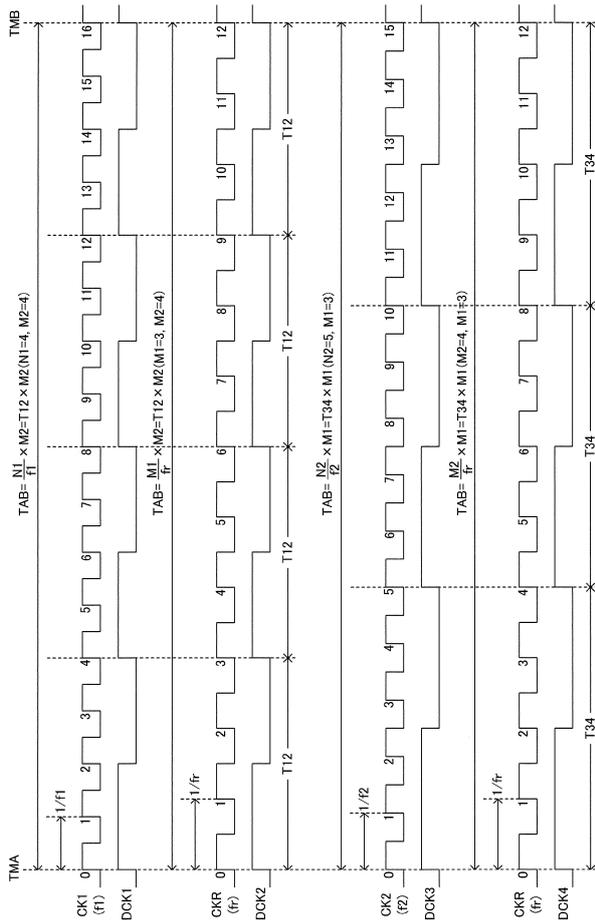
【 図 6 】



【 図 7 】



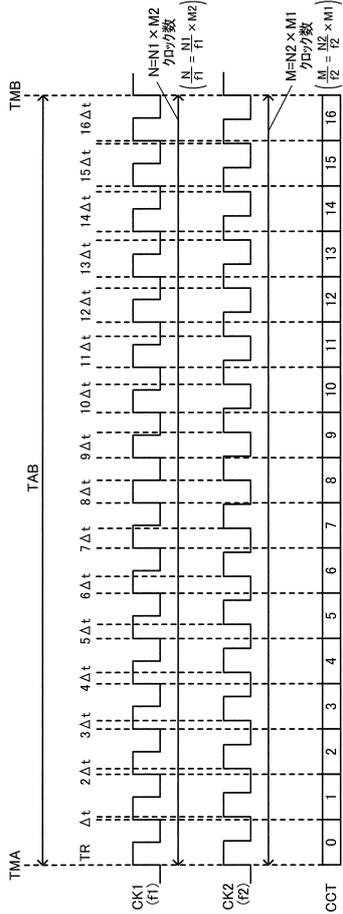
【 図 8 】



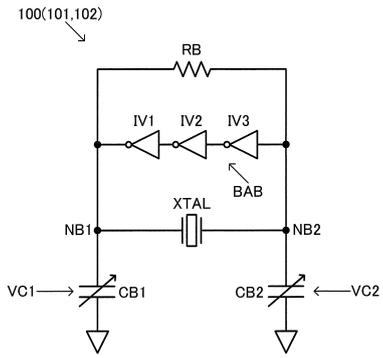
【 図 9 】

fr (MHz)	f1 (MHz)	f2 (MHz)	N2	M2	N1	M1	$\Delta t = 1/f1 - 1/f2 $ (ps)
101	102.01	102	102	101	101	100	0.96
102	189.04	189	63	34	139	75	1.12
201	276.04	276	92	67	103	75	0.53

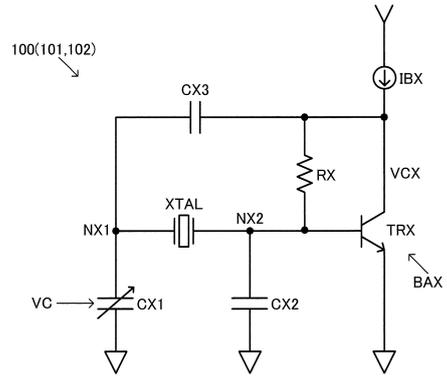
【図10】



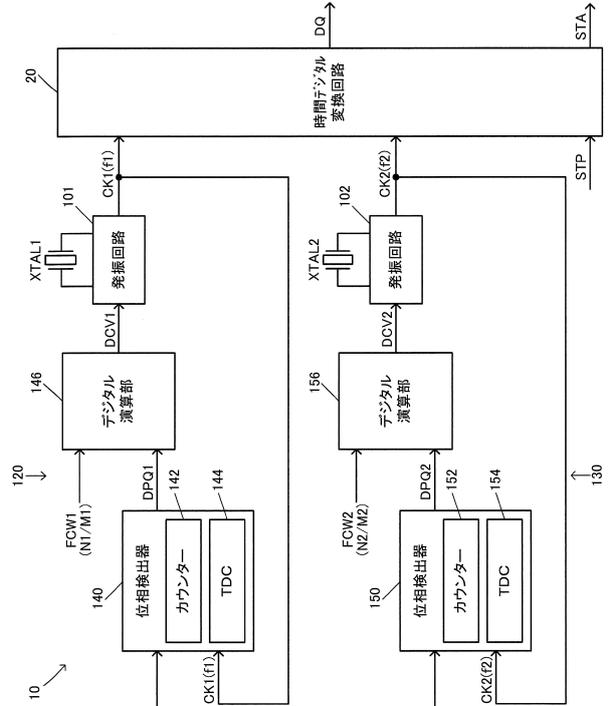
【図12】



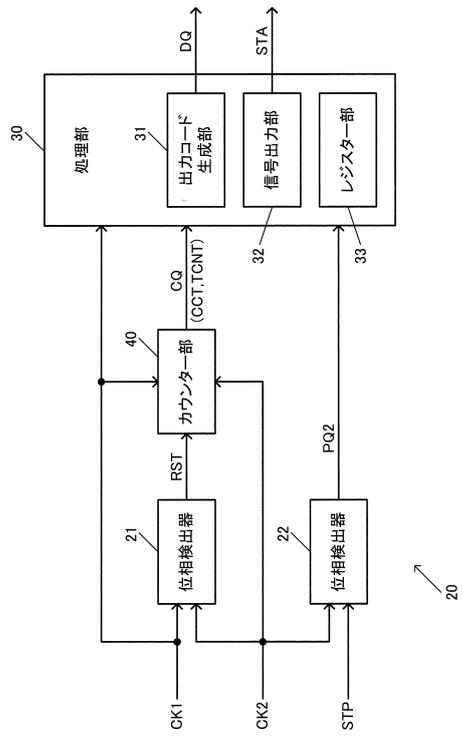
【図13】



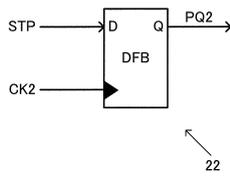
【図11】



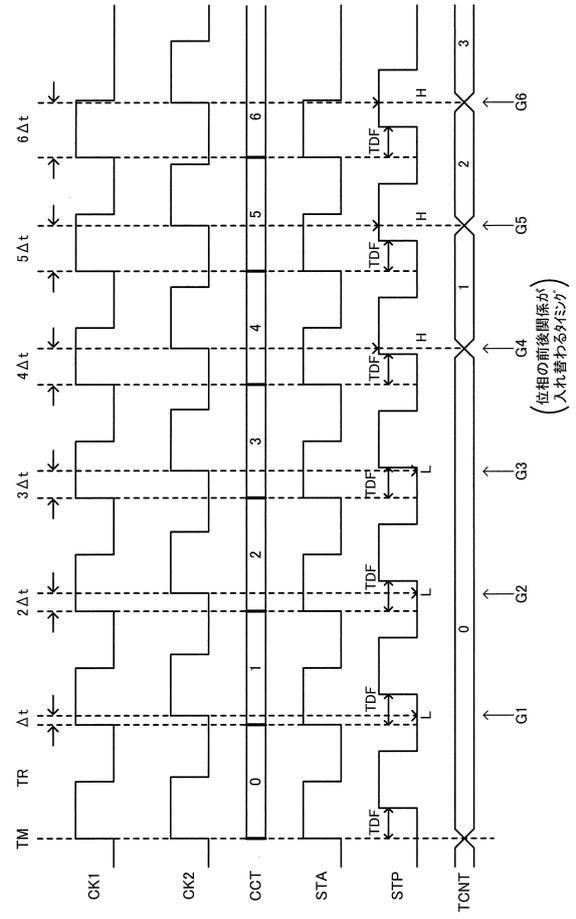
【図14】



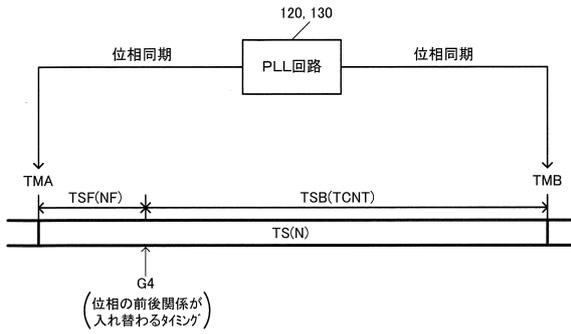
【図15】



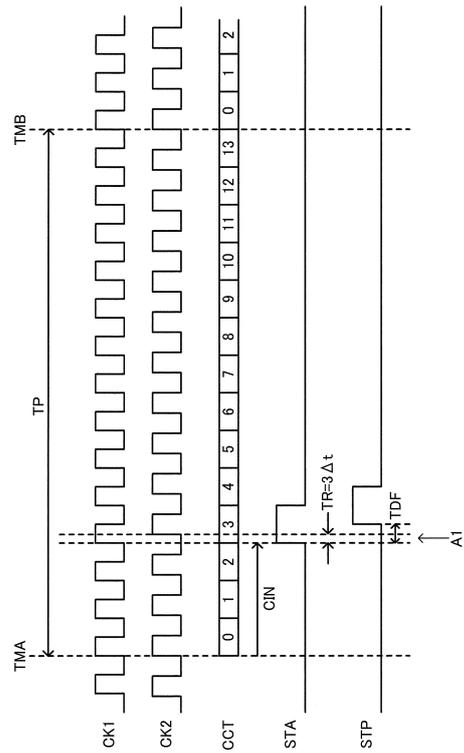
【図16】



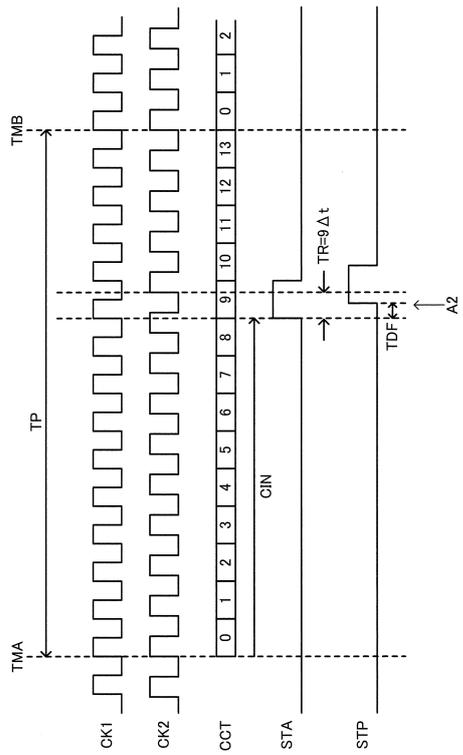
【図17】



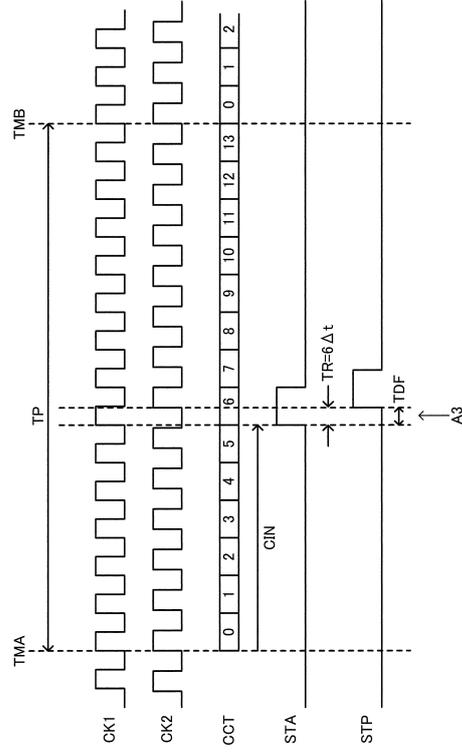
【図18】



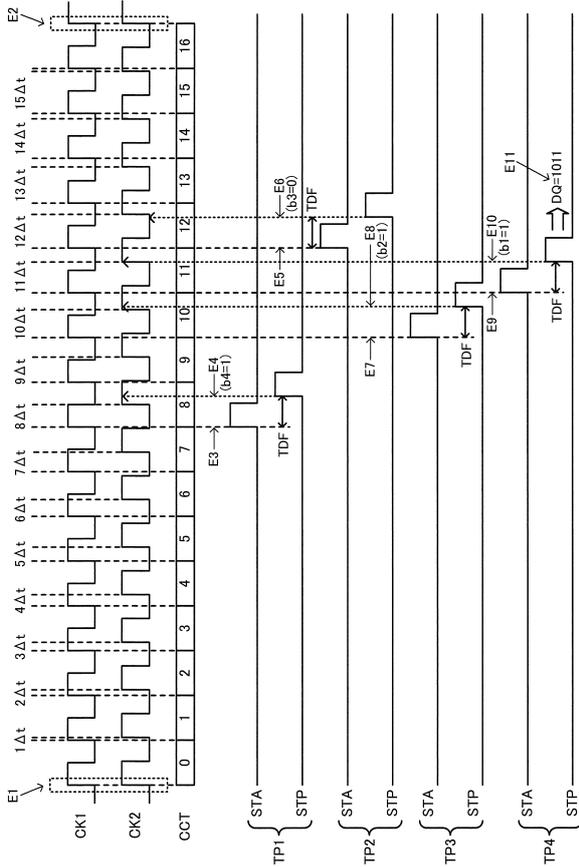
【図19】



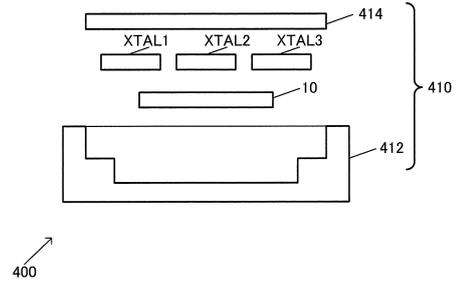
【図20】



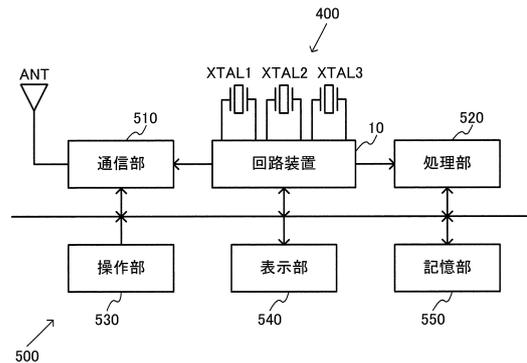
【図21】



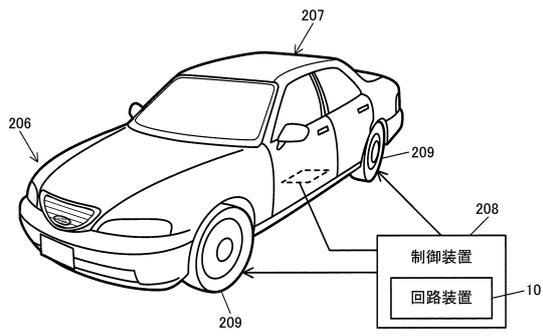
【図22】



【図23】



【図24】



フロントページの続き

(72)発明者 牧 克彦

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

審査官 工藤 一光

(56)参考文献 特開平5 - 87954 (JP, A)

特開2005 - 295544 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G04F10/04

H03K5/26

H03L7/00 - 7/26