

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5352077号
(P5352077)

(45) 発行日 平成25年11月27日(2013.11.27)

(24) 登録日 平成25年8月30日(2013.8.30)

(51) Int. Cl. F I
G 1 1 C 11/407 (2006.01) G 1 1 C 11/34 3 5 4 D
H O 1 L 21/8242 (2006.01) H O 1 L 27/10 6 8 1 F
H O 1 L 27/108 (2006.01)

請求項の数 7 (全 13 頁)

(21) 出願番号	特願2007-292878 (P2007-292878)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社
(22) 出願日	平成19年11月12日(2007.11.12)		神奈川県川崎市中原区下沼部1753番地
(65) 公開番号	特開2009-123252 (P2009-123252A)	(74) 代理人	100103894 弁理士 冢入 健
(43) 公開日	平成21年6月4日(2009.6.4)	(72) 発明者	高橋 弘行 神奈川県川崎市中原区下沼部1753番地 NECエレクトロニクス株式会社内
審査請求日	平成22年8月6日(2010.8.6)	(72) 発明者	夏目 秀隆 神奈川県川崎市中原区下沼部1753番地 NECエレクトロニクス株式会社内
		審査官	堀田 和義

最終頁に続く

(54) 【発明の名称】 半導体集積回路

(57) 【特許請求の範囲】

【請求項1】

制御信号に応じて第1の電源から供給される第1の電圧又は第2の電源から供給される第2の電圧のいずれか一方の電圧で複数のワード線のそれぞれを駆動する複数の駆動回路と、

前記複数のワード線のいずれか一本にゲートが接続され、前記ゲートに接続されるワード線に供給される電圧に基づき記憶ノードとビット線との接続状態を切り替える複数のゲートトランジスタと、

1.0V以下の第3の電圧を電源電圧として動作し、前記複数のゲートトランジスタのいずれか1つを介して前記記憶ノードへのデータ書き込みあるいは読み出しを制御する制御回路と、を有し、

前記複数のゲートトランジスタのゲート酸化膜厚は、前記複数の駆動回路を構成するトランジスタのゲート酸化膜厚よりも薄く、前記制御回路を構成するトランジスタのゲート酸化膜厚よりも厚く、かつ、前記第1の電圧及び前記第2の電圧のうち低電位側の電圧は接地電圧以下である半導体集積回路。

【請求項2】

前記複数のゲートトランジスタは、非選択状態の期間が選択状態の期間よりも長い請求項1に記載の半導体集積回路。

【請求項3】

前記第1の電圧と前記第2の電圧のうち高電圧側の電圧は、前記制御回路の電源電圧よ

りも高い請求項 1 又は 2 に記載の半導体集積回路。

【請求項 4】

前記第 1 の電圧と前記第 2 の電圧の電圧差は、前記制御回路の電源電圧と接地電圧の電圧差よりも大きい請求項 1 乃至 3 のいずれか 1 項に記載の半導体集積回路。

【請求項 5】

前記半導体集積回路は、前記複数の駆動回路、前記複数のゲートトランジスタ及び前記制御回路とともに同一の半導体基板上に形成される機能回路を有し、前記機能回路は、異なるゲート酸化膜厚を有するトランジスタによって形成される請求項 1 乃至 4 のいずれか 1 項に記載の半導体集積回路。

【請求項 6】

前記複数の駆動回路は、前記複数のゲートトランジスタが形成される領域を挟むように分割される領域に形成される請求項 1 乃至 5 のいずれか 1 項に記載の半導体集積回路。

【請求項 7】

前記制御回路は、さらに接地電圧である第 4 の電圧が供給される請求項 1 乃至 6 のいずれか 1 項に記載の半導体集積回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明にかかる半導体集積回路は、特に D R A M のメモリセルを有する半導体集積回路に関する。

【背景技術】

【0002】

近年、半導体集積回路における記憶装置として D R A M (Dynamic Random Access Memory) が多く用いられている。D R A M は、メモリセル内のコンデンサに電荷を蓄えることで記憶ノードにデータを記憶し、ゲートトランジスタを介してビット線と記憶ノードとのデータの入出力を行なう。このとき、D R A M では、記憶ノードに記憶されたデータの電圧値が電源電圧とほぼ同じ電圧である場合にも確実にデータの入出力を行なうために、ゲートトランジスタを選択状態とする場合にゲートに電源電圧 V D D よりも高い昇圧電圧 V P P を印加する。

【0003】

このような動作を行なうために、D R A M のゲートトランジスタには昇圧電圧 V P P の印加に耐えうる耐圧が必要になる。M O S トランジスタでは、ゲート酸化膜厚を厚くすることで耐圧を高めることができる。トランジスタの耐圧が印加される耐圧よりも低い場合、素子の経時劣化の加速あるいは素子の破壊を招く。このようなことから、一般的に、ゲートトランジスタのゲート酸化膜厚は、ゲートトランジスタのゲートに昇圧電圧 V P P を供給する駆動回路のトランジスタのゲート酸化膜厚と同じ厚みを有する。

【0004】

一方、制御回路を構成するトランジスタに印加される電圧は、電源電圧 V D D であるため、制御回路を構成するトランジスタには駆動回路やゲートトランジスタほどの耐圧は必要ない。そのため、制御回路等の電源電圧 V D D で動作する回路を構成するトランジスタは、ゲート酸化膜厚を駆動回路のトランジスタやゲートトランジスタよりも薄くすることができる。ゲート酸化膜厚を薄くすることで、回路動作の高速化及びトランジスタの微細化を実現することができる。

【0005】

このように、半導体集積回路では、印加される電圧に応じてトランジスタのゲート酸化膜厚(又は耐圧)を適宜変更する。これによって、トランジスタの耐圧を確保しながら、回路面積を縮小することができる。このように、印加電圧に応じて複数のゲート酸化膜厚を有するトランジスタを適宜使い分ける先行技術が特許文献 1 に開示されている。

【特許文献 1】特開 2 0 0 1 1 5 7 0 4 号公報

【発明の開示】

10

20

30

40

50

【発明が解決しようとする課題】

【0006】

しかしながら、トランジスタの耐圧には、印加することで即座に素子を破壊させないための耐圧と、継続的な電圧印加によって素子を経時劣化させないための耐圧とがある。そのため、高電圧が印加されるトランジスタであっても、高電圧が印加される時間が短い部分に使用するトランジスタに継続的な高電圧の印加に耐えうる耐圧を設定した場合、このトランジスタの性能劣化は製品寿命に対して極めて小さくなる。しかし、このような耐圧設計を行なった場合、トランジスタのゲート酸化膜厚は過剰に厚くなることになり、素子サイズの増大による回路規模の増大を招く問題がある。

【課題を解決するための手段】

【0007】

本発明の一態様は、制御信号に応じて第1の電源から供給される第1の電圧又は第2の電源から供給される第2の電圧のいずれか一方の電圧で複数のワード線のそれぞれを駆動する複数の駆動回路と、前記複数のワード線のいずれか一本にゲートが接続され、前記ゲートに接続されるワード線に供給される電圧に基づき記憶ノードとビット線との接続状態を切り替える複数のゲートトランジスタと、前記複数のゲートトランジスタのいずれか1つを介して前記記憶ノードへのデータ書き込みあるいは読み出しを制御する制御回路と、を有し、前記複数のゲートトランジスタのゲート酸化膜厚は、前記複数の駆動回路を構成するトランジスタのゲート酸化膜厚よりも薄いことを特徴とする半導体集積回路である。

【0008】

本発明の別の態様は、DRAMセルと、前記DRAMセルが有するゲートトランジスタのゲートに接続されるワード線と、前記ワード線を駆動する駆動回路とを備え、前記駆動回路が有するトランジスタは、前記ゲートトランジスタよりも厚いゲート酸化膜を有することを特徴とする半導体集積回路である。

【0009】

本発明にかかる半導体集積回路は、第1の電圧又は第2の電圧のいずれか一方がゲートに定常的には印加されないゲートトランジスタのゲート酸化膜厚を駆動回路のトランジスタのゲート酸化膜厚よりも薄くする。これによって、ゲートトランジスタの素子サイズを過剰に大きくすることなく、半導体集積回路の回路面積を小さくすることができる。

【発明の効果】

【0010】

本発明にかかる半導体集積回路は、回路面積の効率を向上させることができる。

【発明を実施するための最良の形態】

【0011】

実施の形態1

以下、図面を参照して本発明の実施の形態について説明する。実施の形態1にかかる半導体集積回路はDRAMを含むものである。図1に本実施の形態にかかる半導体集積回路1のブロック図を示す。図1では、半導体集積回路1のうちDRAMにかかる部分のみを示した。また、DRAMはビット線DT、DBによって構成されるビット線対を複数有するが、図1では簡単化のため1つのビット線対のみを示した。

【0012】

図1に示すように半導体集積回路1は、ワード線駆動回路10、セルアレイ11、制御回路12を有する。ワード線駆動回路10は、複数の駆動回路DRV1~DRVn(以下、複数の駆動回路をまとめて駆動回路DRVと称す)を有する。なお、以下の説明ではnは整数であって、その要素の番号を示すものとする。駆動回路DRV1~DRVnは、それぞれ出力端子にワード線WL1~WLn(以下、複数のワード線をまとめてワード線WLと称す)が接続される。そして、駆動回路DRV1~DRVnは、制御信号CNTに基づき第1の電源から供給される第1の電圧(例えば、昇圧電圧VPP)と第2の電源から供給される第2の電圧(例えば、接地電圧VSS)のいずれか一方の電圧でワード線WL1~WLnを駆動する。昇圧電圧VPPは、図示しない昇圧回路において電源電圧VDD

10

20

30

40

50

を昇圧下電圧であって、電源電圧VDDよりも高い電圧を有する。なお、制御信号CNTは、図示しないワード線制御回路から送信される信号である。また、図1では駆動回路及びワード線は、数百以上が設けられるものとする。

【0013】

駆動回路DRV1～DRVnは、それぞれ同一の構成であるため、ここでは駆動回路DRV2を例に駆動回路の構成について説明する。駆動回路DRV2は、第1の電源と第2の電源との間に直列に接続されるPMOSトランジスタDMP及びNMOSトランジスタDMNを有する。PMOSトランジスタDMPのゲートとNMOSトランジスタDMNのゲートは互いに接続され、制御信号CNTが入力される。また、PMOSトランジスタDMPのドレインとNMOSトランジスタDMNのドレインの接続点が駆動回路DRV2の出力端子となる。PMOSトランジスタDMPとNMOSトランジスタDMNのゲート酸化膜厚は、昇圧電圧VPPと接地電圧VSSの電圧差に耐えうる厚さを有する。なお、駆動回路DRVは、PMOSトランジスタとNMOSトランジスタとがインバータ接続された構成に限らず、例えば第1の電源と第2の電源との間に直列接続された同一導電型のトランジスタ（例えば2つのNMOSトランジスタ）によって構成されていても良い。

10

【0014】

セルアレイ11は、メモリセルMC1～MCn（以下、複数のメモリセルをまとめてメモリセルMCと称す）を有する。メモリセルMCはワード線の数に対応した数が設けられる。また、制御回路側から数えて奇数番目に位置するメモリセルはビット線DTに接続され、偶数番目に位置するメモリセルはビット線DBに接続される。メモリセルはそれぞれ同一の構成であるため、ここでは、メモリセルMC2を例にメモリセルの構成を説明する。

20

【0015】

メモリセルMC2は、ワード線WL2に対応して設けられるメモリセルである。メモリセルMC2は、ゲートトランジスタTTr、コンデンサCCを有する。本実施の形態では、ゲートトランジスタTTrとしてNMOSトランジスタを用いる。そのため、ゲートトランジスタTTrはゲートに昇圧電圧VPPが印加されることで選択状態となり、ゲートに接地電圧VSSが印加されることで非選択状態となる。本実施の形態では、ゲートトランジスタTTrのゲート酸化膜厚は、駆動回路DRVを構成するトランジスタのゲート酸化膜厚よりも薄く設定される。ゲートトランジスタTTrのゲートは、ワード線WL2に接続される。ゲートトランジスタTTrのドレインはビット線DBに接続され、ソースはコンデンサCCの一端に接続される。コンデンサCCとゲートトランジスタTTrのソースとの接続点が記憶ノードSNとなる。コンデンサCCの他端にはバイアス電圧HVDDが供給される。バイアス電圧HVDDは、例えば電源電圧VDDの半分の電圧である。

30

【0016】

制御回路12は、セルアレイ11のゲートトランジスタTTrを介して記憶ノードSNへのデータ書き込みあるいは読み出しを制御する。制御回路12は、センスアンプSA、プリチャージ回路PRE、スイッチトランジスタSTrを有する。センスアンプSA及びプリチャージ回路PREは、ビット線DT、DBの間に接続される。スイッチトランジスタSTrは、ゲートにスイッチ制御信号Yが供給され、ソースがビット線DT、DBの一端に接続され、ドレインがデータバスに接続される。ここで、制御回路12に形成される回路に印加される最大電圧は、電源電圧VDDであるため、制御回路12を構成するトランジスタのゲート酸化膜厚は、ワード線駆動回路10及びセルアレイ11を構成するトランジスタのゲート酸化膜厚よりも薄くても構わない。

40

【0017】

センスアンプSAは、ビット線DT、DBの間に発生する微小な電圧差を増幅する。センスアンプSAは、PMOSトランジスタSMP1、SMP2、NMOSトランジスタSMN1、SMN2を有する。PMOSトランジスタSMP1及びNMOSトランジスタSMN1は、電源電圧VDDを供給する電源配線SAP及び接地電圧VSSを供給する接地配線SANの間に直列に接続される。PMOSトランジスタSMP1のゲート及びNMOS

50

SトランジスタSMN1のゲートは、共通接続される。また、PMOSTトランジスタSMP2及びNMOSTトランジスタSMN2は、電源配線SAP及び接地配線SANの間に直列に接続される。PMOSTトランジスタSMP2のゲート及びNMOSTトランジスタSMN2のゲートは、共通接続される。そして、PMOSTトランジスタSMP1のゲート及びNMOSTトランジスタSMN1のゲートの共通接続点は、PMOSTトランジスタSMP2のドレインとNMOSTトランジスタSMN2のドレインの接続点及びビット線DBに接続される。また、PMOSTトランジスタSMP2のゲート及びNMOSTトランジスタSMN2のゲートの共通接続点は、PMOSTトランジスタSMP1のドレインとNMOSTトランジスタSMN1のドレインの接続点及びビット線DTに接続される。

【0018】

プリチャージ回路PREは、プリチャージ制御信号EQに応じてデータの書き込み又は読み出しの動作を行なう前段階で、ビット線DT、DBがプリチャージ電圧(ここでは、バイアス電圧HVDD)となるようにビット線対をプリチャージする。プリチャージ回路PREは、NMOSTトランジスタPMN1~PMN3を有する。NMOSTトランジスタPMN1は、ソース及びドレインがビット線DT、DBの間に接続され、ゲートにプリチャージ制御信号EQが入力される。NMOSTトランジスタPMN2、PMN3は、ビット線DT、DBの間に直列に接続され、ゲートにプリチャージ制御信号EQが入力される。また、NMOSTトランジスタPMN2、PMN3が互いに接続される接続点には、バイアス電圧HVDDが供給される。

【0019】

ここで、本実施の形態におけるゲートトランジスタTTrのゲート酸化膜厚の設定について詳細に説明する。まず、MOSTトランジスタの耐圧について説明する。MOSTトランジスタの耐圧には、継続的な電圧印加によって素子を経時劣化させないための耐圧と、電圧印加によって即座に素子を破壊させないための耐圧とがある。MOSTトランジスタの経時劣化には、例えばトランジスタの電流駆動能力IONの劣化がある。これらの耐圧は、MOSTトランジスタのゲート酸化膜の膜厚によって決まる。また、印加電圧と耐圧との関係によれば、素子の破壊又は経時劣化は、ゲート酸化膜にかかる電圧の大きさと電圧が印加される時間によって決まる。さらに、ゲート酸化膜にかかるストレスが最も大きくなるのはMOSTトランジスタが導通状態のときである。つまり、MOSTトランジスタのウェル電圧とMOSTトランジスタのゲートに印加される電圧との電圧差が大きくなるほどゲート酸化膜にかかるストレスが大きくなる。

【0020】

本実施の形態では、駆動回路DRVを構成するトランジスタには、継続的に昇圧電圧VPPが印加される。一方、ゲートトランジスタTTrにも昇圧電圧VPPが印加されるが、ゲートトランジスタTTrに昇圧電圧VPPが印加される期間は、メモリセルMCが選択されている期間のみである。ここで、本実施の形態では、1つのビット線対に多数のメモリセルMCが接続されるため、ある1つのメモリセルMCが選択状態となる期間は製品の使用時間に対して極めて短い。そのため、同じ昇圧電圧VPPが印加されるトランジスタであっても、昇圧電圧VPPの印加時間が短いゲートトランジスタTTrは、ゲート酸化膜を薄くしても経時劣化が進行する速度が駆動回路DRVを構成するトランジスタに比べ遅くなる。

【0021】

半導体集積回路の使用時間と素子の劣化の関係を示したグラフを図2に示す。図2に示す製品寿命は、予め設定された半導体集積回路1の耐用年数である。ゲート酸化膜厚は、トランジスタへの電圧の印加によってトランジスタの駆動能力が劣化した場合でも、使用時間が製品寿命に達するまでの間、トランジスタが予め設定された駆動能力限界以上の駆動能力を保てるように設定する。

【0022】

図2に示す例では、駆動回路DRVを構成するトランジスタの駆動能力の劣化が最も早い。また、ゲートトランジスタTTrのゲート酸化膜厚を駆動回路DRVを構成するトラ

10

20

30

40

50

ンジスタと同じとした場合、ゲートトランジスタ TTr の駆動能力は使用時間が経過してもほとんど劣化しない。一方、ゲートトランジスタ TTr のゲート酸化膜厚を駆動回路 DRV を構成するトランジスタよりも薄くした場合、ゲートトランジスタ TTr の駆動能力は使用時間の経過に応じて劣化するものの、劣化速度は駆動回路 DRV を構成するトランジスタに比べて遅くなる。

【0023】

本実施の形態における半導体集積回路1では、1つのビット線対に接続されるメモリセルが膨大であるため、ゲートトランジスタ TTr への昇圧電圧 VPP の印加は、偶発的に発生する程度の頻度である。つまり、ゲートトランジスタ TTr への昇圧電圧 VPP の印加時間は、駆動回路 DRV を構成するトランジスタへの昇圧電圧 VPP の印加時間に比べ極端に短い。継続的な昇圧電圧 VPP の印加によって駆動能力の劣化が製品寿命を満たすことができない程度にゲートトランジスタ TTr のゲート酸化膜厚を薄くしても、昇圧電圧 VPP の印加時間が偶発的に発生する程度であれば、ゲートトランジスタ TTr の駆動能力の劣化は製品寿命を満たせる程度に遅くなる。このようなことから、本実施の形態では、ゲートトランジスタ TTr のゲート酸化膜は、製品寿命に対する駆動能力の劣化が十分に許容できる範囲で薄く設定する。

10

【0024】

本実施の形態では、ゲートトランジスタ TTr のゲート酸化膜厚は、駆動回路 DRV を構成するトランジスタのゲート酸化膜厚よりも薄く、制御回路12を構成するトランジスタよりも厚く設定する。なお、駆動能力が劣化する速度が製品寿命の許容範囲内であるならばゲートトランジスタ TTr のゲート酸化膜厚と制御回路12を構成するトランジスタのゲート酸化膜厚を同じにしても良い。

20

【0025】

上記説明より、本実施の形態にかかる半導体集積回路1は、駆動回路を構成するトランジスタよりも薄いゲート酸化膜を有するゲートトランジスタ TTr を有する。MOSトランジスタは、ゲート酸化膜厚を薄くすることで、小さな素子サイズであっても大きな電流駆動能力を有する。つまり、本実施の形態にかかる半導体集積回路1は、小さな素子サイズであっても十分な電流駆動能力を有するゲートトランジスタ TTr を形成することができる。これによって、半導体集積回路1は、メモリセルの回路面積を小さくすることができる。DRAMでは回路面積の大部分をメモリセルが占めるため、メモリセルの回路面積を小さくすることで、DRAMの回路面積を大幅に縮小することができる。

30

【0026】

また、本実施の形態では、製品寿命と素子の劣化とを考慮してゲートトランジスタ TTr のゲート酸化膜厚を薄く設定する。そのため、ゲート酸化膜厚の薄膜化による製品寿命又は製品の性能に与える影響はない。

【0027】

実施の形態2

実施の形態2にかかる半導体集積回路2のブロック図を図3に示す。半導体集積回路2は、実施の形態1のDRAMを内蔵するマイコンである。図3に示すように、半導体集積回路2は、ワード線駆動回路10、セルアレイ11、制御回路12を有するDRAMと、入出力回路13と、CPU(Central Processing Unit)14と、昇圧回路15と、降圧回路16とを有する。

40

【0028】

本実施の形態では、DRAMの制御回路12は、降圧回路16が生成した降圧電圧 $VDDi$ (例えば、1.0V)を電源電圧として動作する。また、DRAMのワード線駆動回路10は、第1の電圧として昇圧回路15が生成した昇圧電圧 VPP (例えば、2.5V)を用い、第2の電圧として接地電圧 VSS を用いる。

【0029】

入出力回路13は、半導体集積回路2とその他の外部装置とのインタフェース回路である。本実施の形態では、入出力回路13に印加される最大電圧は外部電源電圧 EVD (

50

例えば、1.8V)とする。CPU14は、例えば画像処理や各種制御を行なう情報処理回路である。CPU14は、降圧回路16で生成された降圧電圧VDDiを電源電圧として動作する。昇圧回路15は、外部電源電圧EVDDを昇圧した昇圧電圧VPPを生成する。降圧回路16は、外部電源電圧EVDDを降圧した降圧電圧VDDiを生成する。

【0030】

このように、半導体集積回路2は、様々な電源電圧で動作する回路を有する。そのため、半導体集積回路2に内蔵される回路は、回路に使用するトランジスタのゲート酸化膜厚を最大印加電圧に応じて適宜設定する。ゲート酸化膜厚の設定の一例を図4に示す。図4に示すように、本実施の形態では、半導体集積回路2を構成するトランジスタは、最大印加電圧に応じて3種類のゲート酸化膜厚を有する。例えば、昇圧電圧VPPが印加されるトランジスタには厚いゲート酸化膜厚を設定し、降圧電圧VDDiが印加されるトランジスタには薄いゲート酸化膜厚を設定し、外部電源電圧EVDDが印加されるトランジスタ及び間欠的に昇圧電圧VPPが印加されるトランジスタには中間的なゲート酸化膜厚を設定する。なお、中間的なゲート酸化膜厚とは、厚いゲート酸化膜厚と薄いゲート酸化膜厚の間のゲート酸化膜厚である。

【0031】

まず、DRAM以外の回路では、入出力回路13及び降圧回路16の最大印加電圧は外部電源電圧EVDDであるため、これらの回路は中間的なゲート酸化膜厚のトランジスタで構成される。CPU14の最大印加電圧は降圧電圧VDDiであるため、CPU14は薄いゲート酸化膜厚のトランジスタで構成される。昇圧回路15の最大印加電圧は昇圧電圧VPPであるため、昇圧回路15は厚いゲート酸化膜厚のトランジスタで構成される。一方、DRAMにおいては、ワード線駆動回路10の最大印加電圧は昇圧電圧VPPであるため、ワード線駆動回路10は厚いゲート酸化膜厚のトランジスタで構成される。セルアレイ11の最大印加電圧は昇圧電圧VPPであるが、昇圧電圧VPPの印加は間欠的であるため、セルアレイ11は中間的なゲート酸化膜厚のトランジスタで構成される。制御回路12の最大印加電圧は降圧電圧VDDiであるため、薄いゲート酸化膜厚のトランジスタで構成される。

【0032】

上記説明より、DRAMを混載する半導体集積回路では、DRAM以外の回路を構成するトランジスタは3種類以上のゲート酸化膜厚を使用することがある。一般的にDRAMを構成するトランジスタのゲート酸化膜厚は2種類(高耐圧用と低耐圧用)であるため、DRAM単体の半導体集積回路において中間的なゲート酸化膜厚のトランジスタを用いる場合、製造工程を追加する必要がある。しかしながら、3種類以上のゲート酸化膜厚を用いる半導体集積回路に実施の形態1のDRAMを混載すれば、製造工程を追加することなくこのDRAMを実現することができる。

【0033】

なお、CPU14等の論理回路では、ゲート酸化膜厚の違いにより異なる閾値電圧を有するトランジスタを使用することがある。例えば、閾値電圧を高く設定したい場合はゲート酸化膜厚を厚くし、閾値電圧を低く設定したい場合はゲート酸化膜厚を薄くする。このように、様々な回路が混載される半導体集積回路では、同じ最大印加電圧の回路でも、異なるゲート酸化膜厚を有するトランジスタを用いることがある。つまり、最大印加電圧によらず、閾値電圧の設定のためにゲート酸化膜厚を厚くしたトランジスタとともにゲートトランジスタTTrを形成することも可能である。

【0034】

実施の形態3

実施の形態3にかかる半導体集積回路1のブロック図を図5に示す。図5に示すように、実施の形態3にかかる半導体集積回路3は、実施の形態1にかかる半導体集積回路1の駆動回路DRVに供給する第1の電圧と第2の電圧を変更したものである。実施の形態3では、第2の電圧として接地電圧VSSよりも低い電圧(以下、負電圧VKKと称す)を用い、第1の電圧として昇圧電圧VPPから負電圧VKKの電圧値を引いた電圧(以下、

10

20

30

40

50

昇圧電圧 $V_{PP} - V_{KK}$ と称す)を用いる。

【0035】

ここで、実施の形態1において駆動回路DRVに印加される電圧と実施の形態3において駆動回路DRVに印加される電圧の関係を図6に示す。図6に示すように、実施の形態1と実施の形態3とでは、駆動回路DRVに印加される高電圧側の電圧と低電圧側の電圧との電圧差は同じ電圧である。一方、接地電圧VSSを基準とした場合、実施の形態1の最大電圧は昇圧電圧 V_{PP} であるのに対して、実施の形態3の最大電圧は昇圧電圧 $V_{PP} - V_{KK}$ である。つまり、実施の形態3では、ゲートトランジスタ TTr への最大印加電圧が実施の形態1よりも小さくなる。このことから、実施の形態3では、ゲートトランジスタ TTr のゲート酸化膜厚を実施の形態1よりも薄くすることができる。例えば、制御回路12を構成するトランジスタと同じゲート酸化膜厚を使用することができる。

10

【0036】

上記説明より、実施の形態3では、ゲートトランジスタ TTr への最大印加電圧が実施の形態1よりも低下するため、ゲートトランジスタ TTr のゲート酸化膜厚を制御回路12を構成するトランジスタと同じにすることができる。これによって、実施の形態3では、2種類のゲート酸化膜厚でトランジスタを構成することができる。ゲート酸化膜厚の種類が少なくなることで、製造工程を実施の形態1よりも簡素化することができる。

【0037】

また、ゲートトランジスタ TTr のゲート酸化膜厚を薄くすると、トランジスタの閾値電圧 V_t は低下する傾向にある。しかし、実施の形態3では、ゲートトランジスタ TTr の非選択時の電圧として負電圧 V_{KK} を用いるため、低い閾値電圧 V_t を有するゲートトランジスタ TTr であっても、非選択時のリーク電流を低減することができる。ゲートトランジスタ TTr の非選択時におけるリーク電流が低減することで、コンデンサCCに蓄積された電荷の放電速度を遅くすることができ、コンデンサCCに対するリフレッシュ動作の頻度を低減することができる。リフレッシュ動作の頻度の低減により、ゲートトランジスタが選択状態となる頻度が低下するため、実施の形態3ではゲート酸化膜へのストレスを実施の形態1よりも低減することができる。

20

【0038】

実施の形態4

実施の形態4にかかる半導体集積回路4のブロック図を図7に示す。図7に示すように、実施の形態4にかかる半導体集積回路4は、実施の形態1にかかる半導体集積回路1のワード線駆動回路10の配置位置を変更したものである。半導体集積回路4は、セルアレイ11の両側にワード線駆動回路10及びワード線駆動回路20を有する。ワード線駆動回路20には、ワード線駆動回路10において偶数番目のメモリセルMCを駆動する駆動回路DRVが配置される。一方、実施の形態4におけるワード線駆動回路10には、奇数番目のメモリセルMCを駆動する駆動回路DRVが配置される。

30

【0039】

実施の形態1において、ゲートトランジスタ TTr は、ゲート酸化膜厚が駆動回路を構成するトランジスタよりも薄く、素子サイズも小さいことを説明した。このように、ゲートトランジスタ TTr の素子サイズを小さくすることで、セルアレイ11の回路面積は小さくすることができる。一方、ワード線駆動回路10を構成するトランジスタは、ゲート酸化膜厚が厚く素子サイズも大きいため、全ての駆動回路DRVをワード線駆動回路10に配置した場合、ワード線駆動回路10の回路規模が大きくなり、ワード線WLの間隔を十分に小さくすることができない。

40

【0040】

そこで、実施の形態4では、セルアレイ11を挟むようにワード線駆動回路10、20を配置する。そして、ワード線駆動回路10に奇数番目のメモリセルMCを駆動する駆動回路DRVを配置し、ワード線駆動回路20に偶数番目のメモリセルMCを駆動する駆動回路DRVを配置する。駆動回路DRVをこのように配置することで、片方のワード線駆動回路に配置される駆動回路の数を低減することができ、1つのワード線駆動回路の面積

50

を小さくすることができる。これによって、ワード線WLの間隔を狭くすることが可能となる。

【0041】

上記説明より、実施の形態4では、セルアレイ11を挟むようにワード線駆動回路10、20を配置することで、ワード線WLの間隔を狭くすることができる。つまり、実施の形態4は、実施の形態1よりも回路の面積効率を向上させることができる。

【0042】

なお、本発明は上記実施の形態に限られたものではなく、趣旨を逸脱しない範囲で適宜変更することが可能である。例えば、上記実施の形態では、ゲートトランジスタTTrをNMOSTランジスタで形成したが、これをPMOSTランジスタで形成することも可能である。ゲートトランジスタTTrをPMOSTランジスタで形成した場合、選択時のゲート電圧は接地電圧VSS（又は負電圧VKK）となり、非選択時のゲート電圧は昇圧電圧VPP（又は電源電圧VDD）となる。そのため、使用時間に対して期間の長い非選択時には高電圧がゲートトランジスタTTrのゲートに印加されることになる。しかし、PMOSTランジスタの場合、ウェルの電圧が昇圧電圧VPP（又は電源電圧VDD）である。そのため、非選択時におけるゲート・ウェル間の電圧差は、NMOSTランジスタを使用した場合と同様にほぼ0Vとなる。つまり、PMOSTランジスタをゲートトランジスタTTrとして使用した場合も、ゲート・ウェル間の電圧差が大きくなる選択状態である期間は短い。そのため、ゲートトランジスタTTrをPMOSTランジスタで構成する場合であっても、ゲートトランジスタTTrのゲート酸化膜厚を駆動回路DRVを構成するトランジスタよりも薄くすることは可能である。

【図面の簡単な説明】

【0043】

【図1】実施の形態1にかかる半導体集積回路のブロック図である。

【図2】半導体集積回路の使用時間とトランジスタの駆動能力の劣化の関係を示す図である。

【図3】実施の形態2にかかる半導体集積回路のブロック図である。

【図4】実施の形態2にかかる半導体集積回路を構成するブロック毎のトランジスタのゲート酸化膜厚を示す表である。

【図5】実施の形態3にかかる半導体集積回路のブロック図である。

【図6】実施の形態1において駆動回路DRVに印加される電圧と実施の形態3において駆動回路DRVに印加される電圧の関係を示す図である

【図7】実施の形態4にかかる半導体集積回路のブロック図である。

【符号の説明】

【0044】

1～4 半導体集積回路
 10、20 ワード線駆動回路
 11 セルアレイ
 12 制御回路
 13 入出力回路
 14 CPU
 15 昇圧回路
 16 降圧回路
 DRV1～DRVn 駆動回路
 MC1～MCn メモリセル
 SA センスアンプ
 CC コンデンサ
 STr スイッチトランジスタ
 TTr ゲートトランジスタ
 SN 記憶ノード

10

20

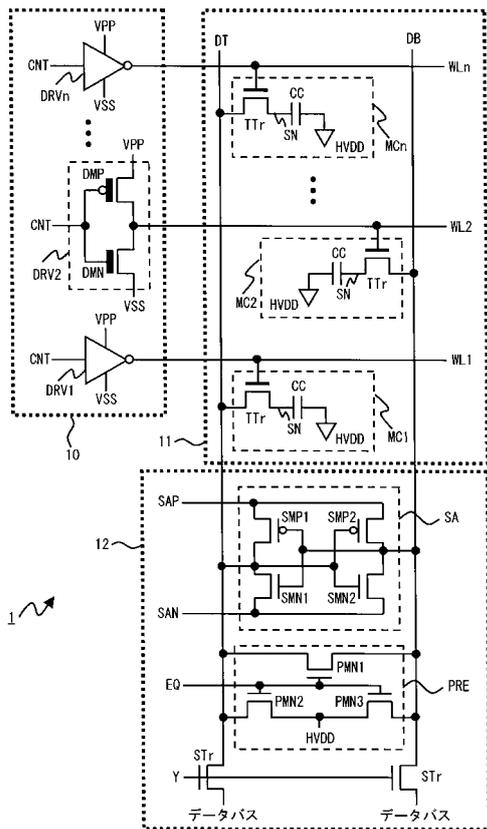
30

40

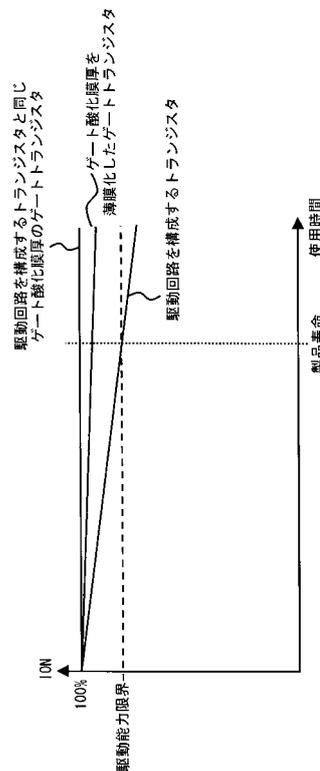
50

- DB、DT ビット線
- WL1 ~ WLn ワード線
- PRE プリチャージ回路
- EQ プリチャージ制御信号
- Y スイッチ制御信号
- DMN、SMP1、SMP2 NMOSTランジスタ
- DMP、SMN1、SMN2、PMN1 ~ PMN3 PMOSTランジスタ
- SAN 接地配線
- SAP 電源配線
- CNT 制御信号
- EVDD 外部電源電圧
- HVDD バイアス電圧
- VDD 電源電圧
- VSS 接地電圧
- VDDi 降圧電圧
- VKK 負電圧
- VPP 昇圧電圧

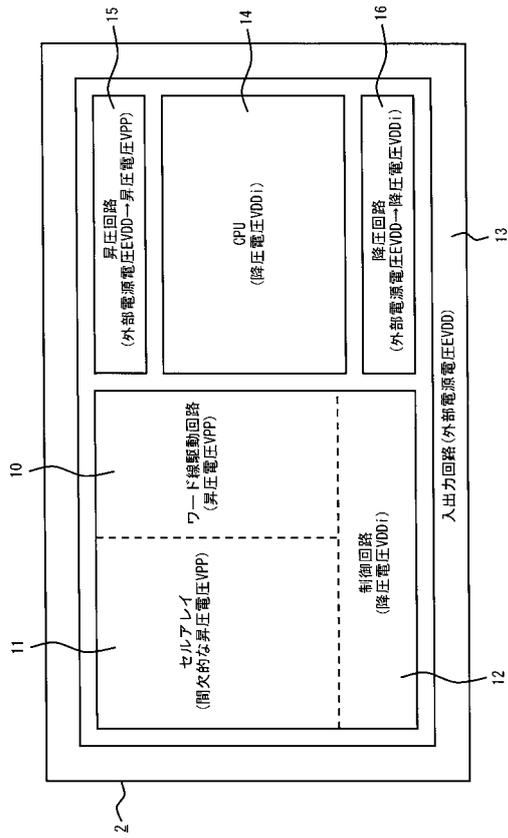
【図1】



【図2】



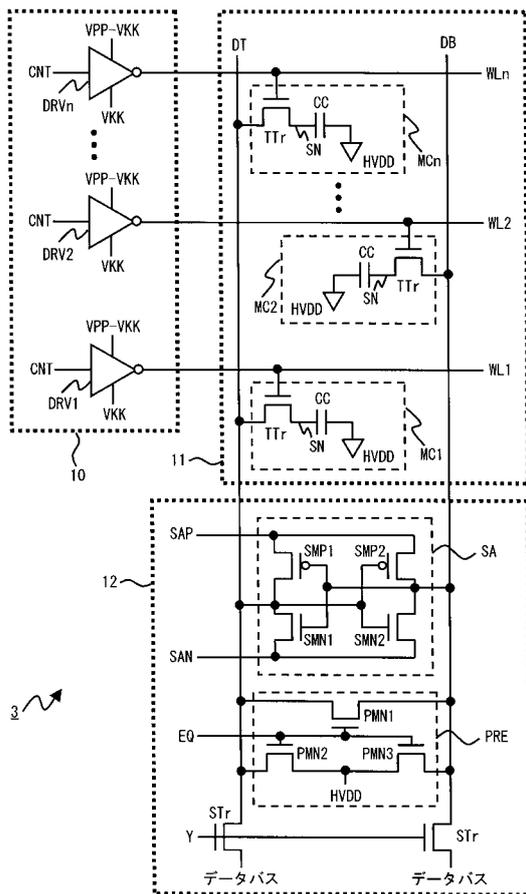
【図3】



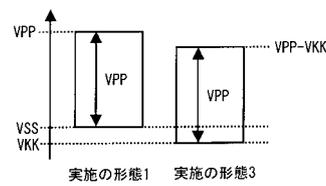
【図4】

ブロック名	セルアレイ	入出力回路	降圧回路	制御回路	CPU	ワード線駆動回路	昇圧回路
印加される電源	昇圧電圧VPP (相対的)	外部電源電圧EVD0	外部電源電圧EVD0 降圧電圧VDDI	降圧電圧EVD0 降圧電圧VDDI	降圧電圧VDD	昇圧電圧VPP	外部電源電圧EVD0 昇圧電圧VPP
最大印加電圧	2.5V	1.8V	1.8V and 1.0V	1.0V	1.0V	2.5V	1.8V and 2.5V
膜厚	中間			薄い		厚い	

【図5】



【図6】



フロントページの続き

- (56)参考文献 特開平 1 1 - 1 5 0 2 4 2 (J P , A)
特開 2 0 0 4 - 2 1 3 7 2 2 (J P , A)
特開平 1 1 - 2 8 3 3 6 9 (J P , A)
特開平 1 1 - 2 9 7 9 5 0 (J P , A)

- (58)調査した分野(Int.Cl. , D B 名)
G 1 1 C 1 1 / 4 0 7