

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7585155号
(P7585155)

(45)発行日 令和6年11月18日(2024.11.18)

(24)登録日 令和6年11月8日(2024.11.8)

(51)国際特許分類	F I	
H 0 3 K 17/0412(2006.01)	H 0 3 K 17/0412	
H 0 3 K 17/04 (2006.01)	H 0 3 K 17/04	E
H 0 3 K 17/687(2006.01)	H 0 3 K 17/687	A
H 0 3 K 17/0812(2006.01)	H 0 3 K 17/0812	
H 0 3 K 17/08 (2006.01)	H 0 3 K 17/08	C

請求項の数 8 (全18頁) 最終頁に続く

(21)出願番号	特願2021-123097(P2021-123097)	(73)特許権者	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22)出願日	令和3年7月28日(2021.7.28)	(73)特許権者	317011920 東芝デバイス&ストレージ株式会社 東京都港区芝浦一丁目1番1号
(65)公開番号	特開2023-18810(P2023-18810A)	(74)代理人	110003708 弁理士法人鈴榮特許総合事務所
(43)公開日	令和5年2月9日(2023.2.9)	(72)発明者	米原 直哉 神奈川県川崎市幸区堀川町580番1号 東芝デバイスソリューション株式会社内
審査請求日	令和5年9月19日(2023.9.19)	(72)発明者	戸田 修二 神奈川県川崎市幸区堀川町580番1号 東芝デバイスソリューション株式会社内
		(72)発明者	渡邊 昌敏 最終頁に続く

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項1】

第1端子と、
第2端子と、
第1回路と、
第2回路と、
を備え、
前記第1回路は、
第1電圧が供給される第1ノードに接続された第1端と、前記第1端子に接続された第2端と、前記第1ノードと前記第2端子との間に接続されたゲートと、を含む第1スイッチ素子と、
前記第1ノードと前記第2端子との間に直列接続された第1抵抗及び第2スイッチ素子と、
一端が前記第1ノードに接続された第2抵抗と、
一端が前記第2抵抗の他端及び前記第1スイッチ素子の前記ゲートに接続された第3抵抗と、
一端が前記第2端子に接続された第4抵抗と、
前記第2端子に接続された第1端と、前記第3抵抗の他端及び前記第4抵抗の他端に接続された第2端と、を含む第3スイッチ素子と、
を含み、

前記第 1 ノードへの前記第 1 電圧の供給が停止された際に、前記第 1 スイッチ素子及び前記第 2 スイッチ素子をオフ状態からオン状態にするように構成され、
前記第 2 回路は、前記第 1 ノードへの前記第 1 電圧の供給が停止された際に、前記第 2 スイッチ素子及び前記第 3 スイッチ素子をオフ状態からオン状態にするように構成される、
半導体装置。

【請求項 2】

前記第 2 回路は、

前記第 2 スイッチ素子及び前記第 3 スイッチ素子をオフ状態からオン状態にしてから第 1 期間経過後に、前記第 2 スイッチ素子をオン状態からオフ状態にし、

前記第 2 スイッチ素子及び前記第 3 スイッチ素子をオフ状態からオン状態にしてから前記第 1 期間以上長い第 2 期間経過後に、前記第 3 スイッチ素子をオン状態からオフ状態にする、

請求項 1 に記載の半導体装置。

【請求項 3】

前記第 2 回路は、

前記第 2 スイッチ素子のゲート及び前記第 3 スイッチ素子のゲートそれぞれの電圧を、第 1 の論理レベルから第 2 の論理レベルにすることで、前記第 2 スイッチ素子及び前記第 3 スイッチ素子をオフ状態からオン状態にし、

前記第 2 スイッチ素子及び前記第 3 スイッチ素子をオフ状態からオン状態にしてから前記第 1 期間経過後に、前記第 2 スイッチ素子の前記ゲートの電圧を、前記第 2 の論理レベルから前記第 1 の論理レベルにし、

前記第 2 スイッチ素子及び前記第 3 スイッチ素子をオフ状態からオン状態にしてから前記第 2 期間経過後に、前記第 3 スイッチ素子の前記ゲートの電圧を、前記第 2 の論理レベルから前記第 1 の論理レベルにする、

請求項 2 に記載の半導体装置。

【請求項 4】

前記第 1 スイッチ素子は P チャネル型の MOSFET であり、

前記第 2 スイッチ素子及び前記第 3 スイッチ素子は、N チャネル型の MOSFET である、

請求項 1 乃至 3 いずれか 1 項に記載の半導体装置。

【請求項 5】

前記第 1 電圧を生成し、生成した前記第 1 電圧を前記第 1 ノードに出力するように構成された第 3 回路をさらに備え、

前記第 2 回路は、前記第 3 回路に、前記第 1 電圧の出力を停止することを指示する、

請求項 1 乃至 4 のいずれか 1 項に記載の半導体装置。

【請求項 6】

前記半導体装置の外部から第 2 電圧が供給される第 3 端子と、

前記第 1 端子に接続された第 1 端と、前記第 3 端子に接続された第 2 端と、前記第 1 ノードに接続されたゲートと、を含む第 4 スイッチ素子と、

をさらに備える、

請求項 1 乃至 5 のいずれか 1 項に記載の半導体装置。

【請求項 7】

前記第 1 電圧は前記第 2 電圧よりも高く、

前記第 4 スイッチ素子は、N チャネル型の MOSFET である、

請求項 6 に記載の半導体装置。

【請求項 8】

前記第 1 ノードに接続された第 4 端子をさらに備える、

請求項 1 乃至 5 のいずれか 1 項に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

10

20

30

40

50

【0001】

本発明の実施形態は、半導体装置に関する。

【背景技術】

【0002】

負荷に電力を供給するための半導体装置が知られている。

【先行技術文献】

【特許文献】

【0003】

【文献】特開2017-005862号公報

【文献】特開2012-109937号公報

【文献】特開2008-172940号公報

【文献】特開平06-061826号公報

【文献】特開2004-247588号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

オフ動作における意図しない電力の供給を抑制する。

【課題を解決するための手段】

【0005】

実施形態に係る半導体装置は、第1端子と、第2端子と、第1回路と、第2回路とを備える。第1回路は、第1スイッチ素子と、第1抵抗と、第2スイッチ素子と、第2抵抗と、第3抵抗と、第4抵抗と、第3スイッチ素子とを含む。第1スイッチ素子の第1端は、第1電圧が供給される第1ノードに接続される。第1スイッチ素子の第2端は、第1端子に接続される。第1スイッチ素子のゲートは、第1ノードと第2端子との間に接続される。第1抵抗と第2スイッチ素子とは、第1ノードと第2端子との間に直列接続される。第2抵抗の一端は、第1ノードに接続される。第3抵抗の一端は、第2抵抗の他端及び第1スイッチ素子のゲートに接続される。第4抵抗の一端は、第2端子に接続される。第3スイッチ素子の第1端は、第2端子に接続される。第3スイッチ素子の第2端は、第3抵抗の他端及び第4抵抗の他端に接続される。第1回路は、第1ノードへの第1電圧の供給が停止された際に、第1スイッチ素子及び第2スイッチ素子をオフ状態からオン状態にするように構成される。第2回路は、第1ノードへの第1電圧の供給が停止された際に、第2スイッチ素子及び第3スイッチ素子をオフ状態からオン状態にするように構成される。

【図面の簡単な説明】

【0006】

【図1】第1実施形態に係る半導体装置、及び半導体装置によって電力を供給される負荷の構成の一例を説明するための回路図。

【図2】第1実施形態に係る半導体装置の動作例を示すタイミングチャート。

【図3】第2実施形態に係る半導体装置、及び半導体装置によって電力を供給される負荷の構成の一例を説明するための回路図。

【図4】第2実施形態に係る半導体装置の動作例を示すタイミングチャート。

【図5】第2実施形態に係る半導体装置のその他の動作例を示すタイミングチャート。

【図6】変形例に係る半導体装置、及び半導体装置によって電力を供給される負荷の構成の一例を説明するための回路図。

【発明を実施するための形態】

【0007】

以下、実施形態につき図面を参照して説明する。説明に際し、略同一の機能及び構成を有する構成要素については、同一符号を付す。また、以下に示す実施形態は、技術的思想を例示するものである。実施形態は、構成部品の材質、形状、構造、配置等を特定するものではない。実施形態は、種々の変更を加えることができる。

【0008】

10

20

30

40

50

[1] 第 1 実施形態

第 1 実施形態に係る半導体装置について説明する。

【 0 0 0 9 】

[1 - 1] 構成

[1 - 1 - 1] 半導体装置 1 の全体構成

図 1 は、第 1 実施形態に係る半導体装置、及び半導体装置によって電力を供給される負荷の構成の一例を説明するための回路図である。半導体装置 1 は、負荷 2 に電力を供給するロードスイッチである。半導体装置 1 は、例えば、IC (Integrated Circuit) チップである。負荷 2 は、半導体装置 1 から供給された電力を用いて、種々の動作を行う回路である。負荷 2 は、例えば、IC チップである。

10

【 0 0 1 0 】

半導体装置 1 は、端子 P V I N、P V O U T、P E N、及び P G N D、スイッチ素子 Q 1、制御回路 1 0、電圧生成回路 1 1、並びにスイッチング回路 1 2 を含む。

【 0 0 1 1 】

端子 P V I N は、半導体装置 1 の電源端子である。端子 P V I N には、半導体装置 1 の外部から電圧 V I N が印加される。

【 0 0 1 2 】

端子 P V O U T は、半導体装置 1 の出力端子である。端子 P V O U T から半導体装置 1 の外部へ、電力が供給される。

【 0 0 1 3 】

端子 P E N は、半導体装置 1 の制御端子である。端子 P E N には、半導体装置 1 の外部からコマンド C M D が入力される。コマンド C M D は、半導体装置 1 に負荷 2 を駆動させる旨のコマンド C M D と、半導体装置 1 に負荷 2 の駆動を停止させる旨のコマンド C M D とを含む。なお、以下の説明において、半導体装置 1 に負荷 2 を駆動させる動作をオン動作とも言う。また、半導体装置 1 に負荷 2 の駆動を停止させる動作をオフ動作とも言う。また、半導体装置 1 に負荷 2 を駆動させる旨のコマンドをオン動作のコマンド C M D とも言う。また、半導体装置 1 に負荷 2 の駆動を停止させる旨のコマンドをオフ動作のコマンド C M D とも言う。

20

【 0 0 1 4 】

端子 P G N D は、半導体装置 1 の接地端子である。端子 P G N D は、接地される。

30

【 0 0 1 5 】

スイッチ素子 Q 1 は、Nチャネル型の M O S F E T である。スイッチ素子 Q 1 のドレインには、端子 P V I N を介して電圧 V I N が印加される。スイッチ素子 Q 1 のソースは、端子 P V O U T に接続される。スイッチ素子 Q 1 のゲートは、ノード N 1 に接続される。スイッチ素子 Q 1 は、スイッチ素子 Q 1 がオン状態のとき、端子 P V O U T を介して負荷 2 に、電圧 V I N を出力する。ここで、スイッチ素子 Q 1 のオン抵抗 $R_{on}(Q1)$ と、オン状態のスイッチ素子 Q 1 に流れる電流 I_{OUT} との積で表現できる電圧 $R_{on}(Q1) \times I_{OUT}$ は、非常に小さく無視できるレベルとしている。スイッチ素子 Q 1 は、スイッチ素子 Q 1 がオフ状態のとき、端子 P V O U T を介して負荷 2 に、電圧 V I N を出力しない。

40

【 0 0 1 6 】

制御回路 1 0 は、半導体装置 1 全体の動作を制御する。制御回路 1 0 は、端子 P E N を介して、半導体装置 1 の外部からコマンド C M D を受信する。制御回路 1 0 は、受信したコマンド C M D に基づいて、電圧生成回路 1 1 及びスイッチング回路 1 2 の動作を制御する。制御回路 1 0 は、スイッチング回路 1 2 に、信号 E N 1 及び E N 2 を出力する。

【 0 0 1 7 】

電圧生成回路 1 1 は、例えば、チャージポンプである。電圧生成回路 1 1 には、端子 P V I N を介して、電圧 V I N が入力される。電圧生成回路 1 1 は、制御回路 1 0 の制御に基づいて、電圧 V I N よりも高い電圧を生成する。電圧生成回路 1 1 によって生成された電圧は、ノード N 1 に供給される。

50

【 0 0 1 8 】

スイッチング回路 1 2 は、スイッチ素子 Q 1 のオンオフを制御する。スイッチング回路 1 2 は、制御回路 1 0 から受信した信号 E N 1 及び E N 2 に基づいて、スイッチ素子 Q 1 をオフ状態にする。

【 0 0 1 9 】

負荷 2 は、容量負荷 C L 及び抵抗負荷 R L を含む。容量負荷 C L は、供給された電力を蓄える。抵抗負荷 R L は、供給された電力を消費する。容量負荷 C L は、端子 P V O U T と接地電圧との間に設けられる。抵抗負荷 R L は、端子 P V O U T と接地電圧との間に、容量負荷 C L と並列に設けられる。

【 0 0 2 0 】

[1 - 1 - 2] スwitching回路 1 2 の構成

スイッチング回路 1 2 の詳細について説明する。スイッチング回路 1 2 は、抵抗素子 R 1 乃至 R 4、及びスイッチ素子 Q 2 乃至 Q 4 を含む。スイッチ素子 Q 2 は、Pチャネル型の M O S F E T である。スイッチ素子 Q 3 及び Q 4 は、Nチャネル型の M O S F E T である。

【 0 0 2 1 】

抵抗素子 R 1 乃至 R 3 は、ノード N 1 と端子 P G N D との間に、抵抗素子 R 1、R 2、R 3 の順に直列接続される。具体的には、抵抗素子 R 1 の一端はノード N 1 に接続される。抵抗素子 R 1 の他端はノード N 2 に接続される。抵抗素子 R 2 の一端はノード N 2 に接続される。抵抗素子 R 2 の他端はノード N 3 に接続される。抵抗素子 R 3 の一端はノード N 3 に接続される。抵抗素子 R 3 の他端は端子 P G N D に接続される。

【 0 0 2 2 】

抵抗素子 R 4 の一端は、端子 P V O U T に接続される。

【 0 0 2 3 】

スイッチ素子 Q 2 のソースは、ノード N 1 に接続される。スイッチ素子 Q 2 のゲートは、ノード N 2 に接続される。スイッチ素子 Q 2 のドレインは、抵抗素子 R 4 の他端に接続される。言い換えると、スイッチ素子 Q 2 のドレインは、抵抗素子 R 4 を介して、端子 P V O U T に接続される。

【 0 0 2 4 】

スイッチ素子 Q 3 のソースは、端子 P G N D に接続される。スイッチ素子 Q 3 のドレインは、ノード N 3 に接続される。スイッチ素子 Q 3 のゲートには、信号 E N 1 が供給される。スイッチ素子 Q 3 は、Hレベルの信号 E N 1 及びLレベルの信号 E N 1 に基づいて、それぞれオン状態及びオフ状態となる。

【 0 0 2 5 】

スイッチ素子 Q 4 のソースは、端子 P G N D に接続される。スイッチ素子 Q 4 のドレインは、ノード N 1 に接続される。スイッチ素子 Q 4 のゲートには、信号 E N 2 が供給される。スイッチ素子 Q 4 は、Hレベルの信号 E N 2 及びLレベルの信号 E N 2 に基づいて、それぞれオン状態及びオフ状態となる。

【 0 0 2 6 】

なお、図示していないが、スイッチ素子 Q 1 乃至 Q 4 のそれぞれは、ボディダイオードを含む。具体的には、Nチャネル型の M O S F E T であるスイッチ素子 Q 1、Q 3、及び Q 4 のそれぞれは、アノードがソースに接続され、カソードがドレインに接続された、ボディダイオードを含む。Pチャネル型の M O S F E T であるスイッチ素子 Q 2 は、アノードがドレインに接続され、カソードがソースに接続された、ボディダイオードを含む。

【 0 0 2 7 】

抵抗素子 R 1 乃至 R 3 それぞれの抵抗値は、抵抗素子 R 4 の抵抗値よりも大きい。具体的には、例えば、抵抗素子 R 1 乃至 R 3 それぞれの抵抗値は、数百キロオーム～数メガオームであり、抵抗素子 R 4 の抵抗値は、数キロオームである。

【 0 0 2 8 】

抵抗素子 R 1 乃至 R 3 それぞれの抵抗値を、抵抗値 r 1 乃至 r 3 と呼ぶ。スイッチ素子

10

20

30

40

50

Q 2 の閾値電圧を、 $V_{th}(Q 2)$ と呼ぶ。電圧生成回路 1 1 がノード N 1 に出力する電圧を、電圧 V_H と呼ぶ。抵抗値 r_1 乃至 r_3 は、以下の (1) 式及び (2) 式を満たすように定められる。

【 0 0 2 9 】

$$|V_H \times (r_1) / (r_1 + r_2 + r_3)| < |V_{th}(Q 2)| \quad (1)$$

$$|V_H \times (r_1) / (r_1 + r_2)| > |V_{th}(Q 2)| \quad (2)$$

[1 - 2] 動作

半導体装置 1 の動作について説明する。なお、ノード N 1 の電圧を $V_{N 1}$ と呼ぶ。端子 P V O U T の電圧を、 $V_{O U T}$ と呼ぶ。接地電圧 G N D は、0 V である。

【 0 0 3 0 】

図 2 は、第 1 実施形態に係る半導体装置の動作例を示すタイミングチャートである。図 2 では、オン動作を実行中の半導体装置 1 が、オフ動作のコマンド C M D を受信し、オフ動作を実行する様子が示される。図 2 には、電圧 $V_{N 1}$ と、電圧 $V_{O U T}$ と、信号 E N 1 と、信号 E N 2 とが示される。電圧 $V_{N 1}$ は実線で、電圧 $V_{O U T}$ は破線で示される。信号 E N 1 及び E N 2 は、実線で示される。

【 0 0 3 1 】

時刻 t_{10} において、半導体装置 1 は、オン動作を実行している。オン動作において、制御回路 1 0 は、電圧生成回路 1 1 に電圧 V_H を出力させる。これにより、電圧 $V_{N 1}$ は、電圧 V_H となる。電圧 V_H は、スイッチ素子 Q 1 の閾値電圧及び電圧 $V_{I N}$ の和よりも高い電圧である。電圧 V_H に基づき、スイッチ素子 Q 1 はオン状態となる。オン状態となったスイッチ素子 Q 1 は、電圧 $V_{I N}$ を、端子 P V O U T を介して、負荷 2 へ供給する。これにより、電圧 $V_{O U T}$ は、電圧 $V_{I N}$ となる。

【 0 0 3 2 】

さらに、制御回路 1 0 は、スイッチング回路 1 2 に L レベルの信号 E N 1 と、L レベルの信号 E N 2 とを出力する。これにより、スイッチ素子 Q 3 及び Q 4 は、オフ状態となる。

【 0 0 3 3 】

ノード N 2 の電圧は、スイッチ素子 Q 3 がオフ状態のため、直列接続された抵抗素子 R 1 乃至 R 3 によって電圧 V_H を分圧した値となる。スイッチ素子 Q 2 のゲート - ソース間電圧 $V_{G S}(Q 2)$ の大きさは、以下の (3) 式で表現できる。

【 0 0 3 4 】

$$|V_{G S}(Q 2)| = |V_H \times (r_1) / (r_1 + r_2 + r_3)| \quad (3)$$

抵抗素子 R 1 乃至 R 3 それぞれの抵抗値 r_1 乃至 r_3 は、前述の (1) 式を満たすように定められている。このため、ゲート - ソース間電圧 $V_{G S}(Q 2)$ の大きさは、スイッチ素子 Q 2 の閾値電圧 $V_{th}(Q 2)$ の大きさよりも小さい。よって、スイッチ素子 Q 2 はオフ状態となる。

【 0 0 3 5 】

このように、オン動作を実行している半導体装置 1 は、スイッチ素子 Q 1 がオン状態、スイッチ素子 Q 2 乃至 Q 4 がオフ状態である。オン状態のスイッチ素子 Q 1 は、負荷 2 へ電力を供給する。

【 0 0 3 6 】

時刻 t_{11} において、半導体装置 1 は、オフ動作のコマンド C M D を受信し、オフ動作を実行する。具体的には、制御回路 1 0 は、オフ動作のコマンド C M D を受信すると、電圧生成回路 1 1 に電圧 V_H の出力を停止させる。さらに、制御回路 1 0 は、スイッチング回路 1 2 に H レベルの信号 E N 1 と、H レベルの信号 E N 2 とを出力する。

【 0 0 3 7 】

スイッチング回路 1 2 において、スイッチ素子 Q 3 は、H レベルの信号 E N 1 に基づき、オン状態となる。

【 0 0 3 8 】

この結果、ノード N 2 の電圧は、オン状態となったスイッチ素子 Q 3 が抵抗素子 R 3 を短絡するため、電圧 V_H を、抵抗素子 R 1 及び R 2 で分圧した値となる。スイッチ素子 Q

10

20

30

40

50

2のゲート - ソース間電圧 $V_{GS}(Q2)$ の大きさは、以下の(4)式で表現できる。

【0039】

$$|V_{GS}(Q2)| = |V_H \times (r1) / (r1 + r2)| \quad (4)$$

抵抗素子 $R1$ 及び $R2$ それぞれの抵抗値 $r1$ 及び $r2$ は、前述の(2)式を満たすように定められている。このため、ゲート - ソース間電圧 $V_{GS}(Q2)$ の大きさは、スイッチ素子 $Q2$ の閾値電圧 $V_{th}(Q2)$ の大きさよりも大きくなる。よって、スイッチ素子 $Q2$ はオン状態となる。

【0040】

この結果、ノード $N1$ と端子 $PVOUT$ とは、オン状態となったスイッチ素子 $Q2$ 及び抵抗素子 $R4$ を介して接続される。これにより、スイッチ素子 $Q1$ のゲート - ソース間電圧 $V_{GS}(Q1)$ の大きさが小さくなるように、オン状態となったスイッチ素子 $Q2$ 及び抵抗素子 $R4$ を介して、電圧 V_{N1} が放電される。

10

【0041】

また、スイッチング回路12において、スイッチ素子 $Q4$ は、Hレベルの信号 $EN2$ に基づき、オン状態となる。この結果、ノード $N1$ と端子 $PGND$ とが、オン状態となったスイッチ素子 $Q4$ によって短絡される。これにより、オン状態となったスイッチ素子 $Q4$ を介して、電圧 V_{N1} が放電される。

【0042】

このように、時刻 $t11$ において電圧 V_{N1} の放電が開始され、電圧 V_{N1} は、電圧 V_H から低下していく。

20

【0043】

時刻 $t12$ において、電圧 V_{N1} が低下したことで、スイッチ素子 $Q1$ のゲート - ソース間電圧 $V_{GS}(Q1)$ の大きさが、スイッチ素子 $Q1$ の閾値電圧 $V_{th}(Q1)$ の大きさよりも小さくなり、スイッチ素子 $Q1$ はオフ状態となる。オフ状態のスイッチ素子 $Q1$ は、負荷2へ電力を供給しない。

【0044】

電力の供給が絶たれた負荷2において、容量負荷 CL に蓄えられた電荷は、抵抗負荷 RL によって消費される。これにより、時刻 $t12$ 以降、電圧 V_{OUT} は $0V$ まで低下していく。

【0045】

電圧 V_{N1} が低下していき、スイッチ素子 $Q2$ のゲート - ソース間電圧 $V_{GS}(Q2)$ の大きさが、スイッチ素子 $Q2$ の閾値電圧 $V_{th}(Q2)$ 未満となると、スイッチ素子 $Q2$ はオフ状態になる。対して、スイッチ素子 $Q4$ は、電圧 V_{N1} が低下してもオン状態を維持する。これにより、電圧 V_{N1} は $0V$ まで低下していく。

30

【0046】

時刻 $t13$ において、電圧 V_{N1} は $0V$ となる。図2に示す例では、電圧 V_{N1} が電圧 V_{OUT} よりも先に $0V$ まで低下したため、時刻 $t13$ において、スイッチ素子 $Q1$ のゲート - ソース間電圧 $V_{GS}(Q1)$ は $0V$ 以下である。

【0047】

時刻 $t14$ において、電圧 V_{OUT} は $0V$ となる。時刻 $t14$ において、スイッチ素子 $Q1$ のゲート - ソース間電圧 $V_{GS}(Q1)$ は $0V$ である。

40

【0048】

このように、オフ動作のコマンド CMD を受信した半導体装置1は、オフ動作を実行し、スイッチ素子 $Q2$ 乃至 $Q4$ がオン状態となり電圧 V_{N1} を低下させることで、スイッチ素子 $Q1$ をオフ状態に遷移させる。オフ状態になったスイッチ素子 $Q1$ は、負荷2への電力の供給を停止する。そして、電圧 V_{N1} はオン状態のスイッチ素子 $Q4$ によって $0V$ まで低下し、スイッチ素子 $Q1$ のゲート - ソース間電圧 $V_{GS}(Q1)$ は $0V$ 以下または $0V$ となる。

【0049】

[1-3] 効果

50

以上で説明した第1実施形態に係る半導体装置1によれば、オフ動作における意図しない電力の供給を抑制することができる。以下に、第1実施形態に係る半導体装置1の効果の詳細について説明する。

【0050】

第1実施形態に係る半導体装置1は、スイッチ素子Q2と、スイッチ素子Q4とを含んでいる。スイッチ素子Q2のソースは、電圧V_Hが供給されるノードN1に接続されている。スイッチ素子Q2のドレインは、抵抗素子R4を介して、端子P V O U Tに接続されている。スイッチ素子Q2のゲートは、ノードN1と端子P G N Dとの間に直列接続された抵抗素子R1乃至R3の接続ノードであるノードN2に、言い換えるとノードN1と端子P G N Dとの間に接続されている。スイッチ素子Q4のソースは、端子P G N Dに接続されている。スイッチ素子Q4のドレインは、ノードN1に接続されている。ノードN1へ電圧V_Hの供給が停止された際に、スイッチ素子Q2及びスイッチ素子Q4はオフ状態からオン状態になる。

10

【0051】

このように構成されることにより、第1実施形態に係る半導体装置1は、オン動作からオフ動作に切り替わった際に、ノードN1の電圧V_{N1}を、短時間で0Vまで低下させることができる。具体的には、オフ動作が開始されると、スイッチ素子Q2及びQ4がオン状態となることで、電圧V_{N1}を放電する。電圧V_{N1}が低下すると、スイッチ素子Q2はオフ状態に遷移するが、スイッチ素子Q4はオン状態を維持し、電圧V_{N1}は0Vまで放電される。このため、第1実施形態に係る半導体装置1は、半導体装置1がオン動作からオフ動作に切り替わった際に、電圧V_{N1}を、特定の電圧で停滞することなく、0Vまで放電することができる。よって、第1実施形態に係る半導体装置1は、半導体装置1がオン動作からオフ動作に切り替わった際に、スイッチ素子Q1のゲート-ソース間電圧V_{G S}(Q1)を短時間で0V以下または0Vにすることができる。これにより、第1実施形態に係る半導体装置1は、オフ動作におけるスイッチ素子Q1の意図しないオン状態への遷移を抑制でき、意図しない電力の供給を抑制することができる。

20

【0052】

[2] 第2実施形態

第2実施形態に係る半導体装置の構成は、第1実施形態に係る半導体装置に対して、スイッチング回路の構成と、制御回路の動作とが異なる。以下に、第2実施形態に係る半導体装置1aについて、第1実施形態と異なる点を説明する。

30

【0053】

[2-1] 構成

[2-1-1] 半導体装置1aの構成

図3は、第2実施形態に係る半導体装置、及び半導体装置によって電力を供給される負荷の構成の一例を説明するための回路図である。半導体装置1aは、第1実施形態で説明した半導体装置1のスイッチング回路12が、スイッチング回路12aに置き換えられた構成を有する。

【0054】

スイッチング回路12aは、スイッチング回路12の構成に加えて、抵抗素子R5をさらに含む。抵抗素子R5は、ノードN1と、スイッチ素子Q4のドレインとの間に設けられる。具体的には、抵抗素子R5の一端は、ノードN1に接続される。抵抗素子R5の他端は、スイッチ素子Q4のドレインに接続される。言い換えると、抵抗素子R5とスイッチ素子Q4とは、ノードN1と端子P G N Dとの間に直列接続される。抵抗素子R5の抵抗値は、抵抗素子R1乃至R3それぞれの抵抗値よりも小さい。具体的には、例えば、抵抗素子R5の抵抗値は、数キロオームである。その他の構成は、スイッチング回路12と同様である。

40

【0055】

半導体装置1aにおいて、スイッチング回路12a以外の構成は、半導体装置1と同様である。

50

【 0 0 5 6 】

[2 - 1 - 2] 負荷 2 a の構成

引き続き図 3 を参照して、負荷 2 a について説明する。第 2 実施形態では、半導体装置 1 a の出力端子である端子 P V O U T に、負荷 2 a が接続されている場合を例に説明する。負荷 2 a は、第 1 実施形態で説明した負荷 2 の抵抗負荷 R L が、電源 P S に置き換えられた構成を有する。

【 0 0 5 7 】

電源 P S は、電圧 V A を出力する定電圧源である。電圧 V A は、例えば、電圧 V I N と同じ大きさの電圧である。電源 P S は、端子 P V O U T に電圧 V A を出力する。その他の構成は、負荷 2 と同様である。

10

【 0 0 5 8 】

なお、負荷 2 a は電源 P S を含むため、負荷 2 a と電氣的に接続されているノードの電圧が電圧 V A よりも低くなると、電源 P S から当該ノードへ電流が流れ得る。例えば、半導体装置 1 a がオフ動作を実行すると、スイッチング回路 1 2 a に電源 P S から電流が流入し得る。本実施形態では、半導体装置 1 a がオフ動作を実行している際に、電源 P S から端子 P V O U T を介して半導体装置 1 a に流入し、スイッチング回路 1 2 a を介して端子 P G N D へ流れる電流を、電流 I L と呼ぶ。電流 I L は、電源 P S の負荷となるため、抑制されることが好ましい。

【 0 0 5 9 】

なお、スイッチ素子 Q 1 のゲート - ソース間電圧 V G S (Q 1) の大きさが、耐圧 V M A X (Q 1) よりも大きくなると、スイッチ素子 Q 1 は破損し得る。スイッチ素子 Q 2 のオン抵抗 R o n (Q 2) と、スイッチ素子 Q 4 のオン抵抗 R o n (Q 4) と、抵抗素子 R 4 の抵抗値 r 4 と、抵抗素子 R 5 の抵抗値 r 5 と、電圧 V A とは、以下の式 (5) の関係を満たすように定められる。

20

【 0 0 6 0 】

$$V M A X (Q 1) > ((r 4 + R o n (Q 2)) / (r 4 + R o n (Q 2) + r 5 + R o n (Q 4))) \times V A \quad (5)$$

[2 - 2] 動作

半導体装置 1 a の動作について説明する。

【 0 0 6 1 】

図 4 は、第 2 実施形態に係る半導体装置の動作例を示すタイミングチャートである。図 4 では、オン動作を実行中の半導体装置 1 a が、オフ動作のコマンド C M D を受信し、オフ動作を実行する様子が示される。図 4 には、ノード N 1 の電圧 V N 1 と、端子 P V O U T の電圧 V O U T と、端子 P V O U T から半導体装置 1 a に流入する電流 I L と、信号 E N 1 と、信号 E N 2 とが示される。

30

【 0 0 6 2 】

半導体装置 1 a のオン動作は、第 1 実施形態で説明した半導体装置 1 のオン動作と同様である。つまり、オン動作のコマンド C M D を受信した半導体装置 1 a は、オン動作を実行し、スイッチ素子 Q 1 がオン状態、スイッチ素子 Q 2 乃至 Q 4 がオフ状態となる。そして、オン状態のスイッチ素子 Q 1 が、負荷 2 a へ電力を供給する。

40

【 0 0 6 3 】

時刻 t 2 0 において、半導体装置 1 a は、オン動作を実行している。時刻 t 2 0 から、時刻 t 2 1 までの期間において、電圧 V N 1 は電圧 V H である。時刻 t 2 0 から、時刻 t 2 1 までの期間において、電圧 V N 1 は電圧 V A よりも大きいため、半導体装置 1 a に流入する電流 I L は 0 A である。時刻 t 2 0 から、時刻 t 2 1 までの期間において、信号 E N 1 及び E N 2 は、L レベルを維持している。

【 0 0 6 4 】

時刻 t 2 1 において、半導体装置 1 a は、オフ動作のコマンド C M D を受信し、オフ動作を実行する。具体的には、制御回路 1 0 は、オフ動作のコマンド C M D を受信すると、電圧生成回路 1 1 に電圧 V H の出力を停止させる。さらに、制御回路 1 0 は、スイッチン

50

グ回路 1 2 a に H レベルの信号 E N 1 と、 H レベルの信号 E N 2 とを出力する。

【 0 0 6 5 】

スイッチング回路 1 2 a において、スイッチ素子 Q 3 は、 H レベルの信号 E N 1 に基づき、オン状態となる。この結果、スイッチ素子 Q 2 はオン状態となる。これにより、スイッチ素子 Q 1 のゲート - ソース間電圧 V G S (Q 1) の大きさが小さくなるように、オン状態となったスイッチ素子 Q 2 及び抵抗素子 R 4 を介して、電圧 V N 1 が放電される。

【 0 0 6 6 】

また、スイッチング回路 1 2 a において、スイッチ素子 Q 4 は、 H レベルの信号 E N 2 に基づき、オン状態となる。この結果、ノード N 1 と端子 P G N D とが、抵抗素子 R 5 とオン状態となったスイッチ素子 Q 4 とによって電氣的に接続される。これにより、抵抗素子 R 5 とオン状態となったスイッチ素子 Q 4 とを介して、電圧 V N 1 が放電される。

10

【 0 0 6 7 】

電圧 V N 1 が放電され、スイッチ素子 Q 1 のゲート - ソース間電圧 V G S (Q 1) の大きさが、スイッチ素子 Q 1 の閾値電圧 V t h (Q 1) の大きさよりも小さくなると、スイッチ素子 Q 1 はオフ状態となる。オフ状態のスイッチ素子 Q 1 は、負荷 2 a へ電力を供給しない。

【 0 0 6 8 】

負荷 2 a は、電源 P S を含むため、半導体装置 1 a からの電力の供給が絶たれても、端子 P V O U T の電圧 V O U T は、電圧 V A に保たれる。

【 0 0 6 9 】

20

さらに電圧 V N 1 が放電され、電圧 V N 1 が電圧 V A よりも低くなると、端子 P V O U T から、抵抗素子 R 4 とオン状態のスイッチ素子 Q 2 とを介して、ノード N 1 に電流が流入する。ノード N 1 から接地電圧 G N D までの電流経路は、抵抗素子 R 5 とオン状態のスイッチ素子 Q 4 を介して端子 P G N D へ流れる電流経路と、抵抗素子 R 1 及び R 2 とオン状態のスイッチ素子 Q 3 を介して端子 P G N D へ流れる電流経路と、抵抗素子 R 1 乃至 R 3 を介して端子 P G N D へと流れる電流経路とを含む。抵抗素子 R 1 乃至 R 3 の抵抗値は、抵抗素子 R 5 の抵抗値よりも大きい。このため、ノード N 1 から接地電圧 G N D までの主たる電流経路は、抵抗素子 R 5 とオン状態のスイッチ素子 Q 4 を介する電流経路である。

【 0 0 7 0 】

このように、ノード N 1 には抵抗素子 R 4 とオン状態のスイッチ素子 Q 2 を介して電流が流入し、かつノード N 1 は抵抗素子 R 5 とオン状態のスイッチ素子 Q 4 を介して放電される。このため、ノード N 1 の電圧 V N 1 は以下の式 (6) で表現できる電圧 V 1 に安定する。

30

【 0 0 7 1 】

$$V 1 = ((r 5 + R o n (Q 4)) / (r 4 + R o n (Q 2) + r 5 + R o n (Q 4))) \times V A \quad (6)$$

このように、時刻 t 2 1 において電圧 V N 1 の放電が開始されると、電圧 V N 1 は電圧 V 1 まで低下し、電圧 V 1 で安定する。

【 0 0 7 2 】

電圧 V N 1 が電圧 V 1 であるとき、スイッチ素子 Q 1 のゲート - ソース間電圧 V G S (Q 1) の大きさは、以下の式 (7) のように定まる。

40

【 0 0 7 3 】

$$| V G S (Q 1) | = V A - V 1 = ((r 4 + R o n (Q 2) / (r 4 + R o n (Q 2) + r 5 + R o n (Q 4))) \times V A \quad (7)$$

前述の (5) 式と (7) 式とから明らかなように、電圧 V N 1 が電圧 V 1 のとき、スイッチ素子 Q 1 のゲート - ソース間電圧 V G S (Q 1) の大きさは、耐圧 V M A X (Q 1) よりも小さい。

【 0 0 7 4 】

また、電圧 V N 1 が電圧 V 1 のとき、端子 P V O U T から半導体装置 1 a に流入する電流 I L は、主たる電流経路について考慮すると、以下の (8) 式の電流 I 1 のように表現

50

できる。

【 0 0 7 5 】

$$I_1 = VA / (r_4 + R_{on}(Q_2) + r_5 + R_{on}(Q_4)) \quad (8)$$

このように、時刻 t_{21} において電圧 V_{N1} の放電が開始されると、電流 I_L は電流 I_1 まで増加し、電流 I_1 で安定する。

【 0 0 7 6 】

時刻 t_{22} において、制御回路 10 は、信号 E_{N2} を L レベルに切り替える。時刻 t_{22} は、制御回路 10 が、スイッチング回路 12 a に H レベルの信号 E_{N1} と、H レベルの信号 E_{N2} とを出力した時刻 t_{21} から、第 1 の期間 W_1 が経過したタイミングに対応する。

【 0 0 7 7 】

スイッチング回路 12 a において、スイッチ素子 Q_4 は、L レベルの信号 E_{N2} に基づき、オフ状態になる。

【 0 0 7 8 】

スイッチ素子 Q_4 がオフ状態になった結果、ノード N_1 から接地電圧への主たる電流経路は、抵抗素子 R_1 及び R_2 と、オン状態のスイッチ素子 Q_3 を介す電流経路となる。つまり、半導体装置 1 a に流入する電流 I_L は、抵抗素子 R_4 と、オン状態のスイッチ素子 Q_4 と、抵抗素子 R_1 と、抵抗素子 R_2 と、オン状態のスイッチ素子 Q_3 を介して、端子 $PGND$ へと流れる。

【 0 0 7 9 】

時刻 t_{22} において電流経路が変化した結果、電圧 V_{N1} は上昇し、電流 I_L は減少する。電圧 V_{N1} 及び電流 I_L それぞれの変化について説明する。

【 0 0 8 0 】

抵抗素子 R_1 及び R_2 の抵抗値は、抵抗素子 R_4 の抵抗値、スイッチ素子 Q_4 のオン抵抗、スイッチ素子 Q_3 のオン抵抗のいずれよりも、大きい。このため、電圧 V_{N1} は、以下の (9) 式のように表現できる電圧 V_2 まで上昇し、電圧 V_2 で安定する。

【 0 0 8 1 】

$$V_2 = VA \quad (9)$$

また、電流 I_L は、以下の (10) 式のように表現できる電流 I_2 まで減少し、電流 I_2 で安定する。

【 0 0 8 2 】

$$I_2 = VA / (r_1 + r_2) \quad (10)$$

電流 I_2 を示す式 (10) の分母である $r_1 + r_2$ は、高い抵抗値の合計である。電流 I_1 を示す式 (8) の分母である $r_4 + R_{on}(Q_2) + r_5 + R_{on}(Q_4)$ は、(10) の分母である $r_1 + r_2$ に比べて小さい。このように、電流 I_2 は、電流 I_1 よりも小さい。

【 0 0 8 3 】

時刻 t_{23} において、制御回路 10 は、信号 E_{N1} を L レベルに切り替える。時刻 t_{23} は、制御回路 10 が、スイッチング回路 12 a に H レベルの信号 E_{N1} と、H レベルの信号 E_{N2} とを出力した時刻 t_{21} から、第 1 の期間 W_1 以上長い第 2 の期間 W_2 が経過したタイミングに対応する。

【 0 0 8 4 】

スイッチング回路 12 a において、スイッチ素子 Q_3 は、L レベルの信号 E_{N1} に基づき、オフ状態になる。この結果、スイッチ素子 Q_2 もオフ状態になる。

【 0 0 8 5 】

スイッチ素子 Q_3 がオフ状態になった結果、ノード N_1 から接地電圧 GND への主たる電流経路は、直列接続された抵抗素子 R_1 乃至 R_3 を介す電流経路となる。電圧 V_{N1} は、直列接続された抵抗素子 R_1 乃至 R_3 によって放電され、低下する。

【 0 0 8 6 】

電圧 V_{N1} が放電され、電圧 V_{N1} と電圧 VA との差が、スイッチ素子 Q_2 のボディダ

10

20

30

40

50

イオードの順方向電圧 $V_F(Q2)$ 以上大きくなると、スイッチ素子 $Q2$ のボディダイオードがオン状態になる。この結果、半導体装置 $1a$ に流入する電流 I_L は、抵抗素子 $R4$ と、スイッチ素子 $Q2$ のボディダイオードと、抵抗素子 $R1$ と、抵抗素子 $R2$ と、抵抗素子 $R3$ とを介して、端子 P_{GND} へと流れる。

【0087】

このように、時刻 t_{23} において電流経路が変化した結果、電圧 V_{N1} は低下し、電流 I_L は減少する。電圧 V_{N1} 及び電流 I_L それぞれの変化について説明する。

【0088】

抵抗素子 $R1$ 乃至 $R3$ の抵抗値は、抵抗素子 $R4$ の抵抗値、スイッチ素子 $Q2$ のボディダイオードの寄生抵抗のいずれよりも、大きい。このため、電圧 V_{N1} は、以下の(11)式のように表現できる電圧 V_3 まで低下し、電圧 V_3 で安定する。

10

【0089】

$$V_3 = V_A - V_F(Q2) \quad (11)$$

また、電流 I_L は、以下の(12)式のように表現できる電流 I_3 まで減少し、電流 I_3 で安定する。

【0090】

$$I_3 = (V_A - V_F(Q2)) / (r_1 + r_2 + r_3) \quad (12)$$

電流 I_3 を表す式(12)は、電流 I_2 を表す式(10)と比較して、分子は $V_F(Q2)$ だけ小さく、分母は r_3 だけ大きい。このように、電流 I_3 は、電流 I_2 よりも小さい。

20

【0091】

このように、オフ動作のコマンド CMD を受信した半導体装置 $1a$ は、オフ動作を実行し、信号 E_{N1} 及び E_{N2} を H レベルにし、スイッチ素子 $Q2$ 乃至 $Q4$ をオン状態にすることで、スイッチ素子 $Q1$ をオフ状態にする。そして、信号 E_{N1} 及び E_{N2} を H レベルにしてから第1の期間 $W1$ 経過すると、信号 E_{N2} を L レベルにする。さらに、信号 E_{N1} 及び E_{N2} を H レベルにしてから第1の期間 $W1$ 以上長い第2の期間 $W2$ 経過すると、信号 E_{N1} を L レベルにする。

【0092】

その結果、上記説明したように、半導体装置 $1a$ に電源 PS を含む負荷 $2a$ が接続されている場合において、スイッチ素子 $Q1$ のゲート-ソース間電圧 $V_{GS}(Q1)$ の大きさが、耐圧 $V_{MAX}(Q1)$ 未満に維持される。かつ、端子 P_{VOUT} から流入する電流 I_L の大きさが、第1の期間 $W1$ 及び第2の期間 $W2$ を経過すると、第1の期間中及び第2の期間中に流入していた大きさよりも小さくなる。

30

【0093】

なお、半導体装置 $1a$ に第1実施形態で説明した負荷 2 が接続された場合は、オフ動作のコマンド CMD を半導体装置 $1a$ が受信すると、電圧 V_{N1} 及び電圧 V_{OUT} は、第1の期間 $W1$ 内に $0V$ まで放電される。つまり、第2実施形態に係る半導体装置 $1a$ は、端子 P_{VOUT} に接続される負荷が負荷 2 である場合は、第1実施形態に係る半導体装置 1 と同様に、電圧 V_{N1} を $0V$ にすることで、スイッチ素子 $Q1$ のゲート-ソース間電圧 $V_{GS}(Q1)$ を $0V$ 以下または $0V$ にするように動作する。

40

【0094】

[2-3] 効果

以上で説明した第2実施形態に係る半導体装置 $1a$ によれば、オフ動作におけるスイッチ素子 $Q1$ の破損を抑制でき、かつ端子 P_{VOUT} から流入する電流を抑制することができる。以下に、第2実施形態に係る半導体装置 $1a$ の効果の詳細について説明する。

【0095】

第2実施形態に係る半導体装置 $1a$ は、抵抗素子 $R5$ を含む。抵抗素子 $R5$ とスイッチ素子 $Q4$ とは、ノード $N1$ と端子 P_{GND} との間に直列接続される。

【0096】

このように構成されることにより、第2実施形態に係る半導体装置 $1a$ は、オフ動作に

50

において、スイッチ素子 Q_1 の破損を抑制できる。具体的には、電源 PS を含む負荷が端子 $PVOUT$ に接続された状態でオフ動作が実行されると、ノード N_1 に流入した電流は、抵抗素子 R_5 とオン状態のスイッチ素子 Q_4 を介して放電される。ノード N_1 に流入した電流が抵抗素子 R_5 を介して放電されることにより、抵抗素子 R_5 の両端に電圧差が生じる。これにより、電圧 V_{N1} と電圧 V_A との差が大きくなることが抑制され、スイッチ素子 Q_1 のゲート-ソース間電圧 $V_{GS}(Q_1)$ の大きさが耐圧 $V_{MAX}(Q_1)$ 以上になることを抑制できる。このため、第2実施形態に係る半導体装置1aは、スイッチ素子 Q_1 の破損を抑制でき、動作信頼性を向上できる。

【0097】

また、第2実施形態に係る半導体装置1aの制御回路10は、スイッチ素子 Q_3 及び Q_4 をオフ状態からオン状態にしてから第1の期間 W_1 経過後に、スイッチ素子 Q_4 をオン状態からオフ状態にする。さらに、制御回路10は、スイッチ素子 Q_3 及び Q_4 をオフ状態からオン状態にしてから第1の期間 W_1 以上長い第2の期間 W_2 経過後に、スイッチ素子 Q_4 をオン状態からオフ状態にする。

10

【0098】

これにより、第2実施形態に係る半導体装置1aは、オフ動作において、スイッチ素子 Q_1 の破損を抑制しつつ、端子 $PVOUT$ から半導体装置1aに流入する電流を抑制することができる。

【0099】

電源 PS を含む負荷が端子 $PVOUT$ に接続された状態では、スイッチ素子 Q_3 及び Q_4 がオン状態であると、スイッチ素子 Q_3 及び Q_4 がオフ状態である場合と比べて、電流 I_L が大きくなる。半導体装置1aは、オフ動作において、第2の期間 W_2 以降はスイッチ素子 Q_3 及び Q_4 をオフ状態にしているため、第2の期間 W_2 以降の電流 I_L を抑制できる。このため、第2実施形態に係る半導体装置1aは、接続される負荷が電源を含む場合に、当該電源の負荷を抑制することができる。

20

【0100】

また、半導体装置1aは、スイッチ素子 Q_4 をオフ状態にするまでの第2の期間 W_2 を、スイッチ素子 Q_3 をオフ状態にするまでの第1の期間 W_1 以上の長さに定めている。これにより、スイッチ素子 Q_4 がオン状態の間は、スイッチ素子 Q_3 がオン状態に保たれる。

【0101】

電源 PS を含む負荷が端子 $PVOUT$ に接続された状態において、スイッチ素子 Q_4 がオン状態、スイッチ素子 Q_2 及び Q_3 がオフ状態の場合、電圧 V_{N1} が $0V$ 、電圧 V_{OUT} が電圧 V_A となり、スイッチ素子 Q_1 のゲート-ソース間電圧 $V_{GS}(Q_1)$ の大きさが大きくなり得る。第2実施形態に係る半導体装置1aは、スイッチ素子 Q_4 がオン状態の間は、スイッチ素子 Q_3 をオン状態に保つため、抵抗素子 R_5 によって、スイッチ素子 Q_1 のゲート-ソース間電圧 $V_{GS}(Q_1)$ が大きくなることを抑制できる。このため、第2実施形態に係る半導体装置1aは、端子 $PVOUT$ から半導体装置1aに流入する電流を抑制することができ、かつスイッチ素子 Q_1 の破損を抑制することができる。

30

【0102】

[2-4] その他の動作例

40

図4では、第2の期間 W_2 が第1の期間 W_1 よりも長い場合を例示した。第2実施形態において、第2の期間 W_2 は、第1の期間 W_1 以上の長さであればよいから、第2の期間 W_2 と第1の期間 W_1 とは等しくても良い。以下に、図5を参照して、第2の期間 W_2 と第1の期間 W_1 とが等しい場合について説明する。

【0103】

図5は、第2実施形態に係る半導体装置のその他の動作例を示すタイミングチャートである。図5では、オン動作を実行中の半導体装置1aが、オフ動作のコマンド CMD を受信し、オフ動作を実行する様子が示される。図5には、ノード N_1 の電圧 V_{N1} と、端子 $PVOUT$ の電圧 V_{OUT} と、端子 $PVOUT$ から半導体装置1aに流入する電流 I_L と、信号 EN_1 と、信号 EN_2 とが示される。

50

【 0 1 0 4 】

図 5 に示される動作例は、図 4 に示された動作例に対して、第 2 の期間 $W 2$ の長さが異なる。図 5 の時刻 $t 3 0$ 、 $t 3 1$ 、及び $t 3 2$ は、図 4 の時刻 $t 2 0$ 、 $t 2 1$ 、及び $t 2 2$ にそれぞれ対応する。図 5 の時刻 $t 3 0$ から時刻 $t 3 2$ までの動作は、図 4 の時刻 $t 2 0$ から時刻 $t 2 2$ までの動作と同様である。図 5 の時刻 $t 3 2$ 以降の動作は、図 4 の時刻 $t 2 2$ 以降の動作と異なる。

【 0 1 0 5 】

時刻 $t 3 0$ から時刻 $t 3 1$ までの期間において、半導体装置 1 a はオン動作を実行している。時刻 $t 3 0$ から、時刻 $t 3 1$ までの期間において、電圧 $V N 1$ は電圧 $V H$ である。時刻 $t 3 0$ から、時刻 $t 3 1$ までの期間において、電圧 $V N 1$ は電圧 $V A$ よりも大きいため、半導体装置 1 a に流入する電流は 0 A である。時刻 $t 3 0$ から、時刻 $t 3 1$ までの期間において、信号 $E N 1$ 及び $E N 2$ は、L レベルを維持している。

10

【 0 1 0 6 】

時刻 $t 3 1$ において、半導体装置 1 a は、オフ動作のコマンド $C M D$ を受信し、オフ動作を実行する。時刻 $t 3 1$ において、信号 $E N 1$ 及び $E N 2$ は、L レベルから H レベルに遷移している。そして、時刻 $t 3 1$ 以降、電圧 $V N 1$ は電圧 $V 1$ まで低下し、電圧 $V 1$ で安定する。時刻 $t 3 1$ 以降、端子 $P V O U T$ から流入する電流は $I 1$ まで増加し、電流 $I 1$ で安定する。

【 0 1 0 7 】

時刻 $t 3 2$ において、制御回路 1 0 は、信号 $E N 1$ 及び信号 $E N 2$ それぞれを、L レベルに切り替える。時刻 $t 3 2$ は、制御回路 1 0 が、スイッチング回路 1 2 a に H レベルの信号 $E N 1$ と、H レベルの信号 $E N 2$ とを出力した時刻 $t 3 1$ から、第 1 の期間 $W 1$ 及び第 1 の期間 $W 1$ と等しい第 2 の期間 $W 2$ が経過したタイミングに対応する。

20

【 0 1 0 8 】

スイッチング回路 1 2 a において、スイッチ素子 $Q 3$ は、L レベルの信号 $E N 1$ に基づいてオフ状態になる。この結果、スイッチ素子 $Q 2$ もオフ状態になる。また、スイッチ素子 $Q 4$ は、L レベルの信号 $E N 2$ に基づいてオフ状態になる。

【 0 1 0 9 】

これにより、半導体装置 1 a に流入する電流 $I L$ は、抵抗素子 $R 4$ と、スイッチ素子 $Q 2$ のボディダイオードと、抵抗素子 $R 1$ と、抵抗素子 $R 2$ と、抵抗素子 $R 3$ とを介して、端子 $P G N D$ へと流れる。時刻 $t 3 2$ 以降、電圧 $V N 1$ は、電圧 $V 3$ まで上昇し、電圧 $V 3$ で安定する。時刻 $t 3 2$ 以降、電流 $I L$ は、電流 $I 3$ まで減少し、電流 $I 3$ で安定する。

30

【 0 1 1 0 】

このように、第 2 実施形態に係る半導体装置は、第 2 の期間 $W 2$ と第 1 の期間 $W 1$ とを等しく設定した場合にも、オフ動作におけるスイッチ素子 $Q 1$ の破損を抑制でき、かつ端子 $P V O U T$ から流入する電流を抑制することができる。

【 0 1 1 1 】

[3] 変形例等

上記実施形態では、ロードスイッチである半導体装置が、1 つの IC チップに構成された場合を例に説明した。ロードスイッチは、複数の部品、例えばゲートドライバの IC チップと、スイッチ素子のパッケージとを組み合わせる構成されても良い。図 6 は、変形例に係る半導体装置、及び半導体装置によって電力を供給される負荷の構成の一例を説明するための回路図である。半導体装置 1 b は、負荷 2 に電力を供給するロードスイッチである。半導体装置 1 b は、半導体装置 1 0 0 及びスイッチ素子 $Q 1 a$ を含む。

40

【 0 1 1 2 】

半導体装置 1 0 0 は、スイッチ素子 $Q 1 a$ のゲートを駆動するゲートドライバである。半導体装置 1 0 0 は、例えば、IC チップである。半導体装置 1 0 0 は、第 1 実施形態で説明した半導体装置 1 に対して、スイッチ素子 $Q 1$ を含まず、端子 $P V G A T E$ をさらに含む構成を有する。端子 $P V G A T E$ は、半導体装置 1 0 0 の出力端子である。端子 $P V G A T E$ は、ノード $N 1$ と接続される。半導体装置 1 0 0 のその他の構成は、第 1 実施形

50

態で説明した半導体装置 1 と同様である。

【0113】

スイッチ素子 Q 1 a は、Nチャネル型の MOSFET である。スイッチ素子 Q 1 a は、例えば、半導体装置 100 とは独立したパッケージの半導体素子である。スイッチ素子 Q 1 a のドレインは、端子 P V I N に接続される。スイッチ素子 Q 1 a のソースは、端子 P V O U T に接続される。スイッチ素子 Q 1 a のゲートは、端子 P V G A T E に接続される。

【0114】

このように、ロードスイッチを複数の部品を組み合わせる構成した場合であっても、実施形態と同様の効果が得られる。

【0115】

上記実施形態では、半導体装置が電力を供給する負荷として、容量負荷及び抵抗負荷を含む場合や、容量負荷及び電源を含む場合を例に説明した。半導体装置が電力を供給する負荷の構成は、上記実施形態で示した例に限定されない。半導体装置が電力を供給する負荷は、例えばパーソナルコンピュータやスマートフォン等の情報処理端末でも良いし、バッテリーの充電装置でも良い。

【0116】

本明細書において、“スイッチ素子の第1端”は、MOSFETのソースまたはドレインに対応する。“スイッチ素子の第2端”は、MOSFETのドレインまたはソースに対応する。

【0117】

本明細書において、電圧が略等しいとは、トランジスタのオン抵抗、リーク電流、配線の抵抗成分等の影響による微少な電圧差があった場合でも、略等しいと見なすことを示している。

【0118】

本明細書において“接続”は、電氣的に接続されている事を示し、例えば間に別の素子を介することを除外しない。また、“電氣的に接続される”は、電氣的に接続されたものと同様に動作することが可能であれば、絶縁体を介していても良い。また、明細書において“オン状態”とは、対応するトランジスタのゲートに当該トランジスタの閾値電圧以上の電圧が印加されていることを示している。“オフ状態”とは、対応するトランジスタのゲートに当該トランジスタの閾値電圧未満の電圧が印加されていることを示し、例えばトランジスタのリーク電流のような微少な電流が流れることを除外しない。

【0119】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことが出来る。これら実施形態やその変形は、発明の範囲や要旨に含まれると共に、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

【0120】

1, 1 a, 1 b, 100 ... 半導体装置、2, 2 a ... 負荷、10 ... 制御回路、11 ... 電圧生成回路、12, 12 a ... スwitchング回路、C L ... 容量負荷、P E N, P G N D, P V I N, P V O U T ... 端子、P S ... 電源、Q 1 ~ Q 4, Q 1 a ... スイッチ素子、R 1 ~ R 5 ... 抵抗素子、R L ... 抵抗負荷。

10

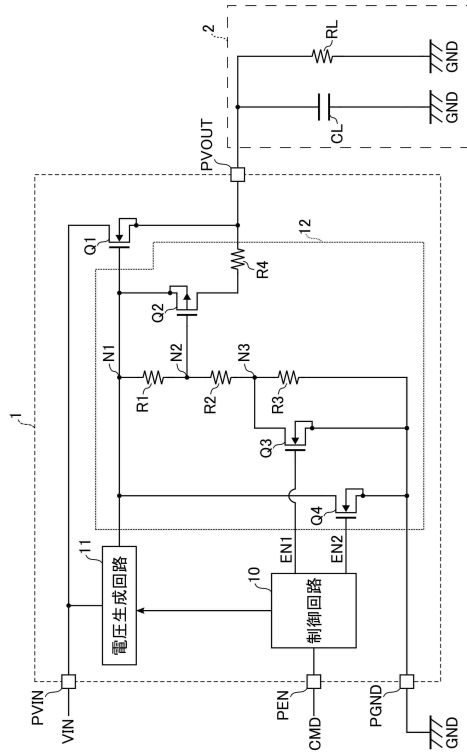
20

30

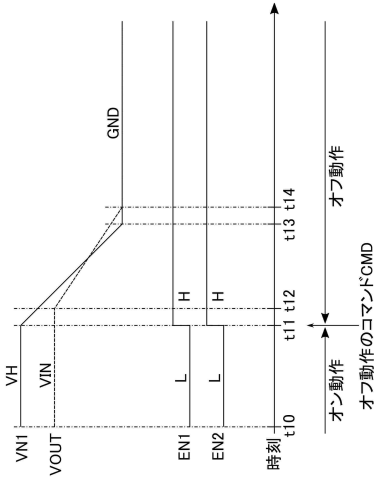
40

50

【図面】
【図 1】



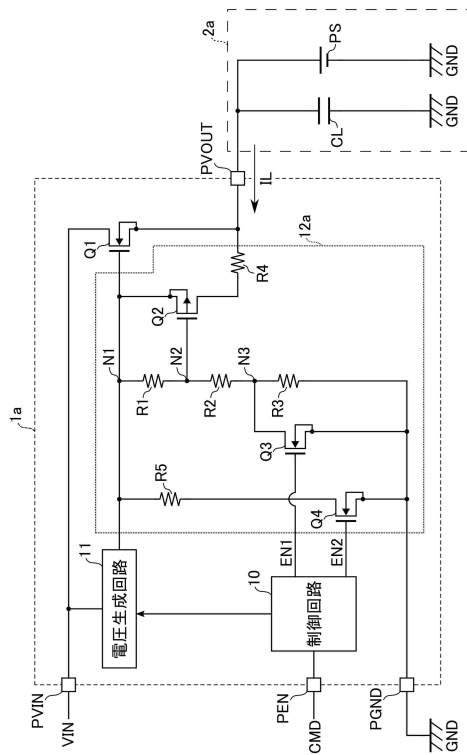
【図 2】



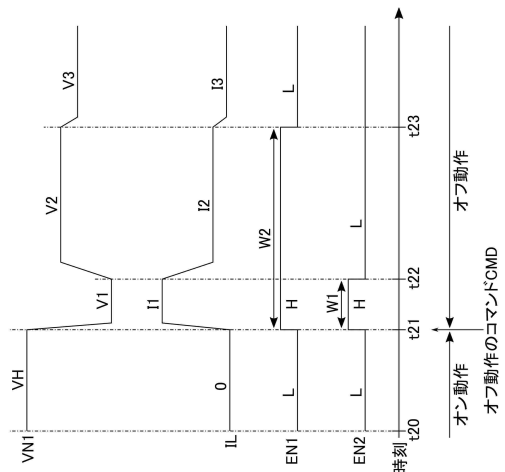
10

20

【図 3】



【図 4】

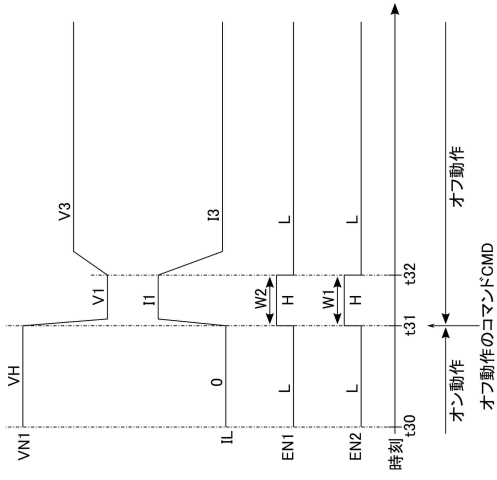


30

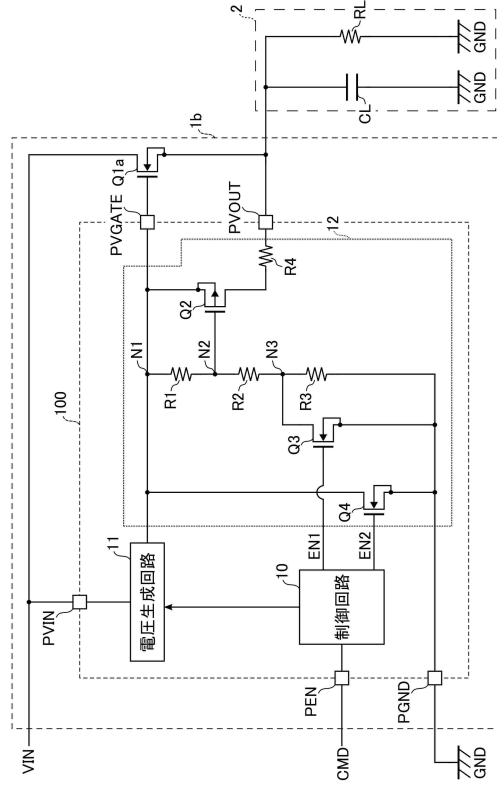
40

50

【図5】



【図6】



10

20

30

40

50

フロントページの続き

(51)国際特許分類

H 0 2 H 7/20 (2006.01)

F I

H 0 2 H 7/20

D

東京都港区芝浦一丁目1番1号 東芝デバイス&ストレージ株式会社内

(72)発明者 各務 高明

東京都港区芝浦一丁目1番1号 東芝デバイス&ストレージ株式会社内

審査官 柳下 勝幸

(56)参考文献

特開2003-046380(JP,A)

特開2020-123781(JP,A)

特開平04-241511(JP,A)

特開2002-290221(JP,A)

特開2004-173292(JP,A)

(58)調査した分野 (Int.Cl., DB名)

H 0 3 K 17/0412

H 0 3 K 17/04

H 0 3 K 17/687

H 0 3 K 17/0812

H 0 3 K 17/08

H 0 2 H 7/20