

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7567864号
(P7567864)

(45)発行日 令和6年10月16日(2024.10.16)

(24)登録日 令和6年10月7日(2024.10.7)

(51)国際特許分類 F I
H 0 2 M 7/48 (2007.01) H 0 2 M 7/48 Z

請求項の数 8 (全21頁)

(21)出願番号	特願2022-94320(P2022-94320)	(73)特許権者	000006231
(22)出願日	令和4年6月10日(2022.6.10)		株式会社村田製作所
(65)公開番号	特開2023-180760(P2023-180760 A)	(74)代理人	100087985
(43)公開日	令和5年12月21日(2023.12.21)		弁理士 福井 宏司
審査請求日	令和6年1月9日(2024.1.9)	(72)発明者	石倉 祐樹
			京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内
		審査官	尾家 英樹

最終頁に続く

(54)【発明の名称】 電力変換装置

(57)【特許請求の範囲】

【請求項1】

基板と、

第1電源ラインと、

前記第1電源ラインに対して低電位な第2電源ラインと、

第1端子が前記第1電源ラインに接続されている第1ハイサイドスイッチと、

第1端子が前記第1ハイサイドスイッチの第2端子に接続され、第2端子が前記第2電源ラインに接続されている第1ローサイドスイッチと、

第1端が前記第1ハイサイドスイッチの第1端子に接続され、第2端が前記第2電源ラインに接続されている第1コンデンサと、

第1端子が前記第1電源ラインに接続され、前記第1ハイサイドスイッチに対して並列な第2ハイサイドスイッチと、

第1端子が前記第2ハイサイドスイッチの第2端子に接続され、第2端子が前記第2電源ラインに接続されている第2ローサイドスイッチと、

第1端が前記第2ハイサイドスイッチの第1端子に接続され、第2端が前記第2電源ラインに接続されている第2コンデンサと、

第1端が前記第1ハイサイドスイッチの第2端子及び前記第2ハイサイドスイッチの第2端子に接続されているインダクタと、

第1端が前記インダクタの第2端に接続され、第2端が前記第2電源ラインに接続されている出力コンデンサと、

10

20

前記第 1 コンデンサ、前記第 1 ハイサイドスイッチ、及び前記第 1 ローサイドスイッチを含む第 1 電流ループと、

前記第 2 コンデンサ、前記第 2 ハイサイドスイッチ、及び前記第 2 ローサイドスイッチを含む第 2 電流ループと、を備え、

前記基板の主面に直交する方向での平面視で、前記第 1 電源ライン又は前記第 2 電源ラインが、前記第 1 電流ループと前記第 2 電流ループとの間に位置しており、前記第 1 電流ループを流れる電流の向きは、前記第 2 電流ループを流れる電流の向きに対して逆向きである

電力変換装置。

【請求項 2】

前記基板は、いずれの配線も設けられていない未配線領域を備え、

前記基板の主面に直交する方向での平面視で、前記未配線領域が、前記第 1 電流ループと前記第 2 電流ループとの間に位置している

請求項 1 に記載の電力変換装置。

【請求項 3】

前記第 1 コンデンサ、前記第 1 ハイサイドスイッチ、及び前記第 1 ローサイドスイッチは、前記基板の主面と平行な方向において、この順で隣り合って並んでいる

請求項 1 に記載の電力変換装置。

【請求項 4】

前記第 1 ハイサイドスイッチの第 3 端子に駆動信号を出力する第 1 駆動回路をさらに備え、

前記第 1 駆動回路、前記第 1 ハイサイドスイッチ、及び前記インダクタは、前記基板の主面と平行な方向において、この順で隣り合って並んでいる

請求項 1 に記載の電力変換装置。

【請求項 5】

前記第 1 ハイサイドスイッチの第 3 端子に駆動信号を出力する第 1 駆動回路をさらに備え、

前記第 1 コンデンサ、前記第 1 ハイサイドスイッチ、及び前記第 1 ローサイドスイッチは、前記基板の主面と平行な第 1 方向において、この順で隣り合って並んでおり、

前記第 1 駆動回路、前記第 1 ハイサイドスイッチ、及び前記インダクタは、前記基板の主面と平行な方向であって前記第 1 方向と直交する第 2 方向において、この順で隣り合って並んでいる

請求項 1 に記載の電力変換装置。

【請求項 6】

前記第 1 ハイサイドスイッチの第 3 端子に駆動信号を出力する第 1 駆動回路と、

前記第 1 ローサイドスイッチの第 3 端子に駆動信号を出力する第 2 駆動回路と、を備え、

前記基板の主面と平行な方向において、前記第 1 駆動回路から前記第 1 ハイサイドスイッチまでの最短距離は、前記第 2 駆動回路から前記第 1 ローサイドスイッチまでの最短距離と等しい

請求項 1 に記載の電力変換装置。

【請求項 7】

前記基板は、前記第 1 ハイサイドスイッチ、前記第 1 ローサイドスイッチ、前記第 1 コンデンサ、前記第 2 ハイサイドスイッチ、前記第 2 ローサイドスイッチ、及び前記第 2 コンデンサが実装された第 1 層と、前記第 1 層に積層された第 2 層と、を有し、

前記第 1 層は、前記第 1 ハイサイドスイッチの第 1 端子及び前記第 2 ハイサイドスイッチの第 1 端子が接続され、前記第 1 電源ラインの一部を構成する高電位配線と、前記第 1 ローサイドスイッチの第 2 端子及び前記第 2 ローサイドスイッチの第 2 端子が接続され、前記第 2 電源ラインの一部を構成する上層低電位配線と、を有し、

前記第 2 層は、前記第 2 電源ラインの一部を構成する下層低電位配線を有し、

前記上層低電位配線は、前記基板の主面に直交する方向に延びるビア配線を介して前記

10

20

30

40

50

下層低電位配線に接続されている

請求項 1 に記載の電力変換装置。

【請求項 8】

前記上層低電位配線は、前記第 1 電流ループと前記第 2 電流ループとの間に位置している請求項 7 に記載の電力変換装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電力変換装置に関する。

【背景技術】

【0002】

特許文献 1 は、電力変換装置を開示している。この電力変換装置は、入力コンデンサと、4つのパワーMOSFETを備えている。入力コンデンサは、直流入力電源の正極及び負極に接続されている。4つのパワーMOSFETのうちの2つは、直流入力電極の両極の間に直列で接続されている。4つのパワーMOSFETのうちの残りの2つは、直流入力電極の両極の間に直列で接続されている。また、直列接続された2組のパワーMOSFETは、互いに並列になっている。

【先行技術文献】

【特許文献】

【0003】

【文献】特開2011-152011号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献 1 に記載のような電力変換装置においては、入力コンデンサの第 1 端から、ハイサイド側のパワーMOSFET、ローサイド側のパワーMOSFETを経て、入力コンデンサの第 2 端へと至る電流の経路、いわゆる電流ループが存在する。このような電流ループには、寄生インダクタンスが生じる。そして、4つのパワーMOSFETのうちの2つを含む電流ループでの寄生インダクタンスと、残りの2つのパワーMOSFETを含む電流ループでの寄生インダクタンスとが異なることがある。このように寄生インダクタンスに違いが生じていると、電流変換装置のノイズ増加の原因となることがある。

【課題を解決するための手段】

【0005】

本開示の一態様である電力変換装置は、基板と、第 1 電源ラインと、前記第 1 電源ラインに対して低電位な第 2 電源ラインと、第 1 端子が前記第 1 電源ラインに接続されている第 1 ハイサイドスイッチと、第 1 端子が前記第 1 ハイサイドスイッチの第 2 端子に接続され、第 2 端子が前記第 2 電源ラインに接続されている第 1 ローサイドスイッチと、第 1 端が前記第 1 ハイサイドスイッチの第 1 端子に接続され、第 2 端が前記第 2 電源ラインに接続されている第 1 コンデンサと、第 1 端子が前記第 1 電源ラインに接続され、前記第 1 ハイサイドスイッチに対して並列な第 2 ハイサイドスイッチと、第 1 端子が前記第 2 ハイサイドスイッチの第 2 端子に接続され、第 2 端子が前記第 2 電源ラインに接続されている第 2 ローサイドスイッチと、第 1 端が前記第 2 ハイサイドスイッチの第 1 端子に接続され、第 2 端が前記第 2 電源ラインに接続されている第 2 コンデンサと、第 1 端が前記第 1 ハイサイドスイッチの第 2 端子及び前記第 2 ハイサイドスイッチの第 2 端子に接続されているインダクタと、第 1 端が前記インダクタの第 2 端に接続され、第 2 端が前記第 2 電源ラインに接続されている出力コンデンサと、を基板上に備え、前記第 1 コンデンサ、前記第 1 ハイサイドスイッチ、及び前記第 1 ローサイドスイッチを含む第 1 電流ループと、前記第 2 コンデンサ、前記第 2 ハイサイドスイッチ、及び前記第 2 ローサイドスイッチを含む第 2 電流ループと、前記基板の主面に直交する方向での平面視で、前記第 1 電源ライン又は前記第 2 電源ラインが、前記第 1 電流ループと前記第 2 電流ループとの間に位置しており

10

20

30

40

50

、前記第1電流ループを流れる電流の向きは、前記第2電流ループを流れる電流の向きに対して逆向きである。

【0006】

上記構成によれば、第1電流ループの各素子と第2電流ループの各素子とが、電位が安定している第1電源ライン、又は第2電源ラインで分断される。したがって、第1電流ループ及び第2電流ループが、それぞれ独立したループとして形成される。そして、2つの電流ループを流れる電流の向きが互いに逆向きである。そのため、第1電流ループの各スイッチに電流が流れることで生じるノイズと、第2電流ループの各スイッチに電流が流れることで生じるノイズとが、互いに打ち消し合う。これらの結果、電力変換装置全体としてはノイズを低減できる。

10

【発明の効果】

【0007】

本開示の電力変換装置によれば、寄生インダクタンスによるノイズを低減できる。

【図面の簡単な説明】

【0008】

【図1】図1は、第1実施形態の電力変換装置の回路図である。

【図2】図2は、第1実施形態の基板における第1層の平面図である。

【図3】図3は、第1実施形態の基板における第2層の平面図である。

【図4】図4は、第1実施形態の基板の断面図である。

【図5】図5は、第2実施形態の基板における第1層の平面図である。

20

【図6】図6は、第2実施形態の基板における第2層の平面図である。

【図7】図7は、変更例の基板における第2層の平面図である。

【発明を実施するための形態】

【0009】

(第1実施形態)

以下、電力変換装置の第1実施形態について説明する。なお、図面は理解を容易にするために構成要素を拡大して示している場合がある。構成要素の寸法比率は実際のもの、又は別の図中のものと異なる場合がある。

【0010】

<電力変換装置の回路構成>

30

先ず、電力変換装置10の回路構成について説明する。

図1に示すように、電力変換装置10は、第1電源ラインL1と、第2電源ラインL2と、入力コンデンサC1と、を備えている。第1電源ラインL1は、直流電源Bの正極端子に接続されている。第2電源ラインL2は、直流電源Bの負極端子に接続されている。なお、図示は省略するが、第2電源ラインL2は、接地されている。したがって、第2電源ラインL2は、第1電源ラインL1よりも低電位なグランド電位である。入力コンデンサC1の第1端は第1電源ラインL1に接続されている。入力コンデンサC1の第2端は第2電源ラインL2に接続されている。

【0011】

電力変換装置10は、第1ハイサイドスイッチHS1と、第1ローサイドスイッチLS1と、第2ハイサイドスイッチHS2と、第2ローサイドスイッチLS2と、を備えている。これらのスイッチは、いずれもN型のMOSFET(金属酸化膜半導体電界効果トランジスタ)である。また、電力変換装置10は、第1ヒューズF1と、第2ヒューズF2と、を備えている。なお、各スイッチのドレイン端子は、第1端子である。各スイッチのソース端子は、第2端子である。各スイッチのゲート端子は、第3端子である。

40

【0012】

第1ハイサイドスイッチHS1のドレイン端子は、第1ヒューズF1を介して第1電源ラインL1に接続されている。第1ヒューズF1は、一定値以上の電流が流れたときに溶断する。第1ローサイドスイッチLS1のドレイン端子は、第1ハイサイドスイッチHS1のソース端子に接続されている。第1ローサイドスイッチLS1のソース端子は、第2

50

電源ライン L 2 に接続されている。

【 0 0 1 3 】

第 2 ハイサイドスイッチ H S 2 のドレイン端子は、第 2 ヒューズ F 2 を介して第 1 電源ライン L 1 に接続されている。第 2 ヒューズ F 2 は、一定値以上の電流が流れたときに溶断する。また、第 2 ハイサイドスイッチ H S 2 は、第 1 ハイサイドスイッチ H S 1 に対して並列になっている。第 2 ローサイドスイッチ L S 2 のドレイン端子は、第 2 ハイサイドスイッチ H S 2 のソース端子に接続されている。第 2 ローサイドスイッチ L S 2 のソース端子は、第 2 電源ライン L 2 に接続されている。

【 0 0 1 4 】

電力変換装置 1 0 は、第 1 コンデンサとしての第 1 スナバコンデンサ S C 1 と、第 2 コンデンサとしての第 2 スナバコンデンサ S C 2 と、を備えている。第 1 スナバコンデンサ S C 1 の第 1 端は、第 1 ハイサイドスイッチ H S 1 のドレイン端子に接続されている。第 1 スナバコンデンサ S C 1 の第 2 端は、第 2 電源ライン L 2 に接続されている。第 2 スナバコンデンサ S C 2 の第 1 端は、第 2 ハイサイドスイッチ H S 2 のドレイン端子に接続されている。第 2 スナバコンデンサ S C 2 の第 2 端は、第 2 電源ライン L 2 に接続されている。

10

【 0 0 1 5 】

電力変換装置 1 0 は、インダクタ I と、出力コンデンサ C 2 と、を備えている。インダクタ I の第 1 端は、第 1 ハイサイドスイッチ H S 1 のソース端子及び第 2 ハイサイドスイッチ H S 2 のソース端子に接続されている。出力コンデンサ C 2 の第 1 端は、インダクタ I の第 2 端に接続されている。出力コンデンサ C 2 の第 2 端は、第 2 電源ライン L 2 に接続されている。また、出力コンデンサ C 2 の第 1 端は、外部機器 D の正極端子に接続されている。出力コンデンサ C 2 の第 2 端は、第 2 電源ライン L 2 及び外部機器 D の負極端子に接続されている。

20

【 0 0 1 6 】

電力変換装置 1 0 は、第 1 駆動回路 D C 1 と、第 2 駆動回路 D C 2 と、第 3 駆動回路 D C 3 と、第 4 駆動回路 D C 4 と、を備えている。第 1 駆動回路 D C 1 は、第 1 ハイサイドスイッチ H S 1 のゲート端子に接続されている。第 1 駆動回路 D C 1 は、第 1 ハイサイドスイッチ H S 1 のゲート端子に、第 1 駆動信号を出力する。第 2 駆動回路 D C 2 は、第 1 ローサイドスイッチ L S 1 のゲート端子に接続されている。第 2 駆動回路 D C 2 は、第 1 ローサイドスイッチ L S 1 のゲート端子に、第 2 駆動信号を出力する。

30

【 0 0 1 7 】

第 1 駆動信号及び第 2 駆動信号は、P W M (パルス幅変調) 信号である。第 1 駆動回路 D C 1 及び第 2 駆動回路 D C 2 は、第 1 ハイサイドスイッチ H S 1 及び第 1 ローサイドスイッチ L S 1 を、相補的にオンオフする。なお、電力変換装置 1 0 の駆動態様によっては、第 1 ハイサイドスイッチ H S 1 及び第 1 ローサイドスイッチ L S 1 が共にオフになる期間が存在することもある。

【 0 0 1 8 】

第 3 駆動回路 D C 3 は、第 2 ハイサイドスイッチ H S 2 のゲート端子に接続されている。第 3 駆動回路 D C 3 は、第 2 ハイサイドスイッチ H S 2 のゲート端子に、第 3 駆動信号を出力する。第 4 駆動回路 D C 4 は、第 2 ローサイドスイッチ L S 2 のゲート端子に接続されている。第 4 駆動回路 D C 4 は、第 2 ローサイドスイッチ L S 2 のゲート端子に、第 4 駆動信号を出力する。

40

【 0 0 1 9 】

第 3 駆動信号は、上述した第 1 駆動信号と同じ P W M 信号であり、第 1 駆動信号と同じタイミングでオンオフ動作する。同様に、第 4 駆動信号は、上述した第 2 駆動信号と同じ P W M 信号であり、第 2 駆動信号と同じタイミングでオンオフ動作する。

【 0 0 2 0 】

< 基板上的レイアウト >

次に、電力変換装置 1 0 における配線及び各素子のレイアウトについて説明する。

50

図 4 に示すように、電力変換装置 10 は、基板 15 を備えている。さらに、基板 15 は、第 1 層 20 と、第 2 層 50 と、を有している。

【0021】

図 2 に示すように、第 1 層 20 は、基板 15 の主面に直交する方向を向いて平面視したときに、四角形状になっている。なお、以下の説明では、第 1 層 20 の外縁を構成する 4 つの辺のうち、特定の 1 つの辺に平行な軸を第 1 軸 X とする。また、基板 15 の主面に沿う軸であって第 1 軸 X に直交する軸を第 2 軸 Y とする。さらに、第 1 軸 X に沿う 2 つの方向のうちの一つを第 1 正方向 X1 とし、その反対方向を第 1 負方向 X2 とする。そして、第 2 軸 Y に沿う 2 つの方向のうちの一つを第 2 正方向 Y1 とし、その反対方向を第 2 負方向 Y2 とする。

10

【0022】

第 1 層 20 は、高電位配線 21 と、第 1 分岐配線 22 と、第 2 分岐配線 23 と、を備えている。高電位配線 21 は、第 1 電源ライン L1 の一部である。また、高電位配線 21 は、直流電源 B の正極端子が接続される入力用の配線である。高電位配線 21 は、第 1 軸 X に沿って長尺な長方形形状である。高電位配線 21 は、第 2 軸 Y に沿う方向において第 1 層 20 の略中央に位置している。

【0023】

第 1 分岐配線 22 は、高電位配線 21 から視て第 2 負方向 Y2 側に位置している。また、第 1 分岐配線 22 は、高電位配線 21 に対して離れている。第 1 分岐配線 22 は、第 2 軸 Y に沿って長尺な長方形形状である。第 1 ヒューズ F1 は、第 1 分岐配線 22 及び高電位配線 21 に跨るように、第 1 層 20 上に実装されている。したがって、第 1 分岐配線 22 は、高電位配線 21 と略同電位である。

20

【0024】

第 2 分岐配線 23 は、高電位配線 21 から視て第 2 負方向 Y2 側に位置している。また、第 2 分岐配線 23 は、高電位配線 21 に対して離れている。第 2 分岐配線 23 は、第 1 分岐配線 22 から視て第 1 負方向 X2 側に位置している。第 2 分岐配線 23 は、第 2 軸 Y に沿って長尺な長方形形状である。第 2 分岐配線 23 は、第 1 分岐配線 22 と同一形状である。第 2 ヒューズ F2 は、第 2 分岐配線 23 及び高電位配線 21 に跨るように、第 1 層 20 上に実装されている。したがって、第 2 分岐配線 23 は、高電位配線 21 と略同電位である。

30

【0025】

第 1 層 20 は、上層低電位配線として、第 1 低電位配線 31 と、第 2 低電位配線 32 と、第 3 低電位配線 33 と、第 4 低電位配線 34 と、を備えている。これら第 1 低電位配線 31 ~ 第 4 低電位配線 34 は、いずれも第 2 電源ライン L2 の一部である。また、第 1 低電位配線 31 は、直流電源 B の負極端子が接続される入力用の配線である。

【0026】

第 1 低電位配線 31 は、高電位配線 21 から視て第 2 負方向 Y2 側に位置している。また、第 1 低電位配線 31 は、第 1 分岐配線 22 から視て第 1 正方向 X1 側に位置している。第 1 低電位配線 31 は、高電位配線 21 及び第 1 分岐配線 22 に対して離れている。第 1 低電位配線 31 は、四角形状である。入力コンデンサ C1 は、第 1 低電位配線 31 及び高電位配線 21 に跨るように、第 1 層 20 上に実装されている。第 1 スナバコンデンサ SC1 は、第 1 低電位配線 31 及び第 1 分岐配線 22 に跨るように、第 1 層 20 上に実装されている。なお、第 1 スナバコンデンサ SC1 は、並列に接続された複数のコンデンサ素子で構成されているが、図 2 では 1 つの素子に簡略化して図示している。

40

【0027】

第 2 低電位配線 32 は、高電位配線 21 から視て第 2 負方向 Y2 側に位置している。また、第 2 低電位配線 32 は、第 2 分岐配線 23 から視て第 1 負方向 X2 側に位置している。第 2 低電位配線 32 は、高電位配線 21 及び第 2 分岐配線 23 に対して離れている。第 2 低電位配線 32 は、四角形状である。第 2 スナバコンデンサ SC2 は、第 2 低電位配線 32 及び第 2 分岐配線 23 に跨るように、第 1 層 20 上に実装されている。なお、第 2 ス

50

ナバコンデンサSC2は、並列に接続された複数のコンデンサ素子で構成されているが、図2では1つの素子に簡略化して図示している。

【0028】

第3低電位配線33は、高電位配線21から視て第2負方向Y2側に位置している。また、第3低電位配線33は、第1分岐配線22から視て第1負方向X2側、且つ第2分岐配線23から視て第1正方向X1側に位置している。第3低電位配線33は、四角形状である。

【0029】

第4低電位配線34は、高電位配線21から視て第2正方向Y1側に位置している。第4低電位配線34は、外部機器Dの負極端子に接続される出力用の配線である。第4低電位配線34は、第1軸Xに沿って長尺な長形状である。

10

【0030】

図2及び図4に示すように、第1層20は、複数の第1ビア配線31Vと、複数の第2ビア配線32Vと、複数の第3ビア配線33Vと、複数の第4ビア配線34Vと、を備えている。第1ビア配線31V～第4ビア配線34Vは、いずれも円柱状である。第1ビア配線31V～第4ビア配線34Vは、いずれも基板15の主面に直交する方向に延びている。また、第1ビア配線31V～第4ビア配線34Vは、いずれも第1層20における実装面とは反対側の面で露出している。

【0031】

図2に示すように、基板15の主面に直交する方向を向いて視たとき、各第1ビア配線31Vは、第1低電位配線31の範囲内に位置している。基板15の主面に直交する方向を向いて視たとき、各第2ビア配線32Vは、第2低電位配線32の範囲内に位置している。基板15の主面に直交する方向を向いて視たとき、各第3ビア配線33Vは、第3低電位配線33の範囲内に位置している。基板15の主面に直交する方向を向いて視たとき、各第4ビア配線34Vは、第4低電位配線34の範囲内に位置している。なお、図2及び図3では、第1ビア配線31V～第4ビア配線34Vの位置を破線で図示している。また、図2及び図3では、第1ビア配線31V～第4ビア配線34Vのうちの一部にのみ符号を付している。

20

【0032】

第1層20は、中間配線41を備えている。中間配線41は、高電位配線21から視て第2負方向Y2側に位置している。また、中間配線41は、第1部分41Aと、第2部分41Bと、第3部分41Cと、を有している。第1部分41Aは、第1分岐配線22と第3低電位配線33との間に位置している。第1部分41Aは、第1分岐配線22及び第3低電位配線33に対して離れている。第1部分41Aは、第2軸Yに沿って長尺な長形状である。

30

【0033】

第2部分41Bは、第2分岐配線23と第3低電位配線33との間に位置している。第2部分41Bは、第2分岐配線23及び第3低電位配線33に対して離れている。第2部分41Bは、第2軸Yに沿って長尺な長形状である。

【0034】

第3部分41Cは、高電位配線21と第3低電位配線33との間に位置している。第3部分41Cは、高電位配線21及び第3低電位配線33に対して離れている。第3部分41Cは、第1軸Xに沿って長尺な長形状である。第3部分41Cの第1端は、第1部分41Aに接続している。第3部分41Cにおける第1端とは反対の第2端は、第2部分41Bに接続している。

40

【0035】

第1ハイサイドスイッチHS1は、第1分岐配線22及び中間配線41の第1部分41Aに跨るように、第1層20上に実装されている。第1ローサイドスイッチLS1は、中間配線41の第1部分41A及び第3低電位配線33に跨るように、第1層20上に実装されている。これらの結果、第1スナバコンデンサSC1、第1ハイサイドスイッチHS

50

1、及び第1ローサイドスイッチLS1は、第1負方向X2に向かってこの順で隣り合って並んでいる。なお、「隣り合う」とは、第1層20上に実装される他の部品及び素子が間に介在されていないことを示す。したがって、隣り合う2つの素子の間に隙間があっても構わない。また、隣り合う2つの素子の間に何らかの配線が存在しても構わない。

【0036】

第1駆動回路DC1は、第1層20上における、第1ハイサイドスイッチHS1に対して第2負方向Y2に隣り合う位置に実装されている。第2駆動回路DC2は、第1層20上における、第1ローサイドスイッチLS1に対して第2負方向Y2に隣り合う位置に実装されている。第1層20上での第2駆動回路DC2から第1ローサイドスイッチLS1までの最短距離は、第1層20上での第1駆動回路DC1から第1ハイサイドスイッチHS1までの最短距離と等しくなっている。

10

【0037】

第2ハイサイドスイッチHS2は、第2分岐配線23及び中間配線41の第2部分41Bに跨るように、第1層20上に実装されている。第2ローサイドスイッチLS2は、中間配線41の第2部分41B及び第3低電位配線33に跨るように、第1層20上に実装されている。これらの結果、第2スナバコンデンサSC2、第2ハイサイドスイッチHS2、及び第2ローサイドスイッチLS2は、第1正方向X1に向かってこの順で隣り合って並んでいる。そして、第2スナバコンデンサSC2等が並ぶ方向と、第1スナバコンデンサSC1等が並ぶ方向とは、逆方向である。

【0038】

第3駆動回路DC3は、第1層20上における、第2ハイサイドスイッチHS2に対して第2負方向Y2に隣り合う位置に実装されている。第1層20上での第3駆動回路DC3から第2ハイサイドスイッチHS2までの最短距離は、第1層20上での第1駆動回路DC1から第1ハイサイドスイッチHS1までの最短距離と等しくなっている。

20

【0039】

第4駆動回路DC4は、第1層20上における、第2ローサイドスイッチLS2に対して第2負方向Y2に隣り合う位置に実装されている。第1層20上での第4駆動回路DC4から第2ローサイドスイッチLS2までの最短距離は、第1層20上での第1駆動回路DC1から第1ハイサイドスイッチHS1までの最短距離と等しくなっている。

【0040】

ここで、第1スナバコンデンサSC1、第1ハイサイドスイッチHS1、及び第1ローサイドスイッチLS1を含むループを第1電流ループとする。また、第2スナバコンデンサSC2、第2ハイサイドスイッチHS2、及び第2ローサイドスイッチLS2を含むループを第2電流ループとする。このとき、第1電流ループを流れる電流の向きは、第1層20上では第1負方向X2である。一方、第2電流ループを流れる電流の向きは、第1層20上では第1正方向X1である。つまり、第1電流ループを流れる電流の向きは、第2電流ループを流れる電流の向きに対して逆向きである。

30

【0041】

より具体的には、第1電流ループに含まれる各素子は、第3低電位配線33から見て、第1正方向X1の側に位置している。一方、第2電流ループに含まれる各素子は、第3低電位配線33から見て、第1負方向X2の側に位置している。つまり、第3低電位配線33は、第1電流ループと第2電流ループとの間に位置している。また、第3低電位配線33の中央点を基準としたとき、第1電流ループに含まれる各素子は、第2電流ループに含まれる各素子に対して2回対称となるように配置されている。

40

【0042】

第1層20は、出力配線25を備えている。出力配線25は、外部機器Dの正極端子に接続される配線である。出力配線25は、高電位配線21から見て第2正方向Y1側、且つ第4低電位配線34から見て第2負方向Y2側に位置している。出力配線25は、高電位配線21及び第4低電位配線34に対して離れている。出力配線25は、第1軸Xに沿う方向に長尺な長形状である。

50

【 0 0 4 3 】

インダクタ I は、中間配線 4 1 の第 3 部分 4 1 C 及び出力配線 2 5 に跨るように、第 1 層 2 0 上に実装されている。なお、基板 1 5 の主面に直交する方向で見たときに、インダクタ I は、高電位配線 2 1 に重なっているが、当該インダクタ I は直接的には高電位配線 2 1 には接続されていない。

【 0 0 4 4 】

インダクタ I は、第 1 ハイサイドスイッチ H S 1、第 1 ローサイドスイッチ L S 1、第 2 ハイサイドスイッチ H S 2、及び第 2 ローサイドスイッチ L S 2 のいずれに対しても、第 2 正方向 Y 1 側で隣り合っている。したがって、第 1 駆動回路 D C 1、第 1 ハイサイドスイッチ H S 1、及びインダクタ I は、第 2 正方向 Y 1 に向かってこの順で並んでいる。そして、第 1 駆動回路 D C 1、第 1 ハイサイドスイッチ H S 1、及びインダクタ I が並ぶ第 2 正方向 Y 1 は、第 1 スナバコンデンサ S C 1、第 1 ハイサイドスイッチ H S 1、及び第 1 ローサイドスイッチ L S 1 が並ぶ第 1 負方向 X 2 に直交している。

10

【 0 0 4 5 】

同様に、第 2 駆動回路 D C 2、第 1 ローサイドスイッチ L S 1、及びインダクタ I は、第 2 正方向 Y 1 に向かってこの順で並んでいる。また、第 3 駆動回路 D C 3、第 2 ハイサイドスイッチ H S 2、及びインダクタ I は、第 2 正方向 Y 1 に向かってこの順で並んでいる。さらに、第 4 駆動回路 D C 4、第 2 ローサイドスイッチ L S 2、及びインダクタ I は、第 2 正方向 Y 1 に向かってこの順で並んでいる。

【 0 0 4 6 】

出力コンデンサ C 2 は、出力配線 2 5 及び第 4 低電位配線 3 4 に跨るように、第 1 層 2 0 上に実装されている。この実施形態の例では、出力コンデンサ C 2 は、2 つ並列に実装されている。

20

【 0 0 4 7 】

図 4 に示すように、第 2 層 5 0 は、第 1 層 2 0 における実装面とは反対側に積層されている。図 3 に示すように、第 2 層 5 0 は、下層低電位配線 5 1 を備えている。下層低電位配線 5 1 は、第 2 電源ライン L 2 の一部である。下層低電位配線 5 1 は、基板 1 5 の主面に直交する方向で見たときに、第 1 層 2 0 の第 1 低電位配線 3 1 ~ 第 4 低電位配線 3 4 の全域と重複している。また、下層低電位配線 5 1 は、分断されてなく、すべて繋がった 1 つの配線となっている。

30

【 0 0 4 8 】

図 4 に示すように、下層低電位配線 5 1 は、各第 1 ピア配線 3 1 V を介して、第 1 層 2 0 の第 1 低電位配線 3 1 と接続している。下層低電位配線 5 1 は、各第 2 ピア配線 3 2 V を介して、第 1 層 2 0 の第 2 低電位配線 3 2 と接続している。下層低電位配線 5 1 は、各第 3 ピア配線 3 3 V を介して、第 1 層 2 0 の第 3 低電位配線 3 3 と接続している。そして、図 2 及び図 3 に示すように、下層低電位配線 5 1 は、各第 4 ピア配線 3 4 V を介して、第 1 層 2 0 の第 4 低電位配線 3 4 と接続している。

【 0 0 4 9 】

< 本実施形態の作用 >

電力変換装置 1 0 が駆動すると、第 1 ハイサイドスイッチ H S 1、第 1 ローサイドスイッチ L S 1、第 2 ハイサイドスイッチ H S 2、及び第 2 ローサイドスイッチ L S 2 がそれぞれオンオフされる。これに伴い、基板 1 5 における第 1 層 2 0 及び第 2 層 5 0 の各配線上に電流が流れる。このとき、2 つの電流ループが発生する。図 4 において矢印で示すように、第 1 電流ループは、第 1 スナバコンデンサ S C 1 の第 1 端、第 1 分岐配線 2 2、第 1 ハイサイドスイッチ H S 1、中間配線 4 1 の第 1 部分 4 1 A、第 1 ローサイドスイッチ L S 1、第 3 低電位配線 3 3、下層低電位配線 5 1、第 1 低電位配線 3 1 を経て、第 1 スナバコンデンサ S C 1 の第 2 端に至る経路である。また、同様に図 4 において矢印で示すように、第 2 電流ループは、第 2 スナバコンデンサ S C 2 の第 1 端、第 2 分岐配線 2 3、第 2 ハイサイドスイッチ H S 2、中間配線 4 1 の第 2 部分 4 1 B、第 2 ローサイドスイッチ L S 2、第 3 低電位配線 3 3、下層低電位配線 5 1、第 2 低電位配線 3 2 を経て、第 2

40

50

スナバコンデンサSC2の第2端に至る経路である。

【0050】

<第1実施形態の効果>

(1-1) 上記実施形態では、第1電流ループの各素子と第2電流ループの各素子とが、第3低電位配線33で分断されている。そして、第3低電位配線33は、第2電源ラインL2の一部であるので、電位が安定している。したがって、第1電流ループの各素子に電流が流れることに起因するノイズと、第2電流ループの各素子に電流が流れることに起因するノイズとが、それぞれ独立して発生する。そして、第1層20上において、第1電流ループの各素子に流れる電流の向きは、第2電流ループの各素子に流れる電流の向きに対して逆向きである。その結果、第1電流ループで生じるノイズと第2電流ループで生じるノイズとが互いに打ち消し合う。したがって、電力変換装置10全体としては、ノイズを低減できる。

10

【0051】

(1-2) 上記実施形態では、第1電流ループの各素子と第2電流ループの各素子とが2回対称となるように配置されているので、第1電流ループの経路長と第2電流ループの経路長とが略等しい。したがって、第1電流ループの寄生インダクタンスの大きさと第2電流ループの寄生インダクタンスの大きさを揃えることができる。そして、このように寄生インダクタンスの大きさを揃えることで、各スイッチに過渡的に流れる電流を均一にできる。その結果、スイッチング損失の増加、スイッチ素子の温度上昇等を防げる。

【0052】

(1-3) 上記実施形態では、第1スナバコンデンサSC1、第1ハイサイドスイッチHS1、及び第1ローサイドスイッチLS1は、第1負方向X2に向かってこの順で隣り合っており並んでいる。この隣り合う順番は、電流の流れる順番と同じである。したがって、第1スナバコンデンサSC1から第1ローサイドスイッチLS1へと至る配線長を短くすることができるので、第1電流ループの経路長を短くすることができる。その結果、第1電流ループの寄生インダクタンスの大きさを小さくできる。なお、この点、第2スナバコンデンサSC2、第2ハイサイドスイッチHS2、及び第2ローサイドスイッチLS2の並びについても同様である。

20

【0053】

(1-4) 上記実施形態では、第1駆動回路DC1、第1ハイサイドスイッチHS1、及びインダクタIは、第2正方向Y1に向かってこの順で並んでいる。したがって、第1駆動回路DC1からインダクタIへと至る配線長を短くすることができる。このように配線長を短くすることで、ノイズ等によって第1ハイサイドスイッチHS1が誤動作したり、スイッチング損失が増加したりすることを防げる。この点、第2駆動回路DC2～第4駆動回路DC4についても同様である。

30

【0054】

(1-5) また、第1駆動回路DC1等が並ぶ第2正方向Y1は、第1スナバコンデンサSC1等が並ぶ第1負方向X2と直交している。したがって、第1電流ループに生じる寄生インダクタンスは、第1駆動回路DC1を含む電流ループに生じる寄生インダクタンスに影響しにくい。この点、第2駆動回路DC2～第4駆動回路DC4についても同様である。

40

【0055】

(1-6) 上記実施形態では、第1駆動回路DC1から第1ハイサイドスイッチHS1までの最短距離が、第2駆動回路DC2から第1ローサイドスイッチLS1までの最短距離と等しい。また、同様に、第1駆動回路DC1から第1ハイサイドスイッチHS1までの最短距離が、第3駆動回路DC3から第2ハイサイドスイッチHS2までの最短距離、及び第4駆動回路DC4から第2ローサイドスイッチLS2までの最短距離と等しい。これによれば、各スイッチのオンオフのタイミングにずれが生じることを防げるので、各スイッチでの電力損失の増加などを防げる。

【0056】

50

(1 - 7) 上記実施形態では、第 1 電流ループは、第 1 層 2 0 から第 2 層 5 0 へ至り再び第 1 層 2 0 へと至る経路になっている。そして、基板 1 5 において、当該基板 1 5 の第 1 軸 X に沿う方向の寸法及び第 2 軸 Y に沿う方向の寸法に比べて、各層の厚みは小さい。そのため、単一の層上で電流ループが形成される場合に比較して、第 1 電流ループの径が小さくなる。そして、第 1 電流ループの径を小さくすることで、第 1 電流ループで発生する寄生インダクタンスを小さくできる。この点、第 2 電流ループについても同様である。

【 0 0 5 7 】

(1 - 8) 上記実施形態では、第 1 電流ループの各素子と第 2 電流ループの各素子とが、第 3 低電位配線 3 3 で分断されている。そして、第 3 低電位配線 3 3 は接地されているので、基板 1 5 中の各配線の中でも、最も電位が安定している配線の 1 つである。このように電位の安定した第 3 低電位配線 3 3 で第 1 電流ループの各素子と第 2 電流ループの各素子とを分断することで、第 1 電流ループ及び第 2 電流ループが、互いに電流の流れが干渉しないそれぞれ独立したループとして形成されやすくなる。

10

【 0 0 5 8 】

(第 2 実施形態)

以下、電力変換装置の第 2 実施形態について説明する。なお、図面は理解を容易にするために構成要素を拡大して示している場合がある。構成要素の寸法比率は実際のもの、又は別の図中のものと異なる場合がある。

【 0 0 5 9 】

< 電力変換装置の回路構成 >

20

第 2 実施形態の電力変換装置 1 0 0 の回路構成は、第 1 実施形態の電力変換装置 1 0 と比較して、第 1 ヒューズ F 1 及び第 2 ヒューズ F 2 を備えていない点のみが異なる。すなわち、第 2 実施形態の電力変換装置 1 0 0 では、第 1 ハイサイドスイッチ H S 1 のドレイン端子は、他の素子を介さずに、第 1 電源ライン L 1 に接続されている。また、第 2 ハイサイドスイッチ H S 2 のドレイン端子は、他の素子を介さずに、第 1 電源ライン L 1 に接続されている。

【 0 0 6 0 】

< 基板上的レイアウト >

次に、電力変換装置 1 0 0 における配線及び各素子のレイアウトについて説明する。

図 5 及び図 6 に示すように、電力変換装置 1 0 0 は、基板 1 5 0 を備えている。さらに、基板 1 5 0 は、第 1 層 2 0 0 と、第 2 層 5 0 0 と、を有している。

30

【 0 0 6 1 】

図 5 に示すように、第 1 層 2 0 0 は、基板 1 5 0 の主面に直交する方向を向いて平面視したときに、四角形状になっている。なお、以下の説明では、第 1 層 2 0 0 の外縁を構成する 4 つの辺のうち、特定の 1 つの辺に平行な軸を第 1 軸 X とする。また、基板 1 5 0 の主面に沿う軸であって第 1 軸 X に直交する軸を第 2 軸 Y とする。さらに、第 1 軸 X に沿う 2 つの方向のうちの 1 つを第 1 正方向 X 1 とし、その反対方向を第 1 負方向 X 2 とする。そして、第 2 軸 Y に沿う 2 つの方向のうちの 1 つを第 2 正方向 Y 1 とし、その反対方向を第 2 負方向 Y 2 とする。

【 0 0 6 2 】

40

第 1 層 2 0 0 は、上層高電位配線として、第 1 高電位配線 2 1 0 と、第 2 高電位配線 2 2 0 と、第 3 高電位配線 2 3 0 と、第 4 高電位配線 2 4 0 と、を備えている。これらのうち第 1 高電位配線 2 1 0 ~ 第 3 高電位配線 2 3 0 は、いずれも第 1 電源ライン L 1 の一部である。

【 0 0 6 3 】

第 1 高電位配線 2 1 0 は、第 1 軸 X に沿う方向において、第 1 層 2 0 0 の中央から見て第 1 正方向 X 1 側に位置している。また、第 1 高電位配線 2 1 0 は、第 2 軸 Y に沿う方向において、第 1 層 2 0 0 の中央から見て第 2 負方向 Y 2 側に位置している。第 1 高電位配線 2 1 0 は、四角形状である。第 1 高電位配線 2 1 0 の各辺は、第 1 軸 X 又は第 2 軸 Y と平行である。なお、第 1 高電位配線 2 1 0 は、直流電源 B の正極端子が接続される入力用

50

の配線である。

【 0 0 6 4 】

第 2 高電位配線 2 2 0 は、第 1 軸 X に沿う方向において、第 1 層 2 0 0 の中央から見て第 1 負方向 X 2 側に位置している。また、第 2 高電位配線 2 2 0 は、第 2 軸 Y に沿う方向において、第 1 層 2 0 0 の中央から見て第 2 負方向 Y 2 側に位置している。第 2 高電位配線 2 2 0 は、四角形状である。第 2 高電位配線 2 2 0 の各辺は、第 1 軸 X 又は第 2 軸 Y と平行である。

【 0 0 6 5 】

第 3 高電位配線 2 3 0 は、第 1 軸 X に沿う方向において、第 1 高電位配線 2 1 0 と第 2 高電位配線 2 2 0 との間に位置している。第 3 高電位配線 2 3 0 は、第 1 高電位配線 2 1 0 及び第 2 高電位配線 2 2 0 に対して離れている。第 3 高電位配線 2 3 0 は、四角形状である。第 3 高電位配線 2 3 0 の各辺は、第 1 軸 X 又は第 2 軸 Y と平行である。

10

【 0 0 6 6 】

第 4 高電位配線 2 4 0 は、第 2 軸 Y に沿う方向において、第 1 層 2 0 0 の中央から見て第 2 正方向 Y 1 側に位置している。第 4 高電位配線 2 4 0 は、第 1 軸 X に沿う方向に長尺な長方形形状である。第 4 高電位配線 2 4 0 は、第 1 軸 X に沿う方向において、第 1 負方向 X 2 側に寄っている。すなわち、第 4 高電位配線 2 4 0 における第 1 正方向 X 1 側の辺は、第 1 層 2 0 0 における第 1 正方向 X 1 側の辺に対して離れている。また、第 4 高電位配線 2 4 0 は、第 1 層 2 0 0 の第 2 正方向 Y 1 側の辺に対して離れている。なお、第 4 高電位配線 2 4 0 は、外部機器 D の正極端子に接続される出力用の配線である。

20

【 0 0 6 7 】

第 1 層 2 0 0 は、複数の第 1 ピア配線 2 1 0 V と、複数の第 2 ピア配線 2 2 0 V と、複数の第 3 ピア配線 2 3 0 V と、を備えている。第 1 ピア配線 2 1 0 V ~ 第 3 ピア配線 2 3 0 V は、いずれも円柱状である。第 1 ピア配線 2 1 0 V ~ 第 3 ピア配線 2 3 0 V は、いずれも基板 1 5 0 の主面に直交する方向に延びている。また、第 1 ピア配線 2 1 0 V ~ 第 3 ピア配線 2 3 0 V は、いずれも第 1 層 2 0 0 における実装面とは反対側の面で露出している。

【 0 0 6 8 】

基板 1 5 0 の主面に直交する方向を向いて見たとき、各第 1 ピア配線 2 1 0 V は、第 1 高電位配線 2 1 0 の範囲内に位置している。基板 1 5 0 の主面に直交する方向を向いて見たとき、各第 2 ピア配線 2 2 0 V は、第 2 高電位配線 2 2 0 の範囲内に位置している。基板 1 5 0 の主面に直交する方向を向いて見たとき、各第 3 ピア配線 2 3 0 V は、第 3 高電位配線 2 3 0 の範囲内に位置している。なお、図 5 及び図 6 では、第 1 ピア配線 2 1 0 V ~ 第 3 ピア配線 2 3 0 V の位置を破線で図示している。また、図 5 及び図 6 では、第 1 ピア配線 2 1 0 V ~ 第 3 ピア配線 2 3 0 V のうちの一部にのみ符号を付している。

30

【 0 0 6 9 】

第 1 層 2 0 0 は、低電位配線 3 1 0 を備えている。低電位配線 3 1 0 は、本体部分 3 1 1 と、第 1 分岐部分 3 1 2 と、第 2 分岐部分 3 1 3 と、を含む。本体部分 3 1 1 は、第 4 高電位配線 2 4 0 を、第 2 正方向 Y 1、第 1 正方向 X 1、及び第 2 負方向 Y 2 の三方から取り囲んでいる。換言すると、本体部分 3 1 1 は、第 1 負方向 X 2 側が開放した「略 U 字」の形状になっている。入力コンデンサ C 1 は、第 1 高電位配線 2 1 0 及び低電位配線 3 1 0 の本体部分 3 1 1 に跨るように、第 1 層 2 0 0 上に実装されている。また、出力コンデンサ C 2 は、第 4 高電位配線 2 4 0 及び低電位配線 3 1 0 の本体部分 3 1 1 に跨るように、第 1 層 2 0 0 上に実装されている。この実施形態の例では、出力コンデンサ C 2 は、2 つ並列に実装されている。

40

【 0 0 7 0 】

第 1 分岐部分 3 1 2 は、本体部分 3 1 1 における第 2 負方向 Y 2 側の縁から第 2 負方向 Y 2 に向けて延びている。第 1 分岐部分 3 1 2 は、第 2 軸 Y に沿う方向に長尺な長方形形状である。第 1 分岐部分 3 1 2 は、第 1 高電位配線 2 1 0 と第 3 高電位配線 2 3 0 との間に位置している。第 1 スナバコンデンサ S C 1 は、第 1 高電位配線 2 1 0 及び低電位配線 3

50

10の第1分岐部分312に跨るように、第1層200上に実装されている。なお、第1スナバコンデンサSC1は、並列に接続された複数のコンデンサ素子で構成されているが、図5では1つの素子に簡略化して図示している。

【0071】

第2分岐部分313は、本体部分311における第2負方向Y2側の縁から第2負方向Y2に向けて延びている。第2分岐部分313は、第2軸Yに沿う方向に長尺な長方形状である。第2分岐部分313は、第2高電位配線220と第3高電位配線230との間に位置している。第2スナバコンデンサSC2は、第2高電位配線220及び低電位配線310の第2分岐部分313に跨るように、第1層200上に実装されている。なお、第2スナバコンデンサSC2は、並列に接続された複数のコンデンサ素子で構成されているが、図5では1つの素子に簡略化して図示している。

10

【0072】

第1層200は、中間配線410を備えている。中間配線410は、第1軸Xに沿う方向において、低電位配線310の第1分岐部分312と第2分岐部分313との間に位置している。また、中間配線410は、第1部分411と、第2部分412と、第3部分413と、を有している。第1部分411は、低電位配線310の第1分岐部分312と第3高電位配線230との間に位置している。第1部分411は、第1分岐部分312及び第3高電位配線230に対して離れている。第1部分411は、第2軸Yに沿って長尺な長方形状である。

【0073】

第2部分412は、低電位配線310の第2分岐部分313と第3高電位配線230との間に位置している。第2部分412は、第2分岐部分313及び第3高電位配線230に対して離れている。第2部分412は、第2軸Yに沿って長尺な長方形状である。

20

【0074】

第3部分413は、低電位配線310の本体部分311と第3高電位配線230との間に位置している。第3部分413は、本体部分311及び第3高電位配線230に対して離れている。第3部分413は、第1軸Xに沿って長尺な長方形状である。第3部分413の第1端は、第1部分411に接続している。第3部分413における第1端とは反対の第2端は、第2部分412に接続している。

【0075】

第1ハイサイドスイッチHS1は、第3高電位配線230及び中間配線410の第1部分411に跨るように、第1層200上に実装されている。第1ローサイドスイッチLS1は、中間配線410の第1部分411及び第1分岐部分312に跨るように、第1層200上に実装されている。

30

【0076】

第1駆動回路DC1は、第1層200上における、第1ハイサイドスイッチHS1に対して第2負方向Y2に隣り合う位置に実装されている。第2駆動回路DC2は、第1層200上における、第1ローサイドスイッチLS1に対して第2負方向Y2に隣り合う位置に実装されている。第1層200上での第2駆動回路DC2から第1ローサイドスイッチLS1までの最短距離は、第1層200上での第1駆動回路DC1から第1ハイサイドスイッチHS1までの最短距離と等しくなっている。

40

【0077】

第2ハイサイドスイッチHS2は、第3高電位配線230及び中間配線410の第2部分412に跨るように、第1層200上に実装されている。第2ローサイドスイッチLS2は、中間配線410の第2部分412及び第2分岐部分313に跨るように、第1層200上に実装されている。

【0078】

第3駆動回路DC3は、第1層200上における、第2ハイサイドスイッチHS2に対して第2負方向Y2に隣り合う位置に実装されている。第1層200上での第3駆動回路DC3から第2ハイサイドスイッチHS2までの最短距離は、第1層200上での第1駆

50

動回路DC1から第1ハイサイドスイッチHS1までの最短距離と等しくなっている。

【0079】

第4駆動回路DC4は、第1層200上における、第2ローサイドスイッチLS2に対して第2負方向Y2に隣り合う位置に実装されている。第1層200上での第4駆動回路DC4から第2ローサイドスイッチLS2までの最短距離は、第1層200上での第1駆動回路DC1から第1ハイサイドスイッチHS1までの最短距離と等しくなっている。

【0080】

ここで、第1スナバコンデンサSC1、第1ハイサイドスイッチHS1、及び第1ローサイドスイッチLS1を含むループを第1電流ループとする。また、第2スナバコンデンサSC2、第2ハイサイドスイッチHS2、及び第2ローサイドスイッチLS2を含むループを第2電流ループとする。このとき、第1電流ループを流れる電流の向きは、第1層200上では第1正方向X1である。一方、第2電流ループを流れる電流の向きは、第1層200上では第1負方向X2である。つまり、第1電流ループを流れる電流の向きは、第2電流ループを流れる電流の向きに対して逆向きである。

【0081】

より具体的には、第1電流ループに含まれる各素子は、第3高電位配線230から見て、第1正方向X1の側に位置している。一方、第2電流ループに含まれる各素子は、第3高電位配線230から見て、第1負方向X2の側に位置している。つまり、第3高電位配線230は、第1電流ループと第2電流ループとの間に位置している。また、第3高電位配線230の中央点を基準としたとき、第1電流ループに含まれる各素子は、第2電流ループに含まれる各素子に対して2回対称となるように配置されている。

【0082】

インダクタIは、第4高電位配線240及び中間配線410の第3部分413に跨るように、第1層200上を実装されている。なお、基板150の主面に直交する方向で見たときに、インダクタIは、低電位配線310に重なっているが、当該インダクタIは直接的には低電位配線310には接続されていない。

【0083】

インダクタIは、第1ハイサイドスイッチHS1、第1ローサイドスイッチLS1、第2ハイサイドスイッチHS2、及び第2ローサイドスイッチLS2のいずれに対しても、第2正方向Y1側で隣り合っている。したがって、第1駆動回路DC1、第1ハイサイドスイッチHS1、及びインダクタIは、第2正方向Y1に向かってこの順で並んでいる。そして、第1駆動回路DC1、第1ハイサイドスイッチHS1、及びインダクタIが並ぶ第2正方向Y1は、第1スナバコンデンサSC1、第1ハイサイドスイッチHS1、及び第1ローサイドスイッチLS1が並ぶ第1負方向X2に直交している。

【0084】

同様に、第2駆動回路DC2、第1ローサイドスイッチLS1、及びインダクタIは、第2正方向Y1に向かってこの順で並んでいる。また、第3駆動回路DC3、第2ハイサイドスイッチHS2、及びインダクタIは、第2正方向Y1に向かってこの順で並んでいる。さらに、第4駆動回路DC4、第2ローサイドスイッチLS2、及びインダクタIは、第2正方向Y1に向かってこの順で並んでいる。

【0085】

図6に示すように、第2層500は、第1層200における実装面とは反対側に積層されている。第2層500は、下層高電位配線510を備えている。下層高電位配線510は、第1電源ラインL1の一部である。下層高電位配線510は、基板150の主面に直交する方向で見たときに、第1層200の第1高電位配線210～第3高電位配線230の全域と重複している。また、下層高電位配線510は、分断されてなく、すべて繋がった1つの配線となっている。

【0086】

図5及び図6に示すように、下層高電位配線510は、各第1ビア配線210Vを介して、第1層200の第1高電位配線210と接続している。下層高電位配線510は、各

10

20

30

40

50

第2ピア配線220Vを介して、第1層200の第2高電位配線220と接続している。下層高電位配線510は、各第3ピア配線230Vを介して、第1層200の第3高電位配線230と接続している。

【0087】

<第2実施形態の効果>

第2実施形態によれば、第1実施形態の(1-2)~(1-7)の効果に加えて、以下の効果を奏する。

【0088】

(2-1)上記実施形態では、第1電流ループの各素子と第2電流ループの各素子とが、第3高電位配線230で分断されている。そして、第3高電位配線230は、第1電源ラインL1の一部であるので、電位が安定している。したがって、第1電流ループの各素子に電流が流れることに起因するノイズと、第2電流ループの各素子に電流が流れることに起因するノイズとが、それぞれ独立して発生する。そして、第1層200上において、第1電流ループの各素子に流れる電流の向きは、第2電流ループの各素子に流れる電流の向きに対して逆向きである。その結果、第1電流ループで生じるノイズと第2電流ループで生じるノイズとが互いに打ち消し合う。したがって、電力変換装置100全体としては、ノイズを低減できる。

10

【0089】

(2-2)上記実施形態では、第1電流ループの各素子と第2電流ループの各素子とが、第3高電位配線230で分断されている。そして、第3高電位配線230は直流電源Bの正極端子に接続されているので、基板150中の各配線の中でも、最も電位が安定している配線の1つである。このように電位の安定した第3高電位配線230で第1電流ループの各素子と第2電流ループの各素子とを分断することで、第1電流ループ及び第2電流ループが、互いに電流の流れが干渉しないそれぞれ独立したループとして形成されやすくなる。

20

【0090】

(その他の実施形態)

上記各実施形態及び以下の変更例は、技術的に矛盾しない範囲で互いに組み合わせて実施することができる。なお、以下の第1実施形態についての変更例は、特に言及のない限り第2実施形態についても同様に適用できる。

30

【0091】

・第1電流ループの各素子と第2電流ループの各素子との間にいずれの配線も設けられていない未配線領域が位置していてもよい。

具体的には、図7に示す例は、第1実施形態の電力変換装置10に対して、第3低電位配線33の形状が異なる。図7に示す例では、第1層20は、第1ローサイドスイッチLS1が接続された低電位配線33Aと、第2ローサイドスイッチLS2が接続された低電位配線33Bとを備えている。低電位配線33A、33Bは、第1軸Xに沿う方向において離れている。したがって、基板15は、第1電流ループの各素子と第2電流ループの各素子との間に、いずれの配線も設けられていない未配線領域を有している。そして、基板15上の未配線領域は電流が流れないので、電位が安定している。このように、第1電流ループの各素子と第2電流ループの各素子との間に、電位の安定した箇所が存在していれば、第1電流ループの各素子と第2電流ループの各素子との間に、それぞれ独立したループとなりやすい。なお、第2実施形態の電力変換装置100についても、第3高電位配線230の形状を、2つの配線に分離することで、同様のことがいえる。

40

【0092】

・第1スナバコンデンサSC1、第1ハイサイドスイッチHS1、及び第1ローサイドスイッチLS1の並ぶ向きは、問わない。これら各素子は、第2負方向Y2に向かって並んでいてもよいし、第2軸Yに交差する方向で並んでいてもよい。

【0093】

・また、第1スナバコンデンサSC1、第1ハイサイドスイッチHS1、及び第1ロー

50

サイドスイッチ L S 1 の並ぶ順番も問わない。例えば、第 1 ハイサイドスイッチ H S 1、第 1 ローサイドスイッチ L S 1、及び第 1 スナバコンデンサ S C 1 の順で並んでいてもよい。

【 0 0 9 4 】

なお、上記の変更例のように、第 1 スナバコンデンサ S C 1、第 1 ハイサイドスイッチ H S 1、及び第 1 ローサイドスイッチ L S 1 の配置を変更した場合、第 1 組の素子と第 2 組の素子が互いに 2 回対称の配置となるように、第 2 スナバコンデンサ S C 2 等の配置を変更すればよい。また、第 1 層 2 0 上において、第 1 電流ループを流れる電流の向きが、第 2 電流ループを流れる電流の向きに対して逆向きになっていればよい。

【 0 0 9 5 】

・第 1 駆動回路 D C 1、第 1 ハイサイドスイッチ H S 1、及びインダクタ I の並ぶ向きは、問わない。これら各素子は、第 1 負方向 X 2 に向かって並んでいてもよいし、第 1 スナバコンデンサ S C 1、第 1 ハイサイドスイッチ H S 1、及び第 1 ローサイドスイッチ L S 1 の並ぶ向きと交差してもよいし平行であってもよい。この点、第 2 駆動回路 D C 2 ~ 第 4 駆動回路 D C 4 についても同様である。

【 0 0 9 6 】

・各駆動回路から対応する各スイッチへの最短距離は、互いに異なっていてもよい。
 ・基板 1 5 は、第 2 層 5 0 を備えていなくてもよい。すなわち、基板 1 5 は、単層であってもよい。この場合、例えば、第 1 層 2 0 上において、第 1 低電位配線 3 1 ~ 第 4 低電位配線 3 4 が互いに電氣的に繋がっていればよい。

【 0 0 9 7 】

・また、基板 1 5 は、第 1 層 2 0 及び第 2 層 5 0 に加えて他の層を有していてもよい。この場合、電力変換装置 1 0 の各配線のうちの一部が、第 1 層 2 0 及び第 2 層 5 0 とは異なる他の層に設けられていてもよい。また、第 1 層 2 0 及び第 2 層 5 0 とは異なる他の層に、電力変換装置 1 0 とは別の回路が設けられていてもよい。

【 0 0 9 8 】

(付記)

上記実施形態及び変更例から把握できる技術的思想について記載する。

< 1 >

基板と、

第 1 電源ラインと、

前記第 1 電源ラインに対して低電位な第 2 電源ラインと、

第 1 端子が前記第 1 電源ラインに接続されている第 1 ハイサイドスイッチと、

第 1 端子が前記第 1 ハイサイドスイッチの第 2 端子に接続され、第 2 端子が前記第 2 電源ラインに接続されている第 1 ローサイドスイッチと、

第 1 端が前記第 1 ハイサイドスイッチの第 1 端子に接続され、第 2 端が前記第 2 電源ラインに接続されている第 1 コンデンサと、

第 1 端子が前記第 1 電源ラインに接続され、前記第 1 ハイサイドスイッチに対して並列な第 2 ハイサイドスイッチと、

第 1 端子が前記第 2 ハイサイドスイッチの第 2 端子に接続され、第 2 端子が前記第 2 電源ラインに接続されている第 2 ローサイドスイッチと、

第 1 端が前記第 2 ハイサイドスイッチの第 1 端子に接続され、第 2 端が前記第 2 電源ラインに接続されている第 2 コンデンサと、

第 1 端が前記第 1 ハイサイドスイッチの第 2 端子及び前記第 2 ハイサイドスイッチの第 2 端子に接続されているインダクタと、

第 1 端が前記インダクタの第 2 端に接続され、第 2 端が前記第 2 電源ラインに接続されている出力コンデンサと、を基板上に備え、

前記第 1 コンデンサ、前記第 1 ハイサイドスイッチ、及び前記第 1 ローサイドスイッチを含む第 1 電流ループと、

前記第 2 コンデンサ、前記第 2 ハイサイドスイッチ、及び前記第 2 ローサイドスイッチ

10

20

30

40

50

を含む第 2 電流ループと、

前記基板の主面に直交する方向での平面視で、前記第 1 電源ライン又は前記第 2 電源ラインが、前記第 1 電流ループと前記第 2 電流ループとの間に位置しており、前記第 1 電流ループを流れる電流の向きは、前記第 2 電流ループを流れる電流の向きに対して逆向きである

電力変換装置。

【0099】

< 2 >

前記基板は、いずれの配線も設けられていない未配線領域を備え、

前記基板の主面に直交する方向での平面視で、前記未配線領域が、前記第 1 電流ループと前記第 2 電流ループとの間に位置している

上記< 1 >に記載の電力変換装置。

【0100】

< 3 >

前記第 1 コンデンサ、前記第 1 ハイサイドスイッチ、及び前記第 1 ローサイドスイッチは、前記基板の主面と平行な方向において、この順で隣り合って並んでいる

上記< 1 >又は< 2 >に記載の電力変換装置。

【0101】

< 4 >

前記第 1 ハイサイドスイッチの第 3 端子に駆動信号を出力する第 1 駆動回路をさらに備え、

前記第 1 駆動回路、前記第 1 ハイサイドスイッチ、及び前記インダクタは、前記基板の主面と平行な方向において、この順で隣り合って並んでいる

上記< 1 > ~ < 3 >のいずれか 1 つに記載の電力変換装置。

【0102】

< 5 >

前記第 1 ハイサイドスイッチの第 3 端子に駆動信号を出力する第 1 駆動回路をさらに備え、

前記第 1 コンデンサ、前記第 1 ハイサイドスイッチ、及び前記第 1 ローサイドスイッチは、前記基板の主面と平行な第 1 方向において、この順で隣り合って並んでおり、

前記第 1 駆動回路、前記第 1 ハイサイドスイッチ、及び前記インダクタは、前記基板の主面と平行な方向であって前記第 1 方向と直交する第 2 方向において、この順で隣り合って並んでいる

上記< 1 > ~ < 4 >のいずれか 1 つに記載の電力変換装置。

【0103】

< 6 >

前記第 1 ハイサイドスイッチの第 3 端子に駆動信号を出力する第 1 駆動回路と、

前記第 1 ローサイドスイッチの第 3 端子に駆動信号を出力する第 2 駆動回路と、を備え、

前記基板の主面と平行な方向において、前記第 1 駆動回路から前記第 1 ハイサイドスイッチまでの最短距離は、前記第 2 駆動回路から前記第 1 ローサイドスイッチまでの最短距離と等しい

上記< 1 > ~ < 5 >のいずれか 1 つに記載の電力変換装置。

【0104】

< 7 >

前記基板は、前記第 1 ハイサイドスイッチ、前記第 1 ローサイドスイッチ、前記第 1 コンデンサ、前記第 2 ハイサイドスイッチ、前記第 2 ローサイドスイッチ、及び前記第 2 コンデンサが実装された第 1 層と、前記第 1 層に積層された第 2 層と、を有し、

前記第 1 層は、前記第 1 ハイサイドスイッチの第 1 端子及び前記第 2 ハイサイドスイッチの第 1 端子が接続され、前記第 1 電源ラインの一部を構成する高電位配線と、前記第 1 ローサイドスイッチの第 2 端子及び前記第 2 ローサイドスイッチの第 2 端子が接続され、

10

20

30

40

50

前記第 2 電源ラインの一部を構成する上層低電位配線と、を有し、

前記第 2 層は、前記第 2 電源ラインの一部を構成する下層低電位配線を有し、

前記上層低電位配線は、前記基板の主面に直交する方向に延びるビア配線を介して前記下層低電位配線に接続されている

上記 < 1 > ~ < 6 > のいずれか 1 つに記載の電力変換装置。

【 0 1 0 5 】

< 8 >

前記上層低電位配線は、前記第 1 電流ループと前記第 2 電流ループとの間に位置している
上記 < 7 > に記載の電力変換装置。

【符号の説明】

10

【 0 1 0 6 】

L 1 ... 第 1 電源ライン

L 2 ... 第 2 電源ライン

H S 1 ... 第 1 ハイサイドスイッチ

L S 1 ... 第 1 ローサイドスイッチ

S C 1 ... 第 1 スナバコンデンサ

H S 2 ... 第 2 ハイサイドスイッチ

L S 2 ... 第 2 ローサイドスイッチ

S C 2 ... 第 2 スナバコンデンサ

I ... インダクタ

20

C 2 ... 出力コンデンサ

D C 1 ... 第 1 駆動回路

D C 2 ... 第 2 駆動回路

1 5 ... 基板

2 0 ... 第 1 層

2 1 ... 高電位配線

3 3 ... 第 3 低電位配線

5 0 ... 第 2 層

5 1 ... 下層低電位配線

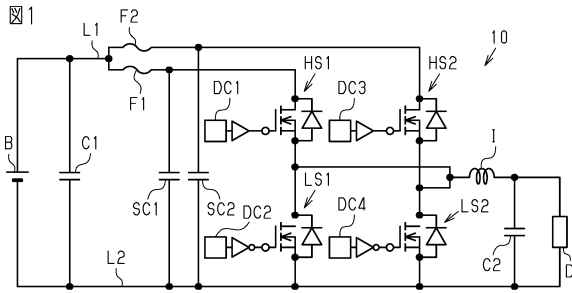
30

40

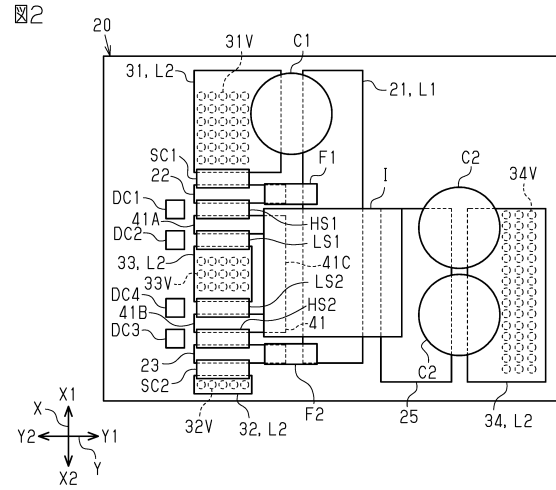
50

【図面】

【図 1】

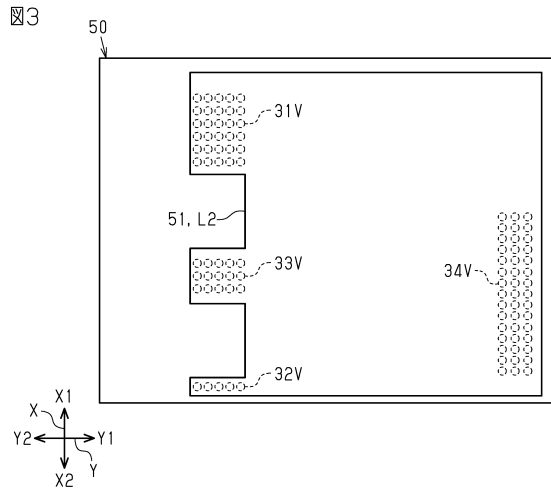


【図 2】

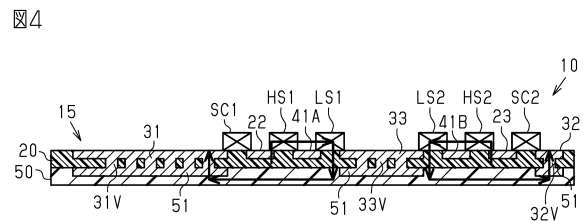


10

【図 3】



【図 4】



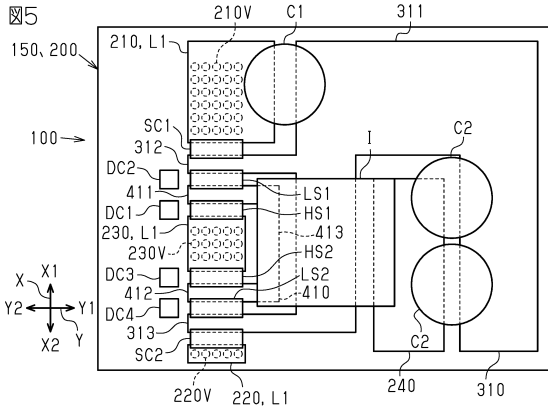
20

30

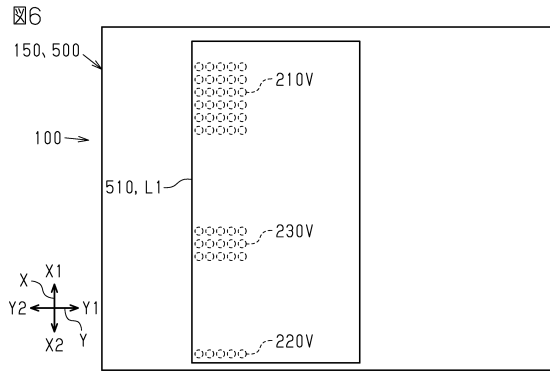
40

50

【 図 5 】

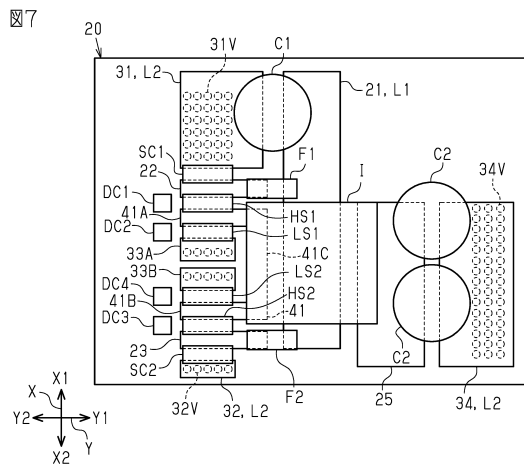


【 図 6 】



10

【 図 7 】



20

30

40

50

フロントページの続き

- (56)参考文献 国際公開第2015/005155(WO, A1)
特開2018-182850(JP, A)
米国特許出願公開第2020/0313568(US, A1)
特開2011-211784(JP, A)
- (58)調査した分野 (Int.Cl., DB名)
H02M 7/42 - 7/98