

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
H01L 27/04(105)

(45) 공고일자 1991년11월30일
(11) 공고번호 특1991-0009783

(21) 출원번호	특1984-0002313	(65) 공개번호	특1984-0009181
(22) 출원일자	1984년04월30일	(43) 공개일자	1984년12월21일
(30) 우선권 주장	58-084221 1983년05월16일 일본(JP)		
(71) 출원인	가부시기가이샤 히다찌세야사꾸쇼 미쓰다 가쓰시게 일본국 도오교도 지요다구 간다 스루가다이 4-6		
(72) 발명자	야마모도 나오기 일본국 사이다마겐 가와구지시 시바 1-10-20 사구도우 노리유기 일본국 도오교도 아오우메시 도모다마찌 4-587-16		
(74) 대리인	백남기		

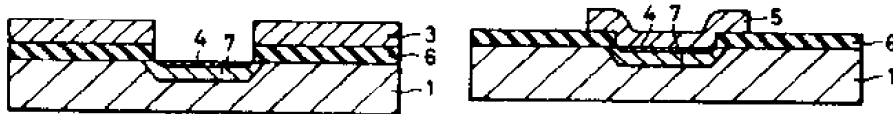
심사관 : 유환열 (책자공보 제2580호)

(54) 반도체 장치의 제조방법

요약

내용 없음.

대표도



명세서

[발명의 명칭]

반도체 장치의 제조방법

[도면의 간단한 설명]

제1도~제3도는 본 발명의 각각의 다른 실시예를 설명하기 위한 공정도.

* 도면의 주요부분에 대한 부호의 설명

- 1 : 실리콘 기판
- 2 : 게이트 산화막
- 3 : 알루미늄막
- 4 : 텅스텐 주입영역
- 5 : 텅스텐막
- 6 : 소자간 분리용산화막
- 7 : 비소 도우프영역
- 8 : 인규산 글라스막
- 9 : 알루미늄 전극
- 10 : 게이트 전극
- 11 : 소자 보호용 절연막

[발명의 상세한 설명]

본 발명은 반도체 장치의 제조방법에 관한 것으로서 특히 낮은 저항으로 얇은 확산층 및 그 얇은 확산층에 전기적으로 접속된 금속의 전극이나 배선을 갖는 반도체 장치의 제조방법에 관한 것이다.

잘 알려진 바와 같이 최근, 반도체 장치의 집적도가 현저하게 증대하는 것에 따라서 MIS형 반도체 장치의 불순물 도우프영역의 두께가 현저하게 얇아지고 있다. 예를들면, 1M 비트의 다이내믹 메모리에 있어서 비소를 도우프한 영역의 두께는 대략 0.1~0.2 μ m정도인 것으로 예상된다.

그러나, 이와 같이 불순물 도우프 영역이 매우 얇아지면, 불순물 도우프 영역의 면방향의 저항이 매우 크게 된다. 예를들면, 두께가 0.1 μ m의 불순물 도우프 영역인 명방향의 저항은 대략 100 Ω /□이다.

이 때문에, MIS 트랜지스터의 소오스, 드레인 저항이 크게 되고 채널 콘택츠가 작아져서 고속 동작이 곤란하게 된다.

또, 불순물 도우프 영역은 반도체 장치의 배선으로서도 사용되기 때문에 상기와 같이 저항이 크게 되면 신호 전달이 지연되어 고속동작이 방해된다.

한편, 바이폴라형 반도체 장치에 있어서도 에미터의 두께(깊이)가 점차 얇아져서 현재에는 0.1~0.2 μ m로 되어 있으므로 상기 MIS형 반도체 장치의 경우와 마찬가지로 고속동작이 방해되기 때문에, 에미터의 저항을 작게 하는 것이 절실하게 요망되고 있다.

종래부터 MIS형 반도체의 게이트 전극이나 배선에는 다결정 실리콘이 널리 사용되었다. 그러나, 반도체 장치의 고집적화가 진전됨에 따라서 다결정 실리콘의 큰 저항이 고속화의 장애가 되었기 때문에, 다결정 실리콘 대신에 텅스텐, 몰리브덴 또는 이들의 실리사이드를 게이트 전극이나 배선으로 사용하는 것이 제안되고 있었다.

다결정 실리콘에 의해서 게이트 전극이나 배선을 형성하는 경우, 이들 게이트 전극이나 배선은 고밀도화를 달성하기 위하여 실리콘 기판과의 직접 접촉이 흔히 사용되었다.

예를들면, E/D MOS 인버터 회로의 부하 트랜지스터의 게이트 전극과 구동용 MOS 트랜지스터의 접촉은 기판과의 직접 접촉에 의해서 행하여졌다. 그러나, 몰리브덴이나 텅스텐등으로 되는 배선이나 게이트 전극을 실리콘에 직접 접촉시키면, 이들의 금속과 실리콘 기판이 직접 접촉한 부분에서는 금속과 실리콘이 불균일 반응을 일으켜서 박리된다. 이 때문에 텅스텐이나 몰리브덴등의 금속으로 되는 게이트 전극을 형성할 때 또는 텅스텐이나 몰리브덴 등으로 되는 배선을 사용할 때에는 이들의 금속과 실리콘의 직접적인 접촉을 피할 필요가 있으므로 소자의 고밀도화를 달성하는데 장애가 되었다.

본 발명의 목적은 상기한 종래의 문제를 해결하고, 낮은 저항으로 얇은 불순물 도우프 영역을 갖는 반도체 장치의 제조방법을 제공하는 것이다.

본 발명의 다른 목적은 얇은 불순물 도우프 영역을 손상시키는 일없이 이들의 불순물 도우프 영역에 양호하게 옴 접촉된 전극이나 배선을 형성할 수 있는 반도체 장치의 제조방법을 제공하는 것이다.

본 발명의 다른 목적은 쇼트키 접합된 소오스 및 드레인을 갖는 MOS 트랜지스터의 제조방법을 제공하는 것이다.

본 발명은 상기 목적을 달성하기 위하여, 실리콘과 반응해서 실리사이드 또는 합금을 형성할 수 있는 금속을 실리콘 기판에 있어서 바라는 표면 영역에 이온주입하여 전극이나 배선과 실리콘 기판 사이에 상기 실리사이드 또는 합금층을 개재시켜서 전극이나 배선의 박리를 방지하거나 또는 전극이나 배선과 실리콘 기판 사이에 양호한 접촉을 형성하는 것이다.

실리콘 단결정 기판위에 몰리브덴막이나 텅스텐막을 피착하고 열처리를 행하면 몰리브덴이나 텅스텐과 실리콘 사이에 불균일 반응이 일어나고, 이 반응에 의해서 반응영역에서는 약 20~25%의 체적수축이 일어나서 몰리브덴막이나 텅스텐막이 박리되어 버린다.

또, 불순물 도우프 영역에는 통상의 경우 불순물로서, 예를들면 인(P)이 10²⁰/cm³정도 도우프되어 있으나, 도우프된 불순물은 상기 몰리브덴이나 텅스텐과 실리콘 사이에서 일어난 반응에 의해서 형성된 반응층내로 이동하여 상기 불순물 도우프 영역의 불순물 농도가 약 10¹⁷/cm³정도로 저하해 버린다.

그 결과, 박리하지 않더라도 전극이나 실리콘 기판의 접촉은 쇼트키 접합을 나타내고 음전극이 형성될 수 없다는 것이 명확하게 되었다. 이것에 대하여 몰리브덴, 텅스텐, 실리콘 또는 티타늄등 실리콘과 실리사이드를 형성할 수 있는 금속을 이온 주입법에 의해 실리콘 기판 표면의 불순물 도우프 영역에 주입하고 400~700℃에서 열처리 한 후, 몰리브덴 또는 텅스텐을 증착하여 1000℃정도의 열처리를 행한 결과, 이들의 금속이 박리되지 않으며, 또한 기판내에 도우프된 인의 감소를 적게 할 수 있는 것이 발견되었다.

또, n형 실리콘 기판에 텅스텐이나 몰리브덴을, 예를들면 5nm정도의 길이로 이온주입하고 열처리하여 실리사이드층을 형성한 후, 알루미늄 전극을 형성하고 쇼트키 다이오드를 형성한 결과, 그 순방향 전압의 변동이 적고, 300~400℃에서의 열처리 테스트 후에도 전압의 변동이 거의 없었다. 알루미늄을 에칭액으로 제거하고 주사 전자 현미경으로 관찰한 결과, 알루미늄을 실리콘 기판에 직접 접촉시킬 때 발견되는 국소반응(통상은 얼로이 피트(alloy Pit)라 한다)은 이때 일어나지 않는다는 것이 확인되었다.

즉, 몰리브덴, 텅스텐 또는 티타늄등 실리콘과 반응하여 실리사이드나 합금을 형성할 수 있는 금속을 실리콘 기판 표면의 불순물 도우프 영역에 이온 주입하고 열처리하여 실리사이드층이나 합금층을 형성한 후, 이 실리사이드층 또는 합금층 위에 텅스텐, 몰리브덴 또는 알루미늄등으로 되는 전극이나 배선을 형성하면, 이들 전극이나 배선의 박리가 방지되어 실리콘 기판과의 사이에 옴접촉이 형성된다.

또, 전극이나 배선과 실리콘 기판 사이에 실리사이드층이나 합금층이 개재되기 때문에, 텅스텐이나 몰리브덴등으로 되는 전극이나 배선을 실리콘 기판위에 직접 형성하였을 때에 일어나는 상기 불균일 반응이 일어날 염려가 없고, 이 반응의 결과로서 일어나는 불순물 도우프 영역에 있어서 불순물 농도의 감소가 생길 염려도 없다. 또한, 상기 가열에 의한 실리사이드 또는 합금의 형성은 전극이나 배선을 형성한 후에 행하여도 좋다.

또, 불순물 도우프 영역이 형성되어 있지 않는 반도체 기판위에 상기 실리사이드층이나 합금층을 형

성한후, 그위에 알루미늄등의 전극을 형성하여 쇼트키 다이오드를 형성하면, 매우 양호한 쇼트키 접합이 형성된다.

[실시예 1]

본 실시예는 실리콘 기판의 표면 영역내에 비소를 도우프하여 형성된 영역위에 텅스텐 전극을 직접 형성한 예이다.

제1a도에 도시한 바와 같이, $10\Omega \cdot \text{cm}$, P형 100실리콘 기판(1)의 표면을 산화해서 두께 300nm의 산화막(6)을 형성하였다.

산화막(6)을 거쳐서 실리콘 기판(1)의 바라는 부분에 가속 전압 80KeV, 도우즈량 $5 \times 10^{15} / \text{cm}^2$ 인 조건으로 비소를 선택적으로 이온 주입하여 비소 도우프 영역(7)을 형성하였다.

공지인 스퍼터링법을 사용해서 두께 300nm의 알루미늄막(3)을 전면에 형성한 후, 접촉 구멍을 형성하여야 할 부분의 알루미늄막(3)을 선택적으로 제거하고, 또 산화막(6)의 노출된 부분을 제거하여 상기 비소 도우프 영역(7)의 표면을 노출시켰다.

알루미늄막(3)을 마스크로 하여 텅스텐을 가속 전압 100KeV, 도우즈량 $5 \times 10^{15} / \text{cm}^2$ 인 조건으로 이온 주입하여 주입 영역(4)을 형성하였다. 알루미늄막(3)을 인산계의 에칭액으로 제거하고 700°C에서 30분간 열처리한 후, 제1b도에 도시한 바와 같이 스퍼터링법에 의해서 두께 300nm의 텅스텐막(5)을 전면 에 형성하였다. 다음에, 반응성 스퍼터 에칭에 의해 상기 텅스텐막(4)의 불필요한 부분을 선택적으로 제거하여 가공하고, 1000°C에서 30분간 열처리하였다. 이렇게 해서 형성된 텅스텐막(5)는 전혀 박리되는 일이 없고, 실리콘기판(1)과 직접 접촉한 부분의 텅스텐막의 표면은 평활하였다. 한편, 텅스텐을 이온 주입하지 않고 텅스텐막을 형성한 경우, 텅스텐막은 박리되기 쉽게 되며, 박리되지 않았던 텅스텐 전극막도 그 표면이 파상으로 되어, 양호한 텅스텐 전극을 얻을 수 없었다.

또, 본 실시예에서 형성된 n^+p 다이오드의 특성은 정상이었다. 또, 상기 열처리 후의 비소 도우프 영역(7)의 깊이는 대략 $0.2\mu\text{m}$ 이었다.

본 실시예에서 비소 도우프 영역(7)의 깊이를 $0.1\mu\text{m}$ 로 하고 텅스텐을 이온 주입한 후, 1000°C에서 30분간 열처리한 후에 비소 도우프 영역(7)의 저항을 측정한 결과, 30~50 Ω / \square 이라는 실용상 충분히 낮은 값이 얻어졌다.

[실시예 2]

본 실시예는 알루미늄 전극과 실리콘 기판과의 반응을 방지하여 양호한 다이오드를 형성한 예이다.

제2a도에 도시한 바와 같이, $10\Omega \cdot \text{cm}$, p형 100실리콘 기판(1)에 소자간 분리용 산화막(6)을 500nm의 두께로 형성한 후, 그 이외의 부분에 두께 20nm의 얇은 산화막을 형성한다. 가속 전압 80KeV, 도우즈량 $5 \times 10^{15} / \text{cm}^2$ 인 조건으로 비소를 이온 주입하여 n^+ 층(7)을 형성한 후, 인규산 글라스막(8)을 두께 500nm로 퇴적하고, 소정의 위치의 인규산 글라스막(8)을 드라이 에칭에 의해 선택적으로 제거하여 접촉 구멍을 마련한다. 가속 전압 100KeV, 도우즈량 $5 \times 10^{15} / \text{cm}^2$ 인 조건으로 텅스텐을 이온 주입하여 주입층(4')를 형성하였다. 다음에 플루오르산소계의 에칭액으로 인규산 글라스막(8)의 표면층을 얇게 제거하고, 950°C에서 30분간 열처리한 후, 제2b도에 도시한 바와 같이 알루미늄 전극(9)을 형성하였다. 통상은 얼로이피트 발생을 방지하기 위하여 알루미늄중에 미리 1%정도의 실리콘을 함유시키지만, 본 실시예에서는 순수한 알루미늄을 사용하여 300°C~400°C의 범위에서 20~30시간 정도의 열처리 테스트를 행한 결과, 얼로이 피트 발생에 따른 n^+p 다이오드의 접합 누설이 전혀 발생하지 않고 양호한 특성의 다이오드가 얻어졌다.

[실시예 3]

실시예 1에 있어서 비소와 텅스텐을 계속해서 이온 주입하여 n^+ 층(7)과 이온 주입층(4)를 형성하고, 950°C에서 30분간 열처리하여 텅스텐-실리사이드층을 형성한 후, 각도 연마를 하여 비소 도우프 영역(7)의 측면을 노출시켜서 관찰한 결과, 텅스텐-실리사이드층의 주변에 n^+ 층이 형성되어 있는 것을 알게 되었다. 이 n^+ 층을 이온 마이크로분석기로 관찰한 결과, 비소를 다량으로 포함하는 층이라는 것을 알게 되었다.

[실시예 4]

본 실시예는 쇼트키 접합의 소오스와 드레인을 갖는 MOS 트랜지스터의 형성에 본 발명을 적용한 예이다.

제3a도에 도시한 바와 같이, $5\Omega \cdot \text{cm}$ 의 n형 100실리콘 기판(1)에 소자간 분리용 산화막(6)을 500nm의 두께로 형성한 후, 두께 20nm의 게이트 산화막(2)을 형성하였다. 이어서, 인이 도우프된 다결정 실리콘을 퇴적하고, 반응성 스퍼터 에칭으로 불필요한 부분을 제거하여 $1\mu\text{m}$ 폭의 게이트 전극(10)을 형성하였다. 다음에 게이트 전극(10)주변의 얇은 산화막(2)를 플루오르산소계의 에칭액으로 제거한 후, 텅스텐을 100KeV, $5 \times 10^{15} / \text{cm}^2$ 인 조건으로 이온 주입하여 주입층(4'')를 형성하였다. 이어서, 질소 분위기중에서 800°C, 30분간 열처리하여, 주입된 텅스텐을 텅스텐-실리사이드로 변화시킨 후, 실리콘 기판(1)과 다결정 실리콘으로 되는 게이트 전극(10)의 표면을 950°C에서 산화하고, 또 층간 절연막으로서 인규산 글라스막(8)을 퇴적하였다. 다음에, 접촉 구멍을 공지된 반응성 스퍼터 에칭등의 드라이 에칭법으로 뚫었다. 이때, 인규산 글라스막(8)이 제거되어도 텅스텐 이온 주입층(4'')는 거의 에칭되지 않았다. 계속해서 알루미늄 전극(9), 소자 보호용 절연막(11)을 형성하여 쇼트키 MOS 트랜지스터를 만들었다(본 실시예에서는 반도체 기판의 표면 영역내에 불순물 도우프 영역이 형성되

어 있지 않으므로, 알루미늄 전극(9)와 실리콘 기판(1)의 경계면에는 음접촉이 아니라 쇼트키 접합이 형성된다). 이렇게 해서 얻어진 트랜지스터는 정상적인 MOS 트랜지스터 특성을 나타내는 것이 확인되었다.

본 발명에 있어서 이온 주입되는 금속으로서는, 예를들면 W,Mo,Al,Ti,Ta 또는 Al 등 가열에 의해서 실리콘과 실리사이드 또는 합금을 형성하는 것을 사용할 수 있다.

이들 금속의 이온 주입의 도우프량은 주입되는 금속의 종류에 따라서 어느 정도 달라지지만, 도우프량이 대략 $5 \times 10^{14} / \text{cm}^2$ 이상이면 전극 배선의 박리를 효과적으로 방지할 수가 있다. 또한, 대략 $5 \times 10^{16} / \text{cm}^2$ 이상이면 박리 방지뿐만 아니라 불순물 도우프 영역의 저항을 충분히 낮은 값으로 할 수가 있으므로, 불순물 도우프 영역의 깊이가 매우 적을 때에 특히 바람직하다.

도우프량이 많을수록 좋은 결과가 얻어지지만, 도우프량의 상한값은, 예를들면 이온 주입에 요하는 시간등 주로 제조 공정상의 이유에 의해서 결정되어 대략 $1 \times 10^{18} / \text{cm}^2$ 정도이다. 그러나 높은 농도의 이온 주입기가 개발되거나 다른 조건이 개선되면, 도우프량을 $1 \times 10^{18} / \text{cm}^2$ 이상으로 하는 것도 가능한 것은 물론이다.

또, 이온 주입시의 가속 전압은 대략 40~150KeV로 하면 좋은 결과가 얻어진다

실리사이드 또는 합금을 형성하기 위한 열처리 온도는 주입되는 금속의 종류에 따라서 어느 정도 달라지지만, 예를들면 텅스텐인 경우는 대략 600℃ 이상, 몰리브덴인 경우는 대략 400℃ 이상의 온도로 가열하면 실리사이드의 형성이 가능하다.

그러나, 본 발명에 의해서 이온 주입된 후에 가열하면, 실리콘 위에 금속막을 형성하여 가열하는 종래의 방법보다도 금속의 종류에 관계없이 대략 100~150℃의 낮은 온도로 실리사이드 또는 합금을 형성할 수 있으므로 종래보다도 매우 용이하다.

이온 주입후의 열처리 온도가 매우 높더라도 실리사이드나 합금의 형성에 지장은 없지만, 너무 높으면 이미 형성되어 있는 pn 접합이 변형하는 등의 문제점이 발생한다. 이 때문에, 열처리 온도를 약 1200℃ 이상으로 하는 것은 피하는 것이 좋다.

이상의 설명에서 명확한 바와 같이 본 발명에 의하면 금속의 전극이나 배선의 박리를 유효하게 방지할 수 있으므로 이들 전극이나 배선을 실리콘 기판위에 직접 형성하는 것이 가능하다.

또, 실리사이드나 실리콘 합금층이 불순물 도우프 영역의 표면 영역내에 형성되어 있으므로, 불순물 도우프 영역의 깊이가 약 0.1~0.2 μm 정도의 극도로 작은 경우라도 불순물 도우프 영역의 저항을 약 20~50 Ω / \square 정도로 매우 작게 할 수가 있다.

따라서, 본 발명은 MOS LSI의 고밀도, 고속화에 매우 유효하며, 특히 상보형 MOS(C-MOS)트랜지스터를 사용한 스테이틱 메모리의 액세스 타임을 빠르게 하는데 효과가 크다.

또, 전극이나 배선에 텅스텐이나 몰리브덴을 사용한 경우에 있어서도 실리사이드층이나 합금층에 의해서 접합의 파괴가 방지되기 때문에, 불순물 도우프 영역의 깊이를 극도로 적게 하는 것이 가능하고, 특히 반도체 장치의 미세화, 고밀도화에 유효하다.

배선이나 전극에 알루미늄을 사용하는 경우에도 중간층을 개재시키지 않고 배선이나 전극을 실리콘 기판위에 직접 형성할 수 있어 반도체 장치의 제조상에 효과가 크다.

그리고, 상기 실시예에서는 텅스텐을 이온 주입하였으나, 본 발명에 있어서 이온 주입에 사용되는 금속은 텅스텐뿐만 아니라 몰리브덴, 탄탈, 티타늄 또는 알루미늄 등 실리콘과 함께 가열하는 것에 의해서 실리사이드 또는 합금을 형성하는 많은 금속을 사용할 수가 있는 것이 확인되고 있다.

(57) 청구의 범위

청구항 1

반도체 기판의 표면 영역내에 형성되어 있는 불순물 도우프 영역의 바라는 부분에 가열에 의해서 실리콘과 금속 실리사이드 또는 합금을 형성할 수 있는 금속을 이온 주입하는 공정, 가열에 의해서 상기 금속 실리사이드 또는 합금을 형성하는 공정, 상기 이온 주입된 영역의 표면위에 전기적으로 접속된 배선층 또는 전극을 형성하는 공정을 포함하는 반도체 장치의 제조방법.

청구항 2

특히 청구의 범위 제1항에 있어서, 상기 금속 실리사이드 또는 합금의 형성은 상기 배선층 또는 전극의 피착에 선행해서 행하여지는 반도체 장치의 제조방법.

청구항 3

특히 청구의 범위 제1항에 있어서, 상기 금속 실리사이드 또는 합금의 형성은 상기 배선층 또는 전극을 피착한 후에 행하여지는 반도체 장치의 제조방법.

청구항 4

특히 청구의 범위 제1항에 있어서, 상기 금속은 W,Mo,Ti,Ta 및 Al로 되는 군에서 선택되는 반도체 장치의 제조방법.

청구항 5

특히 청구의 범위 제1항에 있어서, 상기 이온 주입의 가속 전압은 40~150KeV에 반도체 장치의 제조

방법.

청구항 6

특허 청구의 범위 제1항에 있어서, 상기 이온 주입의 도우즈량은 $5 \times 10^{14} / \text{cm}^2$ 이상인 반도체 장치의 제조방법.

청구항 7

특허 청구의 범위 제6항에 있어서, 상기 도우즈량은 $5 \times 10^{16} / \text{cm}^2$ 이상인 반도체 장치의 제조방법.

청구항 8

특허 청구의 범위 제1항에 있어서, 상기 가열 온도는 $400 \sim 1200^\circ\text{C}$ 인 반도체 장치의 제조방법.

청구항 9

특허 청구의 범위 제1항에 있어서, 상기 가열 온도는 $600 \sim 1200^\circ\text{C}$ 인 반도체 장치의 제조방법.

청구항 10

특허 청구의 범위 제1항에 있어서, 상기 배선층 또는 전극은 텅스텐, 몰리브덴 및 알루미늄으로 되는 군에서 선택된 재료로 되는 반도체 장치의 제조방법.

청구항 11

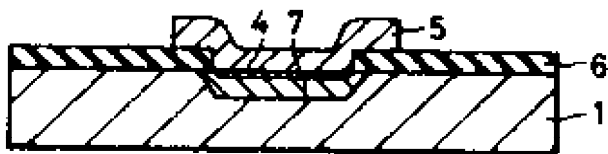
반도체 기판의 표면 영역의 바라는 부분에 가열에 의해서 실리콘과 금속 실리사이드 또는 합금을 형성할 수 있는 금속을 이온 주입하는 공정, 가열에 의해서 상기 금속 실리사이드 또는 합금을 형성하는 공정, 상기 이온 주입된 영역의 표면위에 금속막을 형성하여 쇼트키 접합을 형성하는 공정을 포함하는 반도체 장치의 제조방법.

도면

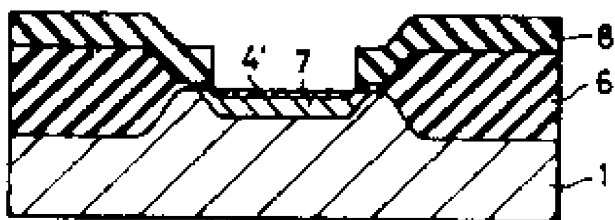
도면1-A



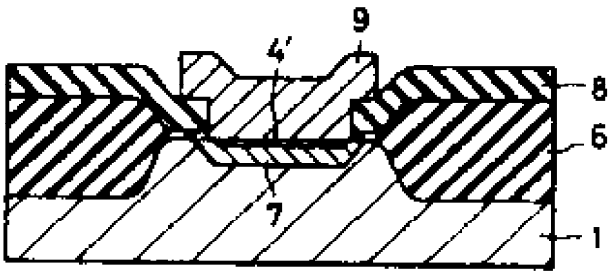
도면1-B



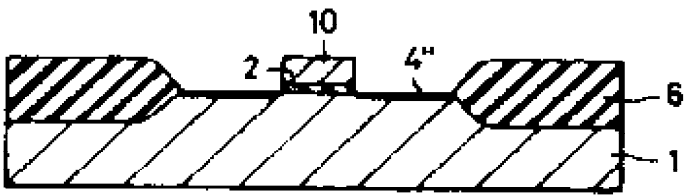
도면2-A



도면2-B



도면3-A



도면3-B

